

257

ANÁLISE DE DISTRIBUIÇÃO DE REDES EM PARTICIONAMENTO PARA ALGORITMO DE ROTEAMENTO PARALELO. *Sabrina Marques Berbigier, Fernando Gehm Moraes* (Faculdade de Informática, PUCRS)

O desempenho elétrico de um circuito programável do tipo FPGA depende fundamentalmente da qualidade do algoritmo de roteamento empregado, o qual deve reduzir o atraso do circuito, sem ter um tempo elevado processamento. Uma solução para este problema é a execução paralela do roteamento. Para isto, deve-se analisar a distribuição das redes nos circuitos. Para isto foi desenvolvido um programa que divide os circuitos em quadrantes, realizando a contagem do número de redes em cada um destes. O algoritmo inicia com quadrantes de tamanho unitário, tentando colocar nestes o maior número possível de redes. Uma vez feita a atribuição das redes aos quadrantes, estes podem ser roteados utilizando programação multi-thread. O passo seguinte é aumentar o tamanho do quadrante, roteando-os em paralelo. Procede-se desta forma, até que o tamanho do quadrante seja do tamanho do circuito e que tenham sido roteadas todas as redes. Para que este algoritmo seja válido, a maior parte das redes deve estar contida em quadrantes de pequeno tamanho. A análise da distribuição das redes sobre um conjunto de benchmarks mostrou que: para circuitos com tamanho até 63x63 CLBs, 49% das redes estão contidas em quadrantes de tamanho 2, podendo-se desta forma lançar 32 processos de roteamento em paralelo. O próximo trabalho será a implementação do roteador paralelo, pois constatou-se que a distribuição das redes em FPGAs é local. (CNPq/PUCRS)