

254

VALIDAÇÃO DA IMPLEMENTAÇÃO DO PROCESSADOR CLEOPATRA NA PLATAFORMA LIRMM.

Felipe Rocha da Silva, Fernando Gehm Moraes (Faculdade de Informática, PUCRS).

Este resumo apresenta a validação de um processador simples, denominado Cleópatra, descrito à partir da linguagem de descrição de hardware VHDL. A primeira etapa da validação do processador Cleopatra foi a simulação funcional, utilizando-se a ferramenta Active-VHDL (Aldec). Necessitou-se desenvolver um circuito de controle para este processador, para permitir o envio e recepção de dados provenientes do host (processador DSP). Para avaliarmos o funcionamento deste processador e do controle com o host, foi gerado um test_bench, o qual simula uma memória com 256 posições, a qual recebia um programa de teste com o código binário da aplicação. A segunda etapa do processo de validação consistiu na implementação física do processador, na plataforma de prototipação LIRMM. Foram utilizados 270 CLBs, dos 576 disponíveis no dispositivo XC4013, com um atraso no caminho crítico de 24.563 ns. Foi também desenvolvido um montador para os programas que seriam carregados na memória do FPGA. Este montador, além de carregar o código binário, deve informar o endereço da área de dados para o processador, para que o host ao final da aplicação possa ler os resultados gerados. Durante o processo de validação, foram executados vários programas, com diferentes instruções e comparados os resultados obtidos na execução com os resultados obtidos durante a simulação. Nesta etapa também foram avaliados os diferentes modos de endereçamento existentes na arquitetura. Os resultados obtidos mostraram que o processador estava corretamente implementado. Aplicações futuras utilizarão este processador como um módulo de hardware pré-validado (core) para estudos de arquiteturas reconfiguráveis, partições hardware-software e ASIPs. (CNPq/PUCRS).