

253

**COMPARAÇÃO VHDL-ESQUEMÁTICO PARA IMPLEMENTAR PROCESSADORES EM FPGA.**  
*Everton Hofler Ferreira, Daniel Carvalho Liedke, Fernando Gehm Moraes, Ney Calazans* (Faculdade de Informática, PUCRS).

Este trabalho tem por objetivos: (i) realizar a implementação da arquitetura Cleópatra na plataforma de prototipação XS40-XSTend (composta de microprocessador de 8 bits e FPGA Xilinx XC4005XL) a partir de sua descrição VHDL; (ii) implementar este processador em esquemático; (iii) comparar o desempenho em termos de área e atraso entre ambas formas de descrever o processador. A implementação desta arquitetura necessitou o desenvolvimento de um circuito de controle (descrito em VHDL e esquemático), para permitir que o processador realizasse operações de leitura/escrita na memória, e posteriormente exibir o resultado do processamento nos displays/leds disponíveis na plataforma. Resultados preliminares indicam o correto funcionamento de ambas implementações. A ocupação de área para ambas implementações é de 196 CLBs (100% do FPGA), porém sendo necessário suprimir 3 instruções do processador na descrição VHDL para que fosse possível realizar sua implementação. Estes resultados mostram claramente a vantagem de se utilizar níveis abstratos de representação de circuitos digitais, pois a representação VHDL de um circuito é feita em um menor espaço de tempo, é menos sujeita a erros, mais simples de alterar, e é também uma forma clara de documentar o comportamento do circuito (FAPERGS/PUCRS).