

CONFIGURAÇÃO DE FPGAs UTILIZANDO VHDL & HANDEL-C: UMA VISÃO COMPARATIVA. *F. Moraes, Rodrigo Santana, Wagner Machado* (Instituto de Informática, UFRGS e PUCRS)

Para implementação de protótipos de sistemas digitais em FPGAs, estão sendo utilizadas na PUCRS as linguagens VHDL e HANDEL-C. Este trabalho compara circuitos gerados à partir de ambas linguagens, em diferentes sistemas de CAD. Analisaram-se os seguintes parâmetros: número de blocos lógicos utilizados, atraso dos sinais, tempo de CPU requerido para a síntese e a legibilidade das descrições. Como estudo de caso foi selecionada a descrição de uma Unidade Lógica e Aritmética (ULA), a qual foi descrita em diferentes níveis de abstração e funcionalidade. O ambiente de prototipação utilizado é constituído por uma placa desenvolvida pela Xilinx com 2 FPGAs (XC3020A e XC4003A). A ULA implementada executa 32 operações binárias sobre duas palavras de 4 bits. A primeira comparação realizada foi entre uma descrição estrutural e outra comportamental, ambas em VHDL. A descrição estrutural gerou circuitos mais compactos, com um menor tempo de CPU, pois o mapeamento desta descrição é próximo às primitivas lógicas que serão empregadas no circuito gerado. O atraso dos circuitos gerados por ambas as descrições é semelhante, pois este fator é proporcional ao caminho crítico do circuito. Comparando-se HANDEL-C com VHDL observa-se que, apesar de HANDEL-C ser uma linguagem mais próxima à uma linguagem de programação alto nível, a ferramenta utilizada para síntese gerou um circuito com um número de blocos lógicos 85% superior à descrição equivalente em VHDL. Como conclusões podemos citar: o consumo de área é proporcional ao grau de abstração da descrição; descrições de hardware próximas a linguagens de programação permitem a prototipação rápida do circuito, porém com