

089

MODELO PARA ESTIMATIVA DE CONSUMO DE POTÊNCIA PARA CIRCUITOS DIGITAIS CMOS.
Rodrigo Cardozo, Fernando Paixão Cortes, Rodrigo Ribeiro, Eduardo Costa, Luigi Carro, Sergio Bampi (Instituto de Informática e DELET, UFRGS).

Este trabalho apresenta um modelo analítico de consumo de potência em circuitos CMOS que é baseado em parâmetros de temporização apenas. Uma ferramenta lógica de simulação (Ágata), fornecendo estimativa quantitativa de potência, implementa nosso modelo. O modelo proposto consiste na dissipação de potência dinâmica, devido à atividade de carga/descarga de capacitores de carga e dissipação de potência de curto-circuito que é função dos tempos de transição das entradas. Os fatores de tensão de alimentação e fator de “fan-out” são levados em consideração. A influência da potência de curto-circuito pode introduzir um erro de 25% ou mais na média da estimativa de potência dinâmica. Neste trabalho é modelado corretamente este efeito, com o mínimo de aumento na complexidade do modelo. Este mesmo modelo usado para análise no tempo pode ser usado para investigar o consumo total de potência, incluindo estimativa da potência de curto-circuito. Foram criados modelos analíticos de atraso e consumo de potência dinâmica e potência de curto-circuito para diferentes rampas de subida e descida e para diferentes valores de capacitâncias de carga. Estes modelos analíticos foram obtidos para células e gates básicos (tipicamente presentes na biblioteca de células do simulador lógico) através de simulação SPICE nas diferentes condições propostas. Resultados dos modelos são apresentados e discutidos. (CNPq - UFRGS).