

025

**UM SIMULADOR PARA A ARQUITETURA MULFLUX.** *Guilherme Dal Pizzol, Philippe O. A. Navaux* (Projeto APSE, Grupo de Processamento Paralelo e Distribuído, Instituto de Informática, UFRGS)

A arquitetura superescalar de múltiplos fluxos (MULFLUX), desenvolvida na cooperação entre PPGC/UFRGS e COPPE/UFRRJ, é baseada na busca de instruções em múltiplos fluxos. Ao encontrar uma instrução de desvio, o microprocessador passa a buscar instruções tanto do caminho seqüencial quanto do não-seqüencial. O objetivo dessa arquitetura é o aumento do desempenho do processador utilizando múltiplos fluxos de controle para diminuir as perdas decorrentes das dependências de controle. Atualmente, o método mais rápido, preciso e eficiente de estimar o desempenho de arquiteturas superescalares é a simulação. A arquitetura MULFLUX foi implementada, inicialmente, em um simulador orientado a *traces*, o qual demora aproximadamente 5 horas para realizar uma simulação típica de um *benchmark* em uma *workstation* UltraSparc10. Visando obter um simulador mais rápido e eficiente, a arquitetura foi implementada sobre o simulador *sim-outorder*, o qual faz parte do pacote de ferramentas SimpleScalar Tool Set. Esse simulador é o mais complexo de todos os que acompanham o pacote, suportando caches não-bloqueantes, diferentes tipos de previsores, execução fora-de-ordem e outras características de processadores superescalares avançados, sendo a busca de instruções feita em apenas um fluxo. Neste trabalho será apresentada a implementação do novo estágio de busca de instruções, a partir do estágio já existente no *sim-outorder*. Além disso, será mostrado como esse novo simulador foi testado e validado e como os resultados das simulações variam de acordo com diferentes configurações da arquitetura. (CNPq - UFRGS)