

083

**ALGORITMOS PARA ANÁLISE DE TIMING FUNCIONAL DE CIRCUITOS CONTENDO PORTAS CMOS COMPLEXAS.** *Gustavo R. Wilke, Márcio Bystronski, José L. Güntzel* (Instituto de Informática - UFRGS).

A análise de timing tem por objetivo determinar se as restrições temporais impostas a um projeto de circuito integrado podem ou não ser satisfeitas quando de sua fabricação. Caso as restrições não possam ser satisfeitas, o relatório gerado pela ferramenta de análise de timing permite ao projetista efetuar correções no projeto, tais como inserção de buffers, redimensionamento de transistores ou reestruturação da lógica. A ferramenta de análise de timing que se está desenvolvendo opera no nível lógico e considera o fenômeno dos falsos caminhos (i.e., caminhos lógicos que nunca são ativados), de modo a fornecer uma estimativa segura e precisa do atraso crítico do circuito. Para tanto, utilizam-se modelos computacionais de atraso coerentes que levam em consideração as funções lógicas realizadas por cada porta do circuito. O algoritmo utilizado baseia-se em geração automática de padrões de teste (ATPG) e é derivado do algoritmo timed-test generation proposto por Devadas e colaboradores. Este algoritmo é modificado, de modo a poder considerar circuitos compostos por portas lógicas complexas em tecnologia de fabricação CMOS (SCCGs), completando um conjunto básico de ferramentas de CAD para a síntese de leiaute baseada em tal tipo de portas. Uma vez implementada a versão inicial, a ferramenta será modificada com a introdução de alguma técnica de aceleração de processamento, de modo a reduzir o tempo da análise. (RHAÉ-CNPq).