

275

COMPARAÇÃO DE MODELAMENTO VHDL E VERILOG PARA SÍNTESE EM FPGA. *Andre Almeida, Alexandre M. S. Adário.* (Depto. de Eng. e Ciência da Computação, URI – Campus de Erechim).

O projeto de circuitos digitais não pode mais deixar de prescindir do uso de linguagens de descrição de hardware, uma vez que o uso de tal abordagem traz diversas vantagens, como maior facilidade de prototipação. O objetivo central deste projeto é o estudo comparativo das linguagens VHDL e Verilog, a fim de, através de uma análise direta de estudos de casos, traçar um perfil das duas linguagens e descrever seu comportamento para os diferentes circuitos e componentes digitais. Em especial, foram realizados dois estudos significativos: um divisor e um multiplicador, os circuitos foram descritos, tanto em VHDL como em Verilog. Cada uma das linguagens apresentou vantagens em aspectos inteiramente distintos, sem ser possível afirmar precisamente qual a mais indicada para o modelamento genérico. As principais distinções ocorrem no nível de abstração e conteúdo semântico. No resultado da síntese, os modelos comportamentais VHDL proporcionaram melhor ocupação de área, mas foram inferiores em desempenho. Nessa segunda etapa do projeto, estão sendo modelados circuitos mais complexos, a fim de melhor observar o comportamento das linguagens em estruturas sistêmicas de microcontroladores, contendo registradores, máquinas de estado, unidades lógico-aritméticas, entre outros. Para tanto, optou-se por modelar o microcontrolador 8051. O objetivo do projeto é identificar como um sistema pode ser projetado fazendo uso do melhor de cada linguagem de descrição de hardware. Além disso, uma metodologia com tal finalidade possibilita, de forma simples e eficiente, integrar projetos modelados em diferentes linguagens, situação bastante comum em sistemas de grande porte. (BIC-Fapergs).