

095

**PROJETO DE UM CORE REED-SOLOMON OTIMIZADO PARA ÁREA E PERFORMANCE.***Gustavo Neuberger, Fernanda G. de Lima, Ricardo A. L. Reis* (Departamento de Informática Aplicada - Instituto de Informática – UFRGS).

Cada vez mais aumenta o número de sistemas que podem apresentar falhas durante seu funcionamento em aplicações espaciais e terrestres. Entre esses sistemas destacam-se dispositivos de armazenamento (CD, DVD, HD), comunicação móvel (telefones celulares), comunicação via satélite, modems e diversos outros, que necessitam de uma grande confiabilidade para a sua correta operação. Para tanto, uma opção é a utilização de algum código corretor de erros. O Reed-Solomon é um código corretor de erros baseado em blocos possibilitando a correção de vários erros em um único bloco. Ele é baseado na teoria dos Campos Finitos, tendo diferentes domínios para as operações de soma e multiplicação (domínio dos bits e domínio das potências). Sendo necessário o uso de tabelas para a tradução entre os dois domínios, obtemos duas opções de implementação: utilizando uma tabela para cada tradução entre domínios, o que resulta em uma grande área; ou um algoritmo iterativo com apenas uma tabela para todas as traduções, resultando em uma performance inferior. A segunda opção é satisfatória para os casos em que a aplicação tem uma velocidade muito menor do que um circuito integrado, como dispositivos de armazenamento e modems. O objetivo deste trabalho é o projeto e a implementação de um core Reed-Solomon em VHDL, que possa fazer as operações de codificação e decodificação em apenas um ciclo, mas com uma pequena área. Isto é possível caso se utilize multiplicações diretamente no domínio dos bits. Diversas implementações foram realizadas, para 5, 6, 7 e 8 bits por bloco e foram comparadas com a implementação utilizando diversas tabelas. Também são feitas comparações de área, capacidade de correção e número de bits extras necessários com as soluções usando o código de Hamming (CNPq – UFRGS).