

091

**SENSIBILIZAÇÃO DE CAMINHOS EM CIRCUITOS COMBINACIONAIS CMOS.** *Daniel Lima Ferrão, José Luís Güntzel* (Departamento de Matemática, Estatística e Computação, DMEC- UFPel).

O aumento da complexidade dos sistemas eletrônicos tornou a verificação temporal uma etapa vital no projeto de circuitos integrados digitais de alto desempenho. Existem dois métodos que podem ser usados para se verificar as restrições temporais de circuitos: simulação e análise de *timing*. Devido ao grande tempo de execução, a simulação só pode ser usada na verificação de circuitos pequenos. Já a análise de *timing* busca determinar o atraso crítico do circuito a partir dos atrasos de seus caminhos. Por outro lado, uma ferramenta de análise de *timing* que leve em conta apenas a topologia do circuito para estimar o seu atraso pode levar a estimativas muito pessimistas, uma vez que muitos dos caminhos mais longos do circuito, ditos caminhos críticos, podem não ser capazes de propagar transições, isto é, não são sensibilizáveis. Tais caminhos são também chamados de falsos. Para fornecer estimativas de atraso mais precisas é necessário levar em conta não somente a topologia do circuito, mas também as relações temporais e funcionais entre seus elementos, o que é feito mediante o teste das condições de propagação de transições ao longo dos caminhos. Outro ponto importante é que o projetista usualmente utiliza um processo iterativo de otimização dos caminhos críticos conhecidos do circuito. Porém, este esforço pode se desperdiçado caso alguns ou muitos desses caminhos forem falsos. Assim, uma técnica que seja eficiente na identificação de falsos caminhos é desejável para se reduzir o ciclo de iterações desse processo, permitindo que o projetista elimine os falsos caminhos da lista de caminhos que devem ser otimizados. Este trabalho visa o desenvolvimento de uma ferramenta de análise de *timing* capaz de testar a sensibilização de caminhos. (BIRD-Fapergs/UFPel)