

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA – FÍSICA – ESCOLA DE ENGENHARIA  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA - PGMICRO

HENRIQUE LUIZ ANDRADE PIMENTEL

**Projeto de um Amplificador de Baixo Ruído  
em Tecnologia CMOS 130nm para a Banda  
de 50MHZ a 1GHz**

Dissertação apresentada como requisito parcial  
para a obtenção do grau de Mestre em  
Microeletrônica.

Prof. Dr. Sergio Bampi  
Orientador

Porto Alegre, maio de 2012.

## CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Pimentel, Henrique Luiz Andrade

Projeto de um Amplificador de Baixo Ruído em tecnologia CMOS 130nm para frequências de 50MHZ a 1GHz / por Henrique Luiz Andrade Pimentel – Porto Alegre: Programa de Pós-Graduação em Microeletrônica da UFRGS, 2012.

98 f.:il.

Orientador: Sergio Bampi

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2012.

1.LNA. 2.Amplificador de baixo ruído 3.Sistema RF 4.Projeto de Circuitos Integrados. I. Bampi, Sergio. II. Projeto de um Amplificador de Baixo Ruído em tecnologia CMOS 130nm para frequências de 50MHZ a 1GHz.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Aldo Bolten Lucion

Diretor do Instituto de Informática: Prof. Luís C. Lamb

Coordenador do PGMicro: Prof. Ricardo A. L. Reis

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

## AGRADECIMENTOS

Antes de tudo, quero agradecer a Deus, por abençoar todos os dias da minha vida, iluminar o meu caminho e me dar forças para ir sempre em frente.

Aos meus grandes professores e ídolos, aqueles que em momento algum duvidaram da minha (nossa) vitória, meus amados pais Henrique e Elbaniza.

À minha grande irmã, incentivadora e eterna conselheira, Danielle.

Ao meu orientador, Prof. Dr. Sergio Bampi, pela orientação, apoio e principalmente pela confiança depositada em mim.

À UFRGS pela excelente estrutura técnica, organização e grau de excelência de seus docentes e funcionários.

Ao nosso grupo de trabalho do Laboratório da PGMICRO, Dalton, David, Juan, André e Alexandre.

Ao meu grande amigo, Dr. Fernando Cortes, colaborador e incentivador deste trabalho.

Aos meus novos amigos que conheci no Rio Grande do Sul, em especial os da CEITEC-SA, por me proporcionarem todos os dias um grande aprendizado sobre esse fantástico mundo da Microeletrônica.

Ao meu antigo orientador, Prof. Dr. Luiz Carlos Kretly, pela orientação e incentivo a continuar o mestrado, mesmo que fora da UNICAMP.

Aos antigos amigos de Campinas/SP, com os quais tive o prazer de conviver durante anos, seja nas repúblicas, no laboratório de antenas, na UNICAMP, no CI-Brasil ou na Eldorado.

Aos paraenses da Unicamp\_para, que me ensinaram que família não é formada apenas por pessoas do mesmo sangue.

Enfim, a todos que, de uma maneira ou outra, apoiaram o desenvolvimento deste trabalho.

# SUMÁRIO

|  |           |
|--|-----------|
| <b>LISTA DE ABREVIATURAS E SIGLAS.....</b>                                       | <b>6</b>  |
| <b>LISTA DE FIGURAS .....</b>  | <b>7</b>  |
| <b>LISTA DE TABELAS .....</b>  | <b>9</b>  |
| <b>RESUMO.....</b>   | <b>10</b> |
| <b>ABSTRACT.....</b>   | <b>11</b> |
| <b>1 INTRODUÇÃO .....</b>  | <b>12</b> |
| <b>2 CONCEITOS BÁSICOS DE RF (RADIO FREQUÊNCIA).....</b>                         | <b>13</b> |
| 2.1 Linearidade .....  | 13        |
| 2.2 Distorção .....  | 14        |
| 2.3 Intermodulação.....  | 15        |
| 2.4 Ponto de compressão de 1 dB .....  | 17        |
| 2.5 Estágios não lineares em cascata.....  | 19        |
| 2.6 Ruído .....  | 19        |
| 2.6.1 Ruído referenciado à entrada .....   | 19        |
| 2.6.2 Figura de ruído.....   | 20        |
| 2.6.3 Figura de Ruído de estágios em cascata.....                                | 21        |
| 2.7 Parâmetros de espalhamento.....  | 21        |
| 2.7.1 Definição de parâmetros-S.....   | 22        |
| 2.8 Estabilidade.....  | 23        |
| 2.9 Sensibilidade e Faixa Dinâmica.....  | 24        |
| <b>3 TRANSISTORES MOS EM RF .....</b>  | <b>26</b> |
| 3.1 Efeitos Não Quase Estáticos (NQS - <i>Non-Quasi-Static models</i> ) .....    | 27        |
| 3.2 Modelamento em RF .....  | 28        |
| 3.2.1 Resistência de Porta ( $R_g$ ).....  | 30        |
| 3.3 Frequência de Trabalho.....  | 32        |
| 3.4 Fontes de ruído no transistor MOS .....                                      | 34        |
| 3.4.1 Ruído no canal .....   | 35        |
| 3.4.2 Ruído induzido na porta.....   | 35        |
| 3.4.3 Ruído devido aos componentes resistivos parasitas.....                     | 36        |
| 3.4.4 Ruído Shot .....   | 36        |
| 3.4.5 Ruído Flicker ou $1/f$ .....   | 37        |
| <b>4 AMPLIFICADOR DE BAIXO RUÍDO - LNA .....</b>                                 | <b>38</b> |
| 4.1 Características básicas do LNA .....   | 38        |
| 4.1.1 Especificações.....  | 38        |
| 4.1.2 Configurações de LNAs.....   | 39        |
| 4.1.3 Funcionamento de uma topologia básica .....                                | 43        |
| <b>5 LNA MULTIBANDA .....</b>  | <b>44</b> |
| 5.1 Tipos de LNA Multibanda .....  | 44        |
| 5.2 Diferentes especificações de LNA's <i>Wideband</i> e <i>Multibanda</i> ..... | 47        |
| 5.3 Topologia adotada no projeto do LNA .....                                    | 49        |
| 5.3.1 Técnica de cancelamento do ruído .....                                     | 49        |
| 5.3.1.1 O Princípio do cancelamento do ruído.....                                | 49        |
| 5.3.1.2 Cálculo do cancelamento do ruído.....                                    | 51        |
| 5.3.1.3 Cálculo da figura de ruído .....   | 53        |
| 5.3.1.4 Análise de linearidade.....  | 54        |

|          |  |           |
|----------|--|-----------|
| <b>6</b> | <b>PROJETO DO LNA, SIMULAÇÃO E PROTOTIPAÇÃO.....</b>         | <b>56</b> |
| 6.1      | Considerações do Projeto.....                                | 56        |
| 6.1.1    | Especificações.....  | 56        |
| 6.2      | Projeto do LNA.....  | 57        |
| 6.2.1    | Estágios do LNA.....   | 57        |
| 6.2.2    | Metodologia de projeto baseada na curva gm/Id.....           | 61        |
| 6.2.3    | Dimensionamento dos dispositivos.....                        | 63        |
| 6.2.4    | Ambiente de simulação.....                                   | 66        |
| 6.2.4.1  | Tecnologia CMOS IBM 130nm (IBM 8RF-DM).....                  | 66        |
| 6.2.4.2  | Blocos adicionais.....                                       | 66        |
| 6.2.5    | Resultados de simulação do esquemático.....                  | 68        |
| 6.2.5.1  | Análise DC.....  | 68        |
| 6.2.5.2  | Ganho de tensão.....   | 69        |
| 6.2.5.3  | Figura de Ruído.....   | 69        |
| 6.2.5.4  | Coefficientes de Reflexão S11 e S22.....                     | 70        |
| 6.2.5.5  | Linearidade: IP3 e P1dB.....                                 | 71        |
| 6.2.5.6  | Estabilidade: Kf e B1f.....                                  | 73        |
| 6.2.5.7  | Simulação de corner e Monte Carlo.....                       | 74        |
| 6.2.5.8  | Análise de resultados das simulações do esquemático.....     | 76        |
| 6.3      | Prototipação.....  | 76        |
| 6.3.1    | Considerações de <i>Layout</i> .....                         | 77        |
| 6.3.1.1  | Os níveis de metal do modelo CMOS 8RF.....                   | 77        |
| 6.3.1.2  | Técnicas de layout.....                                      | 78        |
| 6.3.2    | Layout do LNA.....   | 79        |
| 6.3.2.1  | Layout do LNA sem proteção ESD.....                          | 79        |
| 6.3.2.2  | Layout do LNA com proteção ESD.....                          | 80        |
| 6.3.2.3  | Layout do topo do chip.....                                  | 81        |
| 6.3.2.4  | Encapsulamento.....  | 82        |
| 6.3.3    | Resultados de simulação pós-layout.....                      | 84        |
| 6.3.3.1  | Análise DC.....  | 84        |
| 6.3.3.2  | Ganho de tensão.....   | 84        |
| 6.3.3.3  | Figura de Ruído.....   | 85        |
| 6.3.3.4  | Coefficientes de Reflexão S11 e S22.....                     | 85        |
| 6.3.3.5  | Linearidade: IP3 e P1dB.....                                 | 86        |
| 6.3.3.6  | Estabilidade: Kf e B1f.....                                  | 88        |
| 6.3.3.7  | Análise de resultados das simulações do layout extraído..... | 89        |
| 6.3.4    | Setup de medidas experimentais do LNA.....                   | 90        |
| 6.3.4.1  | Placa de circuito impresso.....                              | 91        |
| 6.3.4.2  | Parâmetros de espalhamento.....                              | 91        |
| 6.3.4.3  | Linearidade.....   | 92        |
| 6.3.4.4  | Figura de ruído.....   | 93        |
| <b>7</b> | <b>CONCLUSÃO.....</b>  | <b>95</b> |
|          | <b>REFERÊNCIAS.....</b>                                      | <b>96</b> |

## LISTA DE ABREVIATURAS E SIGLAS

|          |   |
|----------|---|
| EDA      | Analog Design Environment                 |
| CMMB     | China Multimedia Mobile Broadcasting      |
| CR       | Cognitive Radio                           |
| DVB      | Digital Video Broadcasting                |
| GSM      | Global System for Mobile Communications   |
| HD       | Harmonic distortion factors               |
| HF       | High Frequency                            |
| HIPERLAN | High Performance Radio LAN                |
| HSDPA    | High-Speed Downlink Packet Access         |
| IM       | Intermodulação                            |
| IP3      | Ponto de interceptação de 3º ordem        |
| ISM      | Industrial, scientific and medical        |
| LNA      | Low Noise Amplifier                       |
| LTE      | Long Term Evolution                       |
| NF       | Noise Figure                              |
| NQS      | Non-Quasi-Static models                   |
| P1dB     | Ponto de compressão de 1dB                |
| PDA      | Assistente pessoal digital                |
| QS       | Quasi-Static models                       |
| RF       | Radio Frequência                          |
| SoC      | System-on-a-chip                          |
| SNR      | Relação sinal-ruído                       |
| UMTS     | Universal Mobile Telecommunication System |
| UWB      | Ultra-wideband                            |
| WCDMA    | Wide-Band Code-Division Multiple Access   |
| WiBro    | Wireless Broadband                        |
| WLAN     | Wireless Local Area Network               |

## LISTA DE FIGURAS

|   |    |
|---|----|
| Figura 2.1: Diagrama de blocos de um sistema de recepção tipo heteródino em quadratura. ....  | 13 |
| Figura 2.2: Curva de Transferência de Amplificador com dispositivos ativos. ....  | 14 |
| Figura 2.3: Produtos de Intermodulação em um sistema não linear. ....   | 15 |
| Figura 2.4: Métricas utilizadas em projetos de RF (Navas, 2005). ....   | 17 |
| Figura 2.5: Ponto de compressão de 1 dB. ....   | 18 |
| Figura 2.6: Estágios não lineares em cascata. ....  | 19 |
| Figura 2.7: Performance do ruído em um circuito real. ....  | 20 |
| Figura 2.8: Estágios de ruído em cascata. ....  | 21 |
| Figura 2.9: (a) Definição dos SP e (b) ondas incidente e refletida em um quadripolo. ....   | 22 |
| Figura 3.1: Transistor intrínseco com fontes de polarização DC e fontes de tensão de pequenos sinais (Tsividis, 1999). ....   | 27 |
| Figura 3.2: Modelo de pequenos sinais para um transistor completo (Tsividis, 1999). ....  | 29 |
| Figura 3.3: Modelo prático de pequenos sinais para um transistor (Tsividis, 1999). ....   | 30 |
| Figura 3.4: (a) Layout de um transistor simples; (b) aproximação de conjuntos (Tsividis, 1999). ....  | 30 |
| Figura 3.5: Transistor com contato da porta em ambos os lados (Tsividis, 1999). ....  | 31 |
| Figura 3.6: Modelo simplificado do transistor. ....   | 32 |
| Figura 3.7: Modelo simplificado do transistor MOS em saturação com fonte de ruído no canal. ....  | 35 |
| Figura 3.8: Modelo do transistor MOS com ruído devido à resistência de porta. ....  | 35 |
| Figura 4.1: Compromisso dos parâmetros no projeto de um LNA. ....   | 39 |
| Figura 4.2: Arquiteturas de (a) Saída única e (b) Diferencial. ....   | 40 |
| Figura 4.3: Casamento de impedância: (a) Terminação Resistiva; (b) Terminação 1/gm; (c) Realimentação Série; (d) Degeneração Indutiva. ....   | 41 |
| Figura 4.4: Configuração degenerada por fonte com transistor MOS: (a) Circuito; (b) Modelo simplificado para o calculo de Zin. ....   | 42 |
| Figura 5.1: Exemplo conceitual de um receptor multibanda (Wu e Razavi, 1998). ....  | 44 |
| Figura 5.2: Exemplo de solução com conjunto de redes de ajuste usando uma chave: (a) Pseudo LNA para três bandas; (b) Rede utilizada para casamento de impedância (Lavasani, Chaudhuri e Kiaei, 2003). .... | 45 |
| Figura 5.3: Exemplo da resposta em frequência de filtros complexos multibanda (Zhang, et al. 2007). ....  | 45 |
| Figura 5.4: exemplo da resposta em frequência de LNA's Wideband: Medida e simulação de: (a) Parâmetros-S; (b) Figura de Ruído (Kim, Jung e Lee, 2005). ....   | 46 |
| Figura 5.5 Exemplo de (a) LNA's Multi-banda e da sua (b) resposta em frequência (Engberg, 1995). ....   | 47 |
| Figura 5.6: Estrutura de um amplificador com realimentação resistiva. ....  | 50 |
| Figura 5.7: Tensão de (a) Ruído e (b) Sinal gerados no amplificador. ....   | 50 |
| Figura 5.8: (a) Estrutura de cancelamento do ruído (b) com implementação básica (Bruccoleri, Klumperink e Nauta, 2004). ....  | 51 |
| Figura 6.1: Amplificador fonte-comum com realimentação resistiva. ....  | 58 |
| Figura 6.2: Inversor push-pull com realimentação resistiva. ....  | 58 |
| Figura 6.3: Circuito e resposta de um filtro RC passa-alta. ....  | 59 |
| Figura 6.4: Amplificador seguidor de fonte. ....  | 59 |
| Figura 6.5: Amplificador cascode. ....  | 60 |
| Figura 6.6: Metade idêntica do esquemático do LNA diferencial. ....   | 60 |
| Figura 6.7: Fluxo de projeto utilizando a metodologia gm/Id. ....   | 61 |
| Figura 6.8: Curva gm/Id simulada dos transistores NMOS e PMOS IBM 130nm. ....   | 62 |
| Figura 6.9: Esquemático do LNA banda-larga para frequências de 50MHz-1GHZ. ....   | 65 |
| Figura 6.10: Modelo elétrico básico do wirebond. ....   | 67 |
| Figura 6.11: Topologia do circuito de proteção ESD. ....  | 67 |
| Figura 6.12: Configuração de testes para simulação. ....  | 68 |

|   |    |
|---|----|
| Figura 6.13: Ganho de tensão do LNA para simulação do esquemático. ....                                   | 69 |
| Figura 6.14: Figura de ruído do LNA para simulação do esquemático. ....                                   | 70 |
| Figura 6.15: Coeficientes de reflexão do LNA para simulação do esquemático. ....                          | 71 |
| Figura 6.16: IP3 do LNA para simulação do esquemático. ....   | 72 |
| Figura 6.17: P1dB do LNA para simulação do esquemático. ....  | 72 |
| Figura 6.18: Fator K do LNA para simulação do esquemático. ....   | 73 |
| Figura 6.19: Delta do LNA para simulação do esquemático. ....   | 74 |
| Figura 6.20: Histograma do ganho (a) e da figura de ruído (b). ....                                       | 76 |
| Figura 6.21: Secção transversal de um modelo de metalização para a tecnologia IBM 8RF-DM (IBM, 2010)..... | 77 |
| Figura 6.22: Exemplo da proteção de sinais RF. ....   | 78 |
| Figura 6.23: Layout do LNA sem proteção ESD. ....   | 80 |
| Figura 6.24: Layout do LNA com proteção ESD. ....   | 80 |
| Figura 6.25: Layout do topo do chip encapsulado. ....   | 82 |
| Figura 6.26: Lista dos pinos do chip encapsulado. ....  | 83 |
| Figura 6.27: Diagrama de bonding do encapsulamento. ....  | 83 |
| Figura 6.28: Ganho de tensão do LNA (S21) obtida por simulação do esquemático extraído. ....              | 84 |
| Figura 6.29: Figura de ruído do LNA para simulação do esquemático extraído. ....                          | 85 |
| Figura 6.30: Coeficientes de reflexão do LNA para simulação do esquemático extraído. ....                 | 86 |
| Figura 6.31: IIP3 do LNA para simulação do esquemático extraído. ....                                     | 87 |
| Figura 6.32: P1dB do LNA para simulação do esquemático extraído. ....                                     | 87 |
| Figura 6.33: Fator K do LNA para simulação do esquemático extraído. ....                                  | 88 |
| Figura 6.34: Delta do LNA para simulação do esquemático extraído. ....                                    | 88 |
| Figura 6.35: Configuração de teste para parâmetros de espalhamento. ....                                  | 91 |
| Figura 6.36: Configuração de teste para IP3. ....   | 92 |
| Figura 6.37: Configuração de teste para P1dB. ....  | 92 |
| Figura 6.38: Configuração de teste para NF com analisador de específico. ....                             | 93 |
| Figura 6.39: Configuração de teste para NF com método fator Y. ....                                       | 93 |
| Figura 6.40: Configuração de teste para NF com método do ganho. ....                                      | 94 |



## LISTA DE TABELAS

|  |    |
|--|----|
| Tabela 1: Especificações de LNA's Multibanda presentes na literatura. .... | 48 |
| Tabela 2: Especificações do Amplificador de Baixo Ruído.....               | 57 |
| Tabela 3: Valores calculados e simulados para os transistores MOS.....     | 64 |
| Tabela 4: Modelos utilizados na simulação.....                             | 66 |
| Tabela 5: Parâmetros de simulação de corners.....                          | 74 |
| Tabela 6: Resultados da simulação de corners do LNA.....                   | 75 |
| Tabela 7: Resultados da simulação de Monte Carlo do LNA. ....              | 75 |
| Tabela 8: Comparação de resultados de artigos sobre LNA banda larga.....   | 90 |

## RESUMO

O presente trabalho tem por objetivo fornecer o embasamento teórico para o projeto de um amplificador de baixo ruído (LNA – Low Noise Amplifier) em tecnologia CMOS que opere em mais de uma faixa de frequência, de modo a permitir seu uso em receptores multibanda e de banda larga.

A base teórica que este trabalho abrange desde a revisão bibliográfica do assunto em questão, passando pela análise dos modelos de transistores para alta-frequência, pelo estudo das especificações deste bloco e das métricas utilizadas em projetos de circuitos integrados de RF, bem como pela revisão de topologias clássicas existentes.

Com os conhecimentos acima adquiridos, foi possível realizar o projeto de um LNA diferencial de banda larga utilizando tecnologia CMOS IBM 130nm, o qual pode ser aplicado ao padrão IEEE 802.22 para rádios cognitivos (CR). O projeto é baseado na técnica de cancelamento de ruído, sendo validado após apresentar efetiva redução de figura de ruído para banda de frequência desejada, com moderado consumo de potência e utilização moderada de área de silício, devido a solução sem o uso de indutores.

O LNA banda larga opera em frequências de 50MHz a 1GHz e apresenta uma figura de ruído abaixo de 4dB, em 90% da faixa, um ganho acima de 12dB, e perda de retorno na entrada e na saída maiores que -12dB. O IIP3 e a frequência de ocorrência de compressão a 1dB com a entrada em 580MHz estão acima de 0dBm e -10dBm respectivamente. Possui consumo de 46,5mW para fonte de 1,5V e ocupa uma área ativa de apenas 0,28mm x 0,2mm.

**Palavras-Chave:** LNA, Amplificador de Baixo Ruído, Sistema RF, Projeto de circuitos integrados CMOS, Figura de Ruído.

# **A 50MHz-1GHz Wideband Low Noise Amplifier in 130nm CMOS Technology**

## **ABSTRACT**

This work presents the theoretical basis for the design of a low noise amplifier (LNA) in CMOS technology that operates in more than one frequency band, which enables its use in multi-band and wideband receivers.

The theoretical basis that this work will address extends from the literature review on the subject, through the analysis of models of MOS transistors for high frequencies, study of specifications of this block and the metrics used in RF integrated circuit design, as well as the review of existing classical LNA topologies.

Based on the knowledge acquired above, the design of a differential wideband LNA is developed using IBM 130nm RF CMOS process, which can be used in IEEE 802.22 Cognitive Radio (CR) applications. The design is based on the noise-canceling technique, with an inductorless solution, showing that this technique effectively reduces the noise figure over the desired frequency range with moderate power consumption and a moderate utilization of silicon die area.

The wideband LNA covers the frequency range from 50 MHz to 1 GHz, achieving a noise figure below 4dB in over 90% of the band of interest, a gain of 11dB to 12dB, and an input/output return loss higher than -12 dB. The input IIP3 and input P1dB at 580MHz are above 0dB and -10dB, respectively. It consumes 46.5mW from a 1.5V supply and occupies an active area of only 0.056mm<sup>2</sup> (0.28mm x 0.2mm).

**Keywords:** LNA, Low Noise Amplifier, RF System, Design of CMOS Integrated Circuits, Noise Figure.

# 1 INTRODUÇÃO

Atualmente, dispositivos móveis são amplamente utilizados para uma vasta gama de aplicações, sejam telefones celulares, tablets, assistentes pessoais digitais (PDA's), computadores pessoais, notebooks, console de jogos, televisores, etc. Essa crescente demanda de produtos de aplicação sem fio, exige além de baixo custo, CI's altamente integráveis para transceptores.

Ao acompanhar este crescimento, o número de padrões de comunicação sem fio vem aumentando cada vez mais para suprir estas necessidades tecnológicas, sendo que isto requer transceptores que possam operar em múltiplas bandas de frequência e em variadas aplicações.

Nesse contexto, encontra-se o padrão IEEE 802.22, conhecido como WRAN (*Wireless Regional Area Network*), cujo objetivo é proporcionar, através de rádios cognitivos, uma comunicação de dados através da utilização de canais de frequência ocasionalmente ociosos nas bandas VHF e UHF.

Ainda objeto de estudo, sabe-se que para haver a implantação dos radio cognitivos necessita-se de receptores capazes de trabalhar em mais de uma frequência, seja em frequências separadas (*multi-band*) ou em banda larga (*wideband*). Apesar de o receptor ser tratado como apenas um componente, o mesmo é formado por vários outros blocos, os quais também devem ser capazes de operar nas frequências desejadas, e é neste escopo que este trabalho se enquadra.

Após a antena, o primeiro componente de um receptor de rádio-frequência sem fio é o amplificador de baixo ruído (LNA). Sua principal função é amplificar o sinal para reduzir o ruído de estágios posteriores ao adicionar o mínimo de ruído possível.

Visando a necessidade de maiores estudos sobre LNAs que atendam receptores destinados ao padrão IEEE 802.22, este trabalho teve como objetivo o estudo e a prototipação de um LNA de banda larga, bem como a utilização de uma metodologia alternativa de projeto.

O trabalho apresenta inicialmente o estudo dos conceitos básicos de RF, passando posteriormente pela análise do comportamento dos transistores de tecnologia CMOS em RF. Então é realizada uma revisão na literatura sobre as topologias básicas de LNAs, bem como os mais utilizados em projetos multi-banda e banda larga. Por fim, é apresentado todo o projeto de um LNA banda larga, desde sua especificação até sua prototipação e preparação para medidas experimentais.

## 2 CONCEITOS BÁSICOS DE RF (RADIO FREQUÊNCIA)

A principal função do LNA (Low Noise Amplifier) é proporcionar ganho suficientemente alto para superar o ruído de estágios subsequentes (mixer, etc) de um sistema receptor de RF e adicionar o mínimo de ruído possível. Além disso, ele deve ser linear o suficiente para lidar com fortes interferências, sem introduzir distorção de intermodulação. O intervalo dinâmico de operação do amplificador é, portanto, determinado pelo ruído e não-linearidades do mesmo.

É importante ressaltar que um LNA também deve apresentar uma impedância específica para a fonte de entrada e na carga de saída. E em caso de dispositivos móveis, um parâmetro de projeto importante é o consumo de energia, devido à baixa duração das baterias desses aparelhos. Para correta caracterização e medição, estas e outras métricas de desempenho do LNA são estudadas nesta seção.

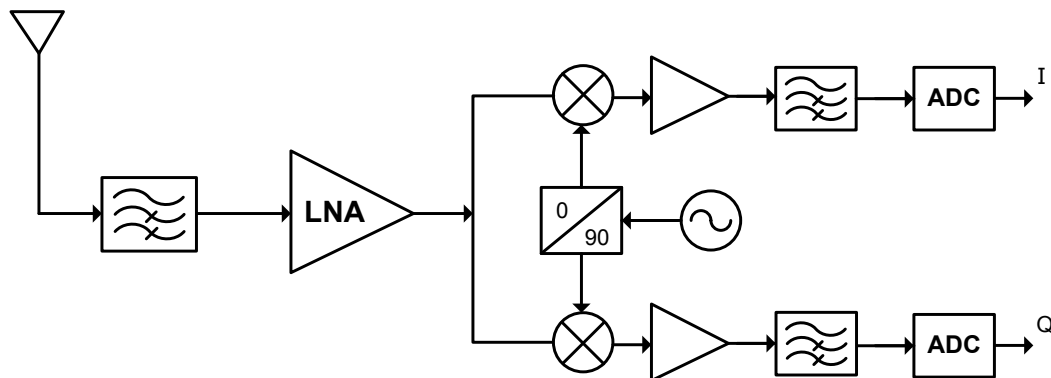


Figura 2.1: Diagrama de blocos de um sistema de recepção tipo heteródino em quadratura.

### 2.1 Linearidade

Um sistema é considerado linear se sua saída pode ser expressada como uma combinação linear (ou superposição) das respostas de entradas distintas (Razavi, RF Microelectronics 1998). Todo sistema que não satisfaz esta condição é considerado não linear. Levando-se em consideração que praticamente nenhum sistema real pode satisfazer esta condição, conclui-se que todo sistema real é não linear.

Baseado nesta afirmação, faz-se necessário o estudo dos principais efeitos não lineares considerados em circuitos analógicos e de RF.

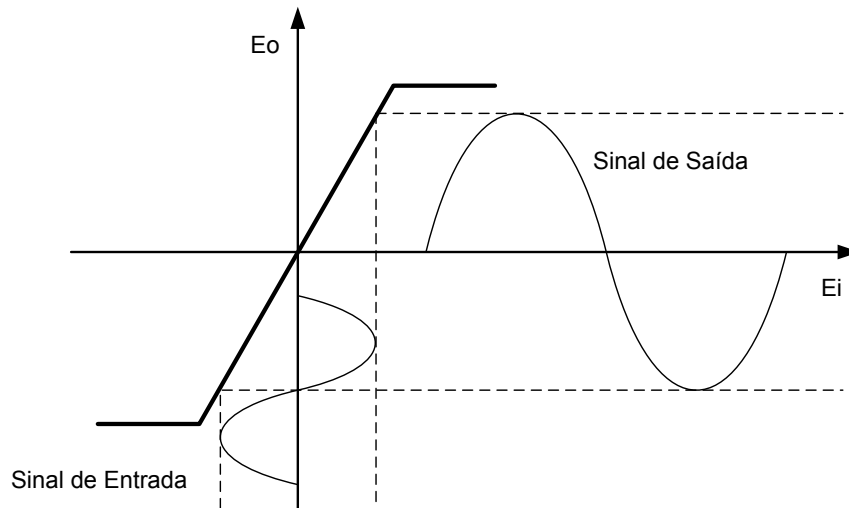


Figura 2.2: Curva de Transferência de Amplificador com dispositivos ativos.

## 2.2 Distorção

Distorção é definida pela alteração de sinais em uma banda desejada por sinais não desejados. Em sistemas não lineares, como dispositivos de RF, se um sinal senoidal é aplicado, geralmente sua saída irá apresentar componentes de frequência que são múltiplos inteiros da frequência de entrada (Razavi, RF Microelectronics 1998). Por exemplo, se a entrada:

$$x(t) = A \cos \omega t \quad (1)$$

é aplicada a um sistema não linear, a saída  $y(t)$  na forma polinomial em  $\cos(\omega t)$  é dada por:

$$y(t) = \alpha_1 A \cos \omega t + \alpha_2 A^2 \cos^2 \omega t + \alpha_3 A^3 \cos^3 \omega t \quad (2)$$

O termo com a frequência de entrada é chamada de fundamental e as de ordem maiores são chamadas de harmônicas.

$$y(t) = \frac{\alpha_2 A^2}{2} + \left( \alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos \omega t + \frac{\alpha_2 A^2}{2} \cos 2\omega t + \frac{\alpha_3 A^3}{4} \cos 3\omega t \quad (3)$$

Fatores de distorção harmônica  $HD_i$  (*Harmonic distortion factors*) fornecem uma medida para a distorção introduzida por cada harmônica para um dado nível de sinal de entrada (utilizando um tom simples para uma dada frequência).  $HD_i$  é definida como a relação dos níveis de sinal de saída da  $i^{th}$  harmônica da fundamental. Assumindo que:

$$\alpha_1 A \gg \frac{3\alpha_3 A^3}{4} \quad (4)$$

A segunda distorção harmônica  $HD_2$ , a terceira distorção harmônica  $HD_3$  e a distorção harmônica total  $THD$  são definidas como:

$$HD_2 = \frac{\alpha_2 \cdot A}{2 \cdot \alpha_1} \quad HD_3 = \frac{\alpha_3 \cdot A^2}{4 \cdot \alpha_1} \quad (5)$$

$$THD = \sqrt{HD_2^2 + HD_3^2 + HD_4^2 + \dots} \quad (6)$$

Em sistemas totalmente diferenciais, idealmente, harmônicos pares desaparecerão e apenas harmônicos ímpares permanecem. No entanto, em sistemas reais, descasamentos corrompem a simetria produzindo harmônicos finitos de mesma ordem.

### 2.3 Intermodulação

Quando dois sinais com diferentes frequências são aplicados a um sistema não linear, a saída apresenta algumas componentes que não são harmônicas da frequência de entrada. Este fenômeno é chamado de intermodulação, o qual surge da multiplicação de sinais não desejados devido a não linearidades presentes no circuito (Razavi, 1998).

Tradicionalmente, o método mais utilizado para medir a linearidade em função dos produtos de intermodulação é chamado "teste de dois tons". Através da aplicação dois tons de frequências próximas na entrada do sistema não linear, o qual irá apresentar componentes de frequência nas imediações da faixa de passagem desse sistema. Tais componentes são chamadas de produto de intermodulação (IM - *intermodulation*).

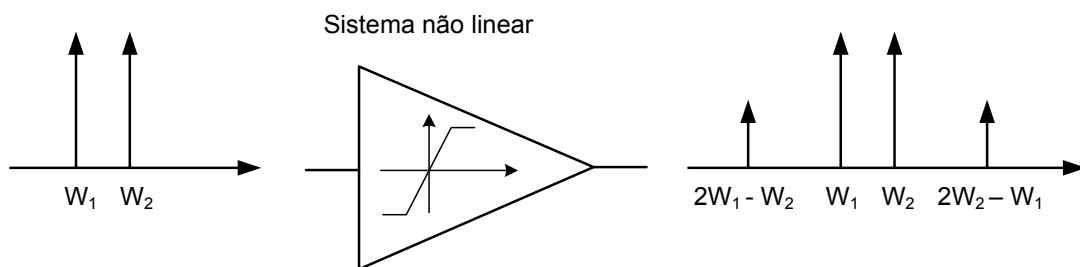


Figura 2.3: Produtos de Intermodulação em um sistema não linear.

Ao aplicar dois tons de frequência na entrada do circuito ( $\omega_1$  e  $\omega_2$ , com  $\omega_2 > \omega_1$ , conforme Figura 2.3), como por exemplo:

$$x(t) = x_1(t) + x_2(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t \quad (7)$$

A saída será:

$$y(t) = \alpha_1 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + \alpha_2 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + \alpha_3 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3 + \dots \quad (8)$$

Desprezados os termos de ordem maior que três e a partir de identidades trigonométricas, pode-se encontrar:

- As frequências fundamentais:

$$\cos\omega_1 t \left( \alpha_1 A_1 + \frac{3}{4} \alpha_3 A_1^3 + \frac{3}{2} \alpha_3 A_1 A_2^2 \right) \quad (9)$$

$$\cos\omega_2 t \left( \alpha_1 A_2 + \frac{3}{4} \alpha_3 A_2^3 + \frac{3}{2} \alpha_3 A_2 A_1^2 \right) \quad (10)$$

- Os termos de segunda ordem:

$$\cos 2\omega_1 t \left( \frac{1}{2} \alpha_2 A_1^2 \right); \quad \cos 2\omega_2 t \left( \frac{1}{2} \alpha_2 A_2^2 \right) \quad (11)$$

- Um produto de intermodulação de segunda ordem:

$$\alpha_2 A_1 A_2 [\cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t] \quad (12)$$

- Os termos de terceira ordem:

$$\cos 3\omega_1 t \left( \frac{1}{4} \alpha_3 A_1^3 \right); \quad \cos 3\omega_2 t \left( \frac{1}{4} \alpha_3 A_2^3 \right) \quad (13)$$

- Produtos de intermodulação de terceira ordem:

$$\frac{3}{4} \alpha_3 A_1^2 A_2 [\cos(2\omega_1 + \omega_2)t + \cos(2\omega_1 - \omega_2)t] \quad (14)$$

$$\frac{3}{4} \alpha_3 A_1 A_2^2 [\cos(2\omega_2 + \omega_1)t + \cos(2\omega_2 - \omega_1)t] \quad (15)$$

Através destas equações, pode-se observar que os produtos de intermodulação de 3° ordem (IM3)  $2\omega_2 - \omega_1$  e  $2\omega_1 - \omega_2$  estão situados próximos a  $\omega_1$  e  $\omega_2$ , tornando-se mais próximo quando a diferença entre  $\omega_1$  e  $\omega_2$  for menor.

O efeito dos produtos de intermodulação de 3° ordem, além de muito comum, também é muito crítico em sistemas de RF, de modo que uma métrica de desempenho foi definida para caracterizar esse comportamento, conhecido como ponto de interceptação de terceira ordem (IP3 - *Third-order intercept point*). O IP3 é definido como o ponto em que a potência do sinal de entrada gera um produto de intermodulação de terceira ordem com a mesma potência da componente fundamental, como mostrado na Figura 2.4.

Analisando as equações dos produtos de intermodulação de terceira ordem, eq. ( 14 ) e eq. ( 15 ), observa-se que as amplitudes destes sinais são proporcionais ao cubo da amplitude do sinal de entrada, ou seja, os termos aumentam três vezes mais rápido que o termo fundamental. A Figura 2.4 apresenta uma análise dos sinais de entrada e saída através de um gráfico logarítmico de Entrada (dBm) versus a Saída (dBm), onde pode



ser visto que ao variar a amplitude do sinal de entrada, haverá diferentes inclinações para a fundamental e para o produto de intermodulação de terceira ordem.

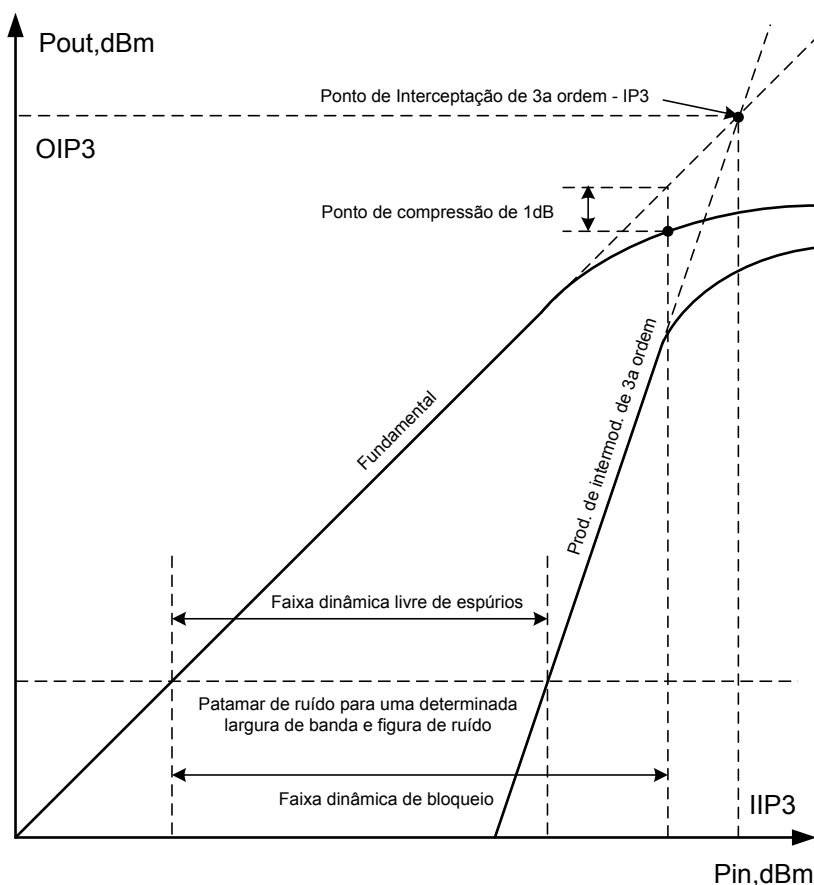


Figura 2.4: Métricas utilizadas em projetos de RF (Navas, 2005).

No teste de dois tons, o ponto de interceptação de terceira ordem de entrada (IIP3) pode ser interpretado como a metade da diferença entre as magnitudes da fundamental e dos produtos de IM3 na saída, mais o nível de entrada correspondente. Esta aproximação fornece uma estimativa de IIP3, cujo valor deve ser obtido através da interseção extrapolada das duas curvas apresentadas na Figura 2.4, contudo, esta interseção não ocorre na prática devido ao efeito compressor dos circuitos.

## 2.4 Ponto de compressão de 1 dB

O ponto de compressão de 1dB (P1dB - *Compression Point*) é definido como o nível de entrada que causa uma redução de 1dB na potência de saída da fundamental em relação ao ganho linear. Sabe-se que o ganho de um sistema linear é constante para qualquer amplitude de entrada, mas o ganho de um sistema real não tem um valor constante e varia segundo a amplitude do sinal de entrada aplicado.

Logo, analisando-se a equação na Figura 2.5, observa-se que, se  $A$  for suficientemente pequeno, o valor referente a  $\alpha_3$  pode ser desprezado, porém se  $A$  aumentar, o valor referente a  $\alpha_3$  se tornará importante, pois esta é proporcional a  $A^3$ . Logo, o ganho diminui com o aumento da amplitude de sinal na entrada do sistema, caracterizando o ponto de compressão de 1 dB.

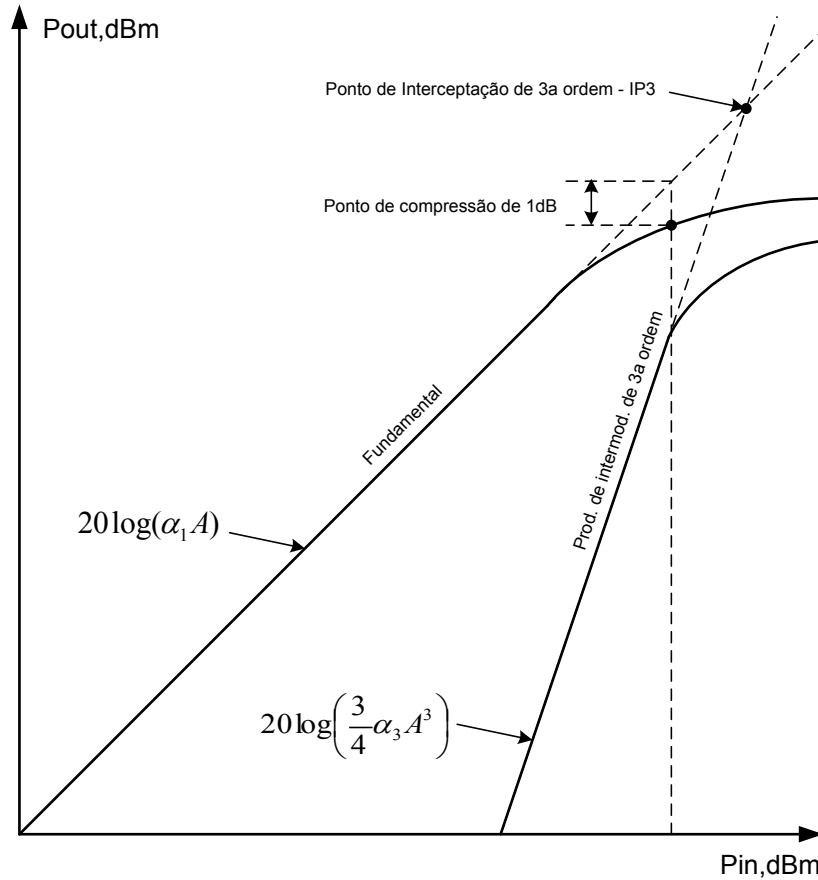


Figura 2.5: Ponto de compressão de 1 dB.

O  $P_{1dB}$  é um parâmetro que mostra o limite de distorção aceito por um sistema. Para encontrá-lo basta extrapolar a curva fundamental e observar o ponto em que a diferença entre a curva real e a extrapolada for igual a 1dB.

$$V_{1dB} = \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|} \quad V_{IP3} = \sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (16)$$

$$\frac{V_{IP3}}{V_{1dB}} = \frac{\sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|}}{\sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|}} = \sqrt{\frac{4}{3 \times 0.145}} = 3.03 \quad (17)$$

$$IP_3 = P_{1dB} + 9.6dB \quad (18)$$

## 2.5 Estágios não lineares em cascata

Em sistemas de RF, sinais são processados através de estágios em cascata, logo, é importante ter conhecimento de como a não linearidade de cada estágio contribui para todo o sistema. Particularmente, é conveniente calcular todos os IIP3 em termos de IP3 e ganho dos estágios individuais.



Figura 2.6: Estágios não lineares em cascata.

Na Figura 2.6, considera-se  $n$  estágios não lineares em cascata, sendo o IIP3 global dado por  $A_{IIP3}$  como:

$$\frac{1}{A_{IIP3}^2} = \frac{1}{A_{IIP3,1}^2} + \frac{G1^2}{A_{IIP3,2}^2} + \frac{G1^2 \cdot G2^2}{A_{IIP3,3}^2} + \dots \quad (19)$$

onde  $A_{IIP3,n}$  e  $G_n$  são IIP3 e ganho do estágio  $n$ , respectivamente

## 2.6 Ruído

O ruído pode ser definido como qualquer interferência aleatória não relacionada com o sinal de interesse. As principais fontes de ruído em circuitos são: o ruído térmico, o qual é gerado por resistores e transistores, o ruído flicker (também conhecido como ruído  $1/f$ ), possui origem devido à contaminação e defeitos do cristal, logo, pode ser encontrado em todos os dispositivos ativos, e por último, o ruído shot, o qual está associado às flutuações no número de elétrons remetidos por uma fonte (Razavi, 1998).

Não faz parte do escopo deste trabalho um estudo detalhado especificamente sobre ruído, mas sim o conhecimento das fontes de ruído (Seção 3.4), das técnicas de projeto de circuitos integrados e de medidas das mesmas fontes. A seguir são apresentadas as principais métricas de desempenho utilizadas para caracterizar o comportamento do ruído em sistemas analógicos e de RF.

### 2.6.1 Ruído referenciado à entrada

Considerando o circuito real da Figura 2.7, no qual uma fonte ideal é conectada a um amplificador de resistência  $R_o$ , para o qual  $N_{out} = A^2 \cdot N_o + N_{ckt}$  é a densidade

de ruído na saída,  $N_o$  é o ruído da resistência de entrada,  $N_{ckt}$  é a densidade de ruído gerado pelo circuito e  $A$  é ganho do circuito amplificador.

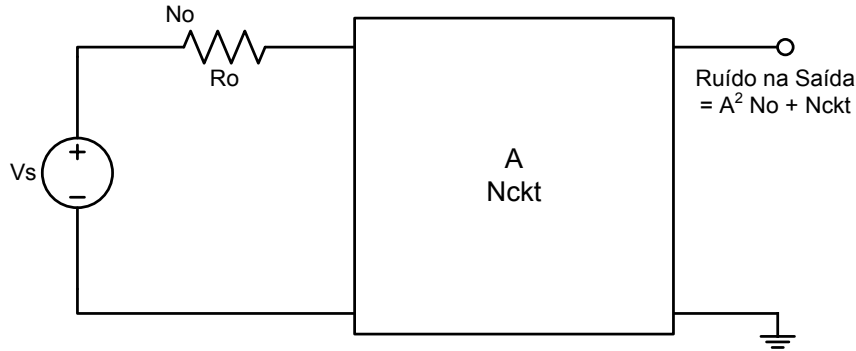


Figura 2.7: Performance do ruído em um circuito real.

Logo, o ruído referenciado à entrada é definido como:

$$N_{inp,ref} = \frac{N_{out}}{A^2} = N_o + \frac{N_{ckt}}{A^2} \quad (20)$$

### 2.6.2 Figura de ruído

Figura de ruído (NF - *Noise Figure*) e Fator de ruído, ambos são utilizados como métricas de desempenho em projetos de circuitos integrados em RF, sendo que a primeira corresponde a segunda expressa em dB. Quando um sinal elétrico passa por um determinado circuito real, sempre haverá a degradação da relação sinal ruído (SNR), e a forma mais utilizada para mensurar esta degradação é a medida da figura de ruído, a qual determina a sensibilidade de um sistema de RF, onde F é o fator.

$$NF = 10 \cdot \log F \quad (21)$$

Através de análises prévias, o fator ruído, que mede todo ruído produzido por um dispositivo RF relacionado com ruído térmico na entrada, pode ser definido como:

$$F = \frac{N_{out}}{N_{in}} = \frac{N_{out}}{A^2 \cdot N_o} = \frac{A^2 \cdot N_o + N_{ckt}}{A^2 \cdot N_o} = 1 + \frac{N_{ckt}}{A^2 \cdot N_o} \quad (22)$$

A figura de ruído de um circuito pode ser definida como a relação sinal-ruído (SNR) na porta de entrada dividida pela SNR na porta de saída.

$$F = \frac{SNR_{entrada}}{SNR_{saída}} \quad (23)$$

onde:

$F$  – Fator Ruído;

$SNR_{entrada}$  – Relação sinal ruído de entrada;

$SNR_{saída}$  – Relação sinal ruído de saída.

### 2.6.3 Figura de Ruído de estágios em cascata

Para estágios em cascata, a figura de ruído total pode ser obtida em termos de figura de ruído e ganhos de cada estágio.

Considerando que  $n$  figuras de ruído em cascata são apresentados na Figura 2.8, onde  $N_{in}$ ,  $N1$ ,...  $N_{out}$  são os ruídos na entrada, no estágio de saída 1, e na saída, respectivamente.

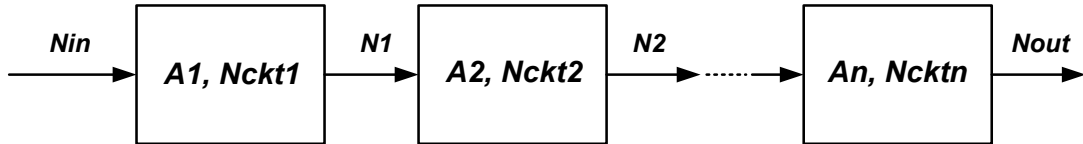


Figura 2.8: Estágios de ruído em cascata.

Assim, através da eq. ( 19 ), o ruído referenciado à entrada devido a  $N1$ ,  $N2$ ,... $Nn$ , torna-se:

$$N_{inp,ref} = \frac{N_{out}}{A_1^2 \cdot A_2^2 \dots A_n^2} \quad (24)$$

Logo, através da eq. ( 20 ), o fator ruído total pode ser expressa como:

$$F_{total} = F_1 + \frac{F_2 - 1}{A_1^2} + \frac{F_3 - 1}{A_1^2 \cdot A_2^2} + \dots + \frac{F_n - 1}{A_1^2 \cdot A_2^2 \dots A_n^2} \quad (25)$$

## 2.7 Parâmetros de espalhamento

Em sistemas de RF, parâmetros de espalhamento (ou parâmetros-S) desempenham um importante papel importante devido ao fato de que, para altas frequências, as medidas em circuito aberto e em curto-circuito não são mais aplicáveis, e o modelo de rede para ondas eletromagnéticas se aplica. Em altas frequências, um circuito com saída em curto ( $R_{load} = 0$ ) não se comporta como deveria devido à indutância dos fios. O mesmo acontece com circuitos abertos, onde se tem um comportamento capacitivo da carga.

Logo, parâmetros-H e parâmetros-Z são difíceis de ser utilizados. Além disso, o objetivo em questão é mensurar a potência incidente e refletida na onda de uma rede de duas portas para blocos de RF, sendo que os parâmetros-S são a melhor maneira de descrever estes parâmetros de redes de duas portas.

### 2.7.1 Definição de parâmetros-S

Os parâmetros-S (*SP*) são utilizados para definir a relação de entrada e saída de uma rede em forma de coeficientes de reflexão e transmissão, utiliza-se o fato de que uma linha de transmissão terminada em sua impedância característica ( $Z_0$ ) não tem reflexões e define as variáveis de entrada e saída em termos de ondas de tensão incidente e refletida/espalhada (Lee, 2004).

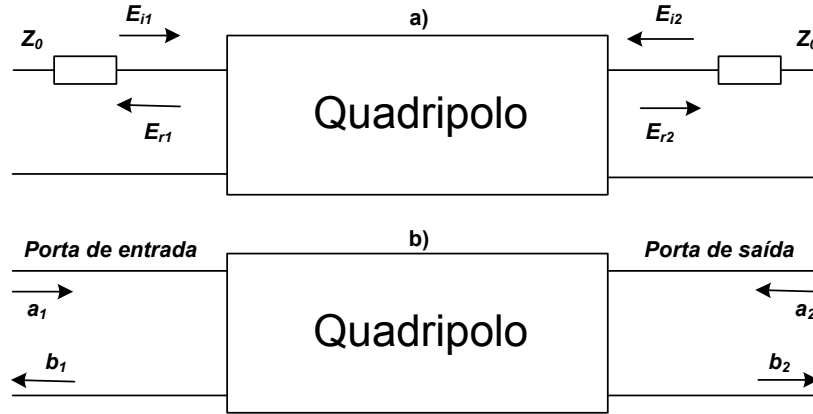


Figura 2.9: (a) Definição dos *SP* e (b) ondas incidente e refletida em um quadripolo.

O quadripolo apresentado na Figura 2.9 pode ser descrito como:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (26)$$

Onde:

$S_{11}$  - coeficiente de reflexão de entrada;

$S_{21}$  - ganho direto;

$S_{22}$  - coeficiente de reflexão de saída;

$S_{12}$  - ganho reverso.

$a_n$  - potência da onda de entrada

$b_n$  - potência da onda de saída

Os valores normalizados são dados por:

$$a_1 = \frac{E_{i1}}{\sqrt{Z_0}} \quad a_2 = \frac{E_{i2}}{\sqrt{Z_0}} \quad b_1 = \frac{E_{r1}}{\sqrt{Z_0}} \quad b_2 = \frac{E_{r2}}{\sqrt{Z_0}} \quad (27)$$

Onde  $E_i$  e  $E_r$  são as potências da onda incidente e refletida, respectivamente. A normalização em relação à  $\sqrt{Z_0}$  permite considerar a magnitude dos parâmetros  $a_n$  e  $b_n$  iguais à potência da onda incidente ou refletida.

Para obter os parâmetros  $S_{21}$  e  $S_{11}$ , deve-se aplicar o sinal na entrada do circuito com a saída terminada em  $Z_0$ , logo, tem-se que  $a_2=0$ , e tendo em vista que,  $E_{r2}=0$ , temos:

$$S_{11} = \frac{b_1}{a_1} = \frac{E_{r1}}{E_{i1}} = \Gamma_1 \quad S_{21} = \frac{b_2}{a_1} = \frac{E_{r2}}{E_{i1}} \quad (28)$$

Onde  $S_{11}$  e  $\Gamma_1$  representam o coeficiente de reflexão do sinal na entrada,  $S_{21}$  representa o ganho direto, pois relaciona a onda de saída em relação à onda de entrada.

Para obter  $S_{12}$  e  $S_{22}$  deve-se aplicar o sinal na saída do circuito com a entrada terminada em  $Z_0$ , onde temos que:

$$S_{22} = \frac{b_2}{a_2} = \frac{E_{r2}}{E_{i2}} = \Gamma_2 \quad S_{12} = \frac{b_1}{a_2} = \frac{E_{r1}}{E_{i2}} \quad (29)$$

Onde  $S_{22}$  e  $\Gamma_2$  representam o coeficiente de reflexão do sinal na saída,  $S_{12}$  representa o ganho reverso.

Através do ganho direto ( $S_{21}$ ) é possível obter outra métrica bastante utilizada em amplificadores, o ganho de transdução ( $G_T$ ), que por definição é a razão entre a potência efetivamente entregue à carga e a potência disponível do gerador.

$$G_T = \frac{\text{potência entregue na carga}}{\text{potência entregue pela fonte}} = |S_{21}|^2 \quad (30)$$

## 2.8 Estabilidade

Estabilidade é uma característica fundamental para o projeto de um amplificador, o qual não deve apresentar nenhuma condição na qual ele possa entrar em oscilação. Oscilações são possíveis quando a entrada ou a saída apresentarem uma resistência negativa (Vizmuller, 1995). Um casamento simultâneo das portas de entrada e saída de um amplificador incondicionalmente estável irá entregar a máxima potência.

Há na literatura diversos fatores que determinam a estabilidade de um circuito, no entanto, não faz parte do escopo deste trabalho um estudo detalhado especificamente sobre esses fatores, mas sim o conhecimento de sua existência e as principais formas de mensurá-los.

A principal forma de verificar a estabilidade é pela determinação do Fator K, o qual é uma medida da estabilidade do amplificador, que deriva das condições de estabilidade básica das potências refletidas de entrada e saída, e que devem ser sempre menores que a potência incidente. Para  $\Delta = S_{11}S_{22} - S_{12}S_{21}$ , o Fator K dado por (Vizmuller, 1995) é:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2 |S_{12}S_{21}|^2} \quad (31)$$

Um circuito é incondicionalmente estável para um  $K > 1$  e  $\Delta < 1$ .

## 2.9 Sensibilidade e Faixa Dinâmica

Define-se a sensibilidade de um receptor como a mínima magnitude de sinal que o sistema consegue detectar com uma aceitável relação sinal-ruído (Razavi, 1998). Abaixo segue o cálculo da sensibilidade.

$$NF = \frac{SNR_{in.}}{SNR_{out}} = \frac{P_{sig}/P_{Rs}}{SNR_{out}} \quad (32)$$

$$P_{sig} = P_{Rs} \cdot NF \cdot SNR_{out} \quad (33)$$

Onde:

$P_{sig}$  - Potência do sinal na entrada;

$P_{Rs}$  - Potência do ruído gerado pela resistência da fonte do sinal.

Pode-se observar que a equação acima prediz a sensibilidade como a potência mínima de sinal de entrada que é necessária para atingir um certo valor para a relação sinal-ruído na saída. Levando-se em consideração que a potência do sinal está distribuída ao longo da banda do canal de comunicação, a potência média pode ser obtida utilizando  $P_{sig} = P_{in.,min}$  e  $SNR_{out} = SNR_{min}$  expressas em dB (ou dBm) através da seguinte expressão:

$$P_{in.,min} \text{ dBm} = P_{Rs} \text{ dBm/Hz} + SNR_{min} \text{ dB} + 10\log B \quad (34)$$

Onde:

$P_{in.,min}$  - Potência mínima de sinal na entrada necessária para atingir o SNR mínimo;

$B$  - Banda em Hz.

Em um sistema com um casamento de impedâncias na entrada,  $P_{Rs}$  pode ser definido como a potência de ruído que a resistência característica da fonte de sinal transfere à impedância de entrada do circuito considerando a banda igual a 1Hz. Logo:

$$P_{Rs} = \frac{4KTR_S}{4} \frac{1}{R_{in.}} = KT = -174\text{dBm/Hz} \quad (35)$$

para temperatura ambiente:

$$P_{in.,min} = -174\text{dBm/Hz} + NF + 10\log B + SNR_{min} \quad (36)$$



Nota-se que a soma dos três primeiros termos da equação acima é o ruído total do sistema, o qual algumas vezes, é chamado de ruído de fundo (*noise floor*).

Com relação à Faixa Dinâmica (DR - *Dynamic Range*), esta geralmente é definida na literatura como a razão entre a máxima magnitude de sinal de entrada que o circuito consegue tolerar e a mínima magnitude de entrada que o circuito pode detectar, mantendo uma razoável qualidade do sinal na saída (Razavi, 1998). Em sistemas de RF, a magnitude máxima geralmente é determinada através do comportamento dos produtos de intermodulação, e a magnitude mínima é determinada através da sensibilidade. Tal definição é conhecida como faixa dinâmica livre de espúrios (SFDR - *Spurious-free dynamic range*).

Em um teste de dois tons, o limite máximo da faixa dinâmica pode ser definido como a máxima magnitude aplicada à entrada do circuito, na qual os produtos de intermodulação se mantenham abaixo do ruído de fundo. Através da Figura 2.4, sabe-se que:

$$\Delta P = P_{out} - P_{IM.,out} \quad (37)$$

considerando que  $P_{out} - P_{in.} + G$  e  $P_{IM.,out} = P_{IM.,in.} + G$  (38)

onde:

$G$  - Ganho de tensão do circuito;

$P_{IM.,in.}$  - Potência dos produtos de intermodulação relacionados à entrada.

Tem-se que: 
$$P_{in.} = \frac{2P_{IIP3} + P_{IM.,in.}}{3} \quad (39)$$

O nível de entrada para que os produtos de intermodulação sejam iguais ao ruído de fundo é dada por:

$$P_{in.,max} = \frac{2P_{IIP3} + F}{3} \quad (40)$$

onde 
$$F = -174dBm + NF + 10\log B \quad (41)$$

logo, por definição, temos que:

$$SFDR = \frac{2(P_{IIP3} - F)}{3} - SNR_{min} \quad (42)$$

### 3 TRANSISTORES MOS EM RF

Os avanços na fabricação CMOS resultaram em transistores com maiores frequências de transmissão e menores valores de figura de ruído. Projetistas de RF já exploram a tecnologia CMOS em circuitos de RF, cujo avanço no desempenho dos MOSFETs tornou atraente para alta frequência (HF – *High Frequency*) o projeto de circuito no sentido de uma realização SoC (*System-on-a-chip*), onde blocos digitais, de sinal misto de banda base e blocos transceptores em HF seriam integrados em um único chip. Para se ter um ambiente de projeto eficiente, ferramentas CAD com modelos precisos para dispositivos ativos e parasitas são essenciais. Sabe-se que para aplicações analógicas e de RF, a precisão das simulações do circuito é fortemente determinada por estes modelos do dispositivo, tornando-se crucial para prever o desempenho do circuito.

Na maioria dos simuladores de circuitos disponíveis no mercado, os modelos de transistores MOS tem sido originalmente desenvolvido para projetos de circuitos analógicos de baixa frequência e circuitos CMOS digitais, cujos elementos parasitas podem ser desprezados. No entanto, com o aumento da frequência de operação dentro da faixa gigahertz, a importância dos componentes extrínsecos (que consideram todos os parasitas) torna-se tão importante quanto os intrínsecos (núcleo do dispositivo sem parasitas). Portanto, um modelo de RF com a consideração do comportamento em HF de ambos os tipos de componentes (intrínsecos e extrínsecos) em MOSFETs é extremamente importante para a obtenção de resultados precisos e preditivos na simulação de um circuito projetado.

Até recentemente, os modelos de MOSFET mais compactos não incluíam a resistência de porta ( $R_g$ ). No entanto, o ruído térmico adicionado pela resistência deve ser considerado como transistores MOS próximos a frequências gigahertz, e efeitos resistivos e capacitivos (RC) na porta devem ser bem modelados, uma vez que ambos efeitos são importantes no projeto de circuitos CMOS em RF.

A resistência de porta também irá afetar significativamente a admitância de entrada em RF, logo, um modelo sem  $R_g$  não pode prever com precisão as características de um dispositivo em HF, impossibilitando, por exemplo, a utilização desta resistência para o casamento de impedância com o objetivo de se conseguir a máxima transferência de potência. Além disso, o ruído térmico introduzido por  $R_g$  aumenta a figura de ruído do transistor e reduz a  $F_{max}$  (frequência que o ganho de tensão máximo disponível do dispositivo é igual a 1), o qual é um importante parâmetro no projeto de circuitos de Radio Frequência, juntamente com a frequência de transição  $F_t$ , a frequência na qual o ganho de corrente do dispositivo é igual a 1.

Outro componente importante que quase todos os modelos compactos implementados em simuladores de circuitos comerciais não levam em conta é a resistência do substrato. Na verdade, os efeitos do acoplamento de substrato através das junções de fonte e dreno e essas componentes de resistência de substrato desempenham um papel importante na contribuição para a admitância de saída, logo, a inclusão dessas componentes de substrato em um modelo RF se faz necessário. Um modelo MOSFET sem os componentes de resistência do substrato não possibilita prever a dependência ou o comportamento em frequência da admitância de saída do dispositivo, portanto, a

simulação com esse modelo irá apresentar resultados de simulação não confiáveis da admitância de saída quando a frequência de operação do dispositivo estiver em um intervalo acima de 1 gigahertz.

### 3.1 Efeitos Não Quase Estáticos (NQS - *Non-Quasi-Static models*)

Sabe-se que em altas frequências o modelo quase estático (*quasi-static model*) do transistor MOS não pode ser utilizado, pois o mesmo não considera o tempo de resposta para a formação ou alteração do canal do transistor após a aplicação de uma polarização. Porém, antes de utilizar o modelo não quase estático (NQS), deve-se conhecer quais as causas e efeitos são considerados em sua formulação.

Para os componentes intrínsecos dos transistores, em geral, assume-se que cada terminal consiste de uma fonte DC e uma componente senoidal, como na Figura 3.1. Pode se supor, inicialmente que apenas uma tensão de pequeno sinal é diferente de zero no tempo. Se  $V_s$  está variando lentamente, a carga da camada de inversão tem tempo para seguir sem praticamente nenhum atraso, onde tal efeito pode ser modelado conectando um capacitor  $C_{gs}$  entre a fonte e a porta do transistor. No entanto, se a variação de  $V_s$  é muito rápida, a inércia da camada de inversão deixa de ser insignificante, e o efeito (mudança na carga da porta) virá após a causa (mudança na tensão da fonte). Um efeito similar será observado entre o dreno e a porta, bem como entre a fonte e o dreno no substrato.

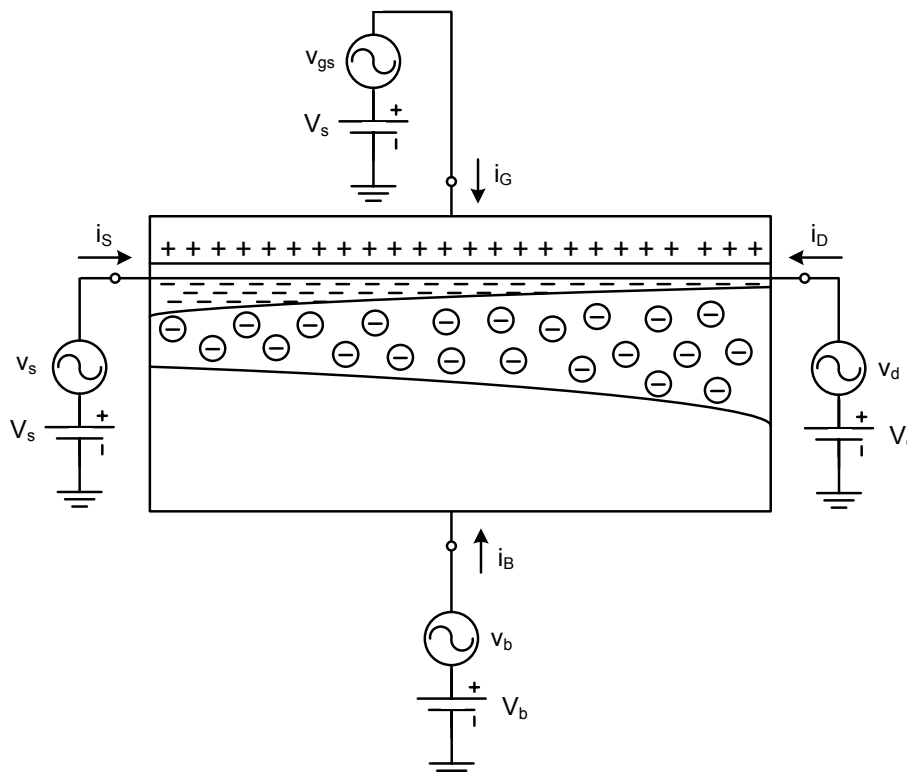


Figura 3.1: Transistor intrínseco com fontes de polarização DC e fontes de tensão de pequenos sinais (Tsividis, 1999).

Considerando agora uma tensão na porta, se  $V_g$  está variando muito rápido, a carga na camada de inversão não tem tempo o suficiente para responder, logo a admitância  $Y_{dg}$ , que modela esta resposta, será pequena. Além disso, o ângulo desta admitância deve ser significativo e negativa, por causa do atraso entre a causa (a variação na tensão da porta) e o efeito (a variação na corrente de dreno). E finalmente, observações similares podem ser consideradas para efeitos da tensão de substrato na carga da camada de inversão.

Todos esses efeitos serão observados se a frequência de operação exceder o limite de operação do modelo quase estático. Este limite é proporcional a  $W_0$ , o qual se torna proporcional a  $1/L^2$  na ausência da velocidade de saturação. Um modo de modelar a velocidade de saturação em frequências acima do limite é (a princípio) dividir o transistor em seções ao longo do canal, cujo comprimento de cada uma é escolhido de forma que, para ele, o modelo quase estático possa ser usado. A combinação dos modelos de todas as seções será então o modelo válido para todo transistor na frequência de interesse. Como afirmado por (Tsividis, 1999), toda a análise matemática feita neste sentido já está bem estabelecida na literatura, logo, não fará parte do escopo deste trabalho.

### 3.2 Modelamento em RF

Normalmente, o modelamento de MOSFETs em RF remete-se a frequências acima da frequência de transição (*cutoff*) do dispositivo. Para essas aplicações, o modelo NQS de pequenos sinais torna-se indispensável para a parte intrínseca. No entanto, a parte extrínseca não deve ser esquecida. Efeitos distribuídos podem ser modelados usando aproximações.

Usualmente, em dispositivos de canal curto e longo que apresentam efeitos não quase estáticos, o modelo NQS é utilizado para a parte intrínseca, cujas resistências são aquelas das regiões de dreno, fonte, porta e substrato, como por exemplo, na Figura 3.2, onde pode ser observado que, cada resistência é dividida em subresistências conectadas a um nó comum, de modo que, as capacitâncias apropriadas sejam conectadas a este nó.

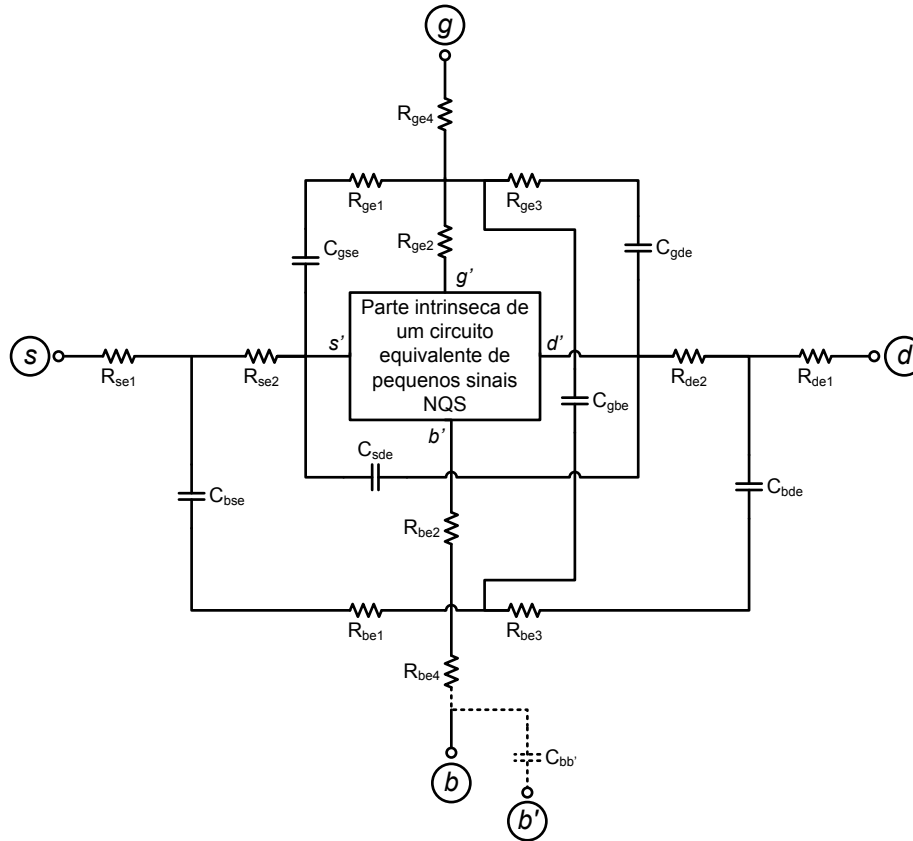


Figura 3.2: Modelo de pequenos sinais para um transistor completo (Tsividis, 1999).

Embora este nível de modelamento seja bastante desejado, na prática é complicado de ser implementado devido a dificuldade de determinar os valores destas subresistências. Isto é particularmente verdade para as subresistências de porta e substrato. Nesses casos, pode-se ter de recorrer ao modelo indicado na Figura 3.3, onde se percebe que algumas vezes, os modelos mais simples são os que devem ser utilizados, seja omitindo alguns efeitos ou até mesmo utilizando um completo modelo quase estático.

Tais modelos altamente simplificados são muito úteis, por exemplo, quando parasitas extrínsecos são dominantes no comportamento do dispositivo, limitando a sua aplicação a frequências mais baixas do que aqueles em que o efeito de componentes intrínsecos faria efeito. Outra utilidade seria com relação a parâmetros de extração, cujos elementos são frequentemente atribuídos qualquer valor que torne o modelo mais próximo das medidas. Estes valores atribuídos não são físicos, porém são utilizados para compensar as insuficiências do modelo, o que pode resultar em previsões muito diferentes do real comportamento dos componentes do sistema. Ou seja, o fato de modelos simplificados oferecerem resultados satisfatórios em alguns casos não os torna confiáveis, muito pelo contrário, haverá casos em que estes mesmos modelos serão totalmente falhos para previsões de certos fenômenos que são encontrados em modelos completos como o da Figura 3.2.

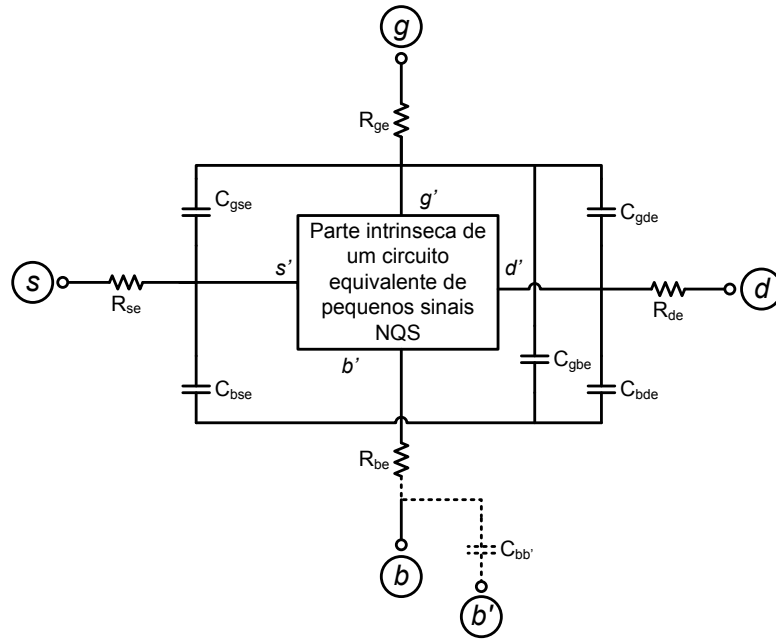


Figura 3.3: Modelo prático de pequenos sinais para um transistor (Tsividis, 1999).

**3.2.1 Resistência de Porta (Rg)**

Normalmente em aplicações de RF são utilizados componentes com portas de comprimento longo, gerando valores de largura (W) do canal bastante altos, cujos efeitos da resistência de porta podem ser bem significantes. Através da Figura 3.4b, pode-se observar que a resistência de porta forma uma distribuição de um circuito RC juntamente com a capacitância do canal da porta. Uma forma de entender este efeito é através da divisão do dispositivo em vários subdispositivos, como por exemplo, a Figura 3.4b. Onde  $R_{ge}$  representa a resistência de porta total, que na Figura 3.4a é dada por  $(W/L) R_{\square}$ , onde  $R_{\square}$  é a resistência de folha da porta. É claro que a resistência de porta é de pouca importância para os subdispositivos que se encontram à esquerda, mas torna-se cada vez mais importante para os que estão à direita. O sinal da porta dos subdispositivos será significativamente deslocado de fase, devido às resistências e capacitâncias de porta à sua esquerda.

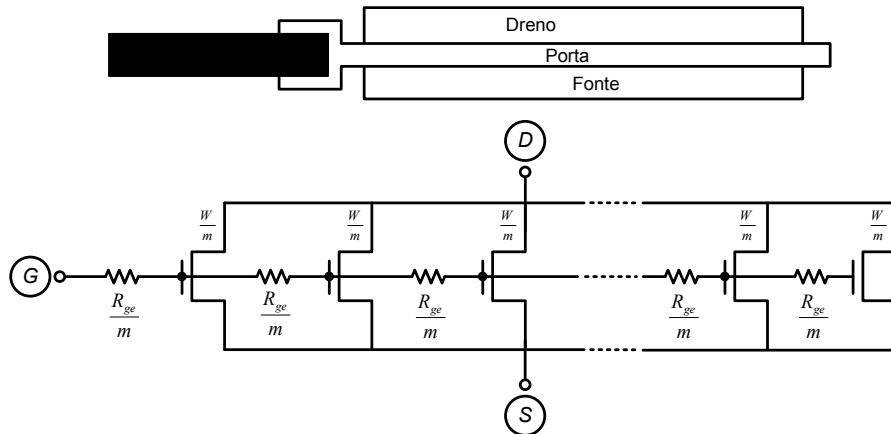


Figura 3.4: (a) Layout de um transistor simples; (b) aproximação de conjuntos (Tsividis, 1999).

Através de equações básicas e considerando  $m$  próximo de infinito, (Tsividis, 1999) mostra que o efeito distribuído da resistência de porta pode ser aproximado através de um simples transistor, com a resistência de porta efetiva da eq.( 43 ), cujo valor pode ser usado no lugar de  $R_{ge}$  no modelo de pequenos sinais da Figura 3.4b.

$$R_{ge,eff} = \frac{1}{3} \frac{W}{L} R_{\square} \quad (43)$$

Além de afetar a resposta em frequência, a resistência de porta também irá contribuir com ruído, sendo que para baixas frequências, ele poderá ser modelado utilizando um valor efetivo simples para a resistência de porta, o qual será novamente dado pela equação ( 43 ). Dependendo das dimensões da geometria e da resistividade de porta, este ruído pode em alguns casos ser significativamente maior que o produzido pela parte intrínseca do dispositivo. Em altas frequências o ruído da resistência de porta tende a ser filtrado pela capacitância da porta, e o ruído total se aproxima do produzido pela parte intrínseca.

Se a porta está conectada em ambos os lados como na Figura 3.5, o efeito será equivalente a se ter dois dispositivos, cada um com uma porta de  $W/2$  e a resistência de porta com a metade do valor total em paralelo, sendo que a resistência efetiva será 4 vezes menor, como segue abaixo:

$$R_{ge,eff} = \frac{1}{12} \frac{W}{L} R_{\square} \quad (44)$$

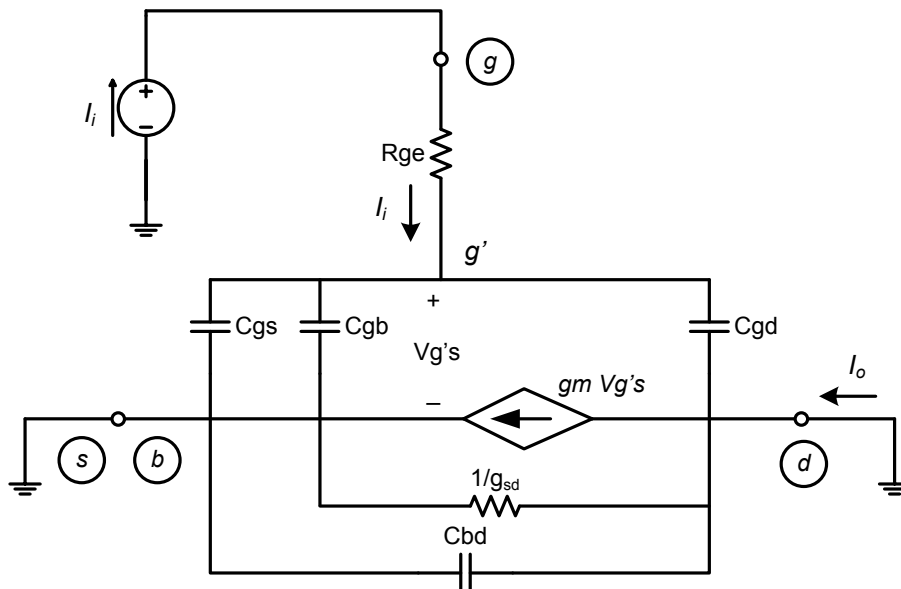


Figura 3.5: Transistor com contato da porta em ambos os lados (Tsividis, 1999).

No projeto de *layouts* de circuitos analógicos/RF, frequentemente utiliza-se vários pequenos transistores funcionando como apenas um. Isto é feito para se obter menor  $R_{ge}$  através das múltiplas portas (*multi-finger*), e também para facilitar o casamento dos transistores com outros dispositivos.

### 3.3 Freqüência de Trabalho

Há duas formas amplamente difundidas de se determinar a máxima freqüência que um transistor pode operar, a primeira é através da freqüência de ganho unitário de corrente  $f_T$  e a segunda é a freqüência de ganho unitário de potência  $f_{max}$ . A primeira ( $f_T$ ) calcula-se assumindo que o transistor esteja em saturação, que o dreno seja terminado em um curto circuito incremental e que a porta seja alimentada por uma fonte de corrente na entrada. Através da aproximação do modelo na Figura 3.6, desprezando a contribuição de realimentação da corrente de saída e a resistência de porta  $R_g$ , temos que (Lee, 2004):

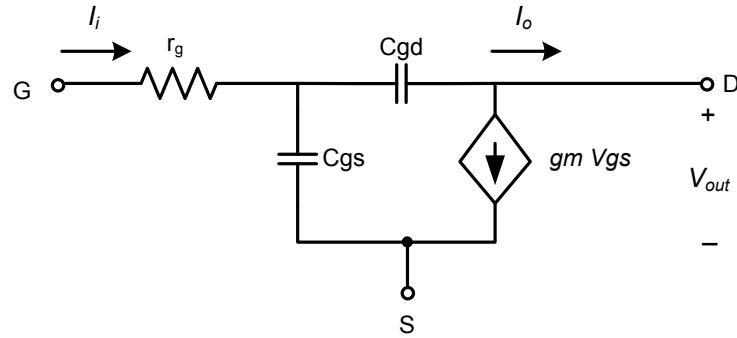


Figura 3.6: Modelo simplificado do transistor.

$$i_o = -g_m v_{gs} \quad (45)$$

$$v_{gs} \approx \frac{i_i}{j\omega(C_{gs} + C_{gd})} \quad (46)$$

$$\left| \frac{i_o}{i_i} \right| = \frac{g_m}{\omega(C_{gs} + C_{gd})} \quad (47)$$

$$\omega = \omega_T \quad \text{quando} \quad \left| \frac{i_o}{i_i} \right| = 1 \quad (48)$$

$$\omega_T = \frac{g_m}{(C_{gs} + C_{gd})} \quad (49)$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (50)$$

Para calcular  $g_m$ , utiliza-se o modelo de primeira ordem e despreza-se  $C_{gd}$ . Pode-se observar que à medida que o comprimento do canal diminui,  $f_T$  aumenta quadraticamente (Tsividis, 1999), e  $f_T$  em 1° ordem pode ser estimado como:



$$f_T = \frac{g_m}{2\pi C_{gs}} = \frac{\mu_n C_{ox} (W/L) (v_{gs} - v_t)}{2\pi (2/3) W L C_{ox}} = \frac{3\mu_n (v_{gs} - v_t)}{4\pi L^2} \quad (51)$$

Para que haja a máxima transferência de energia, o cálculo da  $f_{max}$  parte da consideração de que deve haver casamento nas terminações do transistor. Logo, as potências na entrada e na carga são dadas por:

$$P_i = \frac{i_i^2 r_g}{2}; \quad P_l = \frac{i_o^2 R_l}{2} \quad (52)$$

$$r_g = R_{elect} + R_{NQS}; \quad R_{elect} = \frac{R_{\square} W}{kn^2 L} \quad (53)$$

Onde:

$R_g$  - Resistência de porta;

$R_{elect}$  - Resistência do eletrodo de porta;

$R_{NQS}$  - Resistência associada ao efeito não quase estático;

$R_{\square}$  - Resistência de folha do polissilício (ou do filme que compões a porta) por quadrado;

$W$  - Largura do canal;

$L$  - comprimento do canal;

$n$  - número de fingers;

$k = 3$  ou  $12$  (dependerá da conexão da porta).

Para calcular a impedância de carga, assume-se que a mesma é igual ao valor da impedância de saída considerando que há casamento de impedância e utilizando uma fonte de teste na saída. Considerando a realimentação da corrente na saída ao se desligar a fonte de corrente de entrada, temos que:

$$R_l = \left| \frac{v_{out}}{v_{in}} \right|; \quad |v_{out}| = \frac{|i_i|}{\omega_T C_{gd}} \quad (54)$$

$$R_l = \frac{\frac{i_i}{C_{gd}}}{\frac{gm i_i}{\omega(C_{gs} + C_{gd})}} = \frac{1}{\omega_T C_{gd}} \quad (55)$$

Substituindo as equações, podemos então obter  $f_{max}$ :

$$\frac{P_o}{P_i} = \frac{\left(\frac{\omega_T i_i}{2\omega}\right)^2 \cdot \frac{1}{\omega_T C_{gd}}}{i_i^2 r_g} \quad (56)$$

$$\omega = \omega_{max} \quad \text{quando} \quad \frac{P_o}{P_i} = 1 \quad (57)$$

$$\omega_{max} = \frac{1}{2} \sqrt{\frac{\omega_T}{r_g C_{gd}}} \quad (58)$$

Portanto,

$$f_{max} = \frac{1}{4\pi} \sqrt{\frac{\omega_T}{r_g C_{gd}}} \quad (59)$$

Na prática, embora a frequência de ganho unitário de corrente seja largamente utilizada, a mesma não inclui os efeitos de vários componentes. Como consequência da terminação curto circuitada e da fonte de corrente,  $f_T$  não considera a capacitância dreno-corpo e a resistência de porta. Para circuitos digitais em baixa frequência, isto pode não ser um problema significativo, porém para circuitos de RF, faz-se necessário utilizar a frequência de ganho unitário de potência ( $f_{max}$ ), a qual faz uso destes dispositivos extrínsecos.

### 3.4 Fontes de ruído no transistor MOS

Na literatura há diversas publicações que tratam especificamente das fontes de ruído intrínsecas ao transistor MOS em altas frequências, bem como sua influência em blocos de RF como o LNA. Nesta seção serão comentadas as principais fontes de ruído: o ruído shot, o ruído flicker e o ruído térmico, apontado por alguns autores como um fator determinante para se obter bons resultados de figura de ruído (Shaeffer e Lee, 1997).

Basicamente, o ruído térmico é causado pela agitação térmica dos elétrons livres nos semicondutores, esta agitação caracteriza-se como um movimento aleatório traduzido em forma de corrente elétrica. Contudo, as fontes de ruído térmico associadas ao um transistor podem ser divididas em duas classes: intrínsecas e extrínsecas. A primeira classe é composta pelo ruído do canal e pela corrente de ruído induzida na porta. A segunda refere-se ao ruído devido aos componentes resistivos parasitas presentes no transistor, seja no dreno, na fonte, na porta ou no substrato.

### 3.4.1 Ruído no canal

O ruído térmico gerado pelos portadores no canal também é conhecido como ruído de difusão, por sua origem física. Geralmente este ruído é representado como uma fonte de corrente entre dreno e fonte do transistor (Figura 3.7).

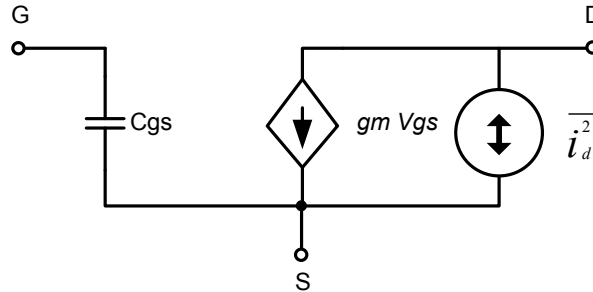


Figura 3.7: Modelo simplificado do transistor MOS em saturação com fonte de ruído no canal.

Na eq. ( 60 ) o ruído no canal é representado pelo valor médio quadrático da corrente de ruído.

$$\overline{i_d^2} = 4kT\gamma g_{d0}\Delta f \quad (60)$$

Onde:

$k$  - constante de Boltzmann's.

$T$  - temperatura;

$\gamma$  - coeficiente de ruído térmico do canal;

$g_{d0}$  - condutância dreno-fonte sem polarização ( $V_{DS} = 0$ );

$\Delta f$  - faixa de frequência de medida.

### 3.4.2 Ruído induzido na porta

Este ruído térmico é induzido pelas flutuações geradas pelo ruído do canal devido seu acoplamento capacitivo do óxido de porta. Observa-se na Figura 3.8 que estes ruídos, de canal e de porta, possuem uma correlação devida sua mesma origem.

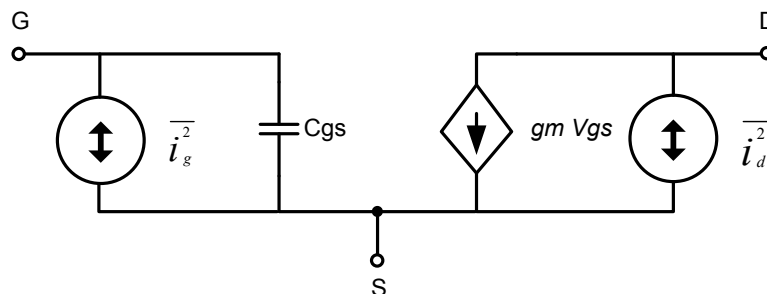


Figura 3.8: Modelo do transistor MOS com ruído devido à resistência de porta.

O modelo utilizado é uma fonte de corrente entre a porta e a fonte, a qual pode ser representada pela eq. ( 61 ).

$$\overline{i_g^2} = 4kT\delta\gamma g_g |c^2|\Delta f \quad (61)$$

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (62)$$

Onde:

$\delta$  - coeficiente de ruído térmico na porta;

$c$  – fator de correlação ( $\approx j0,395$ );

$C_{gs}$  – capacitância porta-fonte;

$C_{gs}$  – capacitância porta-fonte.

### 3.4.3 Ruído devido aos componentes resistivos parasitas

O ruído causado pelas resistências parasitas pode ser estimado utilizando a equação tradicional de resistências em equilíbrio térmico.

$$\overline{i_{n,R_p}^2} = \frac{4kT}{R_p} \Delta f \quad (63)$$

O modelo utilizado é uma fonte de corrente em paralelo com a resistência parasita ( $R_p$ ), de forma que  $R_p$  pode representar a resistência parasita do dreno, da fonte, da porta ou do substrato.

### 3.4.4 Ruído Shot

Este ruído é causado pela flutuação de corrente que cruza uma barreira de potencial, ocasionando uma corrente de fuga no canal. A fonte de ruído equivalente é representada pela eq. ( 64 ) (Razavi, 2000).

$$\overline{i_{ns}^2} = 2qI_{DC}\Delta f \quad (64)$$

Onde:

$\overline{i_{ns}^2}$  – valor RMS da corrente de ruído;

$q$  – carga do elétron ( $1,6 \times 10^{-19}$  *Coulombs*);

$I_{DC}$  – corrente DC em *amperes*.

Geralmente a contribuição deste ruído é relativamente pequena, sendo considerada apenas quando a impedância ligada a fonte do transistor possuir um valor elevado.

### 3.4.5 Ruído Flicker ou 1/f

Este ruído é originado principalmente por contaminação e imperfeições do óxido, as quais causadas por portadores aleatórios no canal. Como sua variação é inversamente proporcional à frequência, este ruído também é conhecido como ruído 1/f. Sua representação é dada pela eq. ( 65 ) (Lee, 2004).

$$\overline{i_n^2} = \frac{k}{f} \frac{g_m^2}{WLC_{ox}^2} \Delta f \quad ( 65 )$$

Onde:

$k$  – constante dependente do processo;

$C_{ox}$  – capacitância do óxido;

$g_m$  – transcondutância do transistor.

A influência deste ruído diminui para transistores MOS com canais mais largos, onde há maior capacitância e menor variação. No entanto, este ruído também pode ser minimizado através de processos de fabricação com altos padrões de pureza, o que reduz a constante  $k$ , a qual é diretamente proporcional à fonte de ruído. Deve-se também considerar que esta constante é 50 vezes maior em transistores NMOS se comparada a constante em transistores PMOS (Lee, 2004).

## 4 AMPLIFICADOR DE BAIXO RUÍDO - LNA

### 4.1 Características básicas do LNA

Em um sistema de recepção sem fio, o fraco sinal recebido pela antena deve ser amplificado de forma que haja uma detecção adequada com posterior processamento. Além disso, em sistemas deste tipo, há uma série de dispositivos em cascata que contribuem com um ruído adicional, o qual é potencialmente amplificado ao longo do caminho. Nesse contexto, o LNA é o bloco que tem a função de fornecer ganho suficiente aos baixos níveis de potência que chegam à antena, sem degradar a relação sinal-ruído (SNR) e sendo capaz de sustentar grandes sinais com baixa distorção e baixo consumo de potência quando necessário.

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots \quad (66)$$

De acordo com a fórmula de Friis's acima, o Fator ruído total de um sistema com estágios em cascata é dominado pelo Fator Ruído ( $F_1$ ) e pelo ganho ( $G_1$ ) do primeiro estágio. Logo, pode ser especificado, de forma básica, que a função do amplificador de baixo ruído é ser a fonte de ganho de sinal suficiente para superar o ruído das fases seguintes, e paralelamente, produzir o mínimo de ruído possível.

#### 4.1.1 Especificações

Ao se projetar um LNA, a primeira providencia é modular o canal de entrada do sinal para a aplicação de recepção desejada, de forma a definir suas especificações. Isso é feito em termos de uma série de parâmetros e pode variar bastante de acordo com o tipo de projeto. O baixo número de componentes existentes no projeto de um LNA pode aparentar uma falsa simplicidade do projeto, no entanto, a grande dificuldade está no alto compromisso existente entre os distintos parâmetros das especificações do projeto.

Normalmente, em um sistema de recepção (Figura 2.1), o LNA é o bloco posterior ao da antena (ou do filtro), o que significa a necessidade de casar a impedância de entrada com um valor específico (geralmente 50 ohms) que garanta a máxima transferência de potência e um bom isolamento do sinal reverso. Além disso, por ser um circuito de natureza não linear, que após receber excitações fracas na entrada, pode vir a gerar diferentes efeitos não desejados, o LNA também deve considerar a linearidade como um importante fator de projeto. Logo, este é um bloco que não apenas amplifica sinais fracos adicionando o mínimo de ruído, ele deve também manter-se linear ao receber sinais fracos na presença de sinais fortes, evitando componentes indesejáveis para o sistema de RF.

Em resumo, as principais metas a serem obtidas no projeto de um LNA são:

- Máximo ganho;
- Mínima figura de ruído;
- Alta linearidade;
- Casamento na entrada e na saída;
- Isolamento do sinal reverso e;
- Baixo consumo de potência quando necessário.

Entretanto, de modo que o compromisso entre estas especificações seja satisfatório, deve haver uma boa caracterização dos dispositivos analógicos, que infelizmente ainda deixa a desejar em tecnologias CMOS padrão.

Tal caracterização está relacionada com a precisão dos modelos dos dispositivos, que por sua vez está relacionada com a boa caracterização física dos efeitos que dominam os dispositivos em RF. Estes modelos devem considerar o comportamento AC e DC, de linearidade, extração de parâmetros, variações de temperatura, fontes de ruído, bem como as tolerâncias do processo (Razavi, 1998) (Cheng, et al, 1998) (Tsvividis, 1999) (Tsvividis e Suyama, 1994).

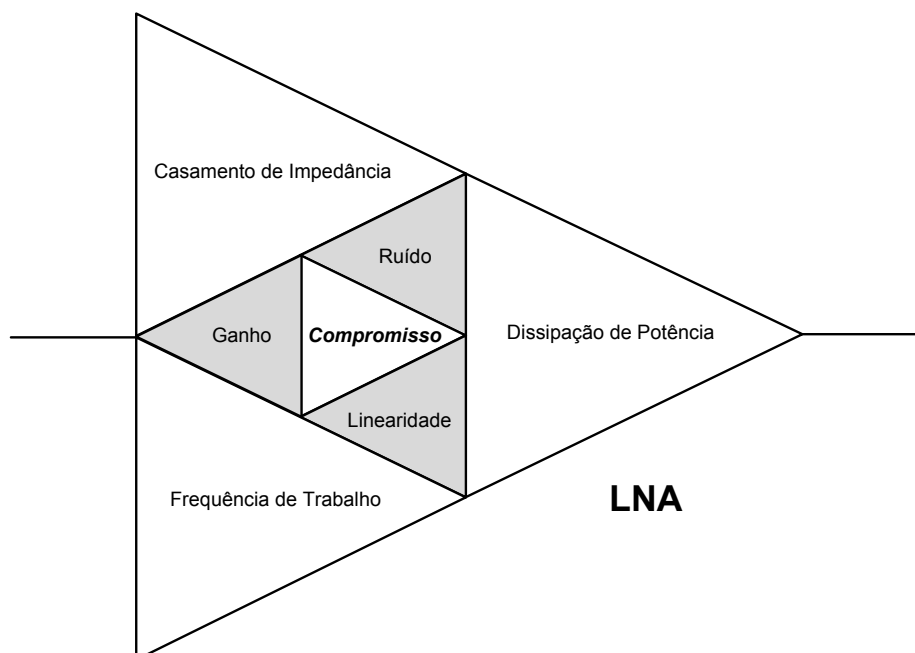


Figura 4.1: Compromisso dos parâmetros no projeto de um LNA.

#### 4.1.2 Configurações de LNAs

Basicamente, há dois tipos de arquitetura para LNA's em tecnologia CMOS, uma com apenas uma saída e outra com saída diferencial. A Figura 4.2 exemplifica estas arquiteturas de modo simplificado.

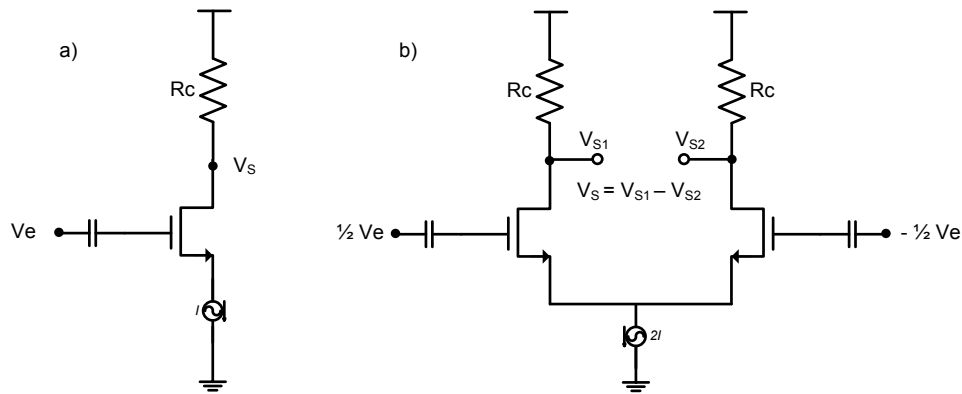


Figura 4.2: Arquiteturas de (a) Saída única e (b) Diferencial.

No caso de circuitos com uma única saída (Figura 4.2a), o ganho de tensão é dado por:

$$A_{V_S} = \frac{e_o}{e_i} \approx g_m R_L \quad (67)$$

Em inversão forte, a transcondutância tem uma relação quadrática com a corrente  $I_d$ :

$$g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_d} \quad (68)$$

onde:

$g_m$  – transcondutância do transistor MOS, em inversão forte;

$W$  - largura do canal;

$L$  - comprimento do canal;

$\mu_n$  – mobilidade de elétrons no canal;

$C_{ox}$  - capacitância por unidade de área do capacitor de placas paralelas formado pelo eletrodo da porta e canal;

$I_d$  - corrente pelo dispositivo.

Para circuitos diferenciais (Figura 4.2b), a polarização do amplificador diferencial deve ter o dobro de corrente do que a utilizada por um circuito de saída simples, de modo a se obter o mesmo ganho com transistores de mesmas dimensões. Isto caracteriza uma grande desvantagem com relação a consumo de potência, no entanto, faz-se necessário no sentido de que cada parte do circuito diferencial possua a mesma corrente do circuito de saída simples.

Há casos em que a necessidade de um sinal diferencial adiciona outra desvantagem a este tipo de arquitetura, pois um novo elemento deve ser adicionado ao sistema, nesse caso o *balun*, o qual dará a defasagem do sinal proveniente do estágio anterior (filtro ou antena). Este elemento causa perdas adicionais no sistema, contribuindo assim com a figura de ruído total do mesmo.



Para alcançar a máxima transferência de potência do sinal é necessário que se faça o casamento de impedância, o qual pode ser interno ou externo. A dificuldade em realizar este casamento é devido à capacitância intrínseca de entrada dos transistores MOS. Encontra-se na Figura 4.3 as principais configurações de LNA para casamento de impedância que podem ser usadas com saída simples ou diferencial. Estas topologias são conhecidas como: Terminação Resistiva, Terminação  $1/g_m$ , Realimentação Resistiva e Degeneração Indutiva.

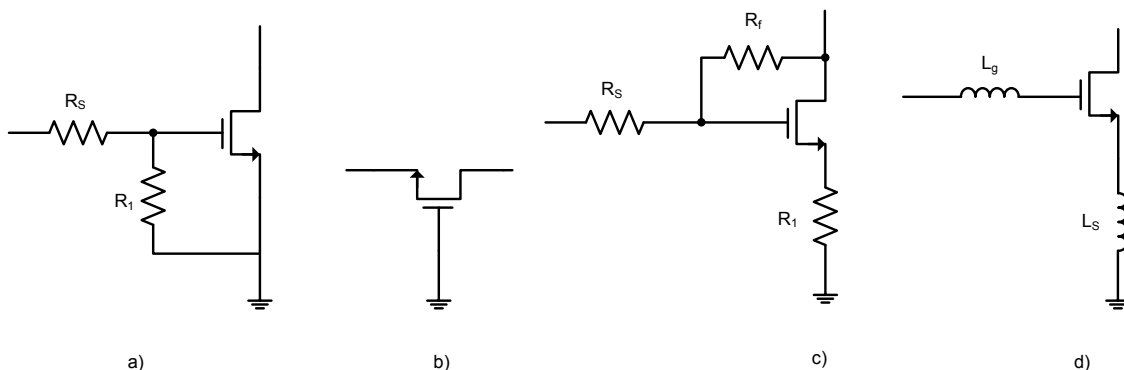


Figura 4.3: Casamento de impedância: (a) Terminação Resistiva; (b) Terminação  $1/g_m$ ; (c) Realimentação Série; (d) Degeneração Indutiva.

A primeira topologia (Figura 4.3a), utilizada em (Sheng, et al, 1996), fornece um bom casamento de entrada para faixas largas, porém há uma grande degradação no ganho e na figura de ruído do LNA devido a utilização de uma terminação resistiva, que através de seu próprio ruído térmico aumenta a figura de ruído do circuito e atenua o sinal. Uma aproximação do fator ruído  $F$ , desprezando o ruído induzido na porta e usando o modelo simples de baixa frequência mostrado na Figura 3.7, pode ser expresso como (Ge e Mayaram, 1998):

$$F \geq 2 + \frac{4\gamma g_{d0}}{g_m^2 R_s} \quad (69)$$

Observa-se na segunda topologia (Figura 4.3b), utilizada em (Houston e Read, 1969), a utilização da fonte de um transistor MOS porta comum como terminação de entrada, onde através da seleção apropriada de suas dimensões e da corrente de polarização, pode-se obter a impedância necessária para o casamento. Para bandas estreitas é gerado um bom casamento, onde a impedância vista pela fonte é  $1/g_m$ . No entanto, analisando as equações abaixo, é visto que a figura de ruído é inversamente proporcional ao comprimento do canal do transistor, onde teoricamente, a figura de ruído já possui um valor mínimo antes mesmo de qualquer tentativa de se realizar alterações de valores dos componentes. Para dispositivos de canal longo a figura de ruído mínima é 2.2dB ( $\gamma = 2/3$  e  $\alpha = 1$ ) e para dispositivos de canal curto é 4.8dB ( $\gamma/\alpha = 2$ ).

Considerando que a tendência na evolução da microeletrônica é a contínua diminuição do tamanho do canal, esta topologia se torna menos atrativa em projetos que faz necessário o uso de tecnologias menores. Outro fator importante é a linearidade, que é bastante pobre para esta topologia.

$$NF = 1 + \frac{\gamma}{\alpha} \quad \alpha = \frac{g_m}{g_{d0}} \quad (70)$$

onde:

$NF$  - limite inferior da figura de ruído para o transistor;

$g_m$  - transcondutância do dispositivo;

O Fator ruído desta topologia pode ser expresso como:

$$F \geq 1 + \gamma g_{d0} R_s \quad (71)$$

A terceira topologia (Figura 4.3c), utilizada em (Benton, 1992) e (N. Sheng, 1991), faz uso da técnica de amplificação com realimentação resistiva, a qual resulta em um projeto bastante linear e com relativa insensibilidade a elementos parasitas da rede de casamento de entrada. Entretanto, necessita-se de uma alta transcondutância para se obter ganho, o que ocasiona um maior consumo de potência, não sendo possível remediar com técnicas de sintonia LC (para tentar minimizar a potência) por se tratar de um projeto típico de banda larga, além de aumentar a figura de ruído devido o uso de resistores. Normalmente esta técnica é utilizada em circuitos de banda larga que necessitam de um bom casamento de impedância, onde consumo de potência não seja um fator determinante. O fator ruído para esta topologia, assumindo o casamento de impedância, pode ser expresso como:

$$F \geq 1 + \frac{G_s + G_f}{g_m - G_f} \gamma g_{d0} R_s + \frac{G_s + G_f}{g_m - G_f} R_s G_f \quad (72)$$

onde  $G_s$  e  $G_f$  são as condutâncias associadas aos resistores  $R_s$  e  $R_f$ .

A última topologia, chamada de degeneração indutiva (Figura 4.3d), utiliza indutores conectados à fonte do transistor de amplificação para gerar a parte real desejada na impedância de entrada. O amplificador fonte comum necessita de uma sintonia de dreno, tornando esta configuração tipicamente estreita. Sua maior vantagem é a possibilidade de poder controlar o valor da parte real da impedância, o que pode ser feito através da escolha de indutores adequados a cada projeto.

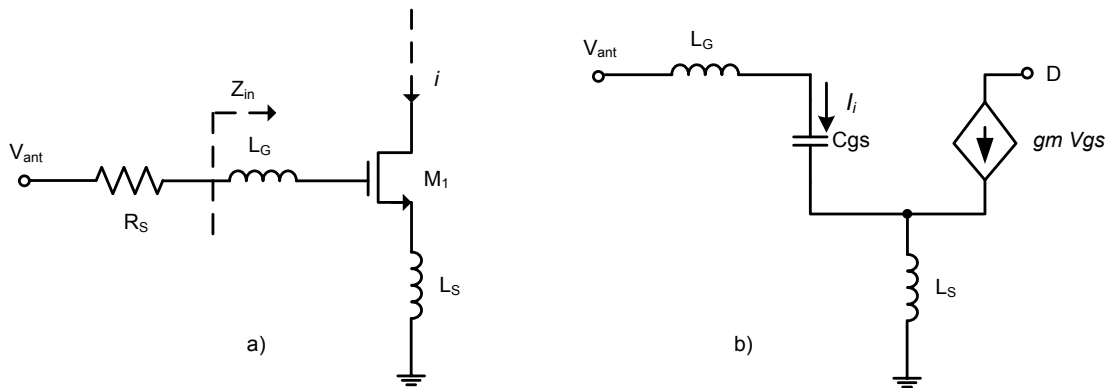


Figura 4.4: Configuração degenerada por fonte com transistor MOS: (a) Circuito; (b) Modelo simplificado para o cálculo de  $Z_{in}$ .

### 4.1.3 Funcionamento de uma topologia básica

Dentre as quatro soluções básicas encontradas na literatura, a topologia com degeneração indutiva é a que apresenta melhor desempenho para LNA's de banda única com relação a ruído, isto devido à ausência de resistores geradores do mesmo. Uma simples análise da impedância de entrada usando transistor MOS (Figura 4.4a/b), mostra que:

$$i_i = v_{gs} \cdot sC_{gs} \quad \text{para } s = j\omega \quad (73)$$

$$v_{ant} = i_i \cdot sL_g + \frac{i_i}{sC_{gs}} + sL_s i_i + \frac{g_m \cdot i_i}{sC_{gs}} \quad (74)$$

$$v_{ant} = i_i \frac{g_m \cdot L_s}{C_{gs}} + s(L_g + L_s) + \frac{1}{sC_{gs}} \quad (75)$$

onde:

$v_{ant}$  – é tensão de saída da antena e vista na entrada do LNA ;

$L_s$ ,  $L_g$  e  $C_{gs}$  – são calculados para estar em ressonância na frequência  $\omega = \omega_o$ ;

Logo,

$$s(L_g + L_s) + \frac{1}{sC_{gs}} = 0 \quad (76)$$

E a impedância de entrada pode ser escrita como:

$$Z_{in.} = \frac{g_m}{C_{gs}} \cdot L_s \quad Z_{in.} \approx \omega_T \cdot L_s \quad (77)$$

Onde  $\omega_T$  é a frequência de ganho unitário de corrente.

É importante ressaltar que o cálculo acima foi realizado desprezando os valores das resistências associadas aos indutores (as quais possuem valores consideráveis em indutores *on-chip*) e a resistência de folha da porta. Para o modelo da Figura 4.4b, o fator ruído para esta topologia é dado por (Shaeffer e Lee, 1997):

$$F \geq 1 + \frac{\omega_o^2}{\omega_T^2} \gamma g_{do} R_s \quad (78)$$

## 5 LNA MULTIBANDA

Nos últimos anos, tem havido um crescente mercado para transceptores que atuam em vários padrões sem fio. A maioria deles tenta maximizar a partilha de hardware para salvar a área do chip, custo e consumo de energia. Atualmente, há algumas soluções *wideband* e multibanda existentes, sendo que cada uma possui uma técnica específica para solucionar um certo tipo de problema para um determinado projeto. Como na maioria dos problemas de engenharia, uma experiência baseada em habilidades e intuições é útil para um projeto bem sucedido. Contudo, faz-se necessário a busca de técnicas utilizadas anteriormente para que se possa obter tal base de conhecimento necessário. Dentre as soluções encontradas na literatura, segue na próxima seção as mais utilizadas atualmente.

### 5.1 Tipos de LNA Multibanda

No início principalmente, para se atingir uma implementação *dual-band* (duas bandas de frequência distintas), utilizava-se duas cadeias de recepção, onde era utilizada uma chave para selecionar uma das frequências (Wu e Razavi, 1998). Essa abordagem geralmente degrada a figura de ruído (NF) devido à perda de inserção ocasionada pela chave. A eficiência desta solução é degradada pelo fato de que apenas uma banda pode ser selecionada por vez. Um exemplo desta solução é mostrado na Figura 5.1.

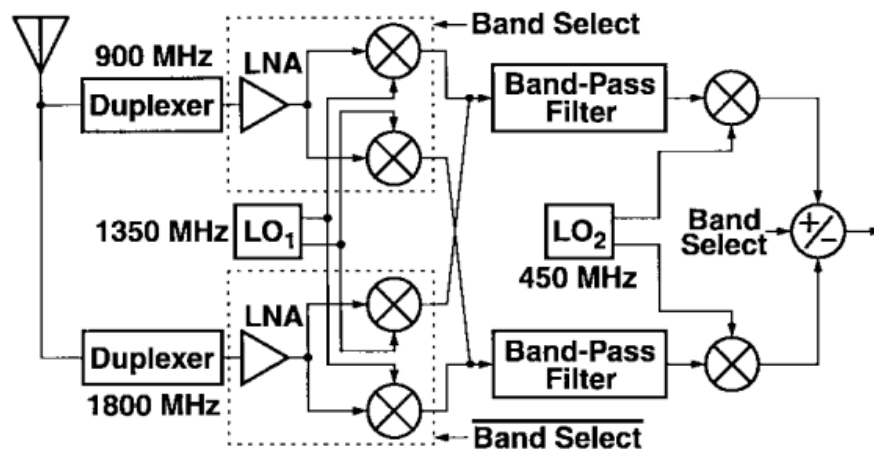


Figura 5.1: Exemplo conceitual de um receptor multibanda (Wu e Razavi, 1998).

Outra abordagem surgiu com a necessidade de diminuir a área que era consumida pela solução anterior. Ela consiste em selecionar um conjunto de redes de ajuste usando uma chave (Lavasani, Chaudhuri e Kiaei, 2003). Porém, suas desvantagens se devem principalmente a mudança no caminho do sinal e, comparada com soluções atuais, a área consumida pelos conjuntos de redes de ajustes ainda é demasiadamente grande. A Figura 5.2 mostra um exemplo desta solução, na qual a degeneração indutiva na fonte é utilizada.

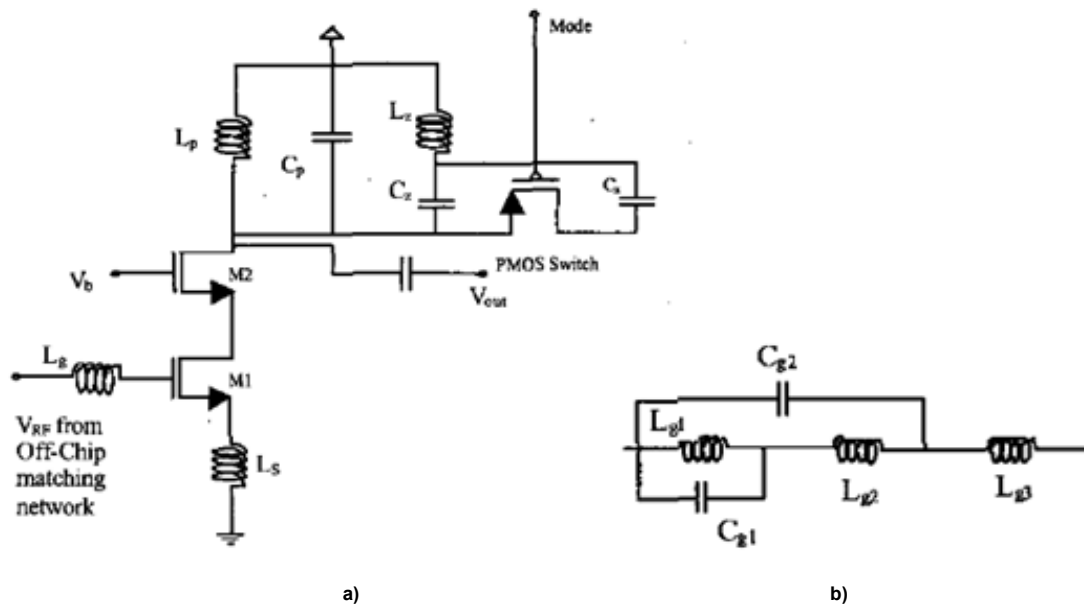


Figura 5.2: Exemplo de solução com conjunto de redes de ajuste usando uma chave: (a) Pseudo LNA para três bandas; (b) Rede utilizada para casamento de impedância (Lavassani, Chaudhuri e Kiaei, 2003).

Outro tipo de solução utilizada consiste em ajustar a entrada e a saída do circuito para diferentes frequências por meio de filtros complexos multibanda. Porém a grande desvantagem está na dificuldade de se implementar no chip esse tipo de filtro (Zhang, et al, 2007). Segue um exemplo da resposta em frequência desse tipo de solução.

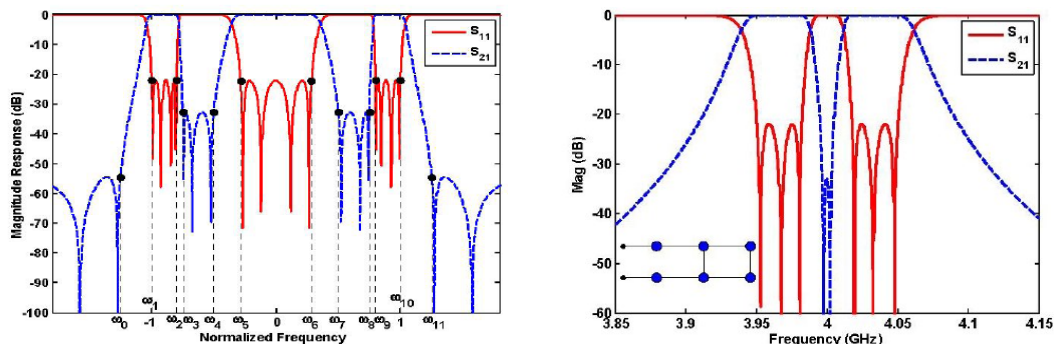


Figura 5.3: Exemplo da resposta em frequência de filtros complexos multibanda (Zhang, et al. 2007).

Atualmente, as soluções mais utilizadas são para faixas largas (“Wideband”), nas quais, além de cobrir uma larga faixa de frequência, ainda possui alta linearidade. Sua característica de banda larga proporciona a vantagem da não utilização de chaves que selecionem a banda desejada. Entretanto, sua grande desvantagem é o alto compromisso entre  $Z_{in}$ , NF e Ganho, de onde surge a necessidade de técnicas para desacoplar estas variáveis. Além disso, para esta abordagem, faz-se necessário uma alta transcondutância para se obter ganho e baixo ruído, o que dificulta o projeto, pois  $g_m$  já é determinado por  $Z_{in}$ . Na Figura 5.4 é mostrado um exemplo da resposta em frequência desse tipo de solução (Kim, Jung e Lee, 2005).

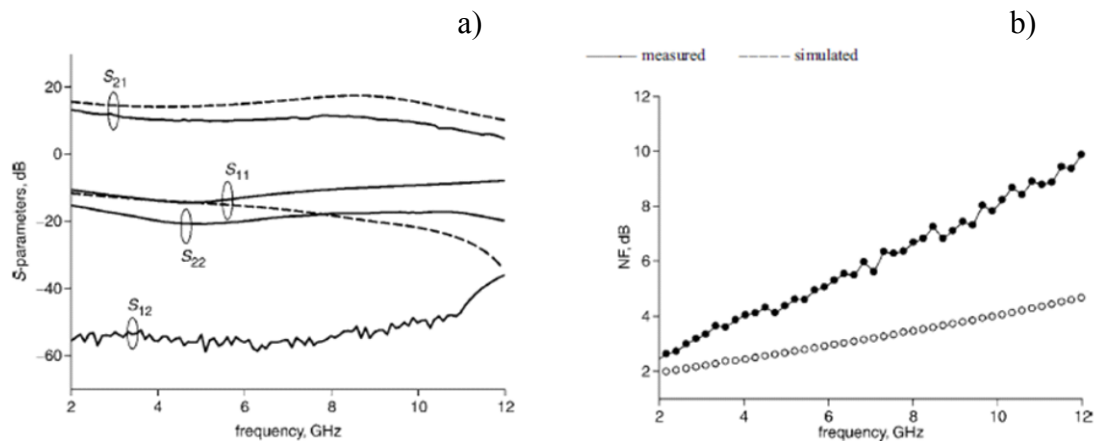


Figura 5.4: exemplo da resposta em frequência de LNA's Wideband: Medida e simulação de: (a) Parâmetros-S; (b) Figura de Ruído (Kim, Jung e Lee, 2005).

Outra solução bastante utilizada atualmente faz uso de redes passivas, as quais são usadas para criar uma transcondutância característica de um dispositivo ativo, a fim de se obter o ganho necessário e o casamento de impedância simultaneamente nas faixas de frequências desejadas, sem o uso de chaves, e permitindo que o dispositivo possua uma performance otimizada para cada banda de frequência. Como normalmente acontece em receptores de banda simples, o primeiro estágio de ganho em um receptor multibanda simultâneo também é o LNA.

Assim como LNAs tradicionais de banda simples utilizam um estágio de transistor simples ou cascode para fornecer a transcondutância e combiná-lo com um circuito ressonante passivo adequado na entrada e na saída, essa abordagem modela a resposta em frequência, assegura a estabilidade e consegue um ganho nas bandas de interesse (Engberg, 1995). É importante observar que a transcondutância do transistor é inerentemente banda larga e pode ser utilizada para proporcionar o ganho correspondente a outras frequências sem qualquer penalização na dissipação de energia. A desvantagem desta solução está na complexidade de projetar um LNA com várias redes passivas, o que nos leva a outra desvantagem com relação às LNAs de banda larga, pois o uso de mais redes passivas ocasiona o aumento de área do chip. Na Figura 5.5 acha-se um exemplo desta solução e da sua resposta em frequência.

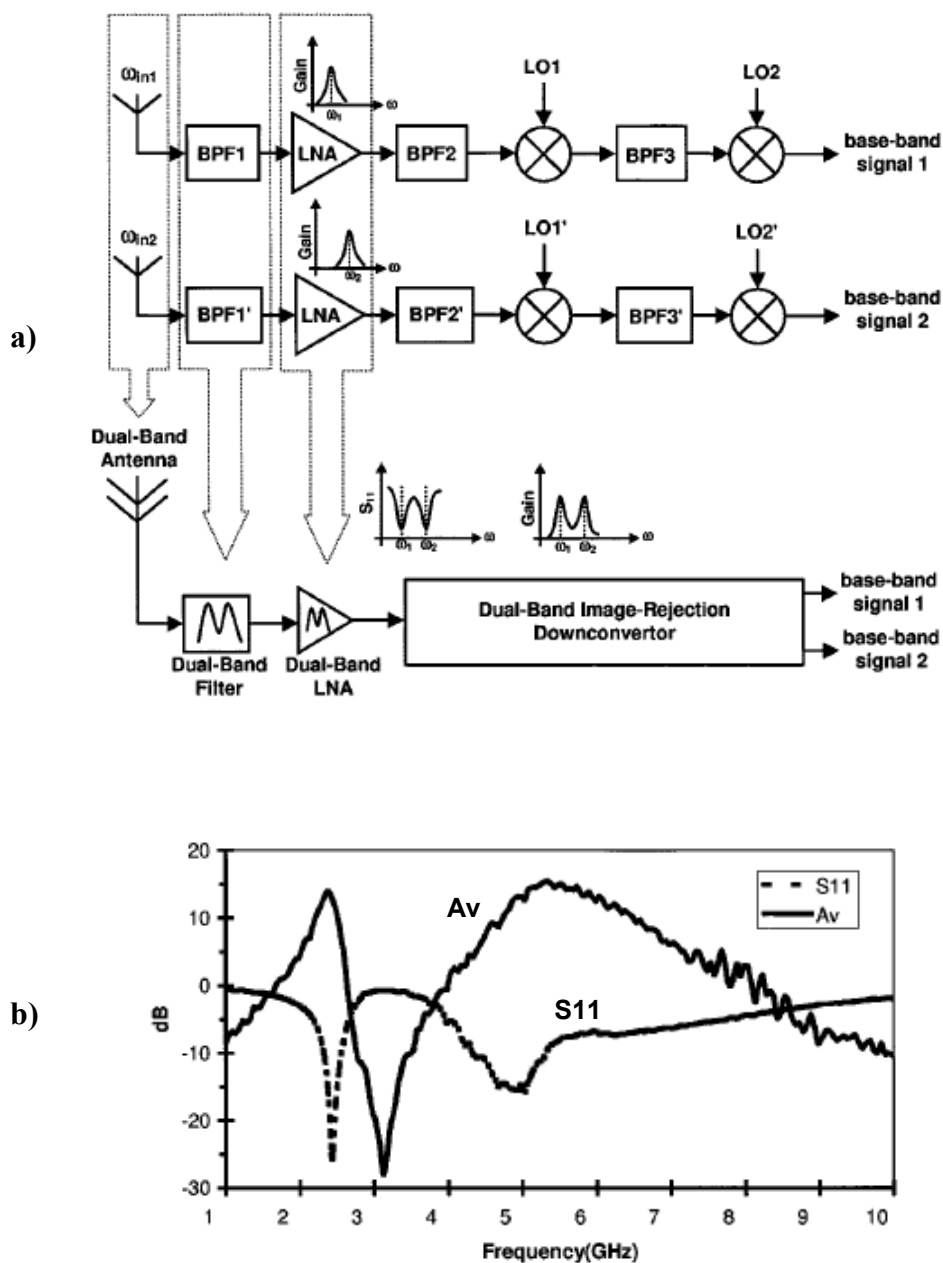


Figura 5.5 Exemplo de (a) LNA's Multi-banda e da sua (b) resposta em frequência (Engberg, 1995).

## 5.2 Diferentes especificações de LNA's *Wideband* e Multibanda

Com o objetivo de se obter uma comparação básica entre as especificações dos diferentes LNA's *wideband* e multibanda existentes na literatura, abaixo segue na Tabela 1 as informações adquiridas na literatura, cujos resultados de alguns trabalhos recentes podem ser observados e analisados.

| <b>Autor</b>            | <b>Arquitetura / Característica</b> | <b>Aplicação</b>         | <b>Tecnologia</b>    | <b>Freq (GHZ)</b> | <b>Ganho (dB)</b> | <b>NF (dB)</b> |
|-------------------------|-------------------------------------|--------------------------|----------------------|-------------------|-------------------|----------------|
| (H. S. Jhon, 2008)      | Rede LC Simultânea                  | ISM                      | 0.18um CMOS 0.8 V    | 1.7               | 9.2               | 5.7            |
|                         |                                     |                          |                      | 2.4               | 12                | 6.4            |
| (Li Wang, 2006)         | Banda variável chaveada             | Multi-standard wireless  | 0.25um BiCMOS 2.5 V  | 0.7               | 9                 | 6.8            |
|                         |                                     |                          |                      | 1.4               | 12                | 4.4            |
| (Tsong-Te Liu, 2005)    | Wideband                            | UWB                      | 0.18um CMOS 1.8 V    | 0.01-1.4          | 22                | 7              |
| (Wang-Chi Cheng, 2006)  | Banda variável chaveada             | WLAN                     | 0.18um CMOS 1 V      | 2.4               | 10.6              | 2.7            |
|                         |                                     |                          |                      | 5.2               | 11.5              | 2.9            |
| (Youchun Liao, 2007)    | Wideband                            | DVB                      | 0.18um CMOS 1.8 V    | 0.05-0.86         | 15                | 2.5            |
| (Hsien-Ku Chen, 2007)   | Wideband                            | UWB                      | 0.18um CMOS 1.2 V    | 2 – 11.5          | 14.8              | 3.1            |
| (Yohan Jang, 2009)      | Rede LC Simultânea                  | LTE WCDMA SDPA WiBro     | 0.18um CMOS 1.8 V    | 0.6 -0.8          | 17.9              | 2.3            |
|                         |                                     |                          |                      | 1.9 -2.1          | 18.7              | 3.1            |
|                         |                                     |                          |                      | 2.3 -2.4          | 18.7              | 3.1            |
| (Yuh-Shyan Hwang, 2010) | Banda variável chaveada             | Banda L CMMB             | 0.18um RF CMOS 1.8 V | 1.45              | 19                | 3.1            |
|                         |                                     |                          |                      | 1.68              | 19                | 3.1            |
|                         |                                     |                          |                      | 2.635             | 26.1              | 3.1            |
| (Chyuen-Wei Ang, 2007)  | Multi-estágios e filtros            | GSM WCDMA Bluetooth WLAN | 0.18um CMOS 1.8 V    | 0.945             | 18                | 4.6            |
|                         |                                     |                          |                      | 2.4               | 24                | 4.43           |
|                         |                                     |                          |                      | 5.25              | 23                | 4.42           |
| (Ben Amor. M, 2006)     | Rede LC Simultânea                  | GSM UMTS                 | 0.35um CMOS 2.5 V    | 0.9475            | 28                | 2.3            |
|                         |                                     |                          |                      | 2.14              | 17                | 2.71           |
| (Perumana. B.G, 2008)   | Wideband                            | Multi-band wireless      | 90nm CMOS 1.2 V      | 0.5-7             | 22                | 2.3            |
|                         |                                     |                          |                      | 4 - 8             | 24.4              | 2              |
| (Yang Liu, 2009)        | Rede LC Simultânea                  | CDMA WCDMA Wibro         | 0.18um CMOS 1.8 V    | 1.85              | 12.9              | 2.11           |
|                         |                                     |                          |                      | 2.14              | 15.2              | 2.03           |
|                         |                                     |                          |                      | 2.35              | 15.1              | 2.16           |
| (Andersson. S, 2003)    | Wideband                            | WCDMA WLAN HIPERLAN      | 0.18um CMOS 1.8 V    | 2.45              | 13.1              | 3.7            |
|                         |                                     |                          |                      | 5.5               | 12.2              | 5.1            |

Tabela 1: Especificações de LNA's Multibanda presentes na literatura.



### 5.3 Topologia adotada no projeto do LNA

Após revisar na literatura as topologias mais implementadas para este tipo de projeto, foi iniciado o processo de especificação do LNA. Levou-se em consideração o sistema ao qual o LNA irá pertencer, e a decisão de projeto mais adequada foi a utilização de uma topologia diferencial com realimentação resistiva, de modo que esta irá manter o casamento de impedâncias nas terminações, melhorar o desempenho de ruído e obter um ganho aceitável em toda a faixa de frequência que será utilizada no sistema.

O LNA ainda utiliza técnica de cancelamento de ruído, a qual efetivamente diminui a figura de ruído com moderado consumo de potência, além da diminuição da área total do chip, visto que esta topologia não faz uso de indutores e também não utiliza o chaveamento de bandas como técnica.

#### 5.3.1 Técnica de cancelamento do ruído

Como comentado anteriormente, topologias tradicionais de LNA “wideband” não alcançam valores baixos de figura de ruído ( $NF < 3dB$ ) para a condição de  $Z_{in} = R_s$  devido o compromisso existente entre estas variáveis. Por outro lado, topologias que exploraram técnicas de realimentação negativa global obtiveram baixos valores de NF com  $Z_{in} = R_s$ , porém são bastante susceptíveis a problemas de instabilidade (Bruccoleri, Klumperink e Nauta 2004).

Nesta seção é apresentada a técnica de cancelamento de ruído em banda larga, onde é possível dissociar o Fator Ruído ( $F$ ) de  $Z_{in} = R_s$  sem a necessidade de realimentação negativa global, sem comprometer a estabilidade e o casamento de impedância, variáveis estas apontadas na seção 5.1 como fatores negativos para a escolha da topologia adotada neste projeto. Basicamente isto é possível cancelando o ruído na saída do dispositivo de casamento sem degradar a transferência do sinal.

##### 5.3.1.1 O Princípio do cancelamento do ruído

Ao analisar a eq. ( 79 ), referente ao fator ruído para topologias com realimentação resistiva (Figura 5.6), observa-se que o valor teórico mínimo de  $F$  é maior ou igual a  $1 + \gamma$ , sabendo-se que  $1 < \gamma < 2$ . Sendo este o grande compromisso desta topologia, pois teoricamente, para se alcançar suficiente ganho e baixo fator ruído, os valores de  $g_m$  e  $R_s$  devem necessariamente ser altos, impossibilitando o projeto.

$$F = 1 + \gamma \frac{R_F}{(1 - g_m R_F)^2 R_s} \quad (79)$$

No entanto, sabe-se que um MOSFET em saturação pode ser modelado como uma fonte de corrente controlada por tensão com transcondutância  $g_m$ , e que o ruído do canal é assumido como a fonte dominante de ruído (Bruccoleri, Klumperink e Nauta, 2004).

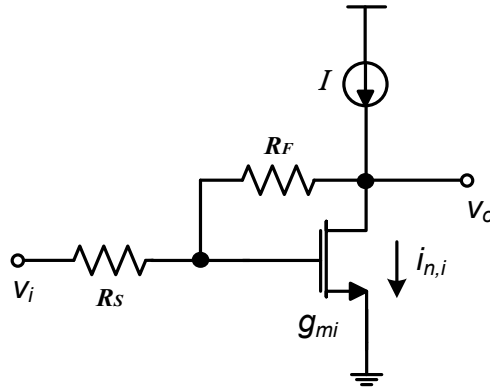


Figura 5.6: Estrutura de um amplificador com realimentação resistiva.

Logo, a fim de se reduzir o ruído do circuito, tem-se como principal objetivo o cancelamento do ruído térmico devido à resistência do canal entre dreno e fonte do transistor  $M_I$ .

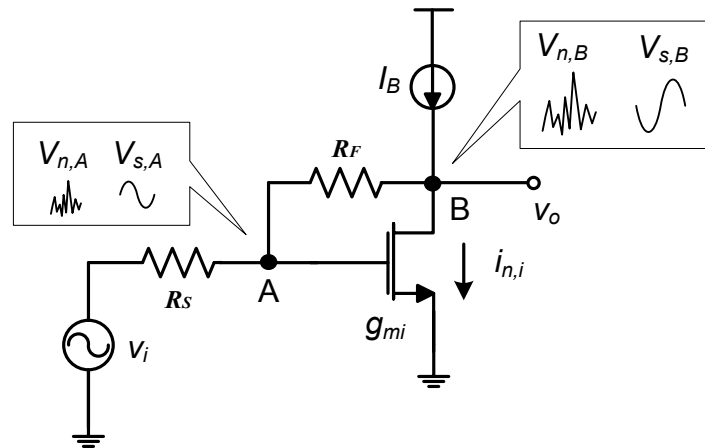


Figura 5.7: Tensão de (a) Ruído e (b) Sinal gerados no amplificador.

Na Figura 5.7, podemos observar que o sinal e tensão de ruído no nó de entrada A e no nó de saída B, ambos estão referenciados ao GND devido a fonte de corrente  $I_{n,i}$ . Dependendo da relação  $Z_{IN} = 1/g_{mi}$  e  $R_S$ , uma corrente de ruído irá fluir por  $R_F$  e  $R_S$ . Esta corrente de ruído irá causar imediatamente duas tensões de ruído nos nós A e B, os quais possuem o mesmo sinal. Por outro lado, as tensões do sinal nos dois nós possuem sinais opostos, pois o ganho é negativo, assumindo que  $g_{mi}R_F > 1$ .

Esta diferença entre sinal e ruído torna possível o cancelamento do ruído no dispositivo, o qual simultaneamente soma a contribuição dos sinais. Para que isto ocorra, é necessário um novo estágio entre o primeiro estágio e o último, deste modo criando uma nova saída, cuja tensão no ponto B é somada a uma réplica negativa da tensão no ponto A. Através do dimensionamento apropriado desse novo estágio composto por dois amplificadores, um amplificador fonte comum e um seguidor de fonte, obtém-se o cancelamento do ruído.

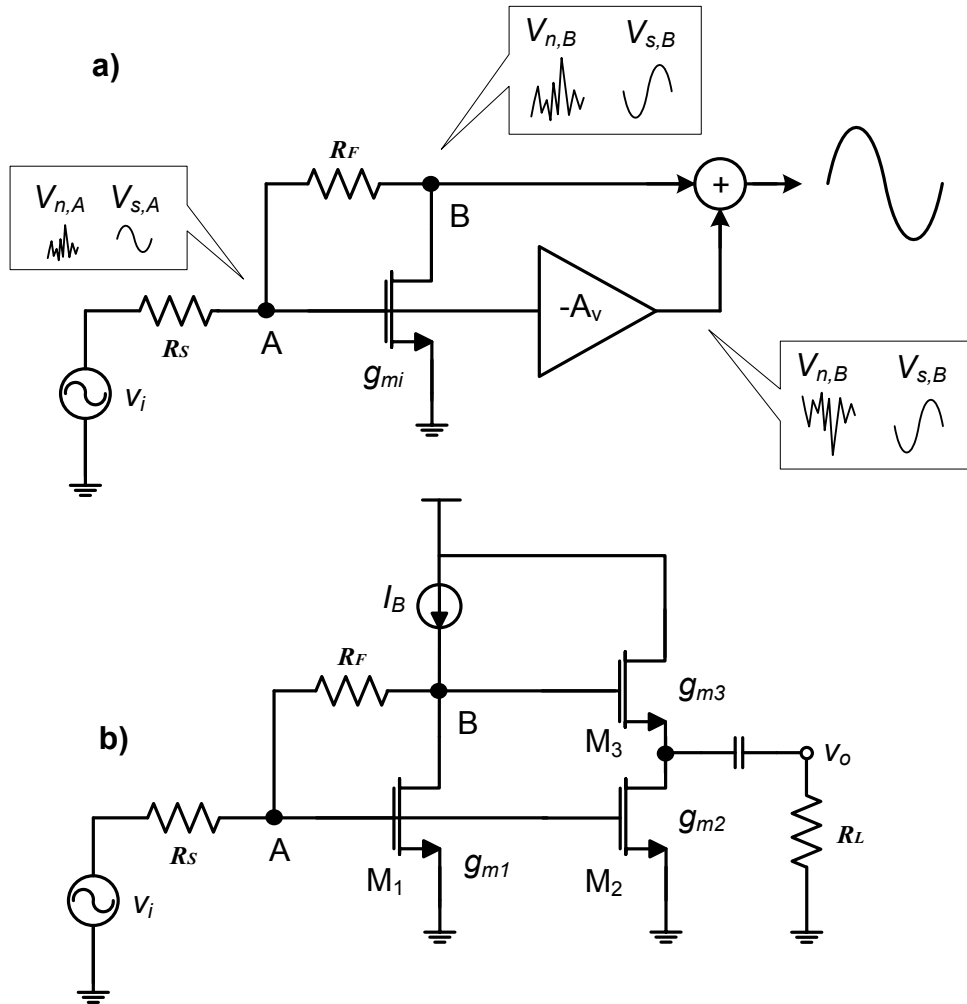


Figura 5.8: (a) Estrutura de cancelamento do ruído (b) com implementação básica (Bruccoleri, Klumperink e Nauta, 2004).

### 5.3.1.2 Cálculo do cancelamento do ruído

A corrente do ruído térmico do canal do transistor  $M_1$  pode ser expressa como:

$$i_{n,M1}^2 = 4kT\gamma g_{m1} \quad (80)$$

Analisando o circuito da Figura 5.8, temos as tensões de ruído nos pontos A e B,

$$v_{n,A} = -i_{n,M1} \cdot R_S \quad (81)$$

$$v_{n,B} = -i_{n,M1} \cdot (R_S + R_F) \quad (82)$$

Através da análise de pequenos sinais, temos que:

$$v_{s,B} = (1 - g_{m1}R_F) \cdot V_{s,A} \quad (83)$$

Assumindo que a resistência de saída  $r_o$  de  $M_1, M_2$  e  $M_3$  é infinita, então a impedância de entrada e a impedância de saída do circuito podem ser respectivamente,

$$R_i \approx \frac{1}{g_{m1}} \quad (84)$$

$$R_o \approx \frac{1}{g_{m3}} \quad (85)$$

Para transcondutância  $g_{m3}$  do transistor  $M_3$ , cuja condição de casamento de impedância, onde  $R_s = R_i = 50\Omega$  e  $R_o = R_L = 50\Omega$ , assume-se que,

$$g_{m1} = g_{m3} = \frac{1}{R_s} \quad (86)$$

Através da transcondutância  $g_{m2}$  do transistor  $M_2$ , calcula-se o ganho de tensão do amplificador fonte comum,

$$-A_v = -g_{m2} \left( R_L \parallel \frac{1}{g_{m3}} \right) = -\frac{g_{m2} R_s}{2} \quad (87)$$

E ignorando o efeito de canal curto do transistor  $M_3$ , pode-se calcular o ganho de tensão do seguidor de fonte,

$$A_{v3} = \frac{g_{m3} R_L}{1 + g_{m3} R_L} = \frac{1}{2} \quad (88)$$

Desta forma, a contribuição da corrente de ruído de  $M_1$  na tensão de ruído na saída é dada por:

$$v_{n,o} = v_{n,A}(-A_v) + v_{n,B} \cdot A_{v3} = -i_{n,M_1} \left[ R_s \left( -\frac{g_{m2} R_s}{2} \right) + \frac{R_F + R_s}{2} \right] \quad (89)$$

Para condição de tensão de ruído igual a zero,  $v_{n,o} = 0$ , assume-se que,

$$g_{m2} = \frac{\left( 1 + \frac{R_F}{R_s} \right)}{R_s} \quad (90)$$

Para que as condições de cancelamento de ruído sejam satisfeitas, então a eq. (87) pode ser reescrita como:

$$-A_v = -\frac{1 + \frac{R_F}{R_s}}{2} \quad (91)$$

E a tensão no sinal de saída como,

$$v_{s,o} = v_{s,A}(-A_v) + v_{s,B} \cdot A_{v3} = v_{s,A} \left[ \frac{\left( 1 + \frac{R_F}{R_s} \right)}{2} - \frac{1 - g_{m1} R_F}{2} \right] = v_{s,A} \cdot \frac{R_F}{R_s} \quad (92)$$

Portanto, o ganho de tensão total do circuito é dado por,

$$A_{vF} = \frac{v_{s,o}}{v_{s,A}} = -\frac{R_F}{R_s} \quad (93)$$

### 5.3.1.3 Cálculo da figura de ruído

A figura de ruído pode ser calculada através da contribuição da tensão do ruído de cada fonte, cuja soma direta destas tensões representa a tensão de ruído total. Logo, o fator ruído da Figura 5.8a pode ser expressa como:

$$F = \frac{\overline{v_{n,o,total}^2}}{A_{VF}^2 \cdot 4kTR_S} = 1 + \frac{\overline{v_{n,M_1}^2} + \overline{v_{n,R_F}^2} + \overline{v_{n,M_2,M_3}^2} + \overline{v_{n,R_L}^2}}{A_{VF}^2 \cdot 4kTR_S} \quad (94)$$

Onde,  $\overline{v_{n,M_1}^2}$ ,  $\overline{v_{n,R_F}^2}$ ,  $\overline{v_{n,M_2,M_3}^2}$  e  $\overline{v_{n,R_L}^2}$  são as contribuições das tensões do ruído do transistor  $M_1$ , do resistor  $R_F$ , dos transistores  $M_2$  e  $M_3$ , e da resistência de saída, respectivamente.

#### 1) Contribuição de ruído do transistor $M_1$ :

Sabe-se que a eq. ( 89 ) é a contribuição da corrente de ruído de  $M_1$  na tensão de ruído na saída, logo, satisfazendo a condição da eq. ( 90 ), temos o ruído do transistor  $M_1$  totalmente compensado:

$$\overline{v_{n,M_1}^2} = 0 \quad (95)$$

#### 2) Contribuição de ruído do resistor $R_F$ :

A corrente do ruído do resistor  $R_F$  pode ser expressa como:

$$i_{n,R_F}^2 = \frac{4kT}{R_F} \quad (96)$$

Para o ruído entre o ponto A e o ponto B, assume-se que a corrente de ruído no ponto B é a mesma entre o dreno e a fonte de  $M_1$ , o qual será totalmente compensado. Logo, assume-se o fluxo de corrente do ruído apenas no primeiro ponto. Através desta corrente, a tensão do ruído no ponto A é dada por:

$$\overline{v_{n,R_F,A}^2} = \overline{i_{n,R_F}^2} \cdot R_S^2 = \frac{4kTR_S^2}{R_F} \quad (97)$$

Onde a contribuição de ruído do resistor  $R_F$  será dada por:

$$\overline{v_{n,R_F}^2} = \overline{v_{n,R_F,A}^2} \cdot A_{VF}^2 = 4kTR_F \quad (98)$$

#### 3) Contribuição de ruído dos transistores $M_2$ e $M_3$ :

A contribuição de ruídos dos transistores pode ser obtida diretamente na saída através do produto entre a impedância de saída e a tensão de ruído correspondente. Sabendo a impedância de saída  $R_o = R_L \parallel \frac{1}{g_{m3}} = \frac{R_S}{2}$ , temos a equação para tensão de ruído dos dois transistores,

$$\overline{v_{n,M_2,M_3}^2} = 4kT\gamma(g_{m2} + g_{m3})R_o^2 = kT\gamma(g_{m2} + g_{m3})R_S^2 \quad (99)$$

Através das equações ( 86 ) e ( 90 ), obtemos a contribuição de  $M_2$  e  $M_3$ :

$$v_{n,M_2,M_3}^2 = kT\gamma \left[ \frac{1 + \frac{R_F}{R_S}}{R_S + \frac{1}{R_S}} \right] R_S^2 = kT\gamma(2R_S + R_F) \quad (100)$$

4) Contribuição de ruído do resistor  $R_L$ :

A contribuição da tensão do ruído do resistor  $R_F$  pode ser expressa como:

$$\overline{v_{n,R_L}^2} = 4kTR_L \quad (101)$$

E através das equações ( 94 ), ( 98 ), ( 100 ) e ( 101 ), finalmente temos:

$$F = 1 + \frac{R_F + \gamma \frac{2R_S + R_F}{4} + R_L}{\left(\frac{R_F}{R_S}\right)^2 R_S} = 1 + \frac{R_S}{R_F} + \frac{\gamma R_S}{4R_F} \left( \frac{2R_S}{R_f} + 1 \right) + \left( \frac{R_S}{R_F} \right)^2 \quad (102)$$

#### 5.3.1.4 Análise de linearidade

Considerando apenas efeitos de primeira ordem e condição de não linearidade fraca, a corrente de dreno de  $M_1$  e  $M_2$ , pode ser dada por:

$$i_{d1} = g_{1,1}V_A + g_{1,2}V_A^2 + g_{1,3}V_A^3 \quad (103)$$

$$i_{d2} = g_{2,1}V_A + g_{2,2}V_A^2 + g_{2,3}V_A^3 = n(g_{1,1}V_A + g_{1,2}V_A^2 + g_{1,3}V_A^3) \quad (104)$$

Onde  $g_{i,j}$  significa a ordem de distorção  $j^{th}$  da transcondutância do MOSFET  $M_i$  (para  $i = 1,2$  e  $j = 1,2,3$ ), e  $n = \frac{g_{2,j}}{g_{1,j}} = 1 + \frac{R_F}{R_S}$ . A tensão no ponto B pode ser calculada pela análise de pequenos sinais,

$$v_B = (1 - g_{1,1}R_F)v_A - g_{1,2}R_Fv_A^2 - g_{1,3}R_Fv_A^3 \quad (105)$$

E a entrada IP3 do primeiro estágio é dada por:

$$A_{IP3,M1} = \sqrt{\frac{4}{3} \left| \frac{1 - g_{1,1}R_F}{g_{1,3}R_F} \right|} = \sqrt{\frac{4}{3} \left| \frac{g_{1,1}}{g_{1,3}} - \frac{1}{g_{1,3}R_F} \right|} \quad (106)$$

Na eq. ( 107 ), o primeiro termo é a contribuição da não linearidade da topologia fonte comum de  $M_1$  e o último é a realimentação do resistor  $R_F$ . Onde normalmente  $g_{1,3} < 0$  quando  $M_1$  está em saturação, portanto o valor de IP3 do primeiro estágio diminui devido à  $R_F$ .

$$v_o = - \frac{[(nR_s g_{1,1} + R_F g_{1,1} - 1)v_A + (nR_s + R_F)g_{1,2}v_A^2 + (nR_s + R_F)g_{1,3}v_A^3]}{2} \quad (107)$$

E o IP3 de entrada do circuito total é:

$$A_{IP3,total} = \sqrt{\frac{4}{3} \left| \frac{nR_s g_{1,1} + R_F g_{1,1} - 1}{(nR_s + R_F)g_{1,3}} \right|} = \sqrt{\frac{4}{3} \left| \frac{g_{1,1}}{g_{1,3}} - \frac{1}{(R_s + 2R_F)g_{1,3}} \right|} \quad (108)$$

Através das equações ( 93 ), ( 102 ) e ( 108 ), pode-se concluir que  $A_v$  ,  $NF$  e  $IP3$  são dependentes apenas do resistor de realimentação  $R_F$ . Alto ganho, baixa figura de ruído e alta linearidade podem ser alcançadas simultaneamente para valores de  $R_F$  suficientemente grandes. No entanto, altos valores de  $R_F$  implicam em altos valores de  $g_{m2}$  para satisfazer a condição de cancelamento de ruído, o que pode causar o aumento do consumo de potência.

## 6 PROJETO DO LNA, SIMULAÇÃO E PROTOTIPAÇÃO

Como comentado na seção 5.3, após avaliar as topologias mais adequadas para este projeto, e considerando o sistema no qual o LNA será um bloco funcional, foi decidida a utilização de uma topologia diferencial com realimentação resistiva, de modo que esta irá manter o casamento de impedâncias nas terminações, irá melhorar o desempenho de ruído e obter um ganho aceitável em toda a faixa de frequência em que será utilizada no sistema. O LNA faz uso da técnica de cancelamento de ruído, possui moderado consumo de potência e permite a diminuição da área total do LNA por não utilizar indutores.

### 6.1 Considerações do Projeto

Nesta etapa do projeto, deve-se ter o máximo de informações possíveis do que se espera do bloco. Estas especificações auxiliam o projetista na tomada de decisões que serão de extrema importância para o bom funcionamento do bloco e do sistema, por conseguinte.

Espera-se que estes dados estejam disponíveis para todos os projetistas no início do projeto e com um bom nível de detalhamento. Contudo, é relativamente normal que se inicie o projeto de um bloco sem possuir todas as suas especificações, ou até mesmo que estas sejam modificadas no decorrer do projeto.

#### 6.1.1 Especificações

Estes dados são obtidos principalmente devido ao sistema de RF que está sendo adotado, porém algumas especificações podem ser limitadas por outros fatores, como a tecnologia CMOS utilizada, a fábrica (*foundry*), o encapsulamento, e até mesmo equipamentos de medida disponíveis e métodos de medidas que serão utilizados podem influenciar na construção de especificações de blocos e sistemas RF.

Com os dados iniciais é possível iniciar o projeto do bloco, cujas primeiras decisões envolvem escolha de arquitetura, de topologia, pontos de polarização, valores de componentes ativos e passivos, entre outros.



As especificações deste trabalho foram baseadas no estudo de um sistema de rádio cognitivo que é objeto de pesquisa no laboratório de projetos de chips CMOS analógicos de RF do PGMICRO/UFRGS. Apesar das especificações deste sistema ainda não estarem completamente definidas, foi estabelecido que o projeto do LNA deve atender as especificações parciais relacionadas na Tabela 2.

| Descrição                                       | Especificação |
|---|---------------|
| Arquitetura para saída                          | Diferencial   |
| Fonte de Tensão                                 | 1.5V          |
| Frequência de Operação                          | 50 MHz a 1GHz |
| Impedância de entrada e saída                   | 50Ω           |
| Ganho de tensão                                 | > 12 dB       |
| Figura de Ruído                                 | < 3.5dB       |
| Coefficiente de Reflexão na Entrada (S11)       | < -10 dB      |
| Coefficiente de Reflexão na Saída (S22)         | < -10 dB      |
| Ponto de interceptação de terceira ordem (IIP3) | > -5 dBm      |

Tabela 2: Especificações do Amplificador de Baixo Ruído.

## 6.2 Projeto do LNA

O projeto deste amplificador de baixo ruído foi baseado na técnica de cancelamento de ruído apresentada em (Brucoleri, Klumperink e Nauta, 2004). Dentre as diferenças entre este e o projeto daqueles autores, a principal destaca-se pela arquitetura utilizada, sendo que neste trabalho, por exigência de especificação, foi utilizada a arquitetura diferencial.

Nesta seção serão apresentados os estágios do LNA banda-larga, a metodologia utilizada para dimensionamento dos transistores MOS, os valores calculados e simulados dos componentes do circuito, bem como resultados de simulação do esquemático e comentários.

### 6.2.1 Estágios do LNA

O circuito do LNA é basicamente composto por um inversor CMOS com realimentação resistiva, que será acoplado por um filtro RC a um amplificador seguidor de fonte, o qual formará a saída do circuito juntamente com um amplificador cascode.

A impedância de entrada do circuito é fornecida pelo inversor CMOS com realimentação resistiva, o qual é um estágio de ganho baseado no amplificador fonte

comum. Existem diferentes tipos de inversores, porém neste projeto foi utilizado o inversor push-pull, que comparado a um amplificador fonte comum, possui menor figura de ruído para mesma corrente, o que é possível através da técnica de reuso de corrente.

Considerando o modelo simplificado de um inversor com realimentação resistiva, e que  $R_L \gg R_F$  (Ahmed A. Youssef, 2010), o ganho e a impedância de entrada podem ser calculados através dos mesmos princípios de um amplificador fonte comum, como pode ser observado na demonstração abaixo.

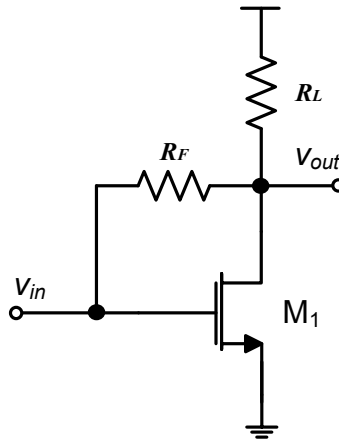


Figura 6.1: Amplificador fonte-comum com realimentação resistiva.

$$A_v = \frac{V_{out}}{V_{in}} = 1 - g_m R_f \quad (109)$$

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{V_{in}}{g_m V_{in}} = \frac{1}{g_m} \quad (110)$$

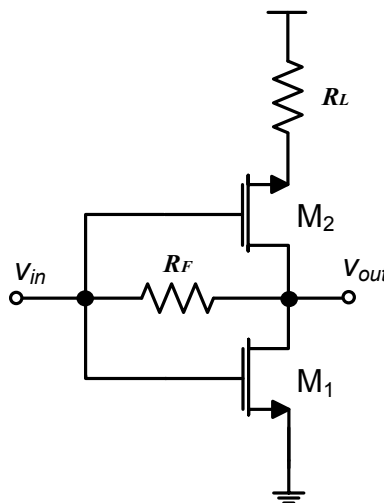


Figura 6.2: Inversor push-pull com realimentação resistiva.

$$A_{v,inv} = \frac{V_{out}}{V_{in}} = 1 - (g_{m1} + g_{m2})R_f \quad (111)$$

$$Z_{in,inv} = \frac{V_{in}}{I_{in}} = \frac{1}{g_{m1} + g_{m2}} \quad (112)$$

O acoplamento AC (corrente alternada) entre o inversor e o seguidor de fonte é feito através de um filtro RC passa alta. Esse acoplamento possibilita a isolação CC entre os dois estágios, mantendo portanto as condições de polarização inalteradas.

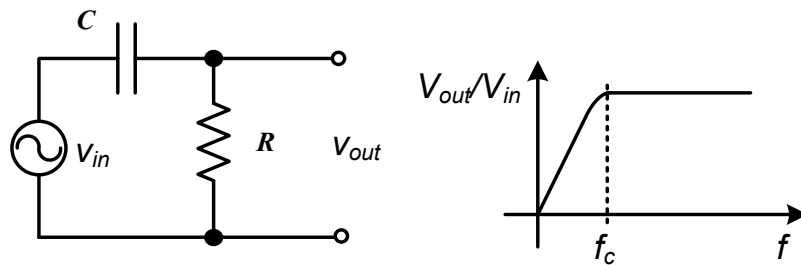


Figura 6.3: Circuito e resposta de um filtro RC passa-alta.

$$f_c = \frac{1}{2\pi RC} \quad (113)$$

onde  $f_c$  é a frequência de corte a -3dB do filtro passa-alta.

O amplificador seguidor de fonte, também conhecido como dreno comum, frequentemente é utilizado como um somador ou um buffer. Quando utilizado como um buffer, ele simplesmente conduz a tensão da porta para a fonte. No entanto, neste projeto ele é utilizado como um somador, cujo modo de operação é o mesmo do buffer, porém a tensão do sinal na porta é somada a um sinal já existe no dreno do próximo estágio, neste caso um amplificador cascode.

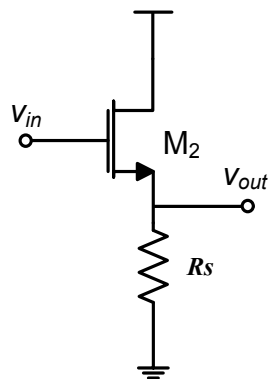


Figura 6.4: Amplificador seguidor de fonte.

O ganho de tensão do amplificador da Figura 6.4 é dado por:

$$A_v = \frac{g_m R_S}{1 + (g_m + g_{mbulk}) R_S} \quad (114)$$

Para isolar a saída da entrada, utiliza-se o amplificador cascode mostrado na Figura 6.5, o qual também possui vantagens como a alta impedância na saída e a baixa capacitância na entrada.

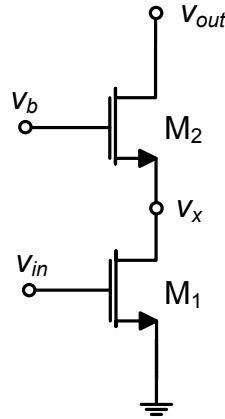


Figura 6.5: Amplificador cascode.

Se os dispositivos possuírem as mesmas dimensões, o ganho será igual a um. Esta propriedade irá reduzir a capacitância Miller originada da porta para a fonte no transistor de entrada  $M_1$ , o que conduzirá a uma maior largura de banda.

Após uma breve descrição de cada estágio do LNA, segue na Figura 6.6 a metade idêntica do esquemático do circuito diferencial. Na figura as tensões de polarização foram omitidas.

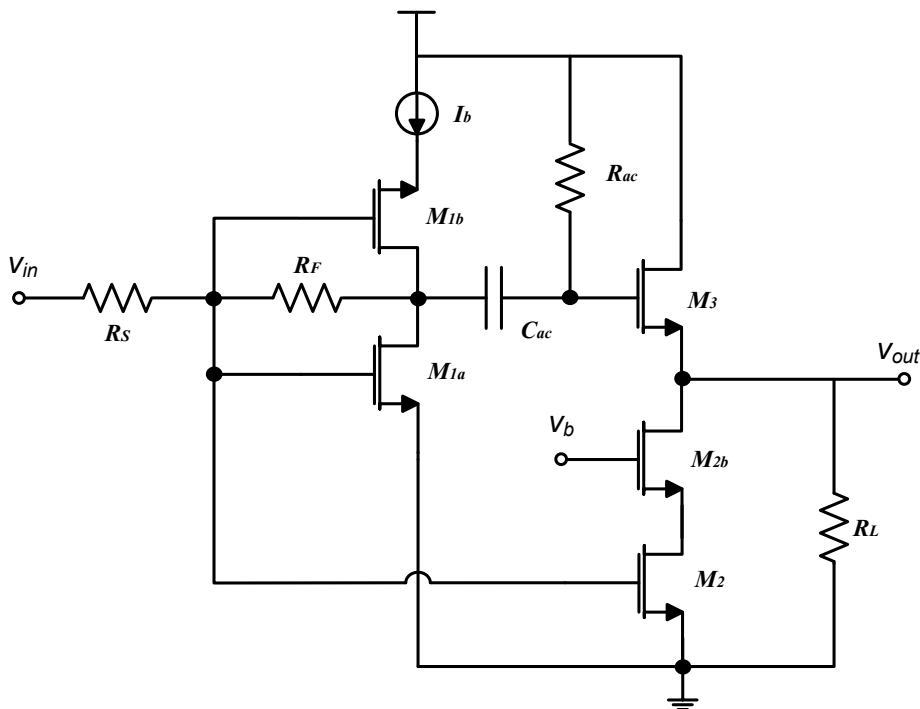


Figura 6.6: Metade idêntica do esquemático do LNA diferencial.

### 6.2.2 Metodologia de projeto baseada na curva $g_m/I_d$

Para o projeto do LNA, foi utilizada uma metodologia de síntese unificada, a qual considera todas as regiões de operação do transistor MOS, diferente dos métodos tradicionais, que geralmente consideram os transistores MOS operando em inversão forte ou fraca.

O parâmetro principal desta metodologia é a relação entre a característica  $g_m/I_d$  (razão entre transcondutância e corrente de dreno) e a corrente de dreno normalizada  $I_d/(W/L)$ . Considerando que este projeto é baseado no cancelamento de ruído, que será alcançado após as condições de operação dos transistores serem devidamente atendidas, logo este método se torna uma excelente ferramenta para os cálculos das dimensões dos transistores.

A razão  $g_m/I_d$  é igual a derivada do logaritmo da corrente de dreno  $I_d$  em relação à  $V_g$ , a qual é máxima na região de inversão fraca e mínima quando o ponto de operação se move para a região de inversão forte. Feita esta análise, observa-se mais claramente a relação deste método com a região de operação dos transistores MOS (Cortes, 2003).

$$\frac{g_m}{I_d} = \frac{1}{I_d} \cdot \frac{\partial I_d}{\partial V_G} = \frac{\partial(\ln I_d)}{\partial V_G} = \frac{\partial\left(\ln \frac{I_d}{(W/L)}\right)}{\partial V_G} \quad (115)$$

Outro fator determinante para escolha desta metodologia é que ambas as relações,  $g_m/I_d$  e  $I_d/(W/L)$ , são independentes das dimensões dos transistores. O que permitiu inicialmente considerar estas relações como uma característica única de projeto, uma vez que  $W$  e  $L$  dos transistores ainda são desconhecidos.

A partir das especificações desejadas, como regiões de operação, transcondutâncias e correntes de dreno, podem-se obter mais facilmente as dimensões dos transistores (NMOS e PMOS) para aproximação de primeira ordem, a qual será refinada através de simulações na ferramenta de projeto.

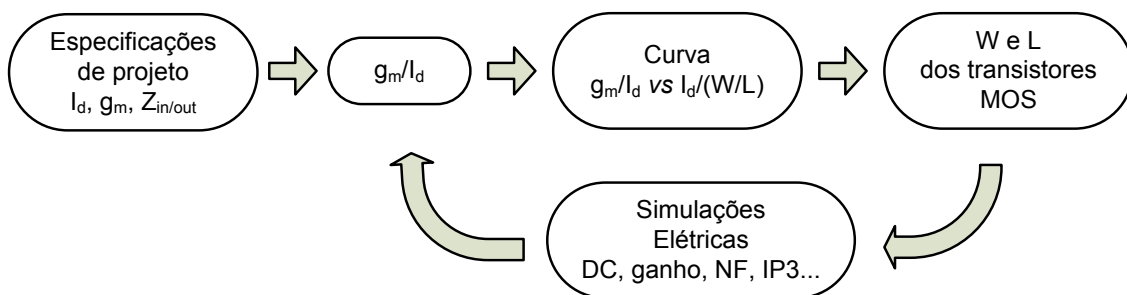


Figura 6.7: Fluxo de projeto utilizando a metodologia  $g_m/I_d$ .

Há duas formas de se obter a curva de  $g_m/I_d$  versus  $I_d/(W/L)$ , a primeira é analiticamente, onde utiliza-se um modelo para o transistor MOS, o qual irá fornecer a representação contínua de corrente do transistor, bem como seus parâmetros de pequenos sinais em todas as regiões de operação. A segunda forma, a qual foi utilizada neste trabalho, é através das medidas experimentais ou simuladas de um transistor da tecnologia que está sendo utilizada. Neste trabalho, foram realizadas simulações elétricas do transistor para tecnologia IBM CMOS 130nm (modelo BSIM).

Para o transistor NMOS, a curva  $g_m/I_d$  vs  $I_d/(W/L)$  foi obtida da seguinte forma:

- 1) Curva  $I_d \times V_G$ , para um  $V_D = 1.5V$  e  $V_B = 0$ , relação  $\frac{W}{L} = 1$ ;
- 2) Cálculo do  $\ln(I_d)$  para cada ponto;
- 3) Cálculo da derivada do  $\ln(I_d)$  em relação à  $V_G$  para cada ponto;
- 4) Plotagem da curva  $g_m/I_d$  versus  $I_d/(W/L)$ ;
- 5) Mesmo procedimento para o transistor PMOS, porém com as tensões de polarização invertidas.

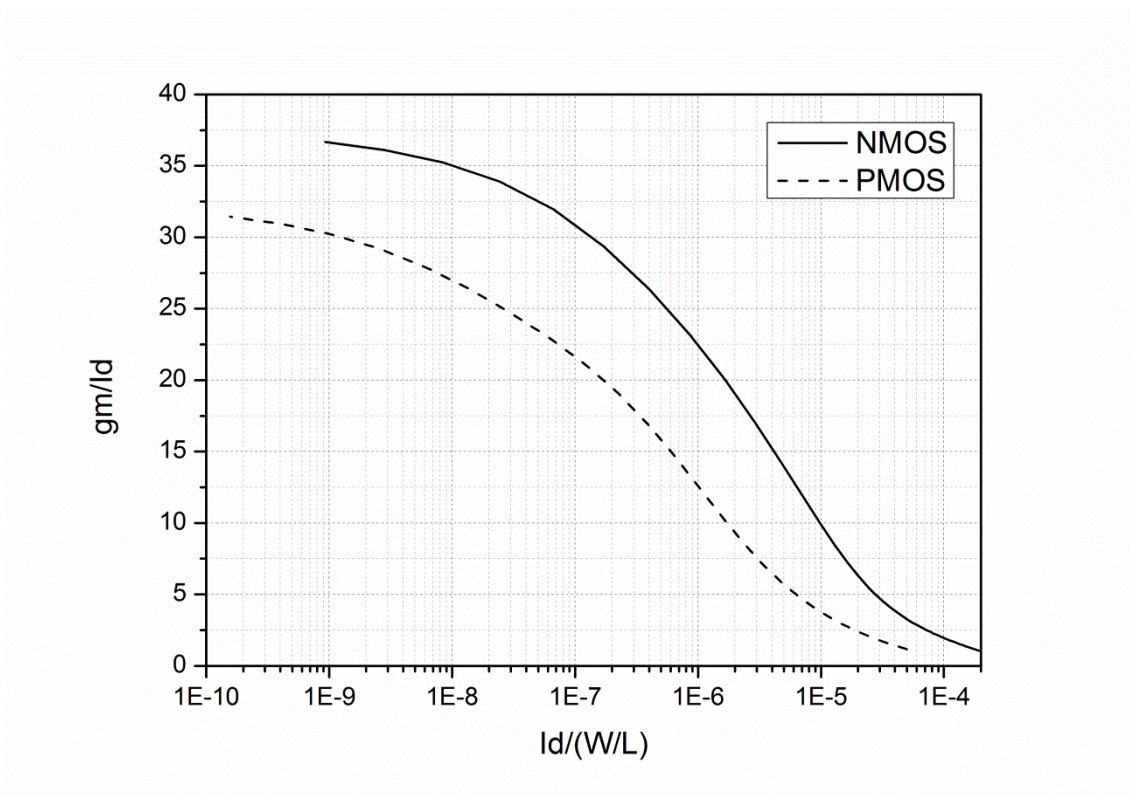


Figura 6.8: Curva  $g_m/I_d$  simulada dos transistores NMOS e PMOS IBM 130nm.

Ainda relacionado ao método acima, pode-se obter uma segunda curva adicional, a qual considera uma importante característica relacionada ao parâmetro  $g_m/I_d$ , a relação entre  $g_m/I_d$  versus  $V_A$  (tensão de *Early*). Esta relação permite considerar o mínimo comprimento permitido dos transistores MOS.

### 6.2.3 Dimensionamento dos dispositivos

Com o conhecimento das especificações exigidas para o LNA, dos estágios básicos da topologia escolhida, das condições para cancelamento do ruído apresentadas na seção 5.3.1 e da ferramenta para estimação de valores dos transistores MOS, é possível realizar os cálculos de primeira ordem, os quais irão fornecer os valores iniciais de simulação e refinamento se necessário.

Na seção 5.3.1, foi apresentado o detalhamento do método de cancelamento do ruído para topologia adotada nesse projeto. Basicamente, devem-se seguir as seguintes condições para correta aplicação da técnica:

$$\begin{aligned}
 1) \quad & g_{m1} = g_{m3} = \frac{1}{R_s} = \frac{1}{R_L} \\
 2) \quad & \frac{g_{m2}}{g_{m3}} = 1 + \frac{R_F}{R_s} \\
 3) \quad & g_{m2} = \left(1 + \frac{R_F}{R_s}\right) / R_s
 \end{aligned}$$

Primeiramente deve-se respeitar a condição de casamento de impedância  $Z_{in} = Z_{out} = 50\Omega$ , por conseguinte  $R_s = R_L = 50\Omega$ . Esta condição determina a transcondutância dos transistores  $M_1$  e  $M_3$  através da equação ( 86 ),

$$g_{m1} = g_{m3} = \frac{1}{R_s} = \frac{1}{50} = 20mS$$

lembrando que, 
$$g_{m1} = g_{m1a} + g_{m1b}$$

O segundo e o terceiro item irão satisfazer a condição de tensão de ruído na saída igual à zero. O valor de  $400\Omega$  do resistor de realimentação  $R_F$  foi escolhido através do compromisso entre ganho, figura de ruído, linearidade e consumo de potência. Para isto foi desenvolvida uma rotina no software matlab aplicando as equações encontradas na seção 5.3.1. Esta rotina seria realimentada no refinamento de valores durante as simulações elétricas.

Com os valores de  $R_F$  e  $g_{m3}$  definidos, pode-se encontrar o valor de  $g_{m2}$ :

$$g_{m1} = g_{m3} = \frac{1}{R_s} = \frac{1}{50} = 20mS$$

$$g_{m2} = \frac{\left(1 + \frac{R_F}{R_S}\right)}{R_S} = \frac{\left(1 + \frac{400}{50}\right)}{50} = 180mS$$

Para o acoplamento AC foi utilizado um filtro passa-alta com valores de resistência igual a  $1.15k\Omega$  e capacitância de  $10pF$ . Para reduzir a sensibilidade do ganho e da impedância de entrada com relação às variações na fonte de tensão, foi utilizado um capacitor no valor de  $10pF$  entre  $V_{dd}$  e fonte do transistor  $M_{1b}$ . Outro capacitor de igual valor foi utilizado para filtrar o ruído no circuito de polarização.

A partir da transcondutância dos transistores já conhecida, a próxima etapa envolve a utilização da ferramenta para estimar os valores de  $W$  e  $L$  dos transistores MOS. Uma vez que, para garantir o bom funcionamento do LNA e boa relação de compromisso entre as especificações, convencionou-se que todos os transistores devem operar em inversão forte, representado por um valor igual ou inferior a  $10$  para  $g_m/I_d$  na curva  $g_m/I_d$  versus  $I_d/(W/L)$  da Figura 6.8.

Todos os transistores foram projetados para valores de comprimento de canal mínimo permitido pela tecnologia  $L = 130nm$ , com exceção dos transistores dos espelhos de corrente, cujos valores de comprimento de canal, para correto espelhamento, devem ser pelo menos três vezes maior que o comprimento mínimo, sendo que o valor escolhido para este trabalho foi um  $L = 500nm$  para os espelhos de corrente, os quais espelham uma corrente de  $2mA$ .

Foram extraídos os valores de primeira ordem de  $W$  de todos os transistores, os quais foram posteriormente refinados durante as simulações elétricas. Segue abaixo uma tabela com os valores adquiridos através das curvas, assim como seus valores corrigidos via simulação.

| Transistor<br>MOS | Valores de $W(\mu m)$ |           |
|-------------------|-----------------------|-----------|
|                   | $g_m/I_d$             | Simulação |
| $W_{1a}$          | 26                    | 30        |
| $W_{1b}$          | 93                    | 80        |
| $W_{2a}$          | 477                   | 400       |
| $W_{2b}$          | 477                   | 400       |
| $W_3$             | 29                    | 35        |
| $W_{n,esp}$       | 70                    | 10        |
| $W_{p,esp}$       | 195                   | 400       |

Tabela 3: Valores calculados e simulados para os transistores MOS.

Pode-se validar o funcionamento do circuito apenas com os valores de primeira ordem, onde se observa o comportamento da topologia e de valores razoáveis para algumas figuras de mérito. Contudo, são extremamente necessárias algumas modificações, as quais são justificadas por variadas razões durante o fluxo de projeto da



Figura 6.7: Fluxo de projeto utilizando a metodologia  $g_m/I_d$ . Figura 6.7, seja para alcançar maiores ganhos de tensão, menor figura de ruído, melhores casamentos de impedância, menor consumo de potência ou mesmo manter estas especificações em variações aceitáveis durante simulações de cornes.

Dentre os motivos para modificação dos valores dos transistores durante as simulações elétricas, seguem os principais:

- 1) Os valores iniciais de  $W_{1a}$  e  $W_{1b}$  não proporcionaram o máximo cancelamento do ruído e um ganho de tensão de acordo com a especificação;
- 2) Para diminuir o consumo de potência excessivo ocasionado pelo alto valor de  $g_{m2}$ , os valores de  $W_{2a}$  e  $W_{2b}$  foram diminuídos de forma que as especificações ainda fossem atendidas sem maiores variações;
- 3) Com as variações ocasionadas nos itens 1 e 2, o valor de  $W_3$  era modificado de modo a acompanhar estes pequenos ajustes e manter a condição de cancelamento;
- 4) Valores dos circuitos de polarização variaram de acordo com algumas modificações realizadas em outros pontos do circuito, de modo a manter todos componentes corretamente polarizados;
- 5) Assim como o no item 4, os valores de componentes passivos que formavam filtros e acopladores no circuito eram modificados afim de mantê-lo dentro das especificações.

Segue abaixo o esquemático completo do amplificador de baixo ruído de banda larga operando entre as frequências de 50MHz a 1GHZ.

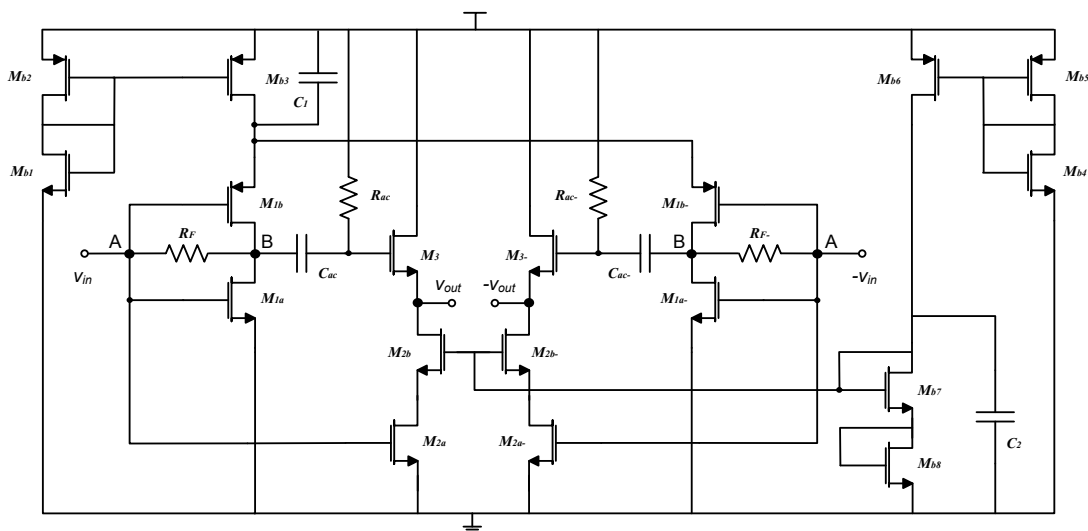


Figura 6.9: Esquemático do LNA banda-larga para frequências de 50MHz-1GHZ.

## 6.2.4 Ambiente de simulação

As simulações foram realizadas através de uma ferramenta de EDA (*Electronic Design Automation*) da *Cadence Design System* e do kit de projeto (*design kit*) da IBM para tecnologia CMOS 130nm (IBM 8RF-DM). Durante o levantamento das figuras de mérito para o LNA, blocos adicionais foram adicionados ao ambiente de teste para obter maior realismo durante as simulações.

### 6.2.4.1 Tecnologia CMOS IBM 130nm (IBM 8RF-DM)

O modelo fornecido pela fábrica para componentes passivos e transistores são proprietários e possuem características e parâmetros bem caracterizados para modelar os MOSFETs em altas frequências. O modelo MOSFET intrínseco é baseado no modelo BSIM4 e inclui estatística baseada no processo. Para que haja precisão em altas frequências, a resistência de porta, diodos, capacitância parasita, resistência de linha e resistência de substrato foram incluídos no modelo RF (IBM, CMRF8SF Model Reference Guide 2010). Os modelos utilizados para alguns dos componentes do LNA são apresentados na Tabela 4.

| Componente         | Modelo     |
|--------------------|------------|
| Transistor NMOS    | nfet_rf    |
| Transistor PMOS    | Pfet_rf    |
| Capacitor (MIM)    | dualmimcap |
| Resistor (kx BEOL) | kxres      |

Tabela 4: Modelos utilizados na simulação.

### 6.2.4.2 Blocos adicionais

Para se obter maior realismo dos resultados das simulações com respeito às condições reais de operação em que operará o circuito LNA, foram incluídos cinco blocos adicionais, dos quais apenas três realmente foram encapsulados juntamente com o amplificador de baixo ruído, os quais são: proteção ESD (*Electrostatic discharge*) para sinal de RF, proteção ESD para tensão de alimentação e os PADs. Os outros dois blocos são utilizados para emular o componente externo chamado *balun* e o efeito causado pelo fio de ligação (*wirebond*) do chip com o encapsulamento.

Como o LNA deste trabalho é um dispositivo de entrada diferencial, logo se faz necessário o uso de um componente externo conhecido como *balun*, cuja função neste caso é converter o sinal único de entrada em um sinal diferencial e vice-versa. Neste projeto o *balun* foi emulado como um componente ideal durante as simulações na ferramenta EDA.

A forma mais simples de modelar o efeito do *wirebond* é através de três componentes passivos, um resistor em série com um indutor e um capacitor para a referência terra. Os valores destes componentes foram retirados das informações fornecidas pela organização americana MOSIS (MOSIS 2010), a qual indica que, para o encapsulamento utilizado neste trabalho, os valores são: resistor de  $0,103\Omega$ , indutor de  $1,996nH$  e capacitor de  $0,122pF$ . A Fig. 6.10 mostra o sub-circuito utilizado para modelar a fiação externa (*wirebond*).

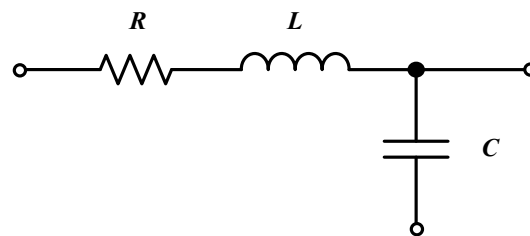


Figura 6.10: Modelo elétrico básico do *wirebond*.

O PAD e a proteção ESD são blocos proprietários contidos na biblioteca disponível da fábrica CMOS utilizada neste *design*. Os mesmos foram redimensionados de acordo com as especificações de projeto, sendo que o primeiro foi dimensionado com o mínimo valor permitido para compor um anel de PADs compatível com o encapsulamento de 64 pinos. O segundo é composto por um bloco com dois diodos e outro com um *Clamp* DC, os quais foram dimensionados de acordo com o compromisso entre capacitância e corrente através de simulações onde eram aplicados pulsos de  $2kV$ , padrão de descarga eletrostática tipo HBM (*Human-body model*). Segue na Figura 6.11 a topologia de proteção utilizada.

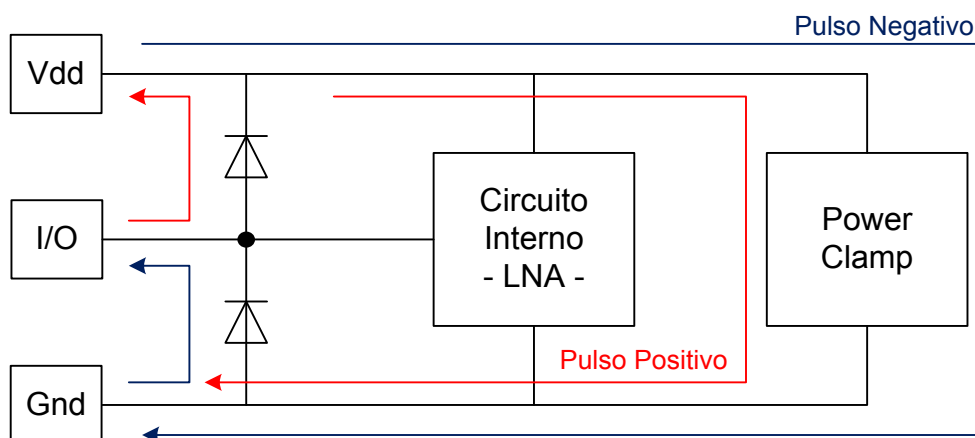


Figura 6.11: Topologia do circuito de proteção ESD.

## 6.2.5 Resultados de simulação do esquemático

Para que a topologia e os cálculos apresentados possam ser validados, é apresentado nesta seção um conjunto de simulações para comprovar adequadamente o desempenho do esquemático do LNA projetado. Para isto, foram utilizadas ferramentas e configuração de teste apresentadas na seção 6.2.4.

A configuração de testes para simulações elétricas é apresentada na Figura 6.12, a qual é composta por uma fonte de tensão, fontes de sinal RF e suas respectivas cargas de  $50\Omega$ , *baluns* na entrada e na saída, proteções ESD para sinais de RF e tensão de alimentação, assim como os blocos que emulam o comportamento dos *wirebonds*.

Para este trabalho foram realizadas simulações DC e AC no ambiente de projeto analógico (*Analog Design Environment*) da ferramenta EDA, a qual possui um módulo específico para simulações de RF, chamada SpectreRF, onde foram feitas as simulações de ganho de tensão, figura de ruído, parâmetros de espalhamento, estabilidade e linearidade.

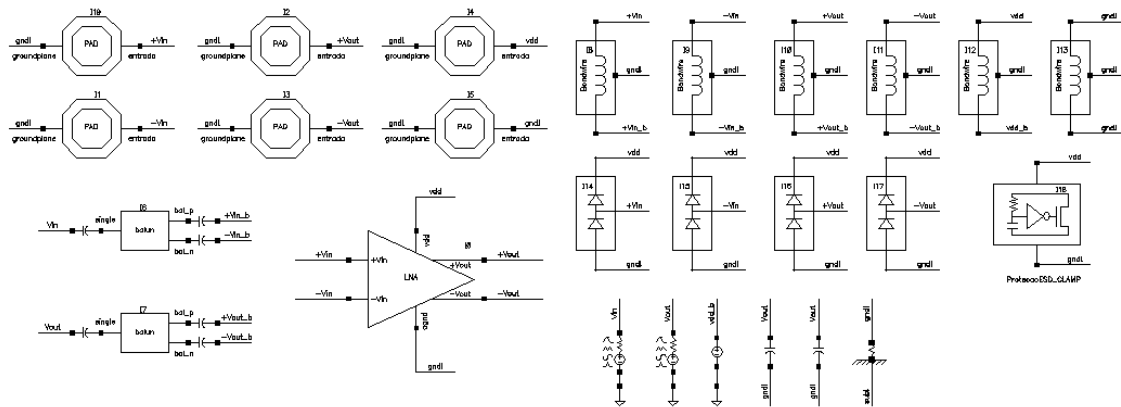


Figura 6.12: Configuração de testes para simulação.

### 6.2.5.1 Análise DC

Como comentado na seção 6.2.3, todos os transistores foram projetados para operar na região de saturação, assim como em regime de inversão forte. Para uma alimentação de  $1,5V$  o consumo de potência simulado foi de  $46,57mW$ , considerado um valor elevado para aplicações móveis. Este valor decorre da arquitetura diferencial do circuito, da escolha de acoplamento de saída a uma carga de impedância muito baixa ( $50\Omega$ ), e da susceptibilidade da topologia ao maior consumo de corrente, como comentado na seção 5.3.1.

### 6.2.5.2 Ganho de tensão

O ganho de tensão pode ser adquirido por simulação elétrica e apresentado de diferentes formas; neste trabalho ele foi adquirido através da simulação dos parâmetros de espalhamento (*S Parameters*) na ferramenta SpectreRF. Observa-se na Figura 6.13 que para toda a banda de interesse (50MHz a 1GHz) o ganho esteve acima de 14,25 dB, o que significa uma margem de 2,25 dB com relação à especificação original do projeto.

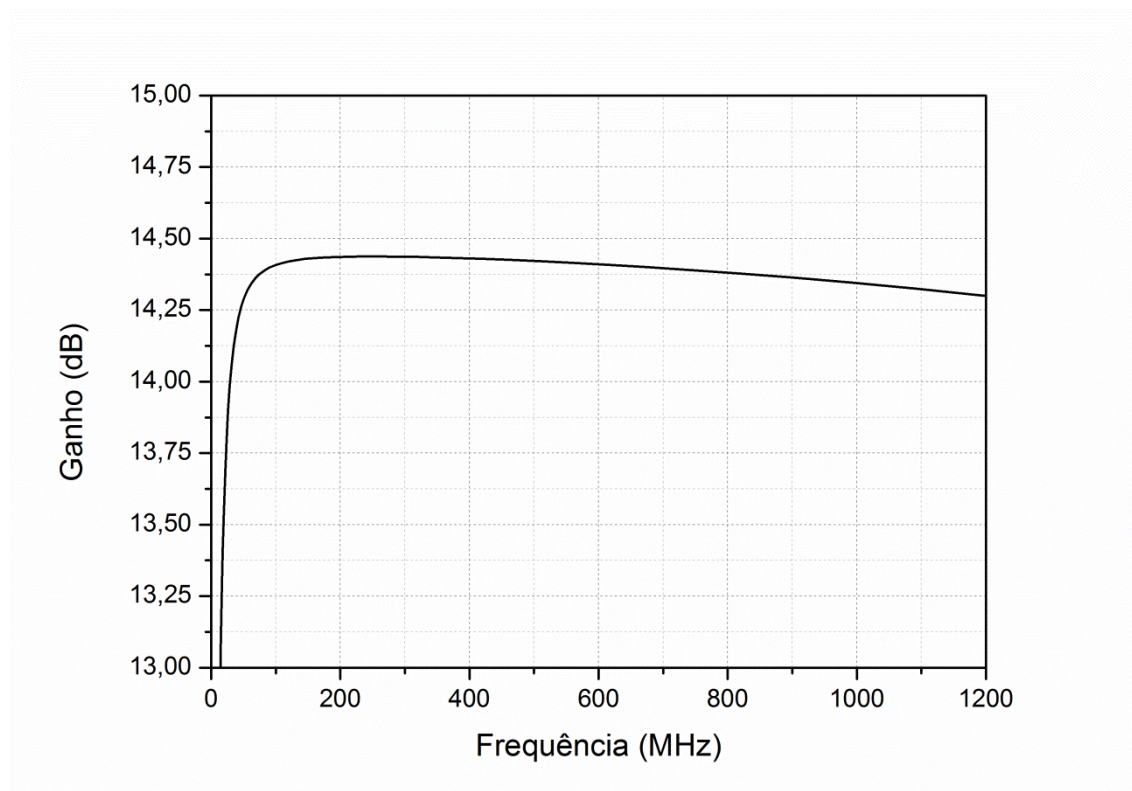


Figura 6.13: Ganho de tensão do LNA para simulação do esquemático.

### 6.2.5.3 Figura de Ruído

Assim como o ganho de tensão, a figura de ruído também foi extraída da simulação dos parâmetros de espalhamento, através da função “*NF*” do simulador. Através da análise da Figura 6.14, confirma-se que a figura de ruído está abaixo de 3dB para a banda de interesse, sendo que, para frequências acima de 300MHz ela se encontra entre 1,5dB e 2dB, o que significa uma margem de 50% da especificação de 4dB.

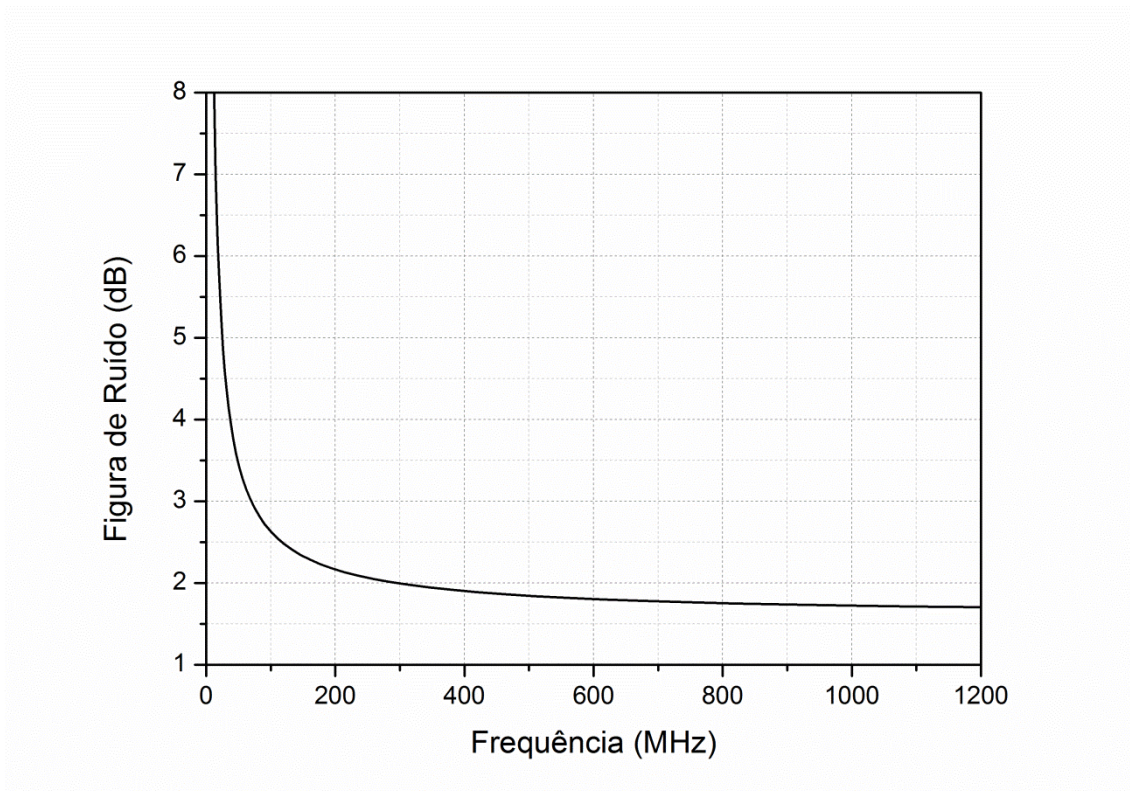


Figura 6.14: Figura de ruído do LNA para simulação do esquemático.

#### 6.2.5.4 Coeficientes de Reflexão $S_{11}$ e $S_{22}$

Novamente, através da simulação elétrica dos parâmetros de espalhamento foram extraídos os coeficientes de reflexão na entrada ( $S_{11}$ ) e na saída ( $S_{22}$ ) do amplificador. Na Figura 6.15 são apresentados valores de  $S_{11}$  e  $S_{22}$  menores que  $-12dB$  para a banda de interesse, indicando um bom casamento de impedância para cargas de  $50\Omega$  na entrada e na saída.



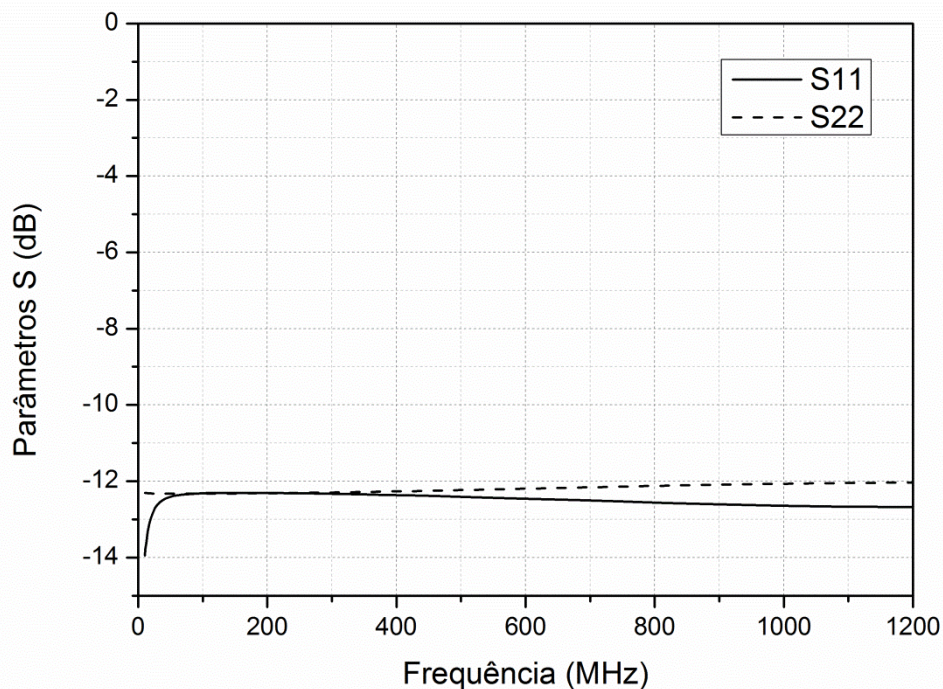


Figura 6.15: Coeficientes de reflexão do LNA para simulação do esquemático.

#### 6.2.5.5 Linearidade: $IP_3$ e $P_{1dB}$

Para análise de linearidade são extraídos o ponto de interceptação de 3ª. ordem e o ponto de compressão de  $1dB$ . O primeiro é obtido através do teste de dois tons utilizando a função PSS do SpectreRF, o qual também é utilizado para o  $P_{1dB}$ , porém sem a necessidade de dois tons.

De acordo com as especificações, o ponto de interceptação medido com relação à entrada ( $IIP_3$ ) deve ser maior que  $-5dBm$ , e sabe-se através da equação ( 18 ) que o ponto de compressão deve estar em torno de  $10dB$  abaixo de  $IP_3$ . Logo, pode-se observar que ambas figuras de mérito (indicadas por pontos na Figura 6.16 e Figura 6.17, respectivamente) estão de acordo com as especificações.

É importante ressaltar que o  $IP_3$  varia de acordo com a diferença das frequências utilizadas no teste de dois tons, cuja figura de mérito é bem aceita no mercado e no meio científico. No entanto, na literatura dos LNAs, os autores diferem dos pontos de medidas, não raramente para mesmas aplicações, o que pode por muitas vezes tornar comparações de ponto de interceptação de 3º ordem incorretas se esta separação em frequência dos dois tons de teste não for levada em consideração.

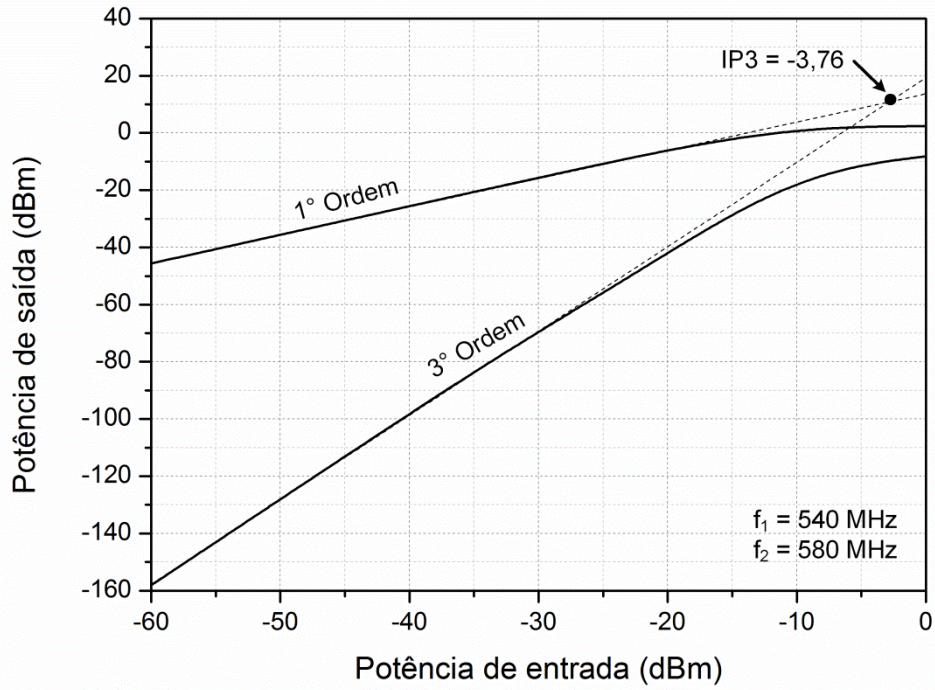


Figura 6.16: IP3 do LNA para simulação do esquemático.

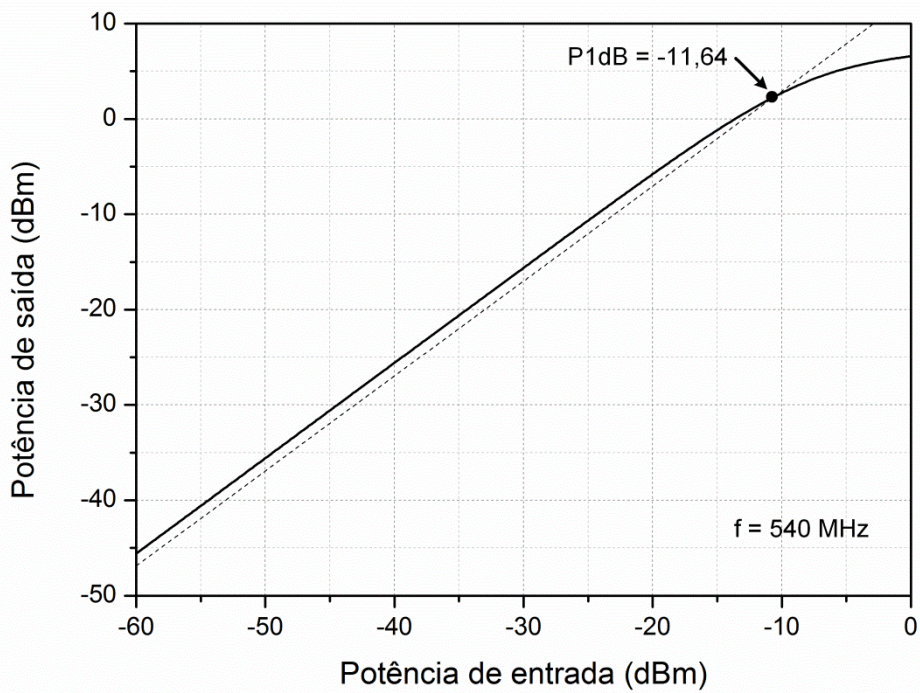


Figura 6.17: P1dB do LNA para simulação do esquemático.



#### 6.2.5.6 Estabilidade: $K_f$ e $BIf$

Assim como outras medidas, a estabilidade pode ser comprovada através da simulação dos parâmetros de espalhamento, utilizando as funções “ $K_f$ ” e “ $BIf$ ” no simulador, as quais representam respectivamente o fator  $K$  e Delta ( $\Delta$ ). Ao analisar a Figura 6.18 e a Figura 6.19, pode-se afirmar que o circuito deste trabalho é incondicionalmente estável, pois atende às condições de estabilidade da equação ( 31 ), onde  $K$  deve ser maior do que 1 e delta menor do que 1.

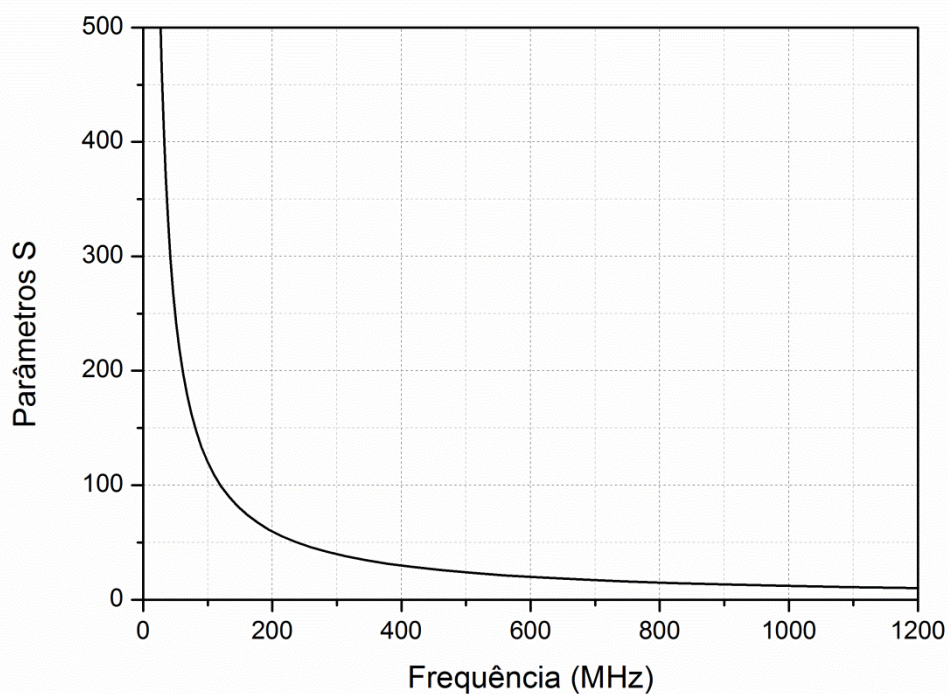


Figura 6.18: Fator K do LNA para simulação do esquemático.

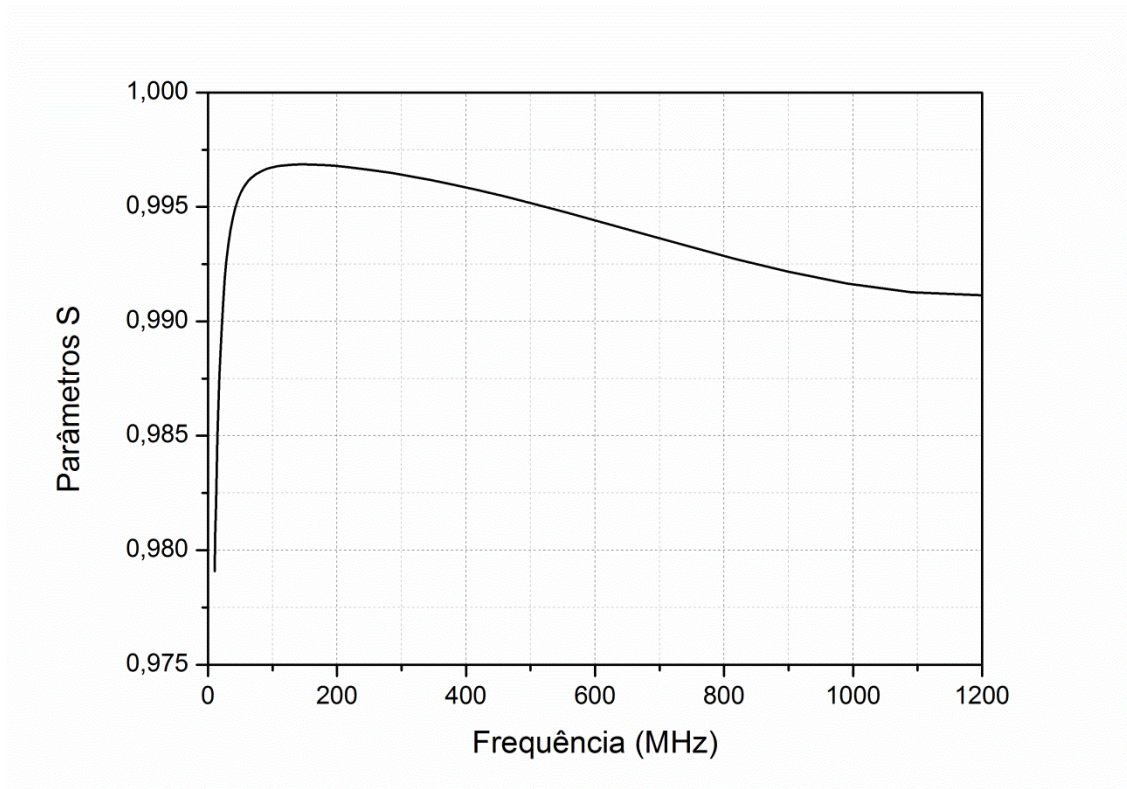


Figura 6.19: Delta do LNA para simulação do esquemático.

#### 6.2.5.7 Simulação de corner e Monte Carlo

Simulações de *corner* foram realizadas para fornecer respostas rápidas do funcionamento do circuito para diferentes combinações dos extremos do processo, bem como a variação de itens externos ao circuito, como a fonte de tensão e temperatura do ambiente. Segue na Tabela 5 as variáveis que foram utilizadas nas simulações, e os resultados de extremos na Tabela 6.

| Parâmetro       | Valores         |
|-----------------|-----------------|
| Temperatura     | -20 a 80°C      |
| Fonte de tensão | 1,4 a 1,6V      |
| Processo        | ss, sf, fs e ff |

Tabela 5: Parâmetros de simulação de condições-limite (“*corners*”).

| Parâmetro            | Mínimo | Máximo |
|----------------------|--------|--------|
| Ganho de tensão (dB) | 11,87  | 16,32  |
| Figura de ruído (dB) | 1,26   | 4,27   |
| S11 (dB)             | -16,86 | -8,99  |
| S22 (dB)             | -17,22 | -9,54  |
| Consumo (mW)         | 30,3   | 69,81  |
| Fator K              | 5,3    | 396,9  |
| Delta                | 0,91   | 1,11   |

Tabela 6: Resultados da simulação de corners do LNA.

Como podem ser observados, com exceção do fator K, todos os parâmetros ficaram fora das especificações em alguma condição-limite particular, mesmo que minimamente. Sabe-se que esses valores são resultado de raras situações particulares nas quais o circuito estará inserido. Porém, na prática adotada pela indústria de circuitos integrados, é importante que o projeto de um circuito integrado esteja sempre dentro das especificações para todos os *corners* de processo, temperatura e alimentação especificados no limite.

Com relação à simulação de Monte Carlo, sua realização tem o objetivo de simular estatisticamente a influência do processo de fabricação no desempenho final do projeto, podendo ser analisado em apenas uma frequência ou em uma banda desejada para verificar a conformidade do projeto com suas especificações. Os modelos de simulação contêm dois tipos de variação estatística, variação global e *mismatch*. A primeira considera as variações que podem ocorrer de um chip para outro, de uma pastilha para outra ou de um lote de *wafers* para outro lote. A segunda considera as variações nas características do dispositivo que podem ocorrer dentro de um mesmo chip para componentes muito próximos fisicamente.

No caso deste trabalho, foram realizadas simulações com as duas variações para 1000 pontos de simulação. Seguem os resultados na Tabela 7, e como ilustração, a representação gráfica através de histograma do ganho e da figura de ruído na Figura 6.20. Nota-se também uma diferença entre estes resultados e os resultados de simulações em casos típicos. Isto se deve ao descasamento dos dispositivos, afetando principalmente os espelhos de corrente e o par diferencial.

| Parâmetro            | Mínimo | Máximo |
|----------------------|--------|--------|
| Ganho de tensão (dB) | 14,23  | 15,3   |
| Figura de ruído (dB) | 1,75   | 6,17   |
| S11 (dB)             | -12,67 | -10,63 |
| S22 (dB)             | -12,44 | -10,46 |
| Consumo (mW)         | 46,59  | 46,59  |
| Fator K              | 12,05  | 349,1  |
| Delta                | 0,998  | 1,051  |

Tabela 7: Resultados da simulação de Monte Carlo do LNA.

Observa-se que, diferente da simulação de *corners*, apenas o Delta e a figura ruído ficaram abaixo das especificações, e que o consumo de potência permaneceu inalterado para as rodadas de simulação Monte Carlo (MC), o que pode ser justificado pela não variação da fonte de tensão. Apesar da diferença de resultados entre *corners* e Monte Carlo, seus resultados irão depender do projeto e da tecnologia CMOS utilizada. Neste trabalho foi adotada a boa prática de projeto em que a simulação de ambas situações (*corners* e de variação estatística por simulação MC) oferece valores limites e também o comportamento estatístico da função densidade de probabilidade, sempre que necessário.

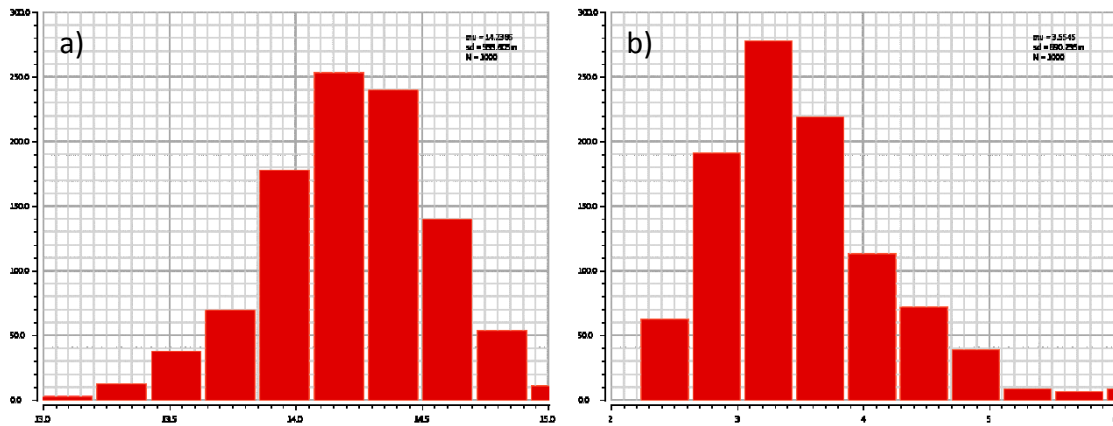


Figura 6.20: Histograma do ganho (a) e da figura de ruído (b).

#### 6.2.5.8 Análise de resultados das simulações do esquemático

Com base nos bons resultados apresentados nas simulações do esquemático do LNA, pode-se afirmar que a topologia foi validada com algumas ressalvas para as especificações indicadas. Apesar de a topologia apresentar-se adequada, modificações seriam necessárias para que a mesma venha a consumir menos potência e para que possa atingir a totalidade das especificações, tanto nas simulações de *corners* quanto de Monte Carlo.

### 6.3 Prototipação

Nesta seção é apresentada a última etapa do projeto, onde o layout completo do LNA integrado e as simulações elétricas pós-layout são realizados. Cabe ressaltar que apesar de ser a última etapa, dependendo dos resultados de simulação, há a possibilidade de o projetista retornar para as primeiras etapas do projeto, revendo aspectos da especificação, da configuração do LNA no sistema, da arquitetura e da topologia do circuito elétrico.

### 6.3.1 Considerações de *Layout*

O *layout* consiste de blocos geométricos desenhados com o auxílio da ferramenta EDA (*Cadence*), cujo desenho formará as máscaras utilizadas no processo de fabricação do circuito integrado. Para criação do *layout* é necessário um conjunto de regras vinculado ao processo, cujas diversas dimensões mínimas e máximas, overlaps e distâncias mínimas são estipuladas pela empresa fabricante do chip. No caso deste trabalho, as regras de *layout* obedecidas foram fornecidas pela empresa IBM Microelectronics, dos EUA, para a tecnologia CMOS 8RF de 130nm.

#### 6.3.1.1 Os níveis de metal do modelo CMOS 8RF

No projeto do *layout*, para correta utilização dos metais, é necessário conhecer as características elétricas e físicas de cada nível que será utilizado. Para o modelo desta tecnologia, é utilizada uma pilha de metal com configuração 3-2-3, totalizando oito níveis. Os cinco primeiros, formados por M1, M2, M3, MQ (Cobre) e MG (Cobre), normalmente são utilizados para roteamento de sinais DC em geral. Os três últimos, formados por LY (Alumínio), E1 (Cobre) e MA (Alumínio), são utilizados para aplicações RF, como indutores, transmissão/proteção de sinais RF, bem como a interligação com os PADs. Na Figura 6.21 é apresentado um exemplo de uma secção transversal do modelo.

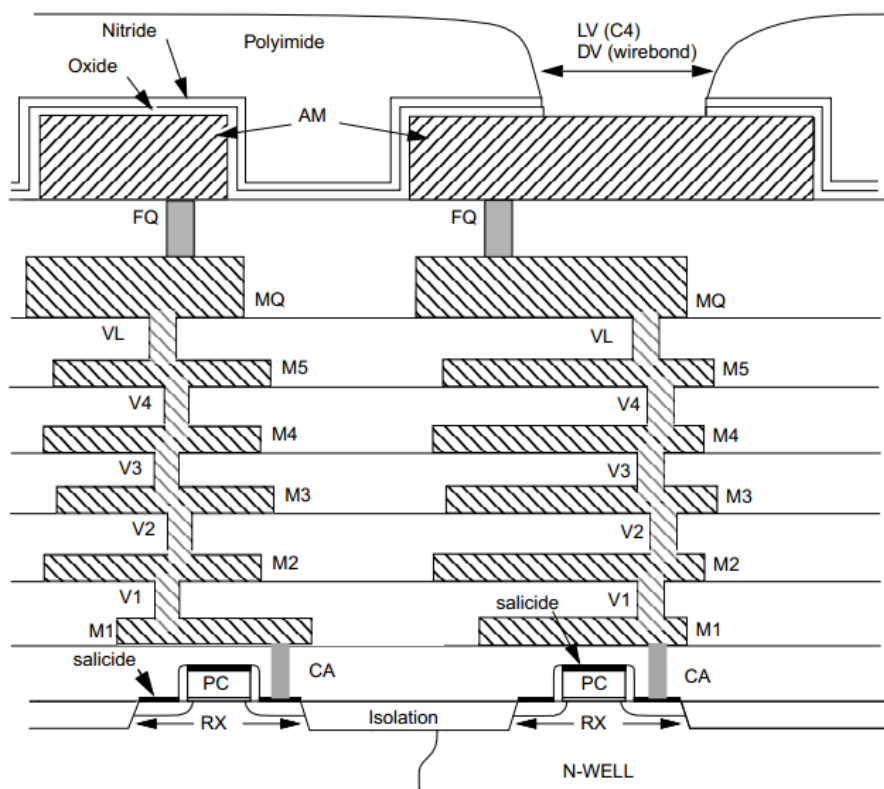


Figura 6.21: Secção transversal de um modelo de metalização para a tecnologia IBM 8RF-DM (IBM, 2010).

### 6.3.1.2 Técnicas de layout

Para altas frequências, a etapa de layout é extremamente importante, de modo que seu projeto pode influenciar consideravelmente o desempenho de um bloco RF, neste caso o LNA. Existem regras da fábrica que devem ser seguidas para correto funcionamento dos componentes, como por exemplo, a proporção existente entre quantidade de corrente DC e a largura mínima da trilha que a conduz. No entanto, dependendo do circuito, há técnicas (consideradas regras) que não são exigidas pelo fabricante, mas que devem ser levadas em consideração. Abaixo serão comentadas algumas das técnicas utilizadas neste trabalho para otimização do layout.

Para transistores CMOS, foram utilizados para todos os componentes os transistores de RF da biblioteca do fabricante. Seu uso foi justificado pela alta precisão do comportamento em simulações elétricas devido bom modelamento de capacitâncias e resistências parasitas. Este bom modelo se deve à geometria controlada do transistor, caracterizada pelas conexões da porta realizadas por metal 1, fonte e dreno por metal 2, presença de *tie dows* locais e realização automática de anéis de guarda.

Para reduzir os efeitos das resistências de porta e das capacitâncias parasitas, os transistores foram particionados utilizando configurações *multi-finger*. No entanto, o bom modelamento comentado anteriormente torna o transistor de RF relativamente limitado quanto às escolhas de número de *fingers* e do anel de guarda, o que impossibilita a utilização de técnicas importantes para layout de circuitos analógicos/RF, como por exemplo, o uso de *dummy* e configuração topológica tipo centróide comum para transistores com o casamento máximo desejado, utilizados para reduzir efeitos de *mismatch* devido às variações de processo.

Como o LNA possui arquitetura diferencial, faz-se necessário um *layout* simétrico, a fim de evitar descasamentos entre os caminhos percorridos pelos sinais de RF. Como não havia grande limitação com relação a espaço, e com o intuito de minimizar o acoplamento e contaminação dos sinais de RF, todos os componentes foram dispostos de modo que houvesse uma distância razoável entre eles.

Outra técnica utilizada neste trabalho, e uma das técnicas mais utilizadas em projetos de CI, é o uso de poços de isolamento entre dispositivos e/ou circuitos, os quais reduzem o ruído e o acoplamento de sinais RF. Normalmente essa isolamento é feita através de anéis de guarda conectados ao terra do circuito ou ao potencial de polarização mais negativo presente no chip.

Para o roteamento de sinais de RF, foi utilizada uma técnica de blindagem de linha de transmissão, devido à possibilidade de acoplamento entre fontes de ruído e os sinais de entrada e saída do LNA. A técnica consiste na utilização de uma linha de proteção em cada lado da linha de transmissão, as quais são conectadas a um plano de terra formando uma blindagem em torno do caminho dos sinais de RF.

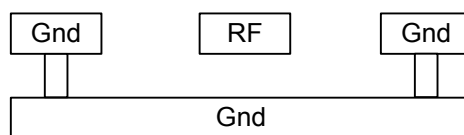


Figura 6.22: Exemplo da proteção de sinais RF.



Com relação às conexões entre metais, é possível realizá-las com apenas uma via, no entanto, isto ocasiona uma grande resistência em série com o dispositivo alvo desta ligação, cujo efeito é notadamente prejudicial em componentes como capacitores e transistores. Em projetos analógicos e de RF, são raros os casos em que se justifica o uso de vias simples. Uma boa prática de projeto é sempre utilizar múltiplas vias para manter baixa a resistência em série provocada pelas conexões/vias entre duas camadas consecutivas de metalização.

Recomenda-se também que o chip possua vários PADs de terra, porém não apenas interligados entre o anel, mas cada um com seu próprio *wirebond*, formando conexões em paralelo com o terra. Isto minimiza o efeito dos *wirebonds* e impede que o terra do chip não possua o mesmo potencial que o terra da placa de testes (PCB).

A disposição do bloco LNA dentro do *die* é outro fator bastante relevante, pois o roteamento de sinais de entrada e saída estão diretamente relacionados com sua posição. Deve-se considerar também o tamanho do *wirebond*, o qual varia de tamanho de acordo com o pino em que será interligado no encapsulamento, variando assim sua resistência, capacitância e indutância. Para minimizar estes efeitos, a posição escolhida para o LNA é logo abaixo dos PADs superiores do *die*, alinhando os quatro PADs centrais com as duas entradas e saídas do circuito, o que além de diminuir ao máximo o roteamento destes sinais até os PADs, também utiliza os menores *wirebonds* do encapsulamento.

### 6.3.2 Layout do LNA

Nesta seção são apresentados os layouts do LNA sem proteção ESD, com proteção ESD e juntamente com os outros blocos presentes no chip, bem como uma breve descrição destes blocos e a listagem dos pinos do encapsulamento.

#### 6.3.2.1 Layout do LNA sem proteção ESD

Na Figura 6.23 é apresentado o layout do LNA, o qual sem proteções ESD possui dimensões de  $0,28mm \times 0,2mm$ . Como comentado anteriormente, observa-se na região central as entradas e saídas dos sinais de RF devidamente blindadas, a presença de simetria em todo o circuito, larguras de metal proporcionais às correntes, anéis de guarda, transistores de RF com múltiplos *fingers* e múltiplas vias de contato.

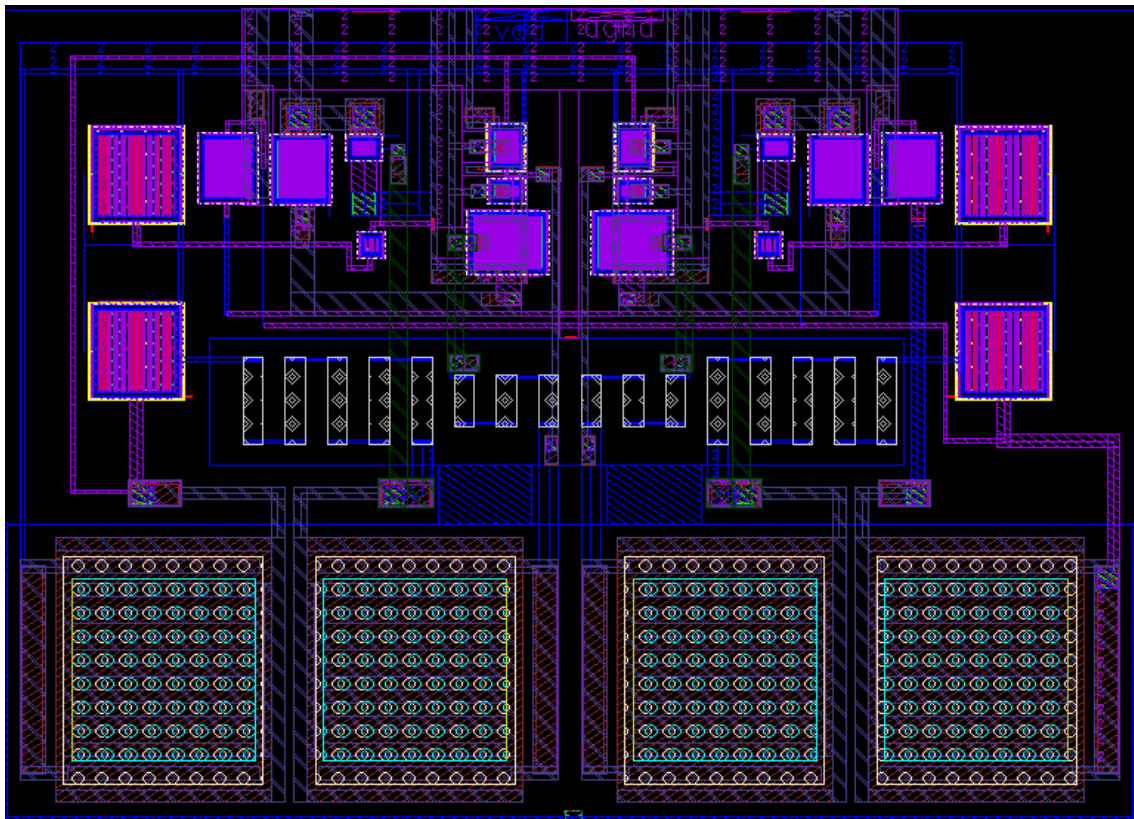


Figura 6.23: Layout do LNA sem proteção ESD.

### 6.3.2.2 Layout do LNA com proteção ESD

Na Figura 6.24 é apresentado o layout do LNA com proteções ESD, deste modo o amplificador possui dimensões de  $1,14\text{mm} \times 0,3\text{mm}$ . Observam-se na região central os quatro blocos de proteção ESD compostos apenas por dois diodos, destinados às entradas e saídas dos sinais de RF. Nas extremidades nota-se a presença dos blocos com o *power clamp*, devidamente conectados ao terra e à tensão de alimentação do circuito.

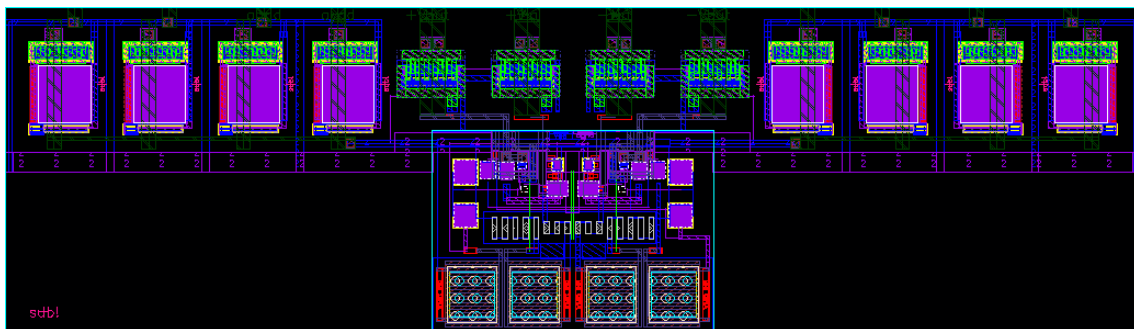


Figura 6.24: Layout do LNA com proteção ESD.



### 6.3.2.3 Layout do topo do chip

Na Figura 6.25 é apresentado o layout do topo do chip encapsulado, contendo todos os blocos projetados e o anel de PADs, com uma dimensão total de  $2mm \times 2mm$ . Nessa figura é possível observar a preocupação com o posicionamento do LNA, o qual está posicionado na parte superior do *die* com o intuito de minimizar o efeito do *wirebond* e diminuir o percurso dos sinais de RF.

Neste projeto, apesar do LNA não estar conectado a nenhum bloco e/ou sistema, não significa que o mesmo é o único bloco presente no *die* cujo layout foi enviado à fabricação. O chip é composto por outros projetos independentes, realizados por outros alunos, onde cada um possui seus próprios pinos de alimentação e terra. Abaixo é feita uma breve descrição de alguns destes blocos que não fazem parte de fato do LNA.

Um importante trabalho é o projeto de uma referência de tensão de baixa potência, cujo bloco deve gerar uma tensão de saída ( $V_{ref}$ ) precisa e idealmente independente do processo, alimentação, carga e variações de temperatura. Atualmente, estes circuitos são passíveis de fabricação com o mesmo processo CMOS digital e operam com alimentação abaixo de  $1V$ , enquanto consomem dezenas de  $nW$  a poucos  $\mu W$ .

Outro trabalho é composto pelo módulo integrado de um projeto CMOS analógico de um regulador linear tipo LDO com rápida regulação de carga de  $320ns$  para uma corrente de carga de  $100mA$ . Uma vantagem intrínseca da regulação de carga é a capacidade de integração do capacitor de desacoplamento de  $100pF$  para trabalhar em um intervalo de tensão de VDD de  $2V$  a  $1.6V$  e a programação da tensão de saída entre  $1.4V$  a  $0.9V$ .

Também presente no chip, há o projeto de um sensor de corrente que se destina a detectar pulsos de corrente acionados por partículas radioativas que atingem uma junção dreno-corpo inversamente polarizada de um transistor PMOS. O projeto possui ainda o circuito de um buffer utilizado para aumentar a corrente disponível na entrada, o que permitirá a ligação de uma ponteira de osciloscópio para controlar o pulso de saída.

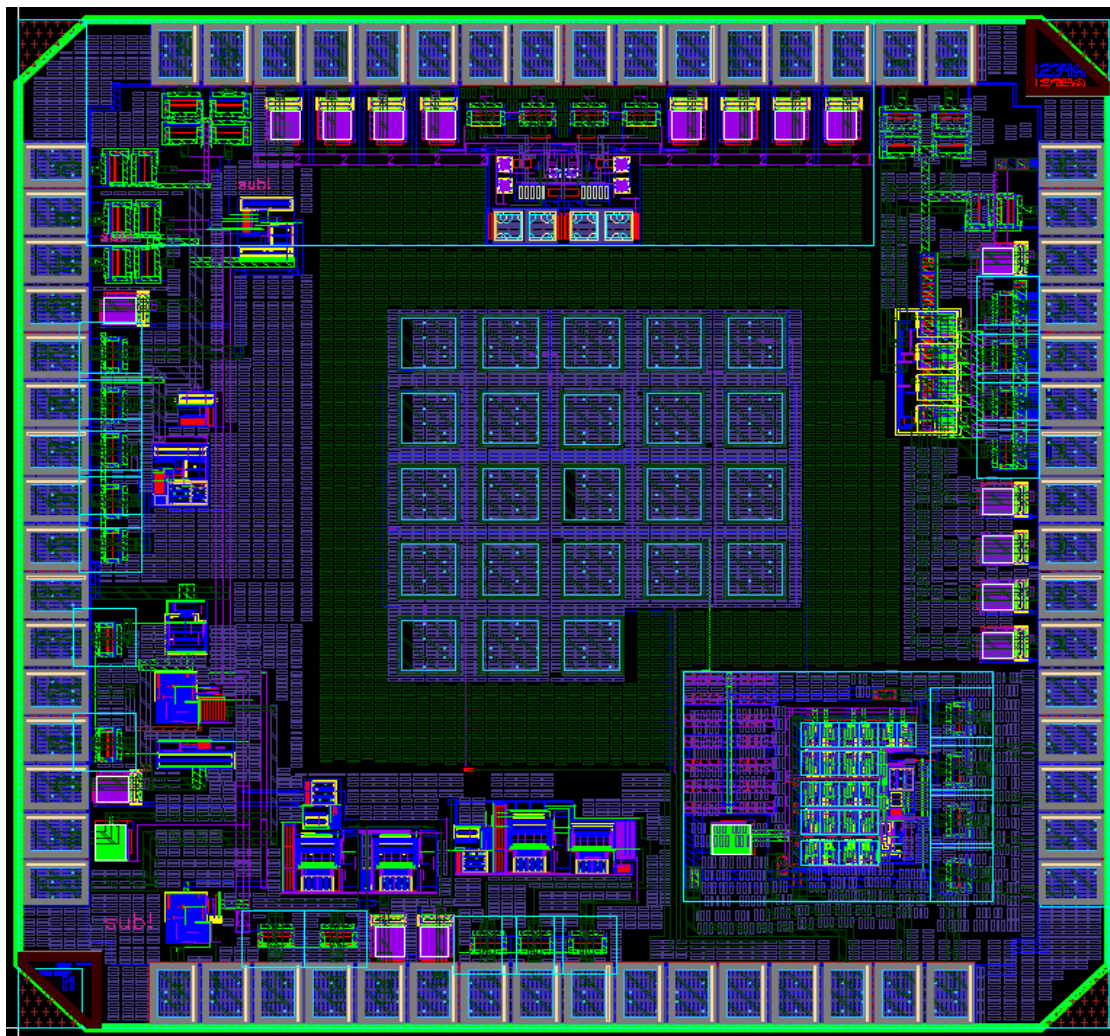


Figura 6.25: Layout do topo do chip encapsulado.

#### 6.3.2.4 Encapsulamento

Para este projeto foi adotado um encapsulamento quadrado (*LQFP - Low Profile Quad Flat Package*) com 64 pinos, de plástico e com cavidade aberta (*OCP - Open Cavity Plastic*), o que permite várias possibilidades de testes, como por exemplo, a utilização de FIB (*Focused Ion Beam*) para pequenas correções de projeto, assim como ponteiros de medida direto no chip com uma *probe station*. Abaixo segue na Figura 6.26 e na Figura 6.27 a lista com os nomes de todos os pinos e o diagrama de *bonding* do encapsulamento.

| # PIN | Name                                      | # PIN | Name   | # PIN | Name                             | # PIN | Name     |
|-------|---|-------|--|-------|----------------------------------|-------|----------|
| 1     | Trim_3                                    | 17    | V <sub>REF_14</sub>                            | 33    | IREF_DAV                         | 49    | Test_ALE |
| 2     | Trim_2                                    | 18    | C <sub>TAT_14</sub>                            | 34    | ITEST_DAV                        | 50    | Sens_ALE |
| 3     | Trim_1                                    | 19    | V <sub>REF_3</sub>                             | 35    | Vin_DAV                          | 51    | agnd_HEN |
| 4     | vdd <sub>1</sub> , vdd <sub>stacked</sub> | 20    | V <sub>REF_4</sub>                             | 36    | Vcap_out_DAV                     | 52    | agnd_HEN |
| 5     | V <sub>REF_13</sub>                       | 21    | avdd <sub>3</sub> , avdd <sub>oscillator</sub> | 37    | Vdd <sub>BUFFER</sub> OSCILLATOR | 53    | agnd_HEN |
| 6     | V <sub>REF_2</sub>                        | 22    | avdd <sub>REG</sub>                            | 38    | Vdd_stat_n_ALE                   | 54    | avdd_HEN |
| 7     | V <sub>PTAT</sub>                         | 23    | V <sub>REF_REG</sub>                           | 39    | Vdd_stat_p_ALE                   | 55    | -Vo_HEN  |
| 8     | V <sub>CTAT</sub>                         | 24    | I <sub>OUT</sub>                               | 40    | Vdd_dyn_n_ALE                    | 56    | -Vin_HEN |
| 9     | V <sub>REF1</sub>                         | 25    | V <sub>OUT_REG</sub>                           | 41    | Vdd_dyn_p_ALE                    | 57    | +Vin_HEN |
| 10    | agnd                                      | 26    | OUT <sub>oscillator</sub>                      | 42    | Out_stat_n_ALE                   | 58    | +Vo_HEN  |
| 11    | V <sub>ref_10</sub>                       | 27    | agnd <sub>buffer</sub>                         | 43    | Out_stat_p_ALE                   | 59    | avdd_HEN |
| 12    | V <sub>ref_11</sub>                       | 28    | P <sub>bias_bulk</sub> OSCILLATOR              | 44    | Out_dyn_n_ALE                    | 60    | agnd_HEN |
| 13    | V <sub>ref_9</sub>                        | 29    | N <sub>bias_bulk</sub> OSCILLATOR              | 45    | Out_dyn_p_ALE                    | 61    | agnd_HEN |
| 14    | A <sub>vdd_9</sub>                        | 30    | Agnd_DAV                                       | 46    | Vdd_buffer_ALE                   | 62    | agnd_HEN |
| 15    | A <sub>vdd25</sub>                        | 31    | Avdd_DAV                                       | 47    | Reset_ALE                        | 63    | Trim_5   |
| 16    | C <sub>TAT11</sub>                        | 32    | Vout_DAV                                       | 48    | Agnd_ALE                         | 64    | Trim_4   |

Figura 6.26: Lista dos pinos do chip encapsulado.

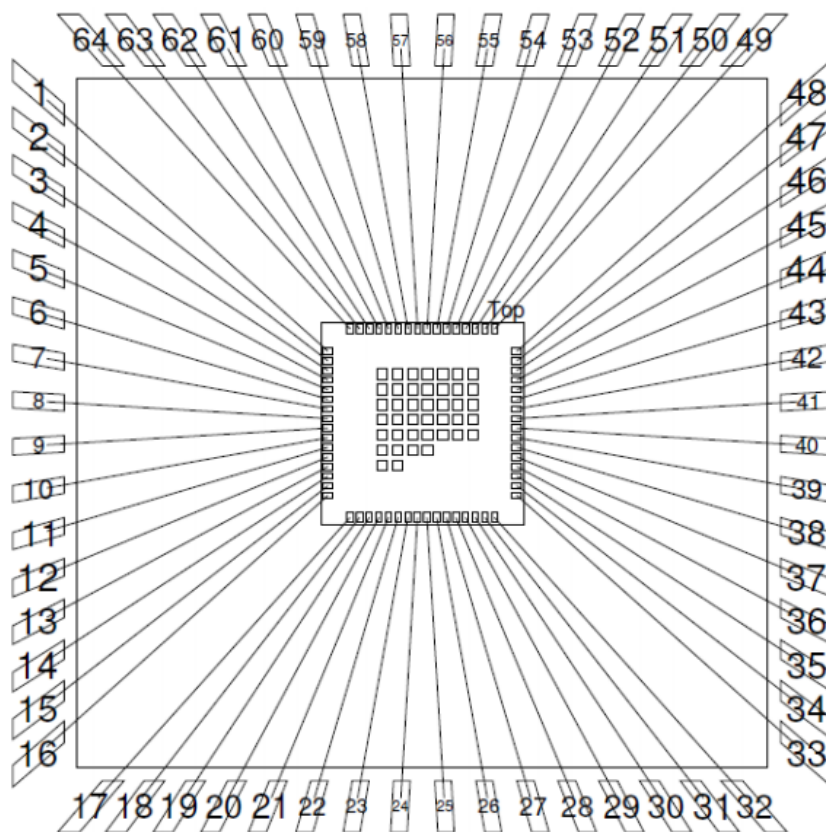


Figura 6.27: Diagrama de *bonding* do encapsulamento.

### 6.3.3 Resultados de simulação pós-layout

Para que os resultados do projeto possam ser validados com maior realidade, são realizadas simulações considerando elementos parasitas RC de todos os blocos que realmente são encapsulados, como o LNA, os PADs e as proteções ESD. Para isto, foi utilizada a ferramenta de extração RC da ferramenta EDA, gerando um novo layout aqui chamado de “extraído”.

Todas as simulações foram realizadas da mesma forma como aquelas feitas para o esquemático, utilizando o mesmo ambiente, ferramenta e configuração de teste. Logo, os métodos para obter os resultados apresentados nesta seção não serão detalhados.

#### 6.3.3.1 Análise DC

Para as mesmas condições de simulação utilizadas no esquemático, o consumo de potência foi de  $46,46mW$ , em condições nominais, cujo valor é praticamente o mesmo do esquemático, com uma diferença mínima de  $0,11mW$ .

#### 6.3.3.2 Ganho de tensão

Assim como as simulações do esquemático, o ganho de tensão do LNA extraído foi adquirido através da simulação dos parâmetros de espalhamento (*S Parameters*) na ferramenta SpectreRF. Observa-se na Figura 6.28, que para toda a banda de interesse (50MHz a 1GHz) o ganho está entre  $11dB$  e  $12dB$ . Ainda que próximo, o ganho final obtido com todos os parasitas nas entradas/saídas do LNA não alcançou a especificação do projeto de  $12dB$ .

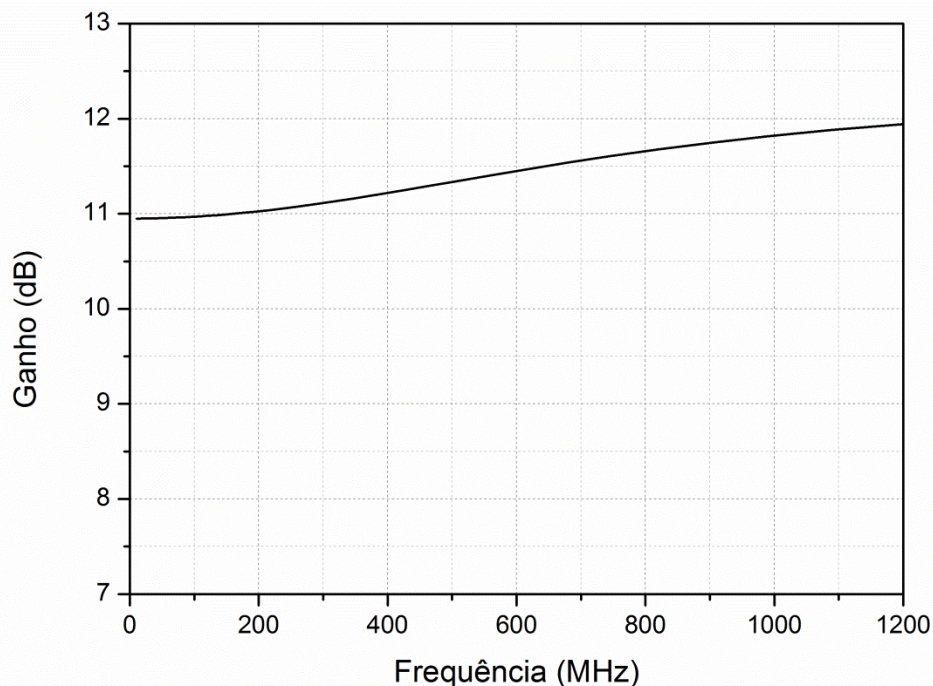


Figura 6.28: Ganho de tensão do LNA ( $S_{21}$ ) obtida por simulação do esquemático extraído.



### 6.3.3.3 Figura de Ruído

Assim como o ganho de tensão, a figura de ruído também não alcançou as especificações de projeto, neste caso apenas para frequências abaixo de  $500\text{MHz}$ , porém em casos extremos (faixa de  $50\text{MHz}$ ) a figura de ruído alcança valores com  $2\text{dB}$  acima do esperado, já que a potência de ruído tem valores crescentes em frequências menores, e o projeto do LNA alvo deste trabalho necessita cobrir ampla faixa de frequências, inclusive a de VHF.

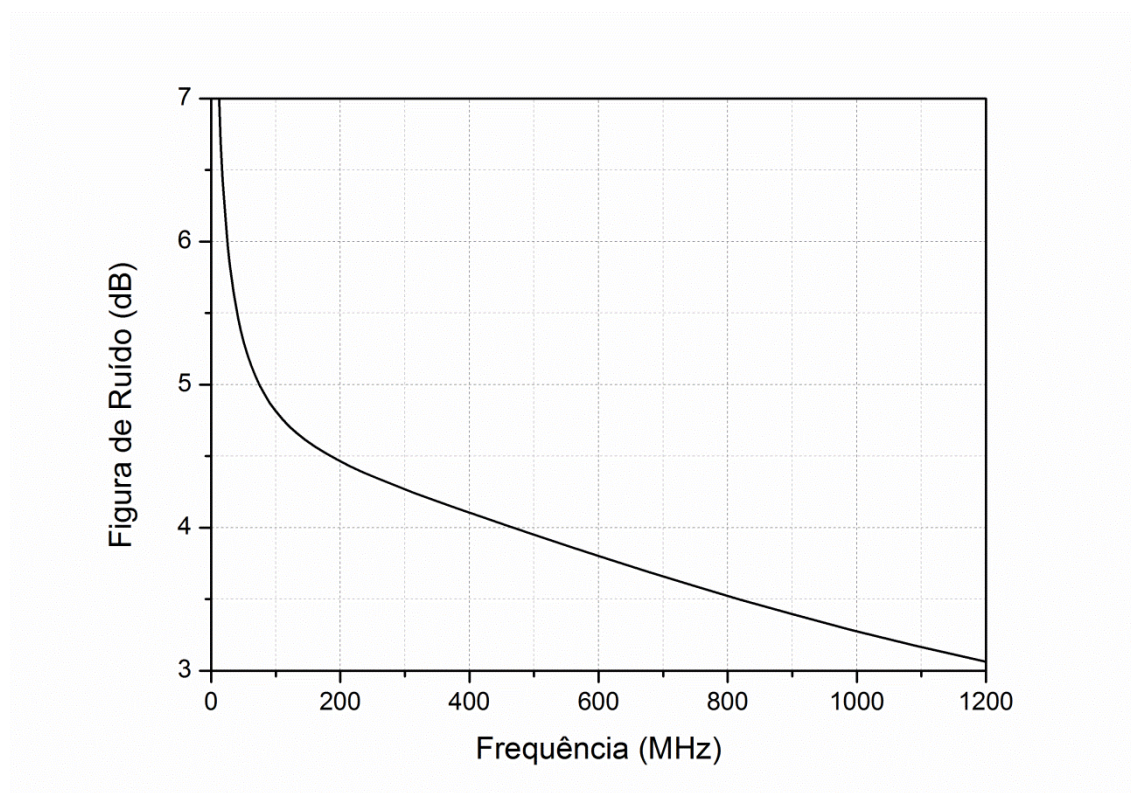


Figura 6.29: Figura de ruído do LNA para simulação do esquemático extraído.

### 6.3.3.4 Coeficientes de Reflexão $S_{11}$ e $S_{22}$

Através da simulação dos parâmetros de espalhamento foram extraídos os coeficientes de reflexão na entrada ( $S_{11}$ ) e na saída ( $S_{22}$ ) para o LNA extraído. Na Figura 6.30 são apresentados valores de  $S_{11}$  e  $S_{22}$  menores que  $-11\text{dB}$  para a banda de interesse, e assim como no esquemático, observa-se o bom casamento de impedância para cargas de  $50\Omega$  na entrada e na saída para o LNA extraído.

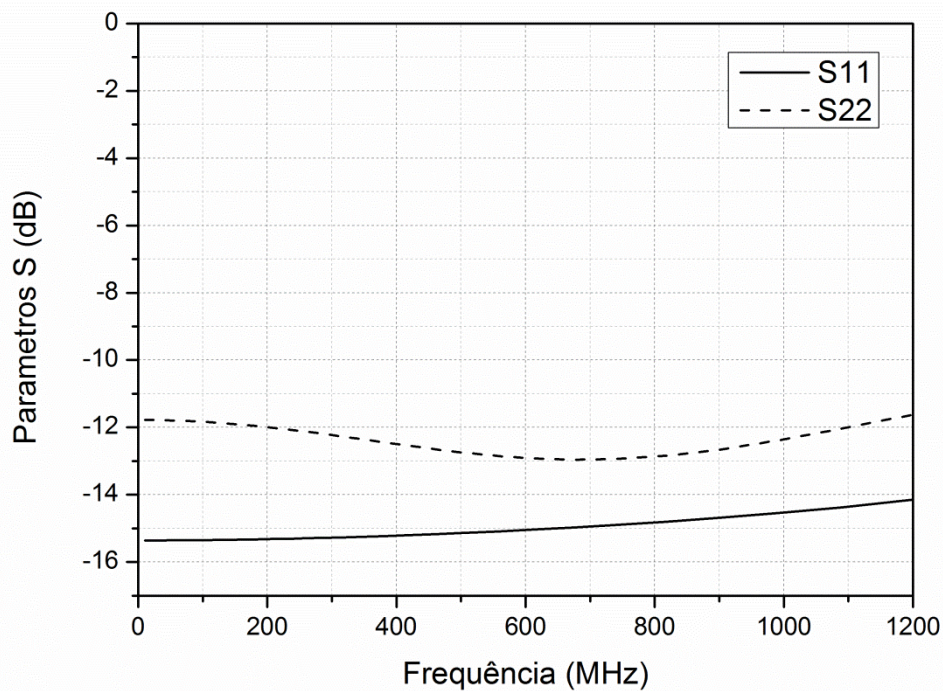


Figura 6.30: Coeficientes de reflexão do LNA para simulação do esquemático extraído.

#### 6.3.3.5 Linearidade: $IP3$ e $P1dB$

Considerando que o ponto de interceptação medido na Figura 6.31, com relação à entrada ( $IIP3$ ) possui o valor de  $0,72dBm$ , e o ponto de compressão obedecendo a equação ( 18 ) com um valor de  $-10,21dB$ , comprova-se que, assim como no esquemático, ambas as figuras de mérito estão de acordo com as especificações.



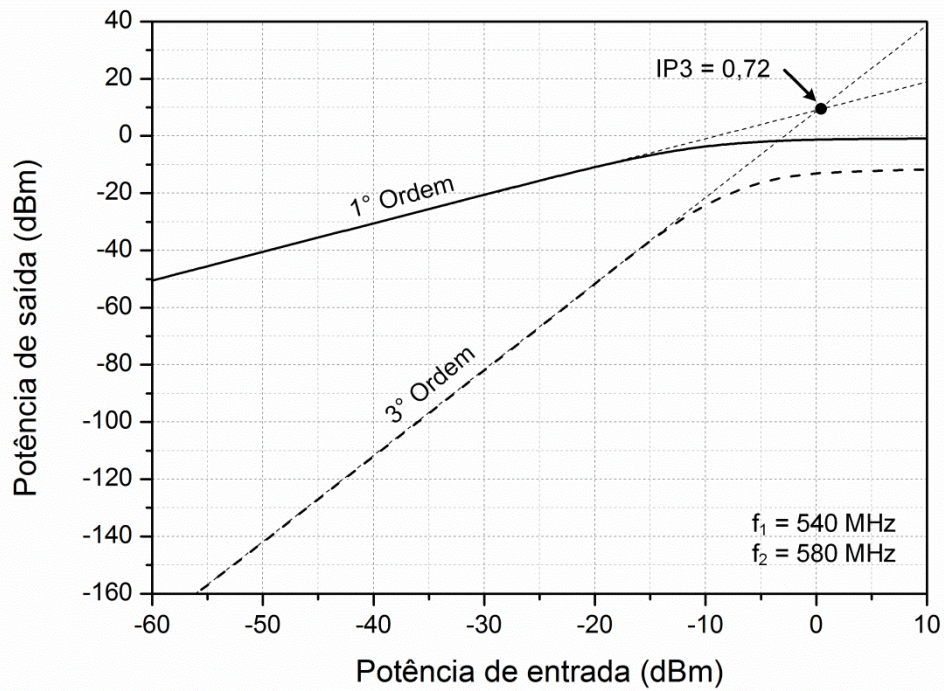


Figura 6.31: IIP3 do LNA para simulação do esquemático extraído.

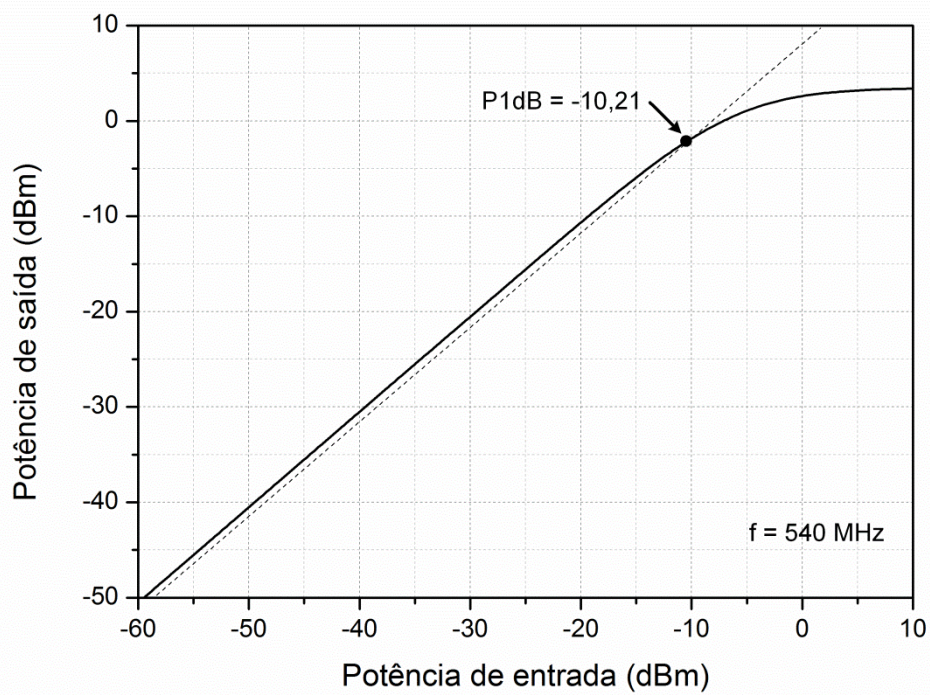


Figura 6.32: P1dB do LNA para simulação do esquemático extraído.



### 6.3.3.6 Estabilidade: $K_f$ e $B1f$

Ao obedecer a condição  $K > 1$  e  $\Delta < 1$ , pode-se afirmar através da Figura 6.33 e da Figura 6.34, que o circuito deste trabalho é incondicionalmente estável para simulações do circuito extraído.

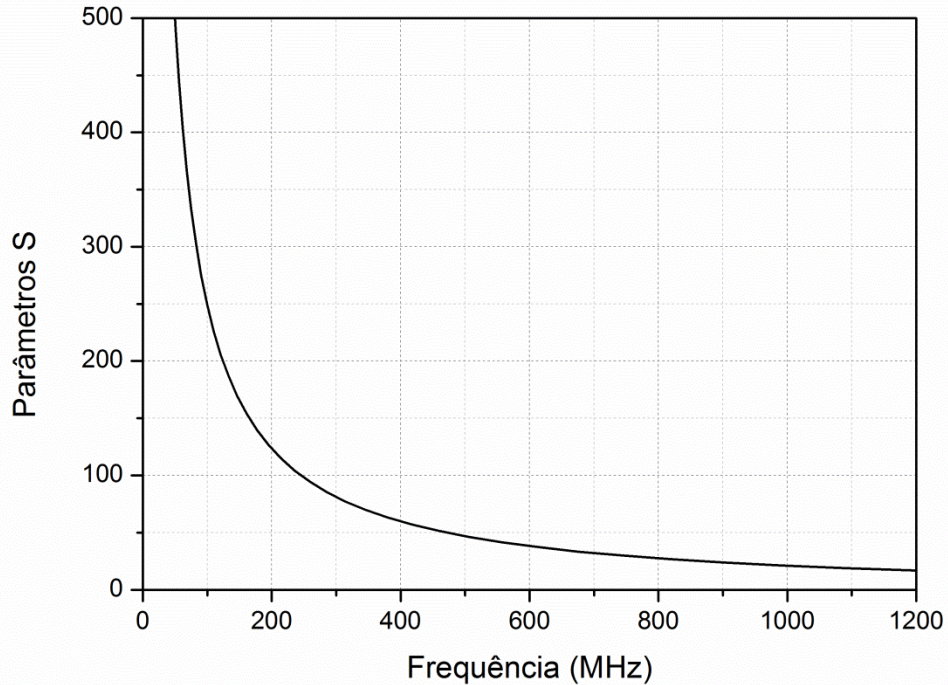


Figura 6.33: Fator K do LNA para simulação do esquemático extraído.

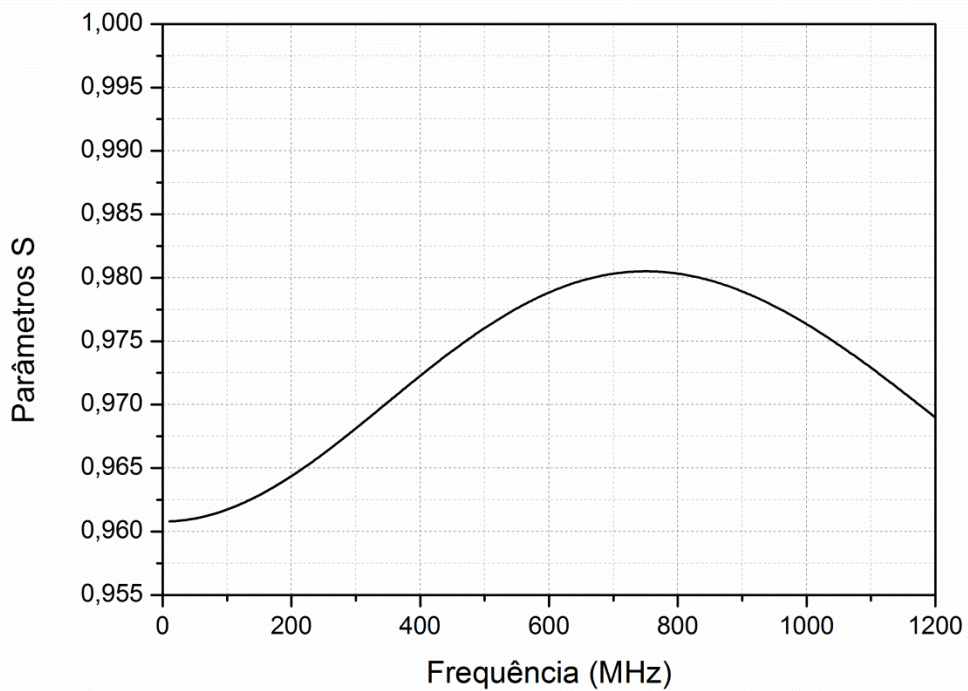


Figura 6.34: Delta do LNA para simulação do esquemático extraído.



### 6.3.3.7 Análise de resultados das simulações do layout extraído

Ao analisar os resultados das simulações do layout extraído, observa-se que a maior diferença para com o desempenho obtido na simulação do esquemático, é com relação ao ganho de tensão e à figura de ruído, os quais ficaram abaixo das especificações. Abaixo seguem algumas considerações sobre estas simulações e seus resultados.

Para resolver o problema, foram cogitadas algumas possíveis fontes de erro, as quais serão comentadas com o objetivo de compilar, post mortem, uma lista de mudanças de metodologia de projeto de layout, para um futuro *debug* do primeiro projeto. Inicialmente foi verificada a influência da forma e condições do CAD de extração dos elementos parasitas com o auxílio da ferramenta EDA. No entanto, esta alternativa foi descartada após simulações de outras topologias que apresentavam o mesmo problema.

Outra possibilidade estaria relacionada com os transistores de RF e os efeitos de *mismatch*, devido ao fato da não utilização no leiaute final de técnicas como centróide comum e o uso de *dummy*, inviabilizado pelas limitações dos transistores de RF tais como recomendados pela fabricante, como comentado anteriormente. No entanto, isto também foi descartado após a realização de novas análises DC e verificar que a polarização não estava sofrendo alterações. Também se levou em consideração que estes efeitos, se ocorrerem, serão comprovados efetivamente apenas durante as medidas experimentais pós-fabricação, devido a limitações das ferramentas de extração e simulação, as quais não consideram os efeitos das técnicas de leiaute utilizadas.

A última alternativa foi analisar a influência dos componentes parasitas, os quais não haviam sido considerados inicialmente, pois se julgava que a topologia era bastante robusta e também por não possuir indutores. Realmente a topologia não apresentou maiores variações quando a extração de capacitâncias e indutâncias parasitas é feita com mais acuidade, resultado diferente após as extrações das resistências.

Verificou-se grande influência das resistências parasitas encontradas nas trilhas de RF, em especial nas trilhas de entrada do circuito. Para confirmar tal hipótese, foram colocadas resistências adicionais durante simulações do esquemático, justamente para emular o problema encontrado nas simulações do circuito extraído. Como resultado, foram obtidos os mesmos comportamentos encontrados nas simulações do layout extraído anteriormente.

Para que este problema seja resolvido, técnicas para diminuir estas resistências parasitas devem ser aplicadas, seja modificando a conexão de metal utilizada, seu tamanho (largura e tipo), vias ou mesmo técnicas que modifiquem a topologia e assim diminuam a influência destes parasitas. Infelizmente, a fonte do problema não foi identificada dentro do tempo hábil para a realização do “tape-out” em dezembro de 2011, logo não foi possível realizar as modificações antes do envio do projeto para fabricação.

Para efeito de comparação, são apresentados na Tabela 8 os resultados de alguns artigos publicados que possuem especificações similares à deste trabalho. Nota-se que este trabalho mantém-se coerente com o que se encontra na literatura, pois as diferenças observadas entre os resultados são fruto da peculiaridade da especificação/aplicação e

do objetivo a que se presta cada LNA, onde inclusive as condições de *matching* de impedância das entradas/saídas joga um papel importante.

No consumo de potência, por exemplo, observa-se um valor elevado com relação aos outros trabalhos publicados. Isto decorre principalmente da arquitetura diferencial do circuito, da própria susceptibilidade da topologia ao maior consumo de corrente, bem como da escolha de acoplamento de saída a uma carga de  $50\Omega$  para fins de teste. Quando inserido no canal de recepção de RF completo, o LNA será otimizado para potência com um casamento em impedâncias efetivamente maiores.

|                               | Bruccoleri<br>2004 | Youchun<br>2007 | Tsung<br>2008 | Ximenes<br>2011 | Este trabalho |        |
|-------------------------------|--------------------|-----------------|---------------|-----------------|---------------|--------|
|                               |                    |                 |               |                 | Esquem.       | Layout |
| Processo<br>( $\mu\text{m}$ ) | 0,25               | 0,25            | 0,18          | 0,13            | 0,13          | 0,13   |
| Frequência<br>(GHz)           | 2-1,6              | 0,5-0,86        | 0,46-0,87     | 0,05-5          | 0,05-1        | 0,05-1 |
| Ganho<br>(dB)                 | 13,7               | 13,4            | 21,5          | 12              | 14,3          | 11-12  |
| Ruído<br>(dB)                 | 2,4                | 5,7             | 3-4,7         | 1,4-2,4         | 1,5-3         | 3-5    |
| S11 (dB)                      | -8                 | -9              | -12,7         | -10             | -12           | -15    |
| S22 (dB)                      | -12                | -10             | -12           | -10             | -12           | -12    |
| P1dB<br>(dBm)                 | -9                 | -6,7            | -17           | -17,6           | -11,6         | -10,21 |
| IIP3<br>(dBm)                 | 0                  | 3,3             | -5,6          | -7,89           | -3,7          | 0,72   |
| Consumo<br>(mW)               | 35                 | 30              | 27            | 15              | 46,5          | 46,4   |
| Tamanho<br>Chip               | 0,075              | 0,027           | 0,02          | 0,08            | 0,056         | 0,056  |

Tabela 8: Comparação de resultados de artigos sobre LNA banda larga.

### 6.3.4 Setup de medidas experimentais do LNA

Para realizar as medidas experimentais do LNA, se faz necessário um plano de testes detalhado, o qual deve conter informações dos tipos de medidas, equipamentos, configuração de bancada, bem como o projeto da placa de circuito impresso (PCB - *Printed Circuit Board*) que receberá o circuito integrado. As figuras de mérito foram comentadas nos conceitos básicos da seção 2 e abordadas nos resultados de simulação da seção 6, logo, não serão novamente comentadas nesta seção.

#### 6.3.4.1 Placa de circuito impresso

A PCB servirá de interface entre o chip encapsulado e os equipamentos de medidas, a mesma conterá os *baluns* para conversão de sinais e permitirá as polarizações DC do circuito através de conectores KRE, assim como acesso aos terminais de entrada e saída de RF através de conectores SMA. As linhas de transmissão são do tipo *microstrip*, ou seja, com referência em um plano de terra contínuo no plano oposto da placa. Confeccionada em substrato FR4, adequado para banda de interesse, a PCB deve ser projetada de modo a garantir o casamento de impedância das linhas de RF para  $50\Omega$ , para isto são seguidas as diretrizes de (Montrose 1998).

#### 6.3.4.2 Parâmetros de espalhamento

As medidas de parâmetros de espalhamento são fundamentais para caracterização do LNA, pois é através dela que é possível mensurar o desempenho do ganho ( $S_{21}$ ), do casamento de impedância ( $S_{11}$  e  $S_{22}$ ) e da estabilidade ( $B_f$  e  $K_{1f}$ ) de um dispositivo como o amplificador. A configuração para desenvolvimento das medidas é apresentada na Figura 6.35, onde se observa a utilização de um analisador vetorial de redes (VNA - Vector Network Analyser).

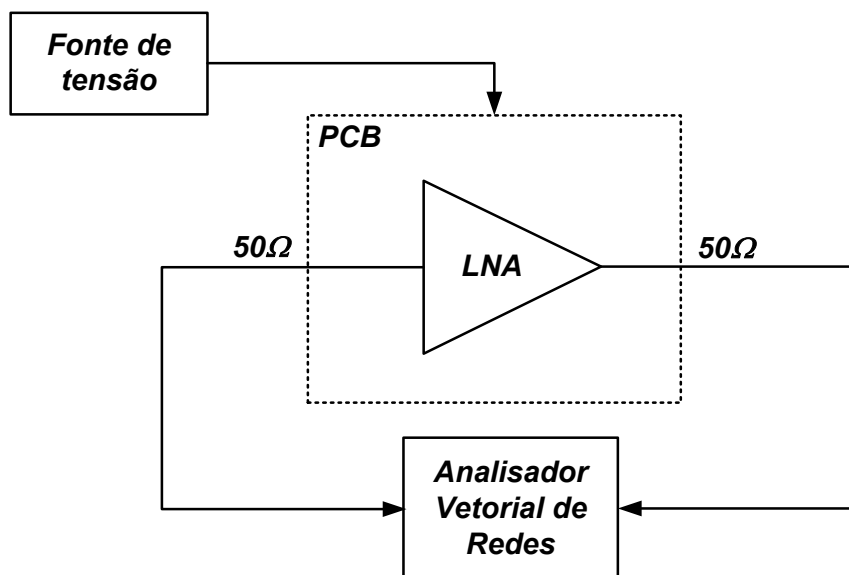


Figura 6.35: Configuração de teste para parâmetros de espalhamento.

### 6.3.4.3 Linearidade

Para análise de linearidade são medidos o ponto de interceptação de 3<sup>a</sup>. ordem e o ponto de compressão de 1dB. Apesar de ambos utilizarem um analisador de espectro para varredura de potência, há uma configuração de teste para cada medida, uma vez que a medida de IP3 faz uso do teste de dois tons, necessitando de um *power splitter* e de dois geradores de sinal de RF, enquanto que a medida de P1dB necessita apenas de um gerador de sinal RF. Abaixo segue na Figura 6.36 e na Figura 6.37 a configuração de teste para cada medida.

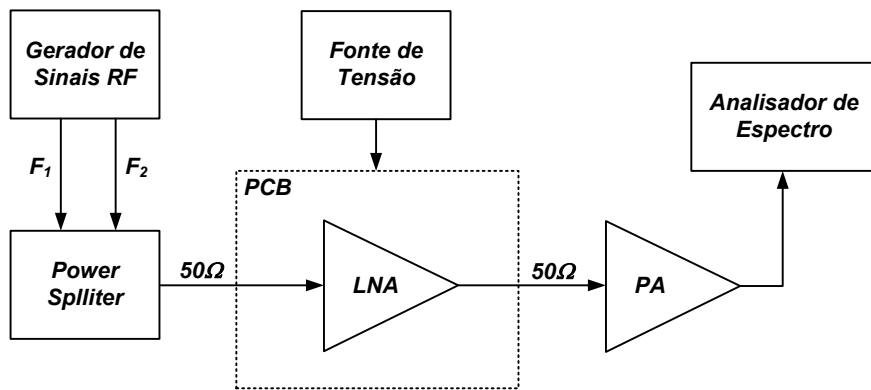


Figura 6.36: Configuração de teste para IP3.

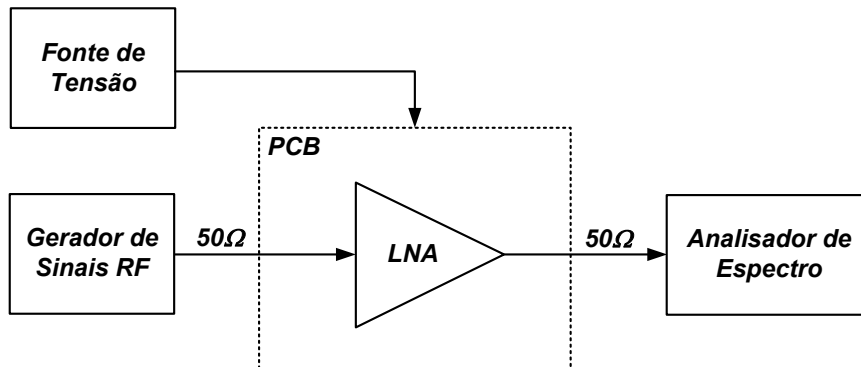


Figura 6.37: Configuração de teste para P1dB.

#### 6.3.4.4 Figura de ruído

Para medida de figura de ruído de um LNA, há três técnicas distintas encontradas na literatura (Maxim, 2003) (HP, 1992). A mais confiável, faz uso de uma fonte de ruído precisa e de um analisador específico para figura de ruído, um exemplo deste tipo de configuração é apresentado na Figura 6.38. Apesar da precisão desta técnica, é raro encontrar um equipamento deste porte disponível em Universidades, pois além do preço elevado, a demanda de utilização é muito pequena, com exceção de empresas líderes e especializadas em sistemas e circuitos de RF, cuja atividade de projeto pode ter na figura de ruído um fator determinante.

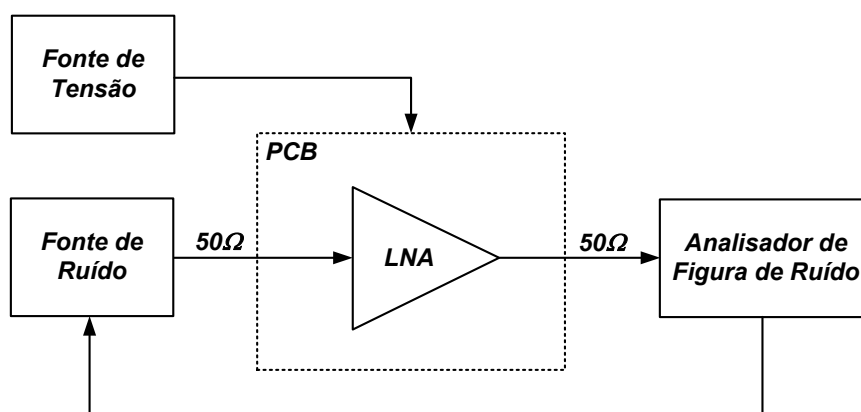


Figura 6.38: Configuração de teste para NF com analisador de específico.

A segunda técnica, razoavelmente precisa, é chamada de método do fator Y, a qual utiliza uma fonte de ruído calibrada, um analisador de espectro e um amplificador com ganho e ruído conhecidos, como apresentado na Figura 6.39. A técnica é baseada na medida resultante do ruído nos dois estágios, cujo ruído desejado é extraído através da fórmula de Friis. Caso o amplificador auxiliar possua baixo ruído e alto ganho, pode-se considerar o valor medido como a figura de ruído do próprio LNA (com pequena margem de erro), ou até mesmo, se o LNA possuir ganho suficiente, de modo que o ruído térmico sobreponha o ruído branco do analisador, não se faz necessário o amplificador auxiliar.

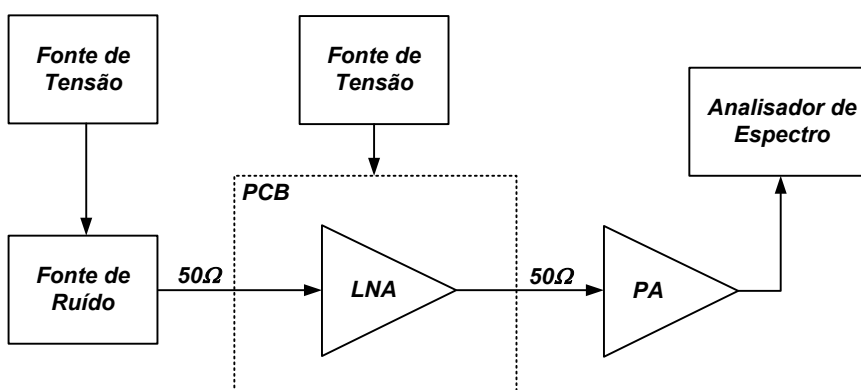


Figura 6.39: Configuração de teste para NF com método fator Y.

A terceira técnica, e a menos precisa, é chamada de método do ganho. O fato de não necessitar de equipamentos como a fonte de ruído calibrada e o analisador de figura de ruído, a torna a técnica mais comumente utilizada. Como pode ser visto na Figura 6.40, ela é composta apenas por um amplificador com ganho e ruído conhecidos, bem como um analisador de espectro.

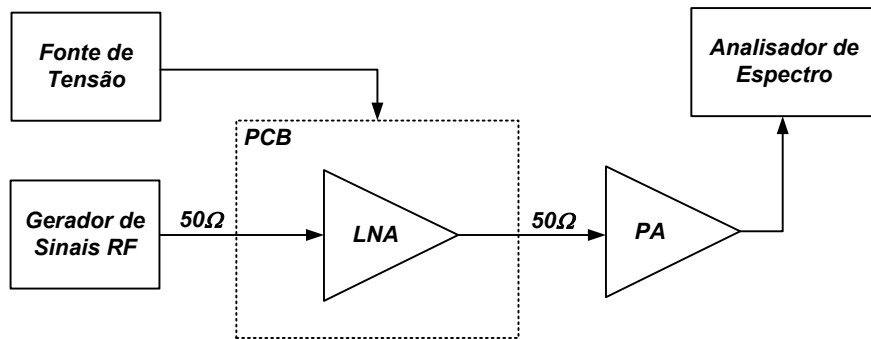


Figura 6.40: Configuração de teste para NF com método do ganho.

A figura de ruído é calculada através da equação (116), composta basicamente pela soma da potência medida com o ruído térmico, menos os ganhos do LNA e do amplificador auxiliar, o qual pode ser retirado caso o LNA possua ganho suficiente, de modo que o ruído térmico sobreponha o ruído branco do analisador. Este método é mais simples porque utiliza em sua formulação o valor do ruído térmico fixo em  $174dBm/Hz$ , o que gera uma fonte de erro, sabendo-se que este ruído sofre constantes variações devido ao ambiente de medida.

$$NF = P_{out} - G_{LNA} - G_{PA} + 174dBm/Hz \quad (116)$$

## 7 CONCLUSÃO

Neste trabalho foram apresentados estudos dos conceitos básicos de RF, a análise de comportamento dos transistores de tecnologia CMOS em RF, a revisão da literatura existente sobre as topologias básicas de LNAs e as topologias mais utilizadas em projetos de amplificador multi-banda e banda larga. Este estudo proporcionou o conhecimento necessário para o projeto de um LNA banda larga, o qual é destinado a rádios cognitivos do padrão IEEE 802.22.

O LNA projetado utilizou arquitetura diferencial com realimentação resistiva, fez uso da técnica de cancelamento de ruído e de metodologia alternativa para projeto de CI's, de modo que obteve bons resultados para simulações a nível de esquemático, sendo que atingiu todas as especificações de projeto para simulações típicas. Apesar de a topologia apresentar-se validada, modificações seriam necessárias para que a mesma consuma menos potência e para que possa atingir a totalidade das especificações nas simulações de *corners* e Monte Carlo.

Para as simulações elétricas obtidas com a extração do layout, obtiveram-se resultados similares na maioria das figuras de mérito, no entanto observou-se uma maior diferença com relação ao ganho de tensão e a figura de ruído, para os quais foram obtidos valores de qualidade pouco inferior às especificações. Após algumas análises, conclui-se que a influência das resistências parasitas encontradas nas trilhas de RF, em especial nas trilhas de entrada do circuito, constituiu-se na principal fonte do problema. Contudo, a origem deste problema relacionado aos parasitas não foi identificada dentro do tempo hábil, o que impossibilitou que novas modificações fossem incorporadas ao protótipo enviado para fabricação. O circuito do LNA acha-se em fabricação na IBM Microelectronics, de modo que os teste de “*bring-up*” serão realizados a partir de julho de 2012 com os circuitos integrados encapsulados no exterior. Os próximos trabalhos relevantes serão o desenvolvimento da placa de teste e a realização dos testes com as 40 amostras de chips.

## REFERÊNCIAS

- Ahmed A. Youssef, James Haslett. *Nanometer CMOS RFICs for Mobile TV Applications*. New York: Springer, 2010.
- Andersson. S, Svenson. C, Drugge. O. “Wideband LNA for a multistandard wireless receiver in 0.18  $\mu\text{m}$  CMOS.” *Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European*, 2003: 655 - 658 .
- Ben Amor. M, Fakhfakh. A, Mnif. H, Loulou. M. “Dual band CMOS LNA design with current reuse topology.” *Design and Test of Integrated Systems in Nanoscale Technology, 2006. DTIS 2006. International Conference on*, 2006: 57 - 61.
- Benton, R. “Gaas mmics for an integrated gps front-end.” *GaAs-IC Symposium Digest of Technical Papers*, 1992: 123-126.
- Bruccoleri, F., E.A.M. Klumperink, e B. Nauta. “Wide-band CMOS low-noise amplifier exploiting thermal noise canceling.” *IEEE Journal of Solid-State Circuits*, 2004: 275 - 282 .
- Cheng, Yuhua, Michael Schroter, Christian Enz, Mishel Matloubian, e David Pehlke. “RF Modeling issues of Deep-submicron MOSFETs for Circuit Design.” *Solid-State and IC Tech. Intern. Conf. IEEE*, 1998: 416-419.
- Chyuen-Wei Ang, Yuanjin Zheng, Chun-Huat Heng. “A Multi-band CMOS Low Noise Amplifier for Multi-standard Wireless Receivers.” *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, 2007: 2802 - 2805.
- Cortes, Fernando da Rocha Paixão. “Modelagem e Projeto de Módulos Comparadores em Tecnologia CMOS 0,35 $\mu\text{m}$ .” Porto Alegre: UFRGS, 2003.
- Engberg, J. *Noise Theory of Linear and Nonlinear Circuits*. New York: Wiley, 1995.
- Ge, Yongmin, e Kartikeya Mayaram. “A comparative analysis of CMOS low noise amplifiers for RF applications.” *ISCAS. IEEE*, 1998: 349-352.
- Gray, Hurst, Lewis & Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, 2008.
- H. S. Jhon, I. Song, J. Jeon, H. Jung, M. Koo, B.G. Park,. “8mW 17/24 GHz dual-band CMOS low-noise amplifier for ISM-band application.” *ELECTRONICS LETTERS* 44, n. 23 (11 2008).
- Houston, Theodore, e L.W. Read. “Computer Aided Design of Broadband and Low-Noise Microwave Amplifiers.” *IEEE Trans. Microwave Theory Tech* 17, n. 8 (1969): 612–614.
- HP. “HP 85719A Noise Figure Measurements Personality.” 1992.



- Hsien-Ku Chen, Da-Chiang Chang, Ying-Zong Juang, Shey-Shi Lu. "A Compact Wideband CMOS Low-Noise Amplifier Using Shunt Resistive-Feedback and Series Inductive-Peaking Techniques." *Microwave and Wireless Components Letters, IEEE*, 2007: 616 - 618.
- IBM, Corporation. *CMOS8RF (CMRF8SF) Design Manual*. 30 de Novembro de 2010.
- . "CMRF8SF Model Reference Guide." 22 de Novembro de 2010.
- Kim, C.W., M.S. Jung, e S.G. Lee. "An ultra-wideband CMOS low noise amplifier for 3-5-GHz UWB system." *IEEE Journal of Solid-State Circuits* 40, n. 2 (2005): 544 - 547.
- Lavasani, Seyed, Bikram Chaudhuri, e Sayfe Kiaei. "A pseudo-concurrent 0.18 $\mu$ m multi-band CMOS LNA." *IEEE MTT-S Int Microw Symp Digest*, 2003: A181–A184.
- Lee, Thomas H. *The Design Of Cmos Radio Frequency Integrated Circuits*. Cambridge University Press, 2004.
- Li Wang, Wolfgang Winkler, Gang Wang and Johannes Borngraeber. "A 0.7-1.4 GHz Variable Band Low Noise Amplifier for Multi-band Applications." *Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on*, 2006: 1547 - 1549.
- Maxim. "Three Methods of Noise Figure Measurement." 2003.
- Montrose, Mark I. *Emc & the Printed Circuit Board Design, Theory, & Layout Made Simple*. New York: IEEE Press Series on Electronics Technology, 1998.
- MOSIS. *The MOSIS Service*. 2010. <http://www.mosis.com/pages/products/assembly/index#wire> (acesso em 11 de Março de 2012).
- Navas, Manoel Gibson M. Diniz. "Medidas em Telecomunicações." Universidade Estácio de Sá, 2005.
- Perumana. B.G, Zhan. J.H.C, Taylor. S.S, Carlton. B.R, Laskar. J. "Resistive-Feedback CMOS Low-Noise Amplifiers for Multiband Applications." *Microwave Theory and Techniques, IEEE Transactions on*, 2008: 1218 - 1225 .
- Razavi, Behzad. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2000.
- . *RF Microelectronics*. Prentice Hall, 1998.
- Shaeffer, Derek, e Thomas Lee. "A 1.5 V, 1.5 GHz CMOS Low Noise Amplifier." *IEEE J. Solid-State Circuits* 32, n. 5 (1997): 745–759.
- Sheng, N. "A 30 ghz bandwidth algaas-gaas hbt direct-coupled feedback amplifier." *IEEE Microwave and Guided Wave Letters* 1, n. 8 (1991): 208–210.
- Sheng, Samuel, Lapoe Lynn, Jim Peroulas, Kevin Stone, Ian O'Donnell, e Robert Brodersen. "A Low Power CMOS Chipset for Spread-spectrum Communications." *Int. Solid-State Conf. IEEE*, 1996: 346–347.
- Tsividis, Yannis. *Operation and Modeling of The MOS Transistor*. New York: OXFORD UNIVERSITY, 1999.

- Tsividis, Yannis, e Ken Suyama. "MOSFET Modeling for Analog Circuit CAD: Problems and Prospects." *IEEE J. Solid-State Circuits* 29, n. 3 (1994): 210–216.
- Tsung, H. C., C. C. Chun, e T. H. Wai. "A 460MHz~870MHz CMOS wideband low noise amplifier for DVB-T." *IEEE International Symposium on VLSI Design, Automation and Test.*, 2008: 47 - 50.
- Tsung-Te Liu, Chorng-Kuang Wang. "A 0.9mW 0.01-1.4GHz Wideband CMOS Low Noise Amplifier for Low-Band Ultra Wideband Applications." *Asian Solid-State Circuits Conference*, 2005: 345 - 348.
- Viztmuller, Peter. *RF Design Guide*. Artech House, 1995.
- Wang-Chi Cheng, Jian-Guo Ma, Kiat-Seng Yeo, Manh-Anh Do. "A 1 V switchable CMOS LNA for 802.11A-B WLAN applications." *Analog Integr Circ Sig Process*, 2006: 181–184.
- Wu, Stephen, e Behzad Razavi. "A 900-MHz/1.8-GHz CMOS Receiver for Dual-Band Applications." *IEEE JOURNAL OF SOLID-STATE CIRCUITS* 33, n. 12 (1998): 2178-2185.
- Ximenes, A.R. Swart, J.W. "A wideband noise canceling low-noise amplifier for 50MHz–5GHz wireless receivers in CMOS technology." *New Circuits and Systems Conference (NEWCAS)*, 2011 : 197 - 200.
- Yang Liu, Sungju Choi, Sangho Lee and Hyeongdong Kim. "The Design of Triple-Mode Low Noise Amplifier for SDR System." *Progress In Electromagnetics Research Symposium*, 2009: 23 - 27.
- Yohan Jang, Nackgyun Seong, and Jaehoon Choi. "A Concurrent Triple-band CMOS LNA Design for 4G Applications." *Progress In Electromagnetics Research Symposium Proceedings*, 2009: 1545 - 1548.
- Youchun Liao, Zhangwen Tang, Hao Min. "A CMOS wide-band low-noise amplifier with balun-based noise-canceling technique." *Solid-State Circuits Conference, 2007. ASSCC '07. IEEE Asian* , 2007: 91 - 94.
- Yuh-Shyan Hwang, San-Fu Wang, Jiann-Jong Chen. "A differential multi-band CMOS low noise amplifier with noise cancellation and interference rejection." *AEU - International Journal of Electronics and Communications*, 2010: 897-903.
- Zhang, Yunchi, Kawthar Zaki, Jorge Ruiz-Cruz, e Ali Atia. "Analytical Synthesis of Generalized Multi-band Microwave Filters." *Microwave Symp IEEE/MTT-S Int* 3, n. 8 (2007): 1273–1276.
- Ziel, Aldert Van Der. *Noise in Solid State Devices and Circuit*. John Wiley and Sons, 1986.