

Com o objetivo de reduzir a potência consumida no barramento intrachip de circuitos, as saídas são organizadas no intuito de diminuir o crosstalk. Sendo o critério de organização a correlação destas.

Para a obtenção da correlação, foi desenvolvida uma ferramenta em C++, que, tendo um circuito descrito de acordo com o formato blif, calcula a tabela verdade de todas as funções saídas descritas no arquivo mediante análise do BDD, e, disso faz o cálculo de quantas vezes uma saída é igual as demais, criando uma matriz de correlação.

Como a matriz criada é simétrica e uma matriz pode ser a representação de um grafo, logo, a matriz de correlação é a descrição de um grafo totalmente conexo, não orientado e valorizado, onde os valores das arestas são as correlações das saídas. A melhor disposição das saídas é feita utilizando um algoritmo similar ao do Caixeiro Viajante, o qual, partindo de um nodo tem que percorrer todos os outros sem repetir nenhum.

Tendo as saídas organizadas, o custo desta disposição é calculado ( a soma da correlação entre uma saída e a(s) sua(s) vizinha(s) ). Uma simulação deste barramento é feita no HSpice para calcular a potência média consumida por esta configuração. Após o término da simulação, uma outra disposição das saídas é gerada, seu custo calculado e outra simulação é feita. No final, obtém-se uma relação custo-potência média para cada disposição das saídas.

Chegou-se a um ganho de 36% em relação a correlação. Os resultados para o consumo de potência ainda estão em análise, mas estima-se um ganho um pouco maior de 14%.