

As células de memória Static Random Access Memory (SRAM), como qualquer outro circuito digital, sofrem com problemas de confiabilidade. Com o intuito de possibilitar o projeto de memórias SRAM mais confiáveis, motiva-se o estudo de falhas em SRAM fabricadas em tecnologias nanométricas. A modelagem de falhas se dá utilizando simulações elétricas integradas com scripts na linguagem Perl. As variações de tensão em cada um dos seis transistores e o netlist da SRAM são os dados de entrada. O fenômeno estudado foi o Random Telegraph Signal (RTS), o qual representa a variação da “drain current” ao haver a liberação ou captura de elétrons pelos “traps” em MOSFETs. A “drain current” para source do transistor é considerada do tipo balístico, que é apropriada para descrever um transistor em nodos tecnológicos futuros. Uma das métricas para verificar o funcionamento correto da célula é a análise do Read Noise Margin (RNM): caso este seja positivo – a operação de leitura é estável; caso seja negativo – vai causar a perda do estado (resultando a falha na estabilidade de leitura). Outra métrica é a análise do tempo de escrita, que se refere ao tempo necessário para que um valor seja corretamente armazenado na célula. Caso o tempo de escrita da célula seja menor do que o período do clock da memória, acontece uma falha. Por fim, resalto que estimando a probabilidade de falha e medindo a robustez da célula de memória podemos aperfeiçoá-la a fim de obter uma melhor estabilidade e um maior desempenho da mesma.