

MARIA DA GLÓRIA CATALDI COUTO FLORES

**TESTE EMBARCADO DE CONVERSORES ANALÓGICO-
DIGITAIS**

Porto Alegre

2003

MARIA DA GLÓRIA CATALDI COUTO FLORES

TESTE EMBARCADO DE CONVERSORES ANALÓGICO-DIGITAIS

ORIENTADOR: Altamiro Amadeu Susin

CO-ORIENTADOR: Luigi Carro

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica (PPGEE), da Universidade Federal do Rio Grande do Sul (UFRGS), como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Automação e Instrumentação Eletro-Eletrônica.

Porto Alegre

2003

MARIA DA GLÓRIA CATALDI COUTO FLORES

TESTE EMBARCADO DE CONVERSORES ANALÓGICO-DIGITAIS

Esta dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

ORIENTADOR: _____

Prof. Dr. Altamiro Amadeu Susin, UFRGS

Doutor pelo Institut National Polytechnique de Grenoble, INPG, França

CO-ORIENTADOR: _____

Prof. Dr. Luigi Carro

Doutor pelo Programa de pós-graduação em Ciência da Computação, CPGCC, UFRGS,
Brasil

Banca Examinadora:

Prof. Dr. Antonio Petraglia,
COPPE - UFRJ

Prof. Dr. Sergio Bampi,
CPGC – UFRGS

Prof. Dr. Marcelo Lubaszewski,
PPGEE - UFRGS

Coordenador do PPGEE: _____

Prof. Dr. Carlos Eduardo Pereira

Porto Alegre, março de 2003.

DEDICATÓRIA

Dedico este trabalho para meus pais Leonor e Paraguassú por serem meus alicerces. E ao Rafael por ser meu grande incentivador. Amo vocês!

AGRADECIMENTOS

Este trabalho é resultado de um esforço conjunto, por isso muitos agradecimentos se fazem necessários.

Agradeço ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pela bolsa de mestrado.

Agradeço aos professores da banca examinadora desta dissertação por terem aceito o convite.

Agradeço ao professor e orientador Dr. Altamiro Amadeu Susin por acreditar neste trabalho.

Agradeço ao professor e co-orientador Dr. Luigi Carro por não medir esforços para que este trabalho fosse possível. Muito obrigado por ter sido incansável na orientação e estímulo deste trabalho.

Agradeço aos professores do programa de pós-graduação em engenharia elétrica pelo esforço constante de fornecer um ensino de qualidade. Agradeço à Miriam Rosek, secretária deste programa de pós-graduação.

Agradeço aos colegas do laboratório de processamento de sinais e imagens não só pela ajuda técnica, mas principalmente pela amizade. Adriane Parraga pelo carinho, estímulo e cumplicidade. Adão de Souza Júnior pelo modo de ver as coisas. Letícia Guimarães pelo auto astral. Marcelo Negreiros pela amizade, pelo chimarrão e pela paciência de estar sempre disposto a auxiliar. Osvaldo Betat pelo palavra certa na hora certa.

Agradeço também a amizade e carinho dos colegas Leandro Cassol e Ronaldo Hüseman, que apesar de não fazerem parte do LAPS*i*, fizeram parte destes dois anos de mestrado.

Agradeço aos bolsistas de iniciação científica por darem vitalidade ao LAPS*i*: Alessandra Vargas, Anderson Konzen, Bruno Cozer, Diego da Rosa, Francisco Social, Nívea Schuch e Tiago Peres continuem acreditando na pesquisa.

Agradeço a minha família pelo apoio e amor. Por ter aceitado a distância, a saudade e sempre me incentivar, sem medir esforços para que eu pudesse seguir meus ideais. Gostaria de agradecer principalmente a minha mãe, ao meu pai, a Gisela vó, a Gisela irmã, ao Rafinha e a Paulinha por terem mantido sempre um porto seguro e aconchegante em Santa Maria para que eu pudesse ancorar nos momentos mais felizes ou mais difíceis.

Agradeço ao Rafael pelo amor incondicional.

RESUMO

A confiabilidade de sistemas de processamento digital de sinais é, entre tantos fatores, diretamente proporcional à confiabilidade dos conversores analógico-digitais neles presentes para serem usados como interface com o mundo real.

Este trabalho propõe um método novo de teste de conversores analógico-digitais baseado em ruído. O método proposto possibilita a detecção de falhas nos conversores em teste. Além disto, a técnica proposta é capaz de estimar simultaneamente características estáticas e dinâmicas tornando-se, portanto, inovador em relação aos demais métodos presentes na literatura.

A proposta, a simulação e a implementação do método são apresentadas ao longo desta dissertação. A comparação dos resultados obtidos com um método padrão de teste de ADCs, o método do histograma, comprovam a eficácia do método.

Palavras-chaves: Processamento Digital de Sinais, Conversores Analógico-digitais, Técnicas de Teste, Erros de Não-linearidade (*INL* e *DNL*), Gerador de Ruído, *BIST*.

ABSTRACT

The reliability of systems for digital signal processing is directly related to the reliability of analog-to-digital converters that are part of them. These converters are normally used to interface the system to the real world.

This work proposes a new testing method for analog-to-digital converters that is based on noise. The proposed method makes the detection of faulty DUTs possible. Moreover, the proposed technique is able to estimate static and dynamic characteristics, becoming innovative in comparison to techniques that have been already proposed.

The proposal of the method, its simulation and its implementation are presented in this master thesis. The comparison of the obtained results to a standard *ADC* testing method, the histogram technique, shows the effectiveness of the method.

Keywords: Digital Signal Processing, Analog-to-digital Converters, Testing Techniques, Nonlinearity Errors (*INL* and *DNL*), Noise Generator, *BIST*.

SUMÁRIO

1	INTRODUÇÃO	15
2	CARACTERÍSTICAS E MÉTODOS DE TESTE DE CONVERSORES ANALÓGICO-DIGITAIS	19
2.1	CARACTERIZAÇÃO DOS CONVERSORES ANALÓGICO-DIGITAIS	19
2.1.1	<i>Parâmetros Estáticos em Conversores Analógico-Digitais</i>	20
2.1.2	<i>Parâmetros Dinâmicos em Conversores Analógico-Digitais</i>	23
2.2	MÉTODOS DE TESTE DE CONVERSORES ANALÓGICO-DIGITAIS.....	29
2.2.1	<i>Métodos do Histograma</i>	31
2.2.2	<i>Método da Análise Espectral</i>	33
2.2.3	<i>Métodos Ad Hoc</i>	35
2.3	ANÁLISE DOS MÉTODOS CLÁSSICOS DE TESTE DE CONVERSORES ANALÓGICO-DIGITAIS	36
2.4	CARACTERIZAÇÃO DOS CONVERSORES ANALÓGICO-DIGITAIS	36
3	MÉTODO DE TESTE PARA CONVERSORES ANALÓGICO- DIGITAIS	38
3.1	MODELO DO CONVERSOR ANALÓGICO-DIGITAL	38
3.2	INFLUÊNCIA DO PROCESSO DE AMOSTRAGEM NA RESPOSTA DOS CONVERSORES ANALÓGICO-DIGITAIS ...	39
3.2.1	<i>Processo Ideal de Amostragem</i>	39
3.2.2	<i>Processo de amostragem Real</i>	40
3.3	INFLUÊNCIA DO PROCESSO DE QUANTIZAÇÃO NA RESPOSTA DOS CONVERSORES ANALÓGICO-DIGITAIS ...	41
3.4	INFLUÊNCIA DAS NÃO-LINEARIDADES NA RESPOSTA DOS CONVERSORES ANALÓGICO-DIGITAIS	42
3.5	MÉTODO DE TESTE PROPOSTO	46
4	EXPERIMENTOS REALIZADOS.....	48
4.1	MODELAMENTO DE UM CONVERSOR ANALÓGICO-DIGITAL.....	48
4.2	MÉTODO DE TESTE PROPOSTO	54
4.2.1	<i>Excitação Utilizando Ruído</i>	55
4.2.2	<i>Análise Espectral</i>	56
4.2.3	<i>Filtro de Pré-Enfase</i>	57
4.2.4	<i>Validação da análise espectral proposta</i>	59
4.3	SIMULAÇÃO DA INSERÇÃO E DETECÇÃO DE FALHAS PARAMÉTRICAS EM BITS DO CONVERSOR QUANDO EXCITADO COM RUÍDO	65
4.4	PROTOTIPAÇÃO DO GERADOR DE RUÍDO E UTILIZAÇÃO DO SINAL PARA TESTE DE CONVERSORES ANALÓGICO- DIGITAIS	70
4.4.1	<i>Projeto do Circuito RC</i>	75
4.4.2	<i>Validação do método com o Sinal Gerado</i>	77
4.5	PROTOTIPAÇÃO DE UM CONVERSOR ANALÓGICO-DIGITAL DO TIPO APROXIMAÇÕES SUCESSIVAS, INSERÇÃO DE FALHAS E IMPLEMENTAÇÃO DO MÉTODO	78
4.6	DETECÇÃO DE CONVERSORES FALHOS ATRAVÉS DO MÉTODO PROPOSTO E O MÉTODO PADRÃO: COMPARAÇÃO DOS RESULTADOS OBTIDOS	80
4.6.1	<i>Comparação dos Resultados com o Método do Histograma</i>	80
4.6.1.1	<i>Método do Histograma da Rampa</i>	83
4.6.1.2	<i>Método do Histograma da Senóide</i>	84
5	ESTIMAÇÃO DOS ERROS DE NÃO-LINEARIDADE DNL E INL	86
5.1	MODELAMENTO DO CONVERSOR AD.....	88
5.2	ESTIMAÇÃO DA NÃO-LINEARIDADE A PARTIR DA ENTRADA SENOIDAL	89
5.3	POLINÔMIOS DE CHEBYCHEV DE PRIMEIRA ORDEM	90
5.4	ESTIMAÇÃO DA NÃO-LINEARIDADE A PARTIR DA ENTRADA DE BANDA LARGA	91
5.5	VALIDAÇÃO	93
5.5.1	<i>Simulações</i>	93
5.5.2	<i>Resultados Práticos</i>	97
5.6	TESTE EMBARCADO.....	101
5.6.1	<i>Caracterização Estática</i>	102
5.6.2	<i>Caracterização Dinâmica</i>	105
5.6.3	<i>Acréscimo de Área do Sistema</i>	106

5.7 TEMPO DE TESTE.....	106
6 DISCUSSÕES E CONCLUSÕES	108
7 REFERÊNCIAS BIBLIOGRÁFICAS	111
ANEXO A: SIMULAÇÃO DE CONVERSOR ANALÓGICO-DIGITAL DE N BITS DO TIPO APROXIMAÇÕES SUCESSIVAS	119
ANEXO B: PROTOTIPO DO GERADOR DE RUÍDO	124
ANEXO C: PROTOTIPAÇÃO DE CONVERSOR ANALÓGICO-DIGITAL DE N BITS DO TIPO APROXIMAÇÕES SUCESSIVAS	130

LISTA DE ILUSTRAÇÕES

<i>Figura 1.1 - Diagrama de um genérico System On Chip (SoC).</i>	16
<i>Figura 1.2 - Estrutura ADC-DSP-DAC.</i>	17
<i>Figura 2.1 – Resposta do conversor analógico-digital ideal à rampa: (a) teórica; (b) real para um ADC de 3 bits.</i>	21
<i>Figura 2.2 – Resposta do conversor analógico-digital com erro de Offset à rampa: (a) teórica; (b) real para um ADC de 3 bits.</i>	21
<i>Figura 2.3 – Resposta do conversor analógico-digital com erro de ganho à rampa: (a) teórica; (b) real para um ADC de 3 bits.</i>	22
<i>Figura 2.4 - Resposta do conversor analógico-digital com erro de Não-linearidade à rampa: (a) teórica; (b) real para um ADC de 3 bits.</i>	22
<i>Figura 2.5 - Análise espectral da Saída de um ADC não ideal excitado por uma senóide: (a) frequência fundamental do sinal; (b) componentes harmônicas do sinal; (c) ruído de quantização do conversor.</i>	24
<i>Figura 2.6 - Relação sinal-ruído estimada para um ADC de 16 bits.</i>	25
<i>Figura 2.7 - SINAD de um ADC de 16 bits.</i>	26
<i>Figura 2.8 – Relação entre o número efetivo de bits e a frequência.</i>	27
<i>Figura 2.9 - Métodos de caracterização dos conversores analógico-digitais.</i>	37
<i>Figura 3.1 - Diagrama de blocos do conversor analógico-digital.</i>	38
<i>Figura 3.2 - Processo de amostragem ideal.</i>	39
<i>Figura 3.3 - Processo de amostragem real.</i>	41
<i>Figura 3.4 - Representação da curva característica e do erro de quantização de um conversor analógico-digital ideal</i>	42
<i>Figura 3.5 - Conversor analógico-digital excitado por senóides: (a) sinais no tempo; (b) análise espectral.</i>	44
<i>Figura 3.6 - Conversor analógico-digital excitado com senóides: (a) sinais no tempo; (b) análise espectral.</i>	46
<i>Figura 4.1 - Modelagem do conversor analógico-digital de aproximações sucessivas.</i>	49
<i>Figura 4.2 - Resposta à rampa de um ADC ideal de 3 bits.</i>	50
<i>Figura 4.3 - Efeito do erro de offset na curva característica de um ADC de 3 bits.</i>	50
<i>Figura 4.4 - Efeito do erro de ganho na curva característica de um ADC de 3 bits.</i>	51
<i>Figura 4.5 - Efeito do erro de não-linearidade na curva característica de um ADC de 3 bits.</i>	51
<i>Figura 4.6 - Simulação do efeito de falha paramétrica no bit menos significativo de um ADC de 3 bits: (a) curva característica; (b) erros de não-linearidade.</i>	52
<i>Figura 4.7 - Simulação do efeito de falha paramétrica no segundo bit menos significativo de um ADC de 3 bits: (a) curva característica; (b) erros de não-linearidade.</i>	52
<i>Figura 4.8 - Simulação do efeito de falha no bit mais significativo de um ADC de 3 bits: (a) curva característica; (b) erros de não-linearidade.</i>	53
<i>Figura 4.9 - Análise espectral do sinal de saída do ADC de 3 bits excitado por uma senóide de 60Hz.</i>	54
<i>Figura 4.10 – Diagrama do sistema proposto.</i>	55
<i>Figura 4.11 - Detecção de componentes em um sinal através da análise espectral: (a)FFT única; (b)média de 8 FFTs.</i>	56

Figura 4.12 - Diagrama do filtro digital passa-baixas amplificador .	58
Figura 4.13 - Ruído branco pré-amplificado no domínio: (b) da frequência.	59
Figura 4.14 - Análise espectral de saída de um ADC de 4 bits excitado por ruído.	60
Figura 4.15 - Resposta do ADC de 8 bits à rampa: (a)ideal; (b)LSB falho.	60
Figura 4.15 - Resposta do ADC de 8 bits à rampa: (c)2° LSB falho; (d)3° LSB falho; (e)4° LSB falho; (f)5° LSB falho; (g)6° LSB falho; (h)7° LSB falho.	61
Figura 4.15 - Resposta do ADC de 8 bits à rampa: (i)MSB falho.	62
Figura 4.16 - Erros não-linearidade DNL e INL do ADC de 8 bits em resposta à rampa: (a)LSB falho; (b)2° LSB falho; (c)3° LSB falho; (d)4° LSB falho.	62
Figura 4.16 - Erros de não-linearidade DNL e INL do ADC de 8 bits em resposta à rampa: (e)5° LSB falho; (f)6° LSB falho; (g)7° LSB falho; (h)MSB falho.	63
Figura 4.17 - Análise espectral do sinal de saída do ADC de 8 bits excitado por senóide.	64
Figura 4.18 - Análise espectral do sinal de saída do ADC de 8 bits excitado por ruído.	64
Figura 4.19 - Análise espectral da saída da ADC quando cada bit falha separadamente: (x) - conversor ideal; (o) - bit mais significativo falho e (.) - bit menos significativo falho.	65
Figura 4.20 - SINAD: (-) por bit falho; (--) ADC ideal.	66
Figura 4.21 - DNL calculado para o teste detecção de bit falho.	67
Figura 4.22 - INL calculado para o teste detecção de bit falho.	67
Figura 4.23 - Resposta espectral do conversor quando submetido ao teste de múltiplas falhas: (o) ADC ideal; (*) ADC com múltiplas falhas.	68
Figura 4.24 - Erro DNL para teste de ADC com múltiplas falhas.	69
Figura 4.25 - Erro INL para teste de ADC com múltiplas falhas.	69
Figura 4.26 - Gerador de ruído: (b) circuito.	71
Figura 4.27 - Sinal de saída do circuito: (a) RC; (b) LFSR; (c) Sample&Hold.	71
Figura 4.28 - FFT do sinal aleatório gerado no Matlab® pelo método proposto.	72
Figura 4.29 - (a) Resposta do filtro de amplificação das baixas frequências; (b) FFT do sinal aleatório filtrado.	73
Figura 4.30 - Sinal de saída do gerador de ruído.	74
Figura 4.31 - Resposta em frequência do ruído gerado.	74
Figura 4.32 - Diagrama do circuito RC.	75
Figura 4.33 - Curva de resposta de um circuito RC ($R = 1\Omega$, $C = 1F$, $V = 1V$): (a) carga; (b) descarga.	76
Figura 4.34- Teste de um conversor AD de 8 bits com múltiplas falhas (o) e ideal (*) quando excitados com o sinal do gerador de ruído prototipado.	78
Figura 4.35 - Conversor AD prototipado.	79
Figura 4.36 - Resposta espectral do ADC prototipado e do ideal.	79
Figura 4.37 - Erros de DNL estimados pelo (a)método de histograma para rampa, (b)método de histograma para senóide, (c)métodos de ruído.	81
Figura 4.38 - Erros de INL estimados pelo (a)método de histograma para rampa, (b)método de histograma para senóide, (c)métodos de ruído.	82
Figura 5.1 - Resposta de um conversor AD de 2 bits com DNL máximo de $-0.5LSB$: (- -) resposta ideal. Não há códigos faltantes.	86
Figura 5.2 - Resposta de um Conversor AD de 2 Bits com DNL máximo de $-1LSB$: (- -) resposta ideal. Neste caso o código 10 está faltando, mas não é possível fazer nenhuma afirmação sobre códigos faltantes sem a curva.	87
Figura 5.3 - Resposta de um Conversor AD de 2 Bits com DNL máximo de $-2LSB$: (- -) resposta ideal. Neste caso pode-se afirmar que nem todos os códigos irão aparecer na saída.	87
Figura 5.4 - Modelo do conversor analógico-digital (CSIZMADIA, 1999).	89
Figura 5.5 - Modelo de um conversor analógico-digital.	91

Figura 5.6 - Estimaco da curva de no linearidade INL: (a) segundo (CSIZMADIA, 1999); (b) segundo o mtodo do histograma.	94
Figura 5.7 - Diagrama do experimento de reconstruo da curva de no-linearidade a partir do rudo branco.	95
Figura 5.8 - No-linearidade INL: (a) Inserida; (b) Estimada para um sinal de excitao gerado no Matlab®	95
Figura 5.9 - Erro de Estimaco entre a INL inserida e estimada para um sinal de excitao gerado no Matlab®	96
Figura 5.10 - No-linearidade INL: (a) Inserida; (b) Estimada para um sinal de excitao gerado no prottipo de gerador de rudo	96
Figura 5.11 - Erro de Estimaco entre a INL inserida e estimada para um sinal de excitao gerado no prottipo de gerador de rudo	97
Figura 5.12 - Erro: (a) INL e (b) DNL estimados para o Conversor ADC0808.	98
Figura 5.13 - Erro de no-linearidade estimados para o conversor ADC0809: (a) INL.	99
Figura 5.13 - Erro de no-linearidade estimados para o conversor ADC0809: (b) DNL.	99
Figura 5.14 – Erro INL estimado para o conversor AD prototipado: (.) atravs do mtodo proposto baseado em rudo; (x) atravs do histograma da senide.	99
Figura 5.15 – Erro DNL estimado para o conversor AD prototipado: (.) atravs do mtodo proposto baseado em rudo; (x) atravs do histograma da senide.	100
Figura 5.16 – Estimaco do Erro de INL atravs do: (a) mtodo baseado no rudo; (b) mtodo do histograma	103
Figura 5.17 – Estimaco do Erro de DNL atravs do: (a) mtodo baseado no rudo; (b) mtodo do histograma	104
Figura B.1 – Prottipo do gerador de rudo.....	124
Figura B.2 - (a) Sinal de Sada do Circuito RC; (b) Controle do Amostrador.	125
Figura B.3 - Seqncia de Estados em um perodo de funcionamento do RC.	125
Figura B.4 - Fluxograma da Mquina de Estados.....	126
Figura B.5 - Circuitos para implementaco do LFSR	127

LISTA DE TABELAS

<i>Tabela 2.1 – Parâmetros dinâmicos de alguns conversores AD comerciais (National Semiconductors).....</i>	<i>28</i>
<i>Tabela 2.2 – Parâmetros críticos a serem avaliados de acordo com a aplicação do ADC....</i>	<i>29</i>
<i>Tabela 4.1 - SINAD e Número de Componentes detectadas na saída do ADC para o teste de detecção de falha por bit.....</i>	<i>66</i>
<i>Tabela 4.2 - SINAD e Número de Componentes detectadas na saída do ADC para o teste de falhas múltiplas.</i>	<i>68</i>
<i>Tabela 4.3 - Valores máximos e mínimos de DNL estimados pelos métodos de histograma para senóide e rampa e pelo método baseado em ruído.</i>	<i>82</i>
<i>Tabela 4.4 - Valores máximos e mínimos de INL estimados pelos métodos de histograma para senóide e rampa e pelo método baseado em ruído.....</i>	<i>83</i>
<i>Tabela 5.1 - Valores máximos e mínimos para o erro INL de um ADC de 10 bits.....</i>	<i>93</i>
<i>Tabela 5.2 - Valores máximos e mínimos de INL estimados pelos métodos de histograma e do método baseado em ruído.</i>	<i>100</i>
<i>Tabela 5.3 - Valores máximos e mínimos de DNL estimados pelos métodos de histograma e do método baseado em ruído.</i>	<i>100</i>
<i>Tabela 5.4 – Erros de estimação máximos do método proposto em relação ao método do histograma.....</i>	<i>101</i>
<i>Tabela 5.5 – Número de pontos necessários para a estimação do INL e DNL de cada método.</i>	<i>101</i>
<i>Tabela 5.6 - Valores máximos e mínimos para o erro INL de um ADC de 10 bits.....</i>	<i>102</i>
<i>Tabela 5.7 - Valores máximos e mínimos para o erro DNL de um ADC de 10 bits.....</i>	<i>103</i>
<i>Tabela 5.8 – Estimação do Parâmetro THD</i>	<i>105</i>
<i>Tabela 5.9 – Estimação do Parâmetro SINAD</i>	<i>105</i>
<i>Tabela 5.10 – Valores de área do projeto</i>	<i>106</i>
<i>Tabela 5.11 – FFT de 1024 pontos no ADSP2100 (@12MHZ).....</i>	<i>107</i>
<i>Figura B.6 - Implementação do LFSR de 13 bits.....</i>	<i>127</i>
<i>Tabela B.1 – Coeficientes dos Polinômios Primitivos do LFSR.....</i>	<i>128</i>

LISTA DE ABREVIATURAS

AC: Alternate Current

ADC: Analog-to-Digital Converter

AD: Analógico-Digital

ATE: Automatic Test Equipment

AWG: Analog Arbitrary Waveform Generator

BIST: Built-In Self-Test

CDT: Code Density Transitions

DAC: Digital-to-Analog Converter

DC: Direct Current

DFT: Discrete Fourier Transform ou Design for Testability, dependendo do contexto

DNL: Differential Nonlinearity

DPS: Discrete Prolate Spheroidal

DSP: Digital Signal Processor

DUT: Device Under Test

ENOB: Effective Number of Bits

FFT: Fast Fourier Transform

FIR: Finite Impulse Response

IEEE: Institute of Electric and Electronic Engineering

IMD: Intermodulation Distortion

INL: Integral Nonlinearity

LFSR: Linear Feedback Shift Register

LSB: Least Significant Bit

MC: Missing Code

MSB: Most Significant Bit

PDF: Probability Density Function

PPGEE: Programa de Pós-Graduação em Engenharia Elétrica

RC: Resistivo-Capacitivo

RMS: Root Mean Square

SAR: Successive Approximation Register

SFDR: Spurious-Free Dynamic Range

SINAD: Signal-to-Noise And Distortion Ratio

SNR: Signal-to-Noise Ratio

SoC: System on Chip

THD: Total Harmonic Distortion

1 INTRODUÇÃO

A instrumentação eletrônica permite que grandezas físicas como temperatura, pressão, tempo, deslocamento, massa, etc possam ser manipuladas através de sinais elétricos em forma de tensão ou corrente. Os sistemas para processamento digital destas grandezas trabalham de forma binária, tornando-se necessária a utilização de um dispositivo de conversão destes sinais elétricos analógicos para o domínio digital. Tais conversores, denominados conversores analógico-digitais (*ADCs*), mapeiam o nível do sinal de entrada do domínio analógico para um código correspondente de saída no domínio digital. Essa necessidade de interfaceamento entre o mundo analógico e os sistemas digitais é responsável pela presença destes conversores na maioria dos sistemas eletrônicos atuais. A caracterização dos conversores analógico-digitais torna-se fundamental para o funcionamento adequado dos sistemas nos quais eles estão inseridos. Atualmente, a testabilidade de circuitos integrados, tais como *ADCs*, é vista como uma especificação de projeto e deve ser considerada desde seus estágios iniciais (AZÄIS, 2001b).

A funcionalidade e a confiabilidade dos sistemas que possuem um conversor analógico-digital são diretamente proporcionais à caracterização do mesmo. Assim, a determinação das características estáticas e dinâmicas deste componente é de suma importância.

O desenvolvimento acelerado dos componentes integrados fez com que os equipamentos de teste automatizados (*Automated Test Equipment - ATE*) tenham de ser rápidos e complexos, o que os torna, conseqüentemente, caros (AZÄIS, 2000a). A utilização destes equipamentos de teste, ou ainda de equipamentos *AWG* (*Analog Arbitrary Waveform Generator*) associados a um processador digital de sinais (*Digital Signal Processor - DSP*), eleva ainda mais o custo do teste de fabricação para produções principalmente em baixo volume (XU, 1999). Além do custo, a necessidade de um número considerável de amostras (de 8 a 16 vezes 2^N , onde N é o número de bits do conversor) é outra desvantagem do uso destes equipamentos de teste, pois estas amostras serão responsáveis por um longo tempo de teste. A evolução da eletrônica digital viabiliza a integração de muitas funções em um único circuito integrado, possibilitando o crescimento dos *Systems on Chip* (*SoCs*), aumentando os desafios para o teste.

A maioria destes *SoCs* possui recursos internos de hardware disponíveis, tais como processadores, memórias, funções analógicas e conversores que possibilitam a interface

com o mundo externo, como apresentado na figura 1.1. A reutilização destes recursos é uma boa estratégia para o projeto de técnicas de teste para conversores analógico-digitais. A possibilidade de integrar no próprio chip o procedimento de teste é a alternativa mais interessante na busca da redução do custo de teste. Muitos dos sistemas Built-In Self-Test (BIST) reportados utilizam-se dela (OHLETZ, 1991; NAGI, 1994, DAMM, 1995; TONER, 1996). Além de aumentar a testabilidade, as técnicas BIST permitem a verificação do estado de funcionamento e o teste de campo dos componentes seguindo os padrões de teste de produção.

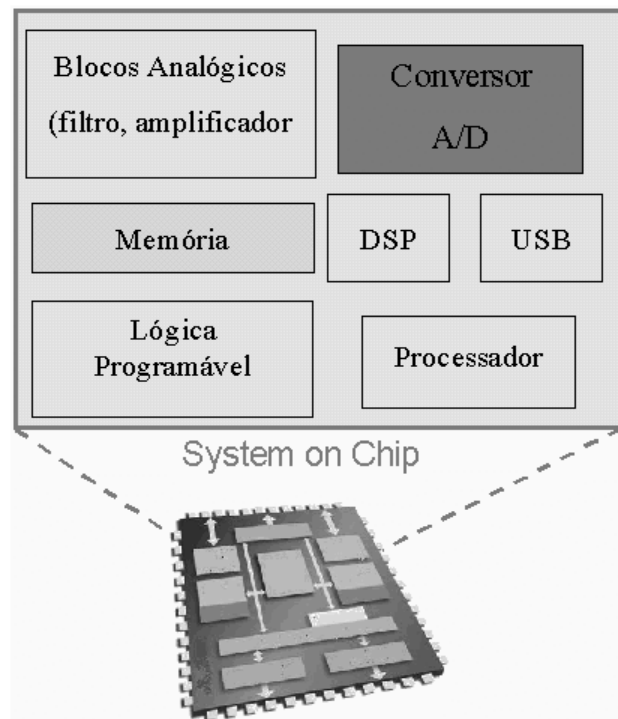


Figura 1.1 - Diagrama de um genérico *System On Chip* (SoC).

A configuração genérica dos sistemas *BIST* para conversores analógico-digitais incluem uma estrutura *ADC-DSP-DAC*: Conversor Analógico-digital - Processador Digital de Sinais – Conversor Digital-Analógico (WALKER, 2001), conforme apresentado na figura 1.2. O acréscimo de área envolvido na implementação desta solução torna-a praticamente inviável, caso os blocos integrantes desta estrutura não estejam disponíveis no próprio *SoC*.

Duas considerações quanto à estrutura *ADC-DSP-DAC* tornam-se muito importantes para a eficácia do método: a complexidade do processador necessário está

relacionada com o algoritmo de teste, que determinará também o tempo de teste; e a resolução do *DAC*, que deve ser superior àquela do conversor em teste em pelo menos 2 bits, pois para garantir que toda a escala do *ADC* seja verificada deve-se excitá-lo com um número maior de códigos que os do próprio conversor em teste (JESPERS, 2000).

Levando em conta estas considerações, deve-se salientar (ARABI, 1997) que os métodos *BIST* são considerados os mais promissores para o projeto de novas técnicas de teste de conversores analógico-digitais (AZÄIS, 2001b; BERNARD, 2001; WALKER, 2001; HUANG, 2000; SILVA, 2000; EHSANIAN, 1998). Ainda, o projeto de *BIST* deve provocar um mínimo acréscimo de área para tornar-se mais atrativo que os baseados na estrutura *ADC-DSP-DAC*. Sabendo-se que a presença de um conversor digital-analógico na estrutura *BIST* provoca um acréscimo de área digital e analógica considerável, salienta-se que sua eliminação seria de grande valia.

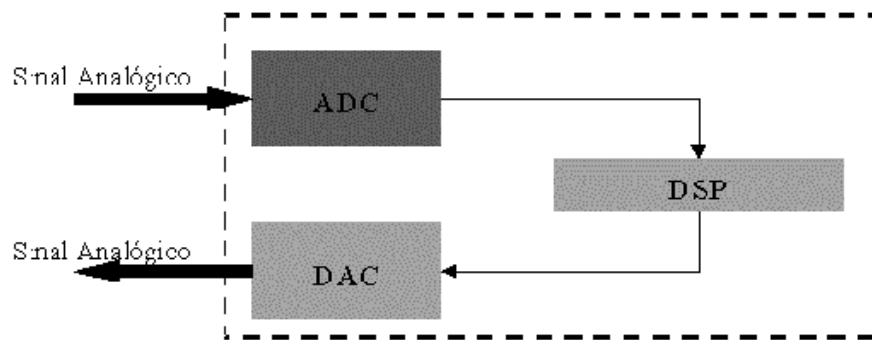


Figura 1.2 - Estrutura *ADC-DSP-DAC*.

Outro ponto a ser salientado na implementação de um sistema *BIST* ideal é o algoritmo de teste, ou seja, o método de teste em si, pois este determinará o tempo e a exatidão do teste. O algoritmo de teste deve ser baseado nas características do conversor que serão avaliadas. Os métodos já propostos para *BIST* de conversores analógico-digitais avaliam dois grupos de características destes componentes: as características estáticas e as características dinâmicas (JESPERS, 2000). Mas, os métodos propostos avaliam somente um grupo de características, o que torna necessária a implementação de dois métodos distintos para a completa verificação do funcionamento do conversor *AD*.

O desenvolvimento de um método *BIST* para a completa caracterização de conversores analógico-digitais deve ser capaz de avaliar tanto as características estáticas

quanto as características dinâmicas do *DUT*. Este trabalho propõe o estudo, a proposta e a implementação de um método *BIST* para conversores analógico-digitais, focando na redução da área necessária e da complexidade de implementação do sistema. Através do método proposto, busca-se o levantamento tanto de características dinâmicas quanto de características estáticas dos componentes em teste, dentre elas a *SINAD* (*Signal-to-Noise And Distortion Ratio*), a *THD* (*Total Harmonic Distortion*), o erro *INL* (*Integral Nonlinearity*) e o erro *DNL* (*Differential Nonlinearity*).

O método proposto é baseado na influência dos erros do conversor em sua resposta em frequência. Sabendo-se (ADAMO, 2001) que os erros provocam uma variação do comportamento espectral dos conversores, a avaliação desta variação será utilizada como condição de teste.

Ainda, outra característica importante para um sistema *BIST* é a complexidade do circuito excitador. É desejável que este circuito seja de fácil implementação e de baixo custo em termos de área para tornar-se mais atrativo em comparação aos métodos *BIST* tradicionais. Este trabalho toma partido das características espectrais do ruído branco e dos efeitos dos erros sobre elas para propor um gerador de sinal de banda larga de baixa complexidade, a ser usado como circuito excitador do método de teste de conversores analógico-digitais.

A implementação do método de teste baseado em ruído para conversores analógico-digitais possibilitou a caracterização de parâmetros estáticos e dinâmicos dos componentes e, ao ser comparado com métodos usuais, obteve resultados satisfatórios. Estes resultados comprovam a eficácia do método e sua simplicidade viabiliza sua utilização como sistema *BIST* para conversores analógico-digitais.

A exposição do trabalho desenvolvido para a proposta e implementação do método é composta por seis capítulos. O capítulo 2 apresenta os parâmetros necessários para a completa caracterização de conversores analógico-digitais, além de apresentar diferentes métodos já existentes para a avaliação destes parâmetros. O capítulo 3 apresenta o método proposto, enquanto a implementação do mesmo é apresentada no capítulo 4, que ainda inclui resultados práticos e simulações. O capítulo 5 dedica-se a propor um método de estimação dos erros de não-linearidade (*INL* e *DNL*), além de apresentar a validação do mesmo através de resultados práticos e teóricos. O capítulo 6 concentra-se na avaliação dos resultados apresentados nos capítulos 4 e 5, discutindo as vantagens e desvantagens da utilização do método proposto para o teste de conversores analógico-digitais.

2 CARACTERÍSTICAS E MÉTODOS DE TESTE DE CONVERSORES ANALÓGICO-DIGITAIS

A presença de sinais analógicos e digitais em conversores analógico-digitais requer um teste que englobe os dois domínios. Assim, testadores para tais componentes devem validar as características digitais e analógicas dos mesmos (IEEE, 1999; TILDEN, 1999), sendo, portanto, mistos. O teste de sistemas digitais já foi consolidado pela comunidade científica, possuindo vários métodos consolidados (ABRAMOVICI, 1990), enquanto o teste de sistemas analógicos continua sendo um assunto para vasta pesquisa. Apesar de ser objeto de pesquisa desde 1984 (DOERNBERG, 1984) e vários métodos já terem sido propostos (SOMA, 1988; OHLETZ, 1991; AZÄIS, 2000a; ZHAO, 2001), o teste de sistemas mistos ainda é um tema não plenamente explorado, fato verificado pelo elevado número de trabalhos em constante desenvolvimento (ADAMO, 2002; ALEGRIA, 2002; ARPAIA, 2002; ATTIVISSIMO, 2002; AZÄIS, 2002b; BLAIR, 2002; DALLET, 2002; FERNANDES, 2002; PARTHASARATHY, 2002; REBAI, 2002).

Atualmente, a padronização dos procedimentos de teste de conversores analógico-digitais pode ser analisada pela norma do *Institute of Electric and Electronic Engineering (IEEE)* IEEE Std1057 (IEEE, 1994), que trata do teste dinâmico de gravadores digitais de sinais tendo que ser, portanto, adaptada para o teste de *ADCs*. Isto tem sido feito a partir de um comitê da *IEEE* especialmente formado para desenvolver um novo padrão, o padrão IEEE Std1241 (IEEE, 1999) destinado ao teste de *ADCs*

2.1 CARACTERIZAÇÃO DOS CONVERSORES ANALÓGICO-DIGITAIS

Conceitualmente, um conversor analógico-digital é um dispositivo que converte um sinal contínuo no tempo em um sinal discreto no tempo e discreto em amplitude (IEEE, 1999). A completa caracterização destes dispositivos envolve a análise de seu comportamento estático e dinâmico (IEEE, 1999). Essas características são responsáveis pelos erros estáticos e erros dinâmicos, de acordo com a taxa de variação do sinal de entrada durante o processo de digitalização.

Os erros estáticos são inerentes ao próprio conversor analógico-digital, podendo ser verificados através da análise do espaçamento entre os códigos de saída do conversor. A presença de espaçamento não ideal e uniforme nos níveis de transição entre os códigos é o

indicativo de erros estáticos no componente. As principais características estáticas a serem avaliadas para a caracterização estática dos *ADCs* são (IEEE, 1999): o ganho, o nível DC (*offset*) e a linearidade.

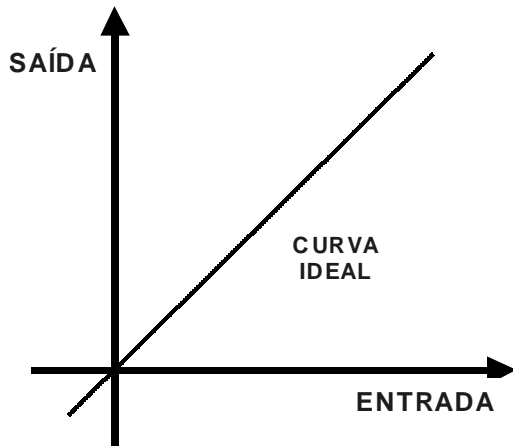
Os erros dinâmicos são resultado de fontes adicionais de erro induzidas pela variação temporal do sinal analógico de entrada que está sendo convertido. Essas fontes adicionais são geralmente representadas pela distorção harmônica dos estágios analógicos, efeitos dinâmicos nos estágios de comparação e amplificação e as variações dependentes da frequência no espaçamento dos níveis de quantização. Os principais parâmetros de avaliação para a caracterização dinâmica dos *ADCs* são (IEEE, 1999): a relação sinal-ruído (*signal-to-noise rate - SNR*), a relação sinal-ruído e distorção (*signal-to-noise and distortion rate - SINAD*), o número efetivo de bits (*effective number of bits - ENOB*), a distorção harmônica total (*total harmonic distortion - THD*) e o intervalo dinâmico livre de componentes espúrias (*spurious-free dynamic range - SFDR*).

2.1.1 PARÂMETROS ESTÁTICOS EM CONVERSORES ANALÓGICO-DIGITAIS

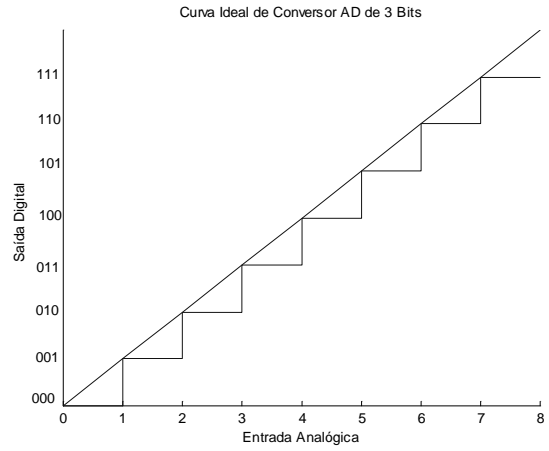
Os erros estáticos dos conversores analógico-digitais podem ser avaliados a partir da curva característica deste componente. Geralmente, a curva característica de um *ADC* é determinada a partir da resposta do mesmo a uma rampa que excursiona por toda a sua escala. A curva característica teórica de um *ADC* ideal de N bits é dada por uma linha reta representando a função de transferência ideal do *ADC*, enquanto a curva característica real é formada por uma escada uniforme de 2^N níveis. Um *ADC* ideal representa todas as entradas analógicas dentro de uma certa faixa de códigos digitais de saída. Assim, cada código representa uma fração da entrada analógica.

A figura 2.1 mostra a curva característica de um conversor analógico-digital ideal quando excitado por uma rampa, e será utilizada para comparação com as curvas exemplo de erros estáticos.

O Erro de *Offset* pode ser definido como uma variação horizontal uniforme de todos os pontos da curva de resposta do conversor AD, podendo ser medido pela diferença entre o valor atual e o valor teórico da tensão de entrada que fornece 1 bit menos significativo (LSB) na saída (JESPERS, 2000; TEXAS, 1995). A figura 2.2 apresenta as curvas características de dois conversores analógico-digitais em resposta à excitação de uma rampa, um ideal e outro com erro de *offset*.

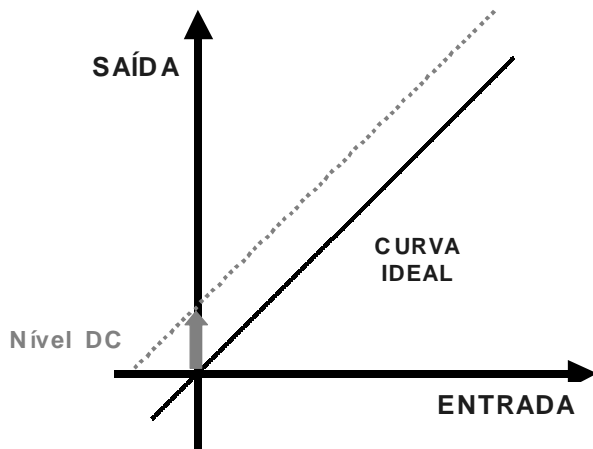


(a)

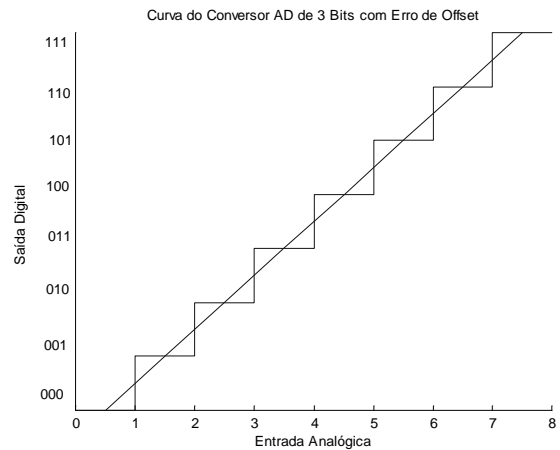


(b)

Figura 2.1 – Resposta do conversor analógico-digital ideal à rampa: (a) teórica; (b) real para um ADC de 3 bits.



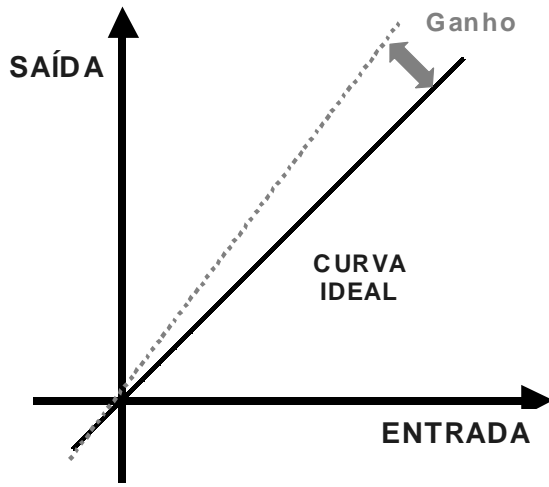
(a)



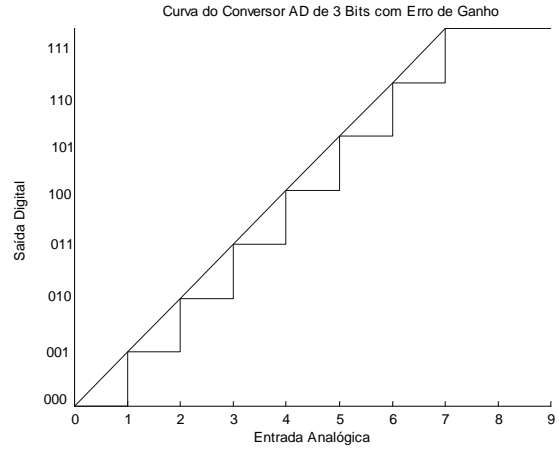
(b)

Figura 2.2 – Resposta do conversor analógico-digital com erro de Offset à rampa: (a) teórica; (b) real para um ADC de 3 bits.

Por sua vez, o Erro de Ganho corresponde à rotação de toda a função de transferência ao redor do zero, como mostra a figura 2.3.



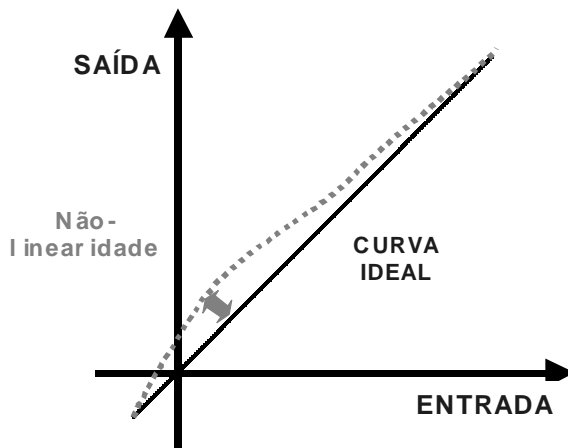
(a)



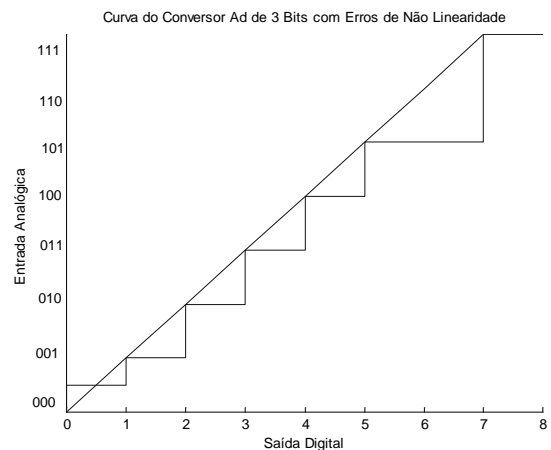
(b)

Figura 2.3 – Resposta do conversor analógico-digital com erro de ganho à rampa: (a) teórica; (b) real para um ADC de 3 bits.

Os *Erros de não-linearidade* são conhecidos como *DNL (Differential Non-Linearity)* e *INL (Integral Non-Linearity)*. Esses erros representam uma deformação na curva característica do conversor analógico-digital, conforme apresentado na figura 2.4.



(a)



(b)

Figura 2.4 - Resposta do conversor analógico-digital com erro de Não-linearidade à rampa: (a) teórica; (b) real para um ADC de 3 bits.

O erro *DNL* de um dado código *i* corresponde ao desvio, expresso em LSB, do valor ideal e pode ser expresso pela equação (2.1) (HEWLETT, 1982; IEEE, 1999):

$$DNL(i) = \frac{H(i) - H(i)_{ideal}}{H(i)_{ideal}} = \frac{H(i)}{H(i)_{ideal}} - 1 \quad (2.1)$$

onde $H(i)$ é o comprimento do código i no conversor em teste e $H(i)_{ideal}$ é comprimento do código i para um conversor de mesma resolução ideal.

Os erros *DNL* para o código i podem ser acumulados durante uma série finita de códigos causando uma variação da curva ideal e formando o erro *INL*, expresso pela equação (2.2) (HEWLETT, 1982; IEEE, 1999):

$$INL(i) = \sum_{j=1}^i DNL(j) \quad (2.2)$$

Os erros de *offset* e de ganho podem ser corrigidos ou calibrados externamente, mas os erros de não-linearidade são intrínsecos ao conversor.

2.1.2 PARÂMETROS DINÂMICOS EM CONVERSORES ANALÓGICO-DIGITAIS

As características estáticas dos conversores analógico-digitais são muito importantes para determinar o comportamento *DC* destes componentes. Para aplicações onde o sinal de entrada varia lentamente (por exemplo, algumas medições de temperatura e peso) a caracterização estática do *ADC* é suficiente. Entretanto, muitas aplicações requerem a conversão de um sinal cuja variação é rápida (por exemplo, aplicações de processamento digital de sinais de áudio, análises espectrais e controle de movimento). Para estas aplicações, a caracterização *DC* não é suficiente, e a caracterização *AC* torna-se necessária assim como os parâmetros dinâmicos.

Os parâmetros dinâmicos referentes aos conversores analógico-digitais avaliam a variação do comportamento dinâmico do componente. Os parâmetros dinâmicos normalmente utilizados para a caracterização de conversores analógico-digitais são definidos segundo uma excitação senoidal pura, de amplitude e fase conhecidas. Enquanto a determinação dos

parâmetros estáticos do *ADC* é baseada na curva característica, a determinação dos parâmetros dinâmicos é baseada no espectro do sinal. A figura 2.5 mostra um espectro típico da saída de um *ADC* não ideal de 16 bits, quando este é excitado por uma senóide, e será utilizada para exemplificar a determinação dos principais parâmetros dinâmicos a seguir definidos. Na figura 2.5, nota-se a presença da frequência fundamental (a), as harmônicas do sinal (b) e o ruído de quantização do conversor (c).

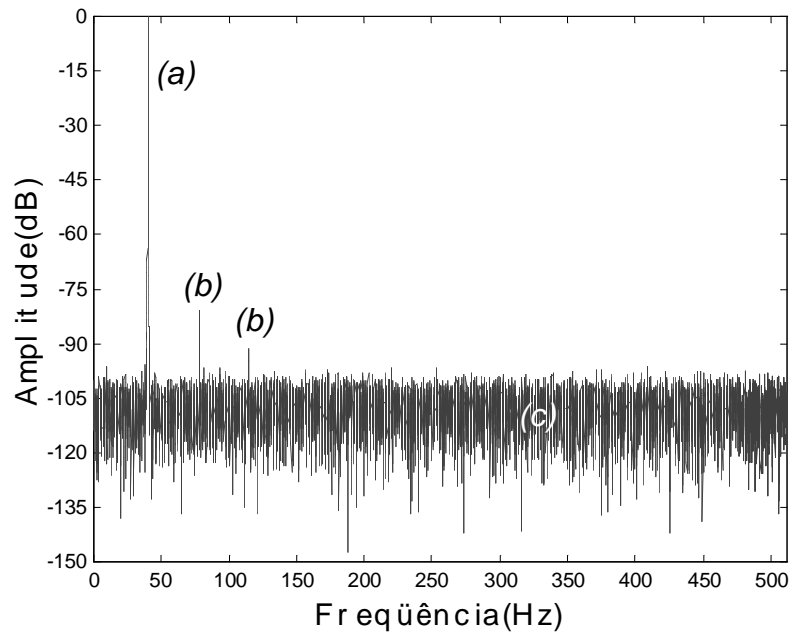


Figura 2.5 - Análise espectral da Saída de um *ADC* não ideal excitado por uma senóide: (a) frequência fundamental do sinal; (b) componentes harmônicas do sinal; (c) ruído de quantização do conversor.

A *Relação Sinal-Ruído* (*Signal-to-Noise Ratio* - *SNR*) de um conversor analógico-digital ideal é definida como a razão entre o valor efetivo do sinal de entrada e o valor efetivo do ruído de quantização intrínseco ao processo. Um bom estimador para um conversor de N bits é dado pela equação (2.3) (IEEE, 1999):

$$SNR_{dB} = 6,02 \times N + 1,76 \quad (2.3)$$

A figura 2.6 representa uma determinação da *SNR* a partir do espectro de um conversor analógico-digital de 16 bits. Nota-se a partir desta figura que o valor estimado está um pouco acima do valor real.

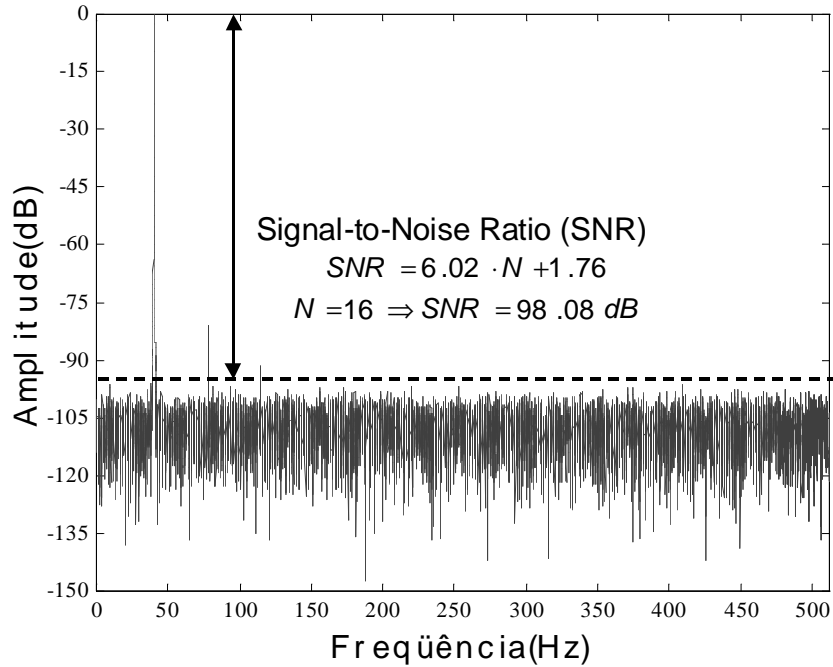


Figura 2.6 - Relação sinal-ruído estimada para um ADC de 16 bits.

Todo conversor analógico-digital real apresenta componentes harmônicas do sinal de entrada no espectro do sinal de saída e ruído devido ao processo de quantização inerente ao dispositivo. A *Relação Sinal-Ruído e Distorção (Signal-to-Noise and Distortion Ratio - SINAD)* é o parâmetro adequado para quantificar este desvio de comportamento do componente real em relação ao componente ideal e pode ser expresso como (IEEE, 1999):

$$SINAD_{dB} = 20 \times \log_{10} \left(\frac{S}{\sqrt{\sum_{f \neq f_{in}} S_i^2}} \right) \quad (2.4)$$

onde S é o valor efetivo do sinal de entrada, f_{in} sua frequência fundamental e S_i é o valor efetivo da i -ésima componente harmônica deste sinal.

A figura 2.7 exemplifica a estimação da *SINAD* para um *ADC* de 16 bits excitado por uma senóide.

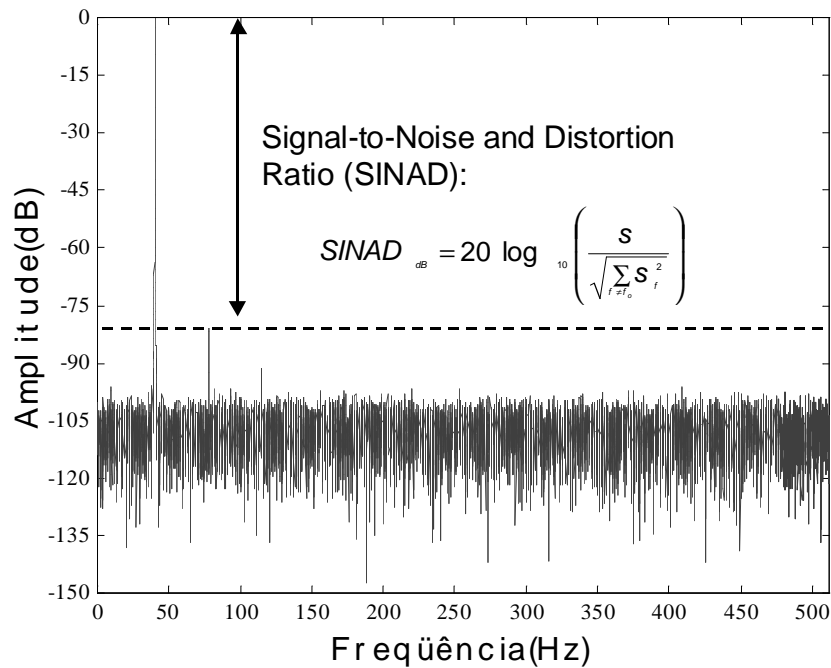


Figura 2.7 - SINAD de um ADC de 16 bits.

O *Número Efetivo de Bits* (*Effective Number of Bits - ENOB*) é o parâmetro de avaliação da resolução efetiva do conversor analógico-digital real, ou seja, a equivalência entre o número de bits de um conversor analógico-digital real. Este parâmetro pode ser definido como (IEEE, 1999):

$$ENOB = \frac{SINAD_{dB} - 1,76}{6,02} \quad (2.5)$$

O *ENOB* geralmente decresce nas altas frequências, conforme apresentado na figura 2.8 (MELKONIAN, 1991).

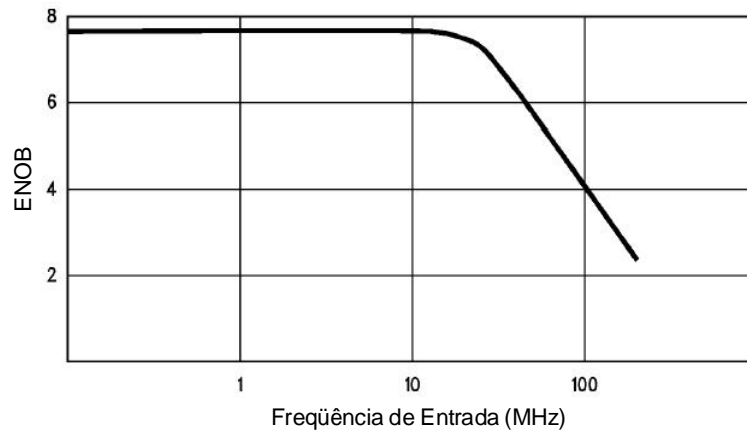


Figura 2.8 – Relação entre o número efetivo de bits e a frequência.

A *Distorção Harmônica Total* (*Total Harmonic Distortion - THD*) relaciona o somatório do valor *RMS* das amplitudes das harmônicas presentes no sinal de saída do conversor com a amplitude do sinal de entrada, sendo expressa por (IEEE, 1999):

$$THD_{dB} = 20 \times \log_{10} \left(\frac{\sqrt{\sum_k H_k^2}}{S} \right) \quad (2.6)$$

onde H_k representa o valor efetivo da k -ésima componente harmônica do sinal de entrada presente no sinal de saída do conversor analógico-digital real e S é o valor efetivo do sinal de entrada.

Teoricamente, a *THD* deve ser calculada a partir de todas as componentes harmônicas presentes na saída do *ADC*, mas na prática as primeiras cinco harmônicas são suficientes para sua estimação, pois as harmônicas de ordem superior têm um efeito desprezível neste parâmetro (MELKONIAN, 1991).

O *Intervalo Dinâmico Livre de Componentes Espúrias* (*Spurious Free Dynamic Range - SFDR*) avalia a influência da maior componente espectral presente no sinal de saída, ou seja, mostra o intervalo no qual pode-se trabalhar sem a influência de componentes espúrias. A definição deste parâmetro é (IEEE, 1999):

$$SFDR_{dB} = 20 \times \log_{10} \left(\frac{\max(S_i)}{S} \right) \quad (2.7)$$

onde S é o valor efetivo do sinal de entrada, $\max(S_i)$ é o valor máximo entre as i componentes harmônicas deste sinal.

A tabela 2.1 apresenta algumas das principais características dinâmicas para alguns conversores analógico-digitais comerciais (MELKONIAN, 1991). Esta tabela serve de exemplo da variação dos parâmetros dinâmicos de acordo com o conversor.

Tabela 2.1 – Parâmetros dinâmicos de alguns conversores AD comerciais (National Semicondutores)

Especificações/ Parâmetros	ADC10461	ADC10662	ADC12441	ADC12451
Resolução	10	10	12 + sinal	12 + sinal
Tempo de Conversão	900ns	466ns	13.8µs	7.7µs
SNR (nota 1)	58dB	58dB	71.5dB	68.7dB
THD (nota 2)	-60dB	-60dB	-75dB	-73.1dB
ENOB (nota 3)	9	9	11.6	11.1
SFDR (nota 4)			-80dB	-80dB

Notas – Condições de teste para a estimação dos parâmetros dinâmicos da tabela 2.1:

- Nota 1 – ADC10461/ADC10662: $f_{IN} = 50\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
ADC12441: $f_{IN} = 20\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
ADC12451: $f_{IN} = 20.67\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
- Nota 2 – ADC10461/ADC10662: $f_{IN} = 50\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
ADC12441: $f_{IN} = 19.688\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
ADC12451: $f_{IN} = 20.67\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
- Nota 3 – ADC10461/ADC10662: $f_{IN} = 50\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
ADC12441: $f_{IN} = 20\text{kHz}$; $V_{IN} = 4.85V_{pp}$.
ADC12451: $f_{IN} = 20.67\text{kHz}$; $V_{IN} = 4.85V_{pp}$.

- Nota 4 – ADC12441/ ADC12451: $f_{IN} = 20\text{kHz}$; $V_{IN} = \pm 4.85V_{pp}$.

Cada aplicação do conversor analógico-digital requer a avaliação de um determinado número de parâmetros. A tabela 2.2 é apresentada para exemplificar os parâmetros necessários para determinadas aplicações (TILDEN, 1999).

Tabela 2.2 – Parâmetros críticos a serem avaliados de acordo com a aplicação do ADC

Aplicação	Parâmetros Críticos
Spread Spectrum	SFDR, SINAD, SNR
Processamento de imagem	DNL
Receptores de banda larga e Radares	SFDR, SINAD
Infrared Imaging	DNL, INL, SINAD
Telecomunicações	SFDR, SINAD, SNR
Análise Espectral	SFDR, SINAD
Osciloscópio Digital	DNL, SNR, ENOB, SFDR
Vídeo	DNL, INL, SINAD, SFDR
Áudio	SINAD, THD
Controle automático	Monotonicidade
Geofísica	THD, SINAD

Avaliando-se a tabela 2.2, verifica-se que para algumas aplicações típicas de um conversor analógico-digital (por exemplo, aplicações de vídeo, “*infrared imaging*” e osciloscópios digitais) tanto parâmetros estáticos quanto parâmetros dinâmicos são críticos para o processo, sendo necessária a caracterização completa do ADC .

2.2 MÉTODOS DE TESTE DE CONVERSORES ANALÓGICO-DIGITAIS

Dentre os métodos já propostos para testes de conversores analógico-digitais, existem duas linhas de pesquisas reportadas (ARABI, 1996):

- Linha 1 - Testa o circuito isoladamente através de equipamentos dedicados seguindo as técnicas de projeto visando o teste (*Design for Testability - DFT*). Estas técnicas avaliam os aspectos de observabilidade e controlabilidade do circuito, necessitando de acesso interno a determinados pontos do componente. Assim, o sistema de excitação é um bloco separado do sistema de avaliação da resposta do componente;
- Linha 2 - Testa o circuito no próprio sistema do qual ele faz parte. Este sistema necessita de características internas específicas para a sua implementação como um sistema *BIST*. Assim, os circuitos de controle, excitação e avaliação da resposta devem fazer parte do próprio componente, que deve ser capaz de avaliar e fornecer sua condição de funcionamento.

A avaliação de alguns métodos seguindo a linha 1 (MAX, 1999) mostra que estes requerem equipamentos caros e dedicados ao teste de circuitos mistos, sendo ela empregada principalmente pelas empresas de fabricação, quando o custo do equipamento pode ser diluído na grande quantidade de componentes produzidos. A linha 2 permite que testes de campo sejam realizados mais facilmente e com um custo inferior ao do uso dos testadores, além de possibilitar o gerenciamento do estado do componente pelos usuários e pelo próprio sistema quando o *ADC* fizer parte de um sistema prototipado em silício.

A proposta de um método de *BIST* para conversores analógico-digitais seguirá a linha 2 devido às características acima mencionadas.

Os métodos de *BIST* para *ADCs* presentes na literatura podem ser divididos em dois grupos principais:

- *Grupo 1* – conhecidos principalmente como métodos *Code Density Transitions (CDT)*, avaliam as características estáticas dos conversores analógico-digitais. Estes métodos são geralmente realizados através da avaliação das transições ocorridas a partir de uma entrada conhecida e variável (MIELKE, 1996). Os métodos baseados em *Histogramas* são os principais representantes deste grupo (ALEGRIA, 2002; CARBONE, 2002; PARTHASARATHY, 2002; ACUNTO, 2001; ALEGRIA, 2001a; AZÄIS, 2001a; MAX, 2001; VARGHA, 2001; SERRA, 2000; MARTINS, 1999; ARABI, 1998; FRISCH, 1997; BLAIR, 1994; DOERNBERG, 1984);

- *Grupo 2* – métodos que avaliam as características dinâmicas dos conversores analógico-digitais. Estes métodos são geralmente realizados através da avaliação da análise espectral do sinal de saída do conversor. Os métodos baseados na *Transformada Rápida de Fourier (Fast Fourier Transform - FFT)* são os principais representantes deste grupo (NUNZI, 2002; REBAI, 2002; ADAMO, 2001; ARPAIA, 2001; CARBONE, 2001; HOFNER, 2000; HAASZ, 1999; BELLAN, 1998; BARTLETT, 1997; BENKAIS, 1995; SETTY, 1990; JENQ, 1988; DOERNBERG, 1984).

2.2.1 MÉTODOS DO HISTOGRAMA

Os métodos de teste do histograma também são conhecidos como métodos *CDT* – *Code Density Test*, por serem baseados na avaliação dos códigos de resposta dos conversores analógico-digitais quando excitados por um sinal cuja função de densidade de probabilidade (*PDF* – *probability density function*) é conhecida (BURNS, 2001).

Assim, se um conversor analógico-digital for excitado por um sinal repetitivo, com uma função de densidade de probabilidade uniforme, como por exemplo uma rampa, sua saída também seguirá esta função de densidade de probabilidade (GREEN, 1990). Caso haja alguma alteração na função do sinal de saída, pode-se afirmar a presença de falha no conversor em teste. Ainda, segundo DOERNBERG (DOERNBERG, 1984), estas variações de códigos são diretamente proporcionais aos erros de não-linearidade dos conversores.

O método do histograma é uma técnica clássica de teste de conversores *AD* utilizada para determinar erros de *offset*, ganho e não-linearidade, com uma ótima acuidade (DOERNBERG, 1984). Uma abordagem interessante deste método é reportada em (FRISCH, 1997). O método do histograma envolve a aplicação de um dado sinal analógico na entrada do *ADC* e a determinação do número de vezes que cada código está presente na saída. Para que os resultados obtidos sejam estatisticamente satisfatórios, esta técnica de teste necessita de muitas amostras do sinal. Por exemplo, para um conversor analógico-digital de 8 bits necessita de 1 milhão de amostras aleatórias ou 64 mil amostras determinísticas (RENOVELL, 2000). Considerando que a resposta obtida deve ser comparada com uma resposta padrão já armazenada, o método envolverá no mínimo o dobro deste número de amostras em capacidade de memória.

A implementação do método tradicional de histograma para *BIST* apresenta, principalmente, duas restrições: a dificuldade da geração de rampas precisas e economicamente viáveis (ARPAIA, 1999b) e, por se ter de avaliar um número considerável de amostras para cada código, o longo tempo de teste. Na tentativa de superar estas restrições, algumas adaptações deste método foram propostas.

O trabalho (ARPAIA, 1999a) mostra resultados relativos a um método de teste baseado na análise particionada da saída do conversor, reduzindo-se o custo do gerador de rampa preciso para toda a escala do componente. Neste método, um histograma por partes, localizado em uma faixa menor de códigos, é construído e através dele o erro do componente é avaliado.

Outra modificação do método do histograma tradicional produziu o método do histograma excitado por uma senóide. Este método, desenvolvido inicialmente por (DOERNBERG, 1984) e (BOSSCHE, 1996), propõe a determinação dos erros de não-linearidade (*DNL* e *INL*) em conversores analógico-digitais seguindo as técnicas utilizadas no método do histograma padrão. Ainda, em (BLAIR, 1994), a influência do ruído na resposta do sistema foi avaliada, e este método foi adotado como método padrão para teste estático de conversores analógico-digitais segundo as normas IEEE 1057/94 (IEEE, 1994) e IEEE 1241/99 (IEEE, 1999).

Variando o sinal de excitação do método do histograma padrão, Alegria *et al* (ALEGRIA, 2002; ALEGRIA, 2001) definiram um método de teste baseado no histograma onde o sinal de teste é composto por diferentes ondas triangulares de pequenas amplitudes. A aquisição dos sinais de saída é feita várias vezes; para cada bateria de aquisições o conversor analógico-digital é excitado com uma onda com *offset* diferente e adequado para cada região da curva característica. Este método também pode ser empregado para a estimação dos erros de não-linearidade (*DNL* e *INL*) já que é um método de teste estático.

Apesar da gama considerável de variações propostas e implementadas para o método original do histograma, esse ainda é considerado um método cujo acréscimo da área analógica para a geração de um sinal de excitação com *PDF* conhecida e precisa é muito grande, tornando-o muito caro e dificultando sua implementação *BIST*. Além disso, a análise do conversor a partir de uma caracterização estatística (função densidade de probabilidade inerente ao histograma) requer um número de amostras considerável e, portanto, um longo tempo de teste.

2.2.2 MÉTODO DA ANÁLISE ESPECTRAL

O método da análise espectral é baseado na transformada de Fourier. A análise apropriada da transformada realizada no sinal fornece a informação sobre o funcionamento dos conversores analógico-digitais.

Segundo (BREITENBACH, 1998), a realização de testes de conversores analógico-digitais em busca da natureza dos erros neles presentes deve analisar a magnitude da transformada discreta de Fourier (*Discrete Fourier Transform - DFT*) do sinal de saída do componente quando este é excitado por uma onda senoidal pura e precisa.

Quando se avalia a amplitude do espectro do sinal de saída em busca da determinação dos parâmetros característicos, a presença do ruído do sinal pode tornar necessária a utilização do espectro médio do sinal, ou *DFT* média, conforme propôs BLAIR (BLAIR, 1992).

Quando o teste é realizado em busca da quantificação dos erros presentes nos conversores analógico-digitais, devem-se analisar outras características do espectro de saída do sinal, principalmente parâmetros que envolvam nível de ruído, componentes harmônicas e componentes espúrias presentes no espectro (JENQ, 1998).

Adamo *et al* (ADAMO, 2001) propõem uma análise da performance de um conversor analógico-digital também baseada na análise espectral do sinal de saída. Esta análise busca validar a influência das janelas utilizadas na implementação da transformada de Fourier para diminuir o efeito de espalhamento. Esta linha de pesquisa foi inicialmente proposta por Benetazzo *et al* (BENETAZZO, 1992) e também é explorada no trabalho (BERTOCCO, 2000). Neste último trabalho, Bertocco *et al* concluem que em casos onde o sinal de entrada não pode ser coerentemente amostrado, a solução para a redução do efeito de espalhamento é a utilização das transformada discreta de Fourier janelada, e que a classe mais adequada de janelas a ser adotada para tais casos é a *DPS (Discrete Prolate Spheroidal)*.

Outro enfoque dado às pesquisas referentes à caracterização dos conversores analógico-digitais envolvem a quantificação da influência de erros de não-linearidade na distorção harmônica para cada componente harmônica presente no sinal de saída do *ADC* quando este é excitado por uma senóide (BELLAN, 1998). Assim, este trabalho desenvolveu uma relação matemática entre a *THD (Total Harmonic Distortion)*, os parâmetros da senóide de entrada e os erros de não-linearidade.

Abordagens mais recentes possibilitam a determinação não só das características dinâmicas do conversor analógico-digital a partir do teste de análise espectral, mas também das características estáticas. Pode-se citar (CSIZMADIA, 1999), que propõe uma modelagem do conversor analógico-digital de onde se pode estimar analiticamente o erro de *INL* do componente utilizando-se das componentes espectrais presentes em sua análise de Fourier.

Seguindo esta linha, Adamo *et al* (ADAMO, 2002) propõem uma análise no domínio da frequência para a medida e correção dos erros de não-linearidade do conversor analógico-digital quando excitado por um sinal senoidal. Assim como em (CSIZMADIA, 1999), a não-linearidade é estimada como uma combinação linear de polinômios de Chebyshev cujos coeficientes são obtidos da análise em frequência do conversor, e é corrigida através de um método de solução de equações não-lineares. Mas, o método proposto somente torna-se válido quando se trata de conversores com *dither*. (ADAMO, 2002) ressalta que a utilização de métodos de análise espectral (baseados em *FFTs*) apresenta uma grande vantagem em comparação aos métodos baseados em histogramas: o teste baseado em *FFT* é praticamente instantâneo de acordo com a resolução do *ADC*, enquanto o teste baseado em histograma envolve um processo mais elaborado e, conseqüentemente, envolve um maior tempo de teste. A determinação dos erros *INL* a partir da análise espectral e dos coeficientes de Chebyshev já havia sido explorada pelo mesmo autor em (ADAMO, 2001), onde é ressaltado que o resultado obtido é a melhor aproximação polinomial da curva de *INL*.

(AZÄIS, 2002a) propõe um método que inova na tentativa de estimar características estáticas a partir da análise espectral, usualmente aplicada para a avaliação das características dinâmicas dos conversores analógico-digitais. Este trabalho é baseado na investigação da sensibilidade do teste dinâmico aos erros estáticos do componente e busca determinar quais são as condições necessárias para tal investigação. As características estáticas são avaliadas a partir de uma entrada senoidal e pode ser destacado que:

- Os parâmetros *SINAD*, *SFDR* e *THD* (avaliada para as primeiras 5 componentes harmônicas) não são sensíveis ao número de amostras, desde que esse seja grande o suficiente, assim como ao número de períodos do sinal de excitação;
- Os parâmetros *SINAD*, *SFDR* e *THD* são parâmetros suscetíveis a qualquer variação da amplitude do sinal de entrada quando esta é inferior à escala do conversor;

- Os parâmetros *SINAD*, *SFDR* e *THD* são influenciados pelos erros de ganho e de *offset*. Ainda, esta influência pode ser utilizada para relacionar a análise das características estáticas através do teste dinâmico.

Como nestes trabalhos (ADAMO, 2002; ADAMO, 2001; AZÄIS, 2002a; CSIZMADIA, 1999), inicia-se uma nova linha de pesquisa buscando a avaliação e caracterização completa dos conversores analógico-digitais sem a necessidade do teste do histograma para a caracterização estática deste componente. Intui-se que, somente com a análise espectral, poderão ser estimadas as características estáticas e dinâmicas do conversor.

2.2.3 MÉTODOS *AD HOC*

Existem ainda métodos *Ad Hoc* para o teste de conversores analógico-digitais. Os métodos dedicados especificamente às arquiteturas dos componentes, tais como conversores sigma-delta, são alguns deles.

Em condições extremas de resolução e taxa de amostragem, o teste de conversores analógico-digitais necessitam de técnicas especiais, projetadas de acordo com a arquitetura. Para conversores de alta resolução, as pesquisas têm focado os conversores sigma-delta (MOHAMED, 2001; DUFORT, 2000; ARPAIA, 1998; TONER, 1996, DUNN, 1994; EL-KOUBYSI, 1992; HEJN, 1992) e para conversores de alta velocidade têm-se trabalho para desenvolver técnicas de teste scan de conversores (ARPAIA, 1996; ARPAIA, 1995; McCOMB, 1987).

Para o caso dos conversores sigma-delta, as técnicas de teste desenvolvidas preocupam-se, principalmente, em projetar estações de teste de alta performance. O principal problema encontrado está na performance do gerador de sinal de teste, que deve possuir resolução suficiente para percorrer toda a escala do conversor além dos requisitos de pureza e robustez anteriormente mencionados.

Para o caso do teste scan de conversores, as técnicas desenvolvidas devem levar em conta a faixa dinâmica dos mesmos. Assim, o gerador de sinal de excitação deve ser capaz de alcançá-la, bem como o procedimento de teste.

Estes dois grupos de conversores requerem técnicas específicas de acordo com sua arquitetura. Assim, técnicas gerais como a do histograma ou da análise espectral não

podem ser utilizadas, dificultando sua automação. Estes conversores não são o foco deste trabalho e, portanto, não serão aprofundadas.

2.3 ANÁLISE DOS MÉTODOS CLÁSSICOS DE TESTE DE CONVERSORES ANALÓGICO-DIGITAIS

Tanto os métodos de *CDT* quanto os métodos de análise espectral podem ser classificados como métodos clássicos de teste de conversores analógico-digitais. Estes métodos podem ser representados por um sistema de medida automatizado, formado por um bloco de referência de alta resolução, geralmente representado por um conversor digital-analógico (*Digital to Analog Converter - DAC*), um bloco de excitação do componente e um bloco de análise dos sinais, geralmente representado por um processador. O bloco de excitação do componente tem como função a geração de um conjunto completo de códigos a ser aplicado ao conversor analógico-digital em teste, e paralelamente ao bloco de referência. Segundo Jaspers (JESPERS, 2000), este bloco de referência deve ser de alta resolução e, no caso do conversor digital-analógico, deve ter uma resolução de pelo menos dois bits superior à resolução do dispositivo em teste (*Device Under Test - DUT*). O bloco de análise dos dados é responsável pela comparação dos dados de saída do *DUT* e dos dados produzidos pelo bloco de referência. Assim, pode-se verificar a necessidade da presença de um laço de realimentação através de um conversor digital-analógico, o que aumenta o custo e a complexidade do hardware envolvido no teste. Este custo pode ser um fator determinante para a aplicação ou não dos métodos em sistemas autotestáveis (*Built-in Self-Test - BIST*).

2.4 CARACTERIZAÇÃO DOS CONVERSORES ANALÓGICO-DIGITAIS

A caracterização completa dos conversores analógico-digitais é geralmente feita buscando a determinação do comportamento estático e dinâmico dos conversores analógico-digitais. Atualmente, a caracterização completa é feita através do método do histograma para a avaliação estática e do método da análise espectral para a caracterização dinâmica.

A figura 2.9 mostra de uma forma geral as características e os métodos acima descritos.

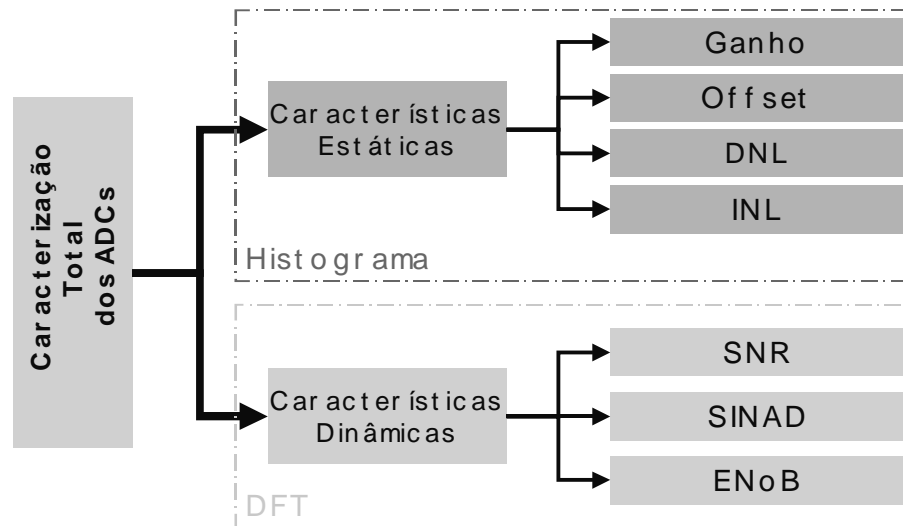


Figura 2.9 - Métodos de caracterização dos conversores analógico-digitais.

Avaliando a figura 2.9, salienta-se a complexidade para a implementação de um sistema que possibilite a caracterização completa dos conversores AD, pois isso só se torna viável através da realização de dois métodos diferentes: um baseado em *CDTs* (caracterização estática) e um baseado em análise espectral (caracterização dinâmica).

Para uma otimização dos sistemas de teste de *ADCs*, seria necessário o desenvolvimento de um método que permitisse a avaliação tanto de parâmetros estáticos quanto de parâmetros dinâmicos. Mais ainda, o método otimizado ideal deveria apresentar um baixo custo e simplicidade de implementação, possibilitando assim sua utilização como sistema *BIST*.

3 MÉTODO DE TESTE PARA CONVERSORES ANALÓGICO-DIGITAIS

Os sistemas de processamento digital de sinais são, geralmente, projetados considerando que os conversores analógico-digitais neles inseridos são componentes ideais, afetados apenas pelos erros de quantização e de amostragem. Mas, conforme apresentado no capítulo 2, outros erros também estão presentes nestes conversores.

Assim como os erros de quantização, os erros de não-linearidade são inerentes ao processo de conversão analógico-digital (JESPERS, 2000). A partir da análise da influência destes erros e da análise do comportamento dos componentes, um método de caracterização de ADCs baseado no ruído é proposto.

3.1 MODELO DO CONVERSOR ANALÓGICO-DIGITAL

Os conversores analógico-digitais podem ser modelados como dispositivos formados por 3 blocos (BELLAN, 1996): bloco quantizador, bloco amostrador e bloco codificador. A figura 3.1 apresenta este diagrama de blocos.

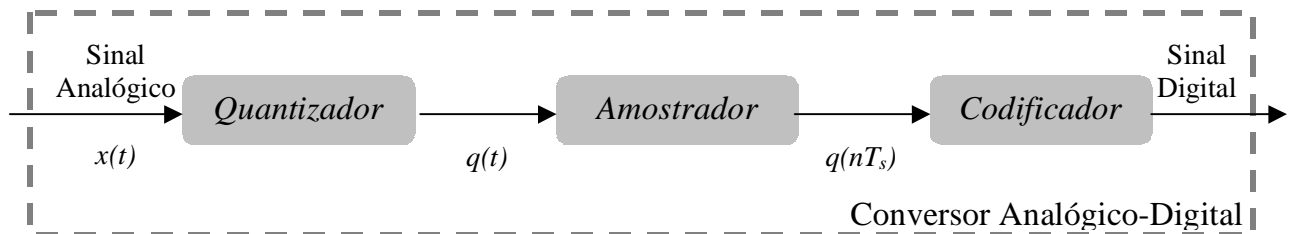


Figura 3.1 - Diagrama de blocos do conversor analógico-digital.

O primeiro bloco, o bloco *quantizador*, é responsável pela representação do sinal de entrada $x(t)$ em níveis de amplitude formando a função de transferência $q(t)$.

O segundo bloco, o bloco *amostrador*, é responsável em tomar uma amostra do sinal quantizado $q(t)$ em cada período de amostragem T_s . A saída deste segundo bloco é o sinal discreto no tempo $q(nT_s)$.

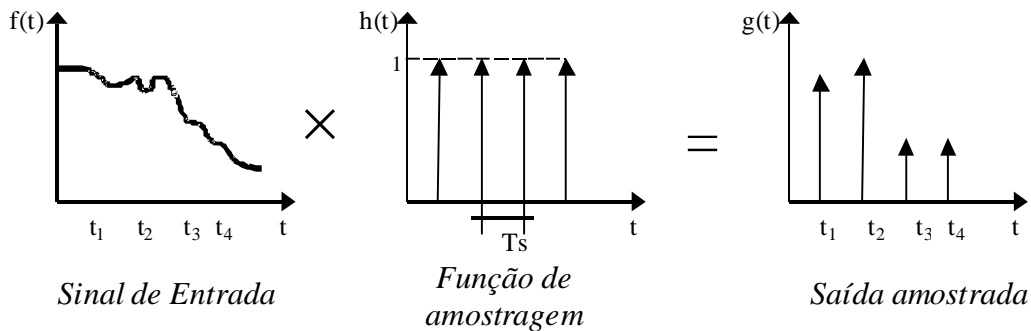
O terceiro bloco, o bloco *codificador*, é responsável em representar as amostras quantizadas $q(nT_s)$ na forma binária, que irá formar o sinal digital de saída do conversor analógico-digital.

3.2 INFLUÊNCIA DO PROCESSO DE AMOSTRAGEM NA RESPOSTA DOS CONVERSORES ANALÓGICO-DIGITAIS

3.2.1 PROCESSO IDEAL DE AMOSTRAGEM

Na conversão de um sinal contínuo no tempo para uma representação discreta digital, o processo de amostragem (bloco amostrador da figura 3.1) é fundamental. O modelo de amostragem ideal (TEXAS, 1995) propõe que as amostras sejam feitas por um trem de impulsos de largura infinitesimal cuja área é unitária. A dualidade deste trem de impulsos na frequência forma a taxa de amostragem. A figura 3.2 mostra o modelo do processo de amostragem ideal no domínio do tempo e no domínio da frequência.

Multiplicação no Domínio do Tempo:



ANÁLISE DE FOURIER



Convolução no Domínio da Frequência:

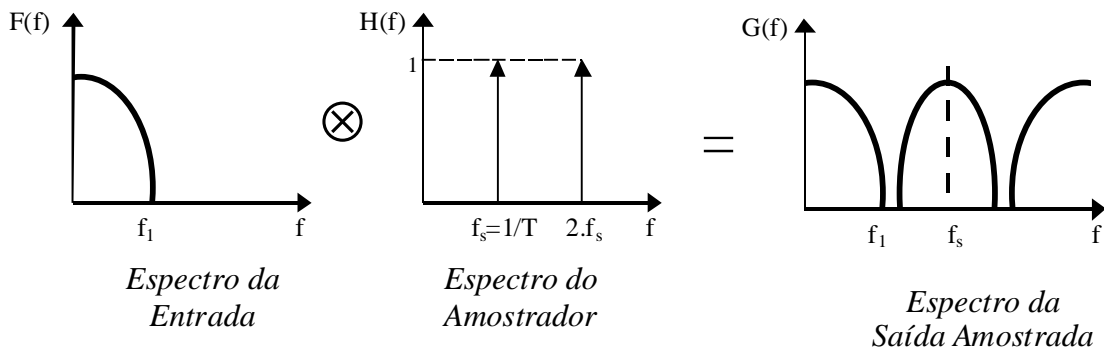


Figura 3.2 - Processo de amostragem ideal.

O efeito da amostragem ideal no tempo é a geração de um trem de impulsos modulados em amplitude que representam o valor do sinal de entrada no instante da amostragem.

No domínio da frequência, o espectro do trem de impulsos é representado como uma série de impulsos em múltiplos da taxa de amostragem. O processo de amostragem, por ser uma multiplicação no tempo, representa a convolução do espectro do sinal de entrada com o espectro deste trem de impulsos, que irá produzir um espectro combinado, conforme apresentado na figura 3.2. Considerando que o sinal é limitado na frequência f_l e amostrado na frequência f_s , e que

$$f_l \leq f_s - f_l \Rightarrow f_s \geq 2 \times f_l \quad (3.1)$$

não acontecerá o efeito de *aliasing*. Assim, a condição deve ser satisfeita pela frequência de amostragem é determinada na equação (3.1), denominada *Teorema de Nyquist* (OPPENHEIM, 1989).

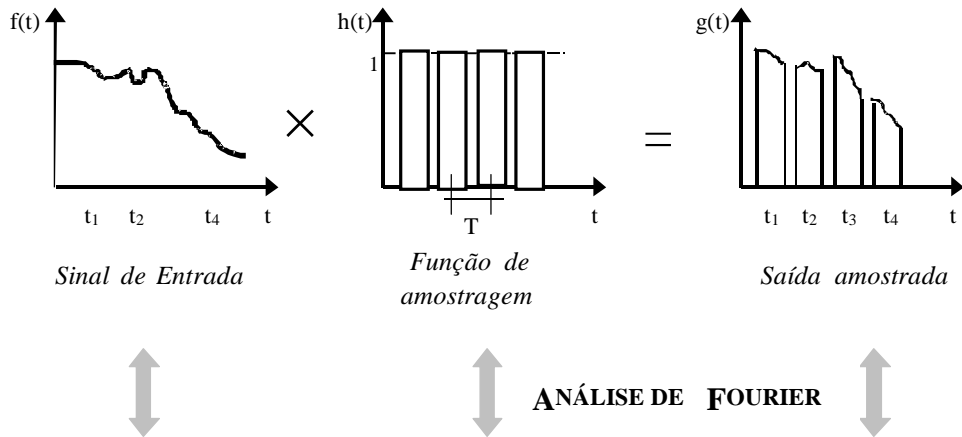
3.2.2 PROCESSO DE AMOSTRAGEM REAL

O conceito relacionando o trem de impulsos e o processo de amostragem é útil quando se quer analisar a amostragem ideal. Entretanto, o processo de amostragem real apresenta algumas diferenças da amostragem ideal.

O modelo de amostragem por um trem de impulsos unitários é inatingível (TEXAS, 1995), sendo possível somente o modelamento por um trem de pulsos com período proporcional à frequência de amostragem. O resultado da amostragem do sinal real seguindo este modelo é uma série de pulsos modulados em amplitude, conforme apresenta a figura 3.3.

A transformada de Fourier da onda pulsada de amostragem é dada pela função $\text{sinc}(x) = \frac{\text{sen}(x)}{x}$, que quando convoluída com o espectro do sinal de entrada ocasiona distorção no espectro do sinal de saída. Este resultado está presente no lóbulos secundários do espectro da saída amostrada da figura 3.3.

Multiplicação no Domínio do Tempo:



Convolução no Domínio da Frequência :

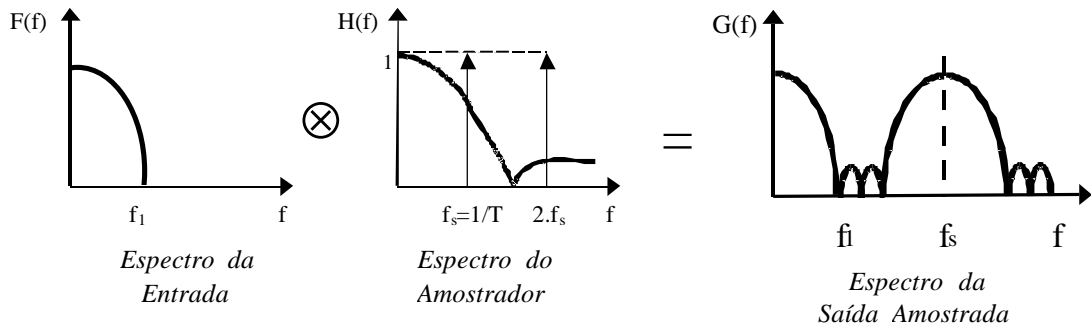


Figura 3.3 - Processo de amostragem real.

3.3 INFLUÊNCIA DO PROCESSO DE QUANTIZAÇÃO NA RESPOSTA DOS CONVERSORES ANALÓGICO-DIGITAIS

A definição e a influência do processo de quantização (bloco quantizador da figura 3.1) em conversores analógico-digitais pode ser feita através da análise da natureza dos sinais de entrada e saída destes componentes. A entrada analógica de um *ADC* é um sinal contínuo com um número infinito de estados possíveis, enquanto a saída digital é uma função discreta com um número de estados definido pela resolução do componente. Assim, na conversão do sinal de entrada para o sinal de saída, algumas partes do sinal analógico que são representadas por tensões diferentes serão convertidas para o mesmo código digital da saída. Isso acarretará perda de informação e distorção do sinal de entrada, produzindo o ruído de quantização.

Para uma curva característica ideal de um conversor analógico-digital com um sinal de entrada aleatório, o erro entre a entrada analógica e sua representação digital segue uma função de densidade de probabilidade uniforme (TEXAS, 1995). Este erro pode variar entre $\pm 1/2LSB$ ou $\pm q/2$, onde q é a largura do degrau da curva característica ideal. A figura 3.4 apresenta a curva característica do conversor analógico-digital ideal e a representação do ruído de quantização associado.

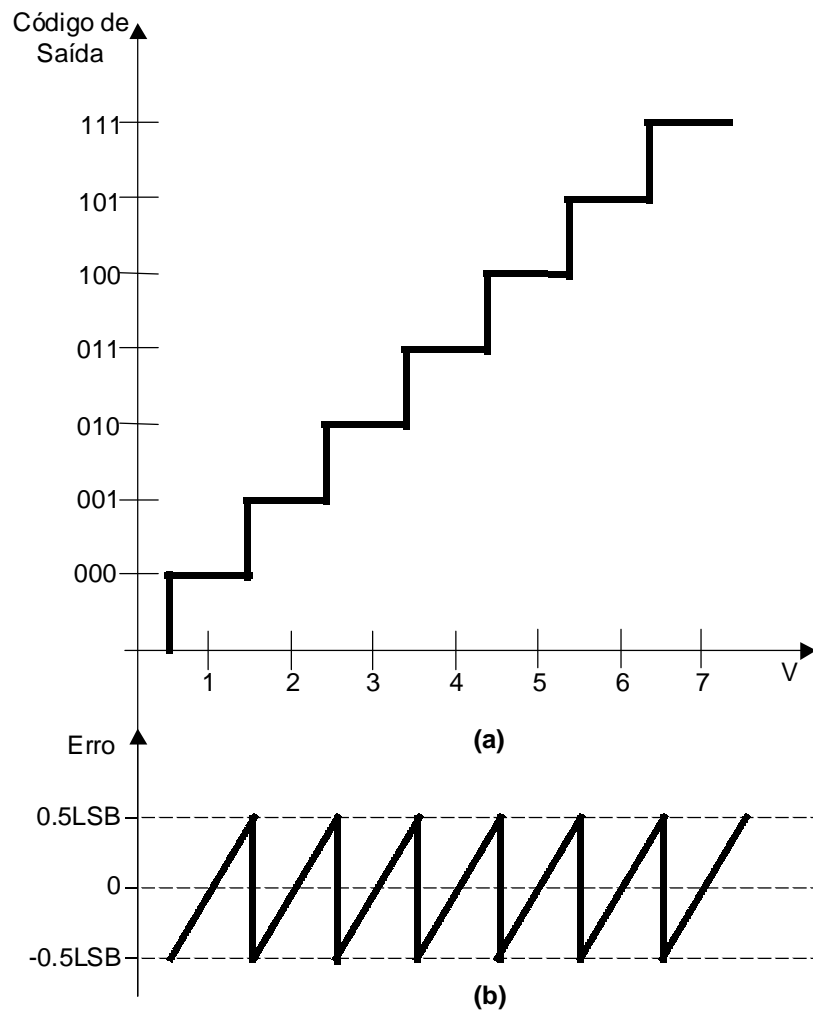


Figura 3.4 - Representação da curva característica e do erro de quantização de um conversor analógico-digital ideal

3.4 INFLUÊNCIA DAS NÃO-LINEARIDADES NA RESPOSTA DOS CONVERSORES ANALÓGICO-DIGITAIS

Os processos de amostragem e de quantização fazem com que as curvas características dos conversores analógico-digitais reais tornem-se intrinsecamente não-

lineares. Esta não-linearidade pode ser verificada em torno de toda a curva característica dos conversores, bem como no tamanho dos níveis de conversão do componente (JESPERS, 2000). Tais não-linearidades são características que não podem ser evitadas em conversores analógico-digitais (JESPERS, 2000), podendo ser somente avaliadas para a verificação se estão dentro da faixa aceitável para utilização destes componentes.

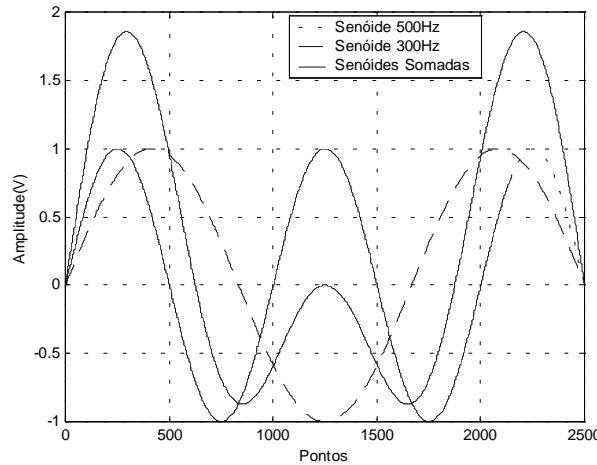
Esta curva característica não-linear irá introduzir componentes espectrais no sinal de saída do conversor analógico-digital (ADAMO, 2001). Se o sinal de excitação for uma onda senoidal pura, tais componentes irão ser representadas por harmônicas ou subharmônicas no espectro da saída.

A presença de não-linearidades em um conversor analógico-digital provoca distorção do sinal de saída. Se este nível de distorção ultrapassar os limites admitidos para o funcionamento adequado do *ADC*, ou seja, a distorção decorrente do processo de amostragem, provavelmente o *DUT* está falho, ou apresenta um grande desvio de fabricação.

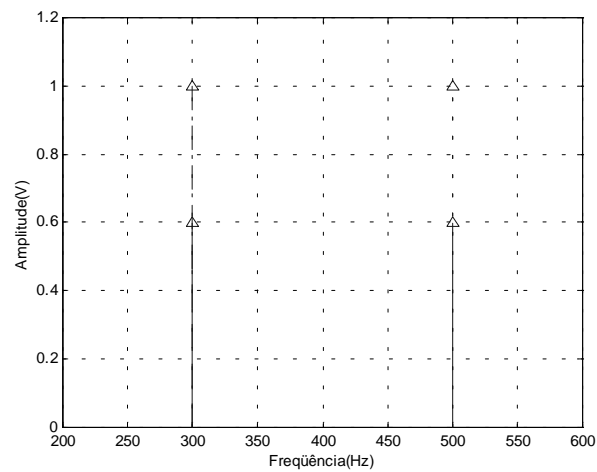
A análise das componentes inseridas pelas não-linearidades em conversores AD pode ser feita no domínio da frequência, através das curvas de entrada e saída. Considerando que a curva $V_o \times V_i$ seja modelada por uma equação polinomial, tal como (FLORES, 2002):

$$V_o = a_o + a_1v_i + a_2v_i^2 + \dots + a_nv_i^n \quad (3.1)$$

Para um sinal de entrada v_i qualquer, a saída V_o do conversor no domínio da frequência será composto pela soma de cada termo da equação 3.1. Sabendo que o processo de multiplicação no domínio do tempo é equivalente ao processo de convolução no domínio da frequência (OPPENHEIM, 1989), qualquer linearidade presente no conversor será refletida na banda de frequência. Para exemplificar esse processo pode-se considerar um conversor ideal excitado por duas senóides quaisquer e, desconsiderando o ruído de quantização, os espectros de saída deste conversor serão formados por uma componente fundamental da onda de entrada. Se a excitação for feita através de um sinal formado pela soma de duas senóides puras, verifica-se no espectro do sinal de saída as duas componentes fundamentais, conforme mostra a figura 3.5.



(a)



(b)

Figura 3.5 - Conversor analógico-digital excitado por senóides: (a) sinais no tempo; (b) análise espectral.

Considere-se um conversor não-ideal, portanto com erro de não-linearidade, mas desconsiderando-se o ruído de quantização. Analisando este conversor como um modelo quadrático, têm-se a seguinte expressão para a saída:

$$V_o = a_o + a_1 v_i + a_2 v_i^2 \quad (3.2)$$

Excitando-se este componente através de um sinal formado pela soma de duas senóides:

$$v_i = A_1 \text{sen}(\omega_1 t) + A_2 \text{sen}(\omega_2 t) \quad (3.3)$$

A saída será dada por:

$$V_o = a_o + a_1 (A_1 \text{sen}(\omega_1 t) + A_2 \text{sen}(\omega_2 t)) + a_2 (A_1 \text{sen}(\omega_1 t) + A_2 \text{sen}(\omega_2 t))^2 \quad (3.4)$$

Expandindo-se a equação (3.4), têm-se:

$$\begin{aligned} V_o = a_o + a_1 A_1 \text{sen}(\omega_1 t) + a_2 A_2 \text{sen}(\omega_2 t) + a_1 A_1^2 \text{sen}^2(\omega_1 t) \\ + a_2 A_2^2 \text{sen}^2(\omega_2 t) + 2a_2 A_1 A_2 \text{sen}(\omega_1 t) \text{sen}(\omega_2 t) \end{aligned} \quad (3.5)$$

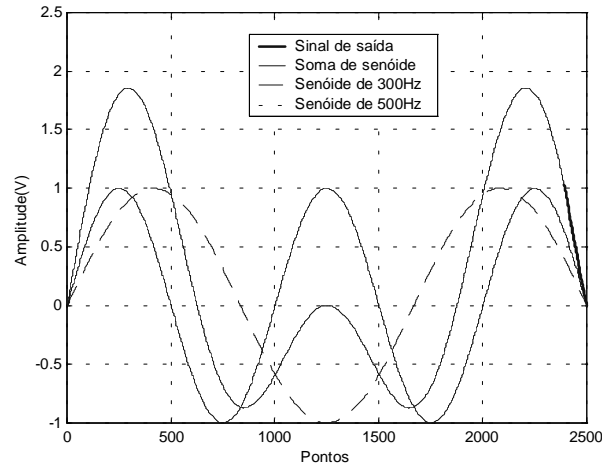
Sabendo-se que (SPIEGEL, 1973):

$$\text{sen}(\omega_1 t) \text{sen}(\omega_2 t) = \frac{1}{2} \{ \cos(\omega_1 t - \omega_2 t) - \cos(\omega_1 t + \omega_2 t) \} \quad (3.6)$$

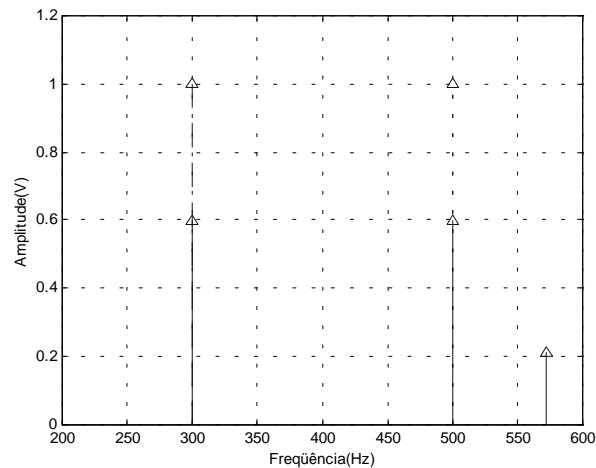
A equação (3.5) torna-se:

$$\begin{aligned} V_o = a_o + a_1 A_1 \text{sen}(\omega_1 t) + a_2 A_2 \text{sen}(\omega_2 t) + a_1 A_1^2 \text{sen}^2(\omega_1 t) \\ + a_2 A_2^2 \text{sen}^2(\omega_2 t) + a_2 A_1 A_2 \{ \cos(\omega_1 t - \omega_2 t) - \cos(\omega_1 t + \omega_2 t) \} \end{aligned} \quad (3.6)$$

Os ângulos $(\omega_1 t - \omega_2 t)$ e $(\omega_1 t + \omega_2 t)$ revelam a presença de outras componentes espectrais no sinal de saída do ADC, além dos ângulos iniciais. A figura 3.6 representa este efeito, onde os coeficientes $a_0 = 0$; $a_1 = 0.8$; $a_2 = 0.2$.



(a)



(b)

Figura 3.6 - Conversor analógico-digital excitado com senóides: (a) sinais no tempo; (b) análise espectral.

3.5 MÉTODO DE TESTE PROPOSTO

O método de teste proposto é baseado nas características espectrais dos conversores analógico-digitais na presença de falhas. Sabe-se que uma falha presente nestes componentes é responsável por uma variação na sua resposta espectral (DOERNBERG, 1984). Esta variação é verificada como um acréscimo de potência no espectro do sinal de saída do conversor. Algumas análises comparando o espectro de entrada e o espectro de saída de ADC em busca de falhas já foram implementadas (ADAMO, 2002; AZÄIS, 2002a; ADAMO, 2001), mas todas elas envolvem uma realimentação do sinal de entrada para que a

comparação possa ser realizada, o que provoca um aumento de área e de complexidade do sistema de teste.

Assim, busca-se um método capaz de avaliar a presença de falhas em conversores analógico-digitais apenas através da análise das características espectrais da saída destes componentes. Considerando as características dos diversos sinais de excitação possíveis de serem utilizados, verifica-se que o sinal ideal de teste deve conter infinitas frequências, pois assim a variação de potência do espectro de saída seria facilmente detectada, e poderia ser utilizada como um bom indicador de falhas em *ADCs*. A partir desta característica de infinitas frequências, o ruído branco foi escolhido como sinal de excitação do método proposto.

Além da possibilidade de detecção de falhas nos conversores, a utilização do ruído branco apresenta outras vantagens: possibilidade de geração com baixo acréscimo de área analógica e pouca sensibilidade ao ruído do sistema na resposta do teste (FLORES, 2002). Estas vantagens elucidam que o método de teste utilizando ruído como sinal de excitação possui uma probabilidade alta de ser adequado à implementação em um sistema *BIST*. Esta probabilidade torna-se maior ainda quando se considera o método de análise proposto: avaliação das características de potência do espectro de saída do conversor analógico-digital, ou seja, análise espectral. Este tipo de análise é rápido e fácil de ser aplicado em sistemas *BIST* (SUNTER, 1997), principalmente quando o *ADC* fizer parte de um *SoC*.

4 EXPERIMENTOS REALIZADOS

Este trabalho propõe um método *BIST* para conversores analógico-digitais. Este método é baseado em ruído e na análise espectral do sinal de saída do *ADC* em teste, conforme será apresentado no item 4.2 a seguir.

O método de teste proposto baseado em ruído necessita de um modelo de falhas a serem testadas. Além disto, necessita ser validado através de simulações prototipações. Este procedimento de validação pode ser dividido em seis baterias de teste, conforme apresentado a seguir:

1. *Bateria 1* – Modelamento de um conversor analógico-digital de aproximações sucessivas, para ser utilizado como conversor-modelo durante a proposta e validação do método;
2. *Bateria 2* – Proposta e validação do método de teste de conversores analógico-digitais;
3. *Bateria 3* – Utilização do método proposto para a detecção de falhas paramétricas em bits do conversor-modelo;
4. *Bateria 4* – Prototipação e validação do gerador de ruído a ser utilizado como sinal de teste;
5. *Bateria 5* – Prototipação de um conversor analógico-digital do tipo aproximações sucessivas, inserção de falhas e implementação do método;
6. *Bateria 6* – Detecção de conversores falhos através do método proposto e do método padrão: comparação dos resultados obtidos.

4.1 MODELAMENTO DE UM CONVERSOR ANALÓGICO-DIGITAL

Para início da implementação do método de teste proposto, um conversor analógico-digital do tipo aproximações sucessivas foi modelado no Matlab[®] (código no ANEXO A).

Conforme apresentado na figura 4.1, o projeto deste tipo de conversor é formado por três blocos fundamentais: um bloco comparador, um bloco de implementação do algoritmo de aproximação sucessiva e um bloco composto por um conversor digital-analógico (BURNS, 2001).

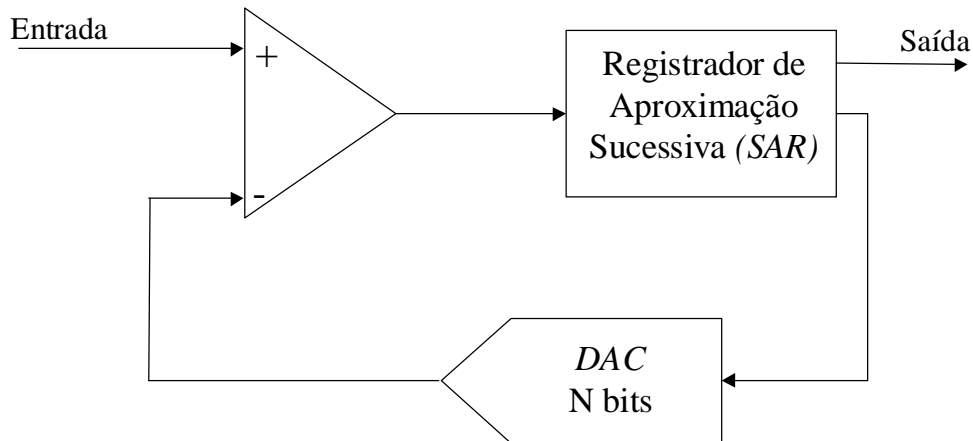


Figura 4.1 - Modelagem do conversor analógico-digital de aproximações sucessivas.

Neste circuito, a saída do *DAC* é ajustada por um algoritmo até ser igualada à entrada do conversor. A comparação entre a tensão de entrada e a procura binária da tensão do *DAC* é realizada através de um comparador analógico. O registrador de aproximação sucessiva (*Successive Approximation Register - SAR*) é utilizado pelo controlador lógico do processo de procura binária, aumentando ou diminuindo os valores de *DAC* de acordo com o valor resultante do processo de comparação. Quando o ajuste é completo, o valor contido no *SAR* irá representar digitalmente o valor da entrada analógica do conversor analógico-digital.

Para garantir que a entrada não varie antes que o algoritmo de aproximações sucessivas esteja sendo executado, um circuito amostrador (*Sample&Hold*) é colocado entre o sinal de entrada e o *ADC*, permitindo a conversão tanto de sinais rápidos quanto lentos.

ADCs de aproximações sucessivas podem apresentar vários problemas envolvendo não-idealidades, já que cada bloco pode apresentar seus defeitos (*INL* e *DNL* do *DAC*, erros de histerese e linearidade no *Sample&Hold* e no comparador, *slew rate* do *Sample&Hold*,...). Considerando componentes ideais, um conversor analógico digital de $N = 3$ bits foi implementado no Matlab[®], e sua resposta à rampa é mostrada na figura 4.2.

O modelo proposto para a simulação de um conversor analógico-digital de N bits (sendo N determinado pelo usuário) permite a simulação dos principais erros encontrados em *ADCs*. Para possibilitar a visualização do efeito destes erros na curva característica e a comparação com a resposta ideal apresentada na figura 4.2, foram inseridos diversos erros em um conversor de 3 bits. A figura 4.3 representa o efeito do erro de *offset* na curva

característica, enquanto as figuras 4.4 e 4.5 representam os erros de ganho e não-linearidade, respectivamente.

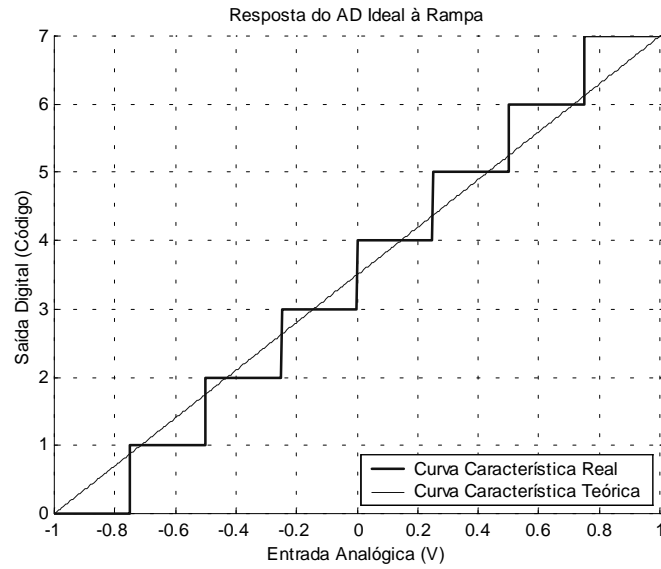


Figura 4.2 - Resposta à rampa de um ADC ideal de 3 bits.

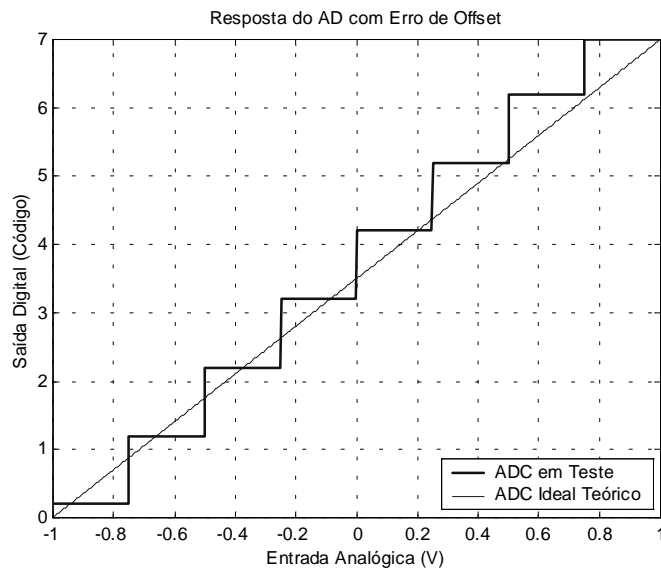


Figura 4.3 - Efeito do erro de *offset* na curva característica de um ADC de 3 bits.

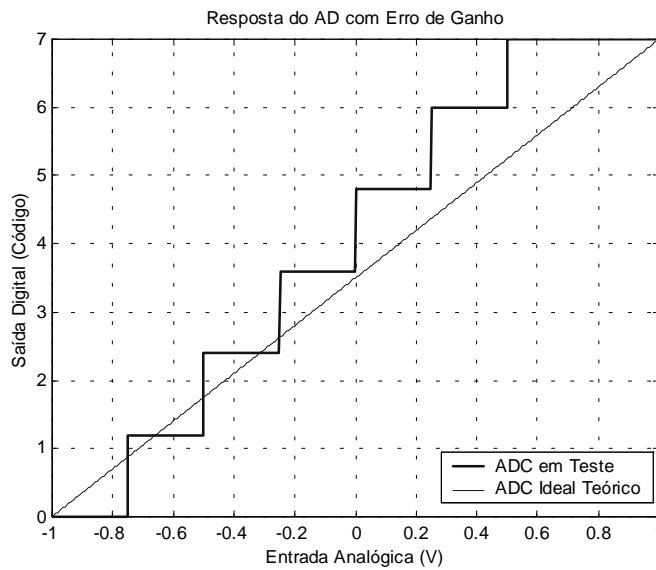


Figura 4.4 - Efeito do erro de ganho na curva característica de um ADC de 3 bits.

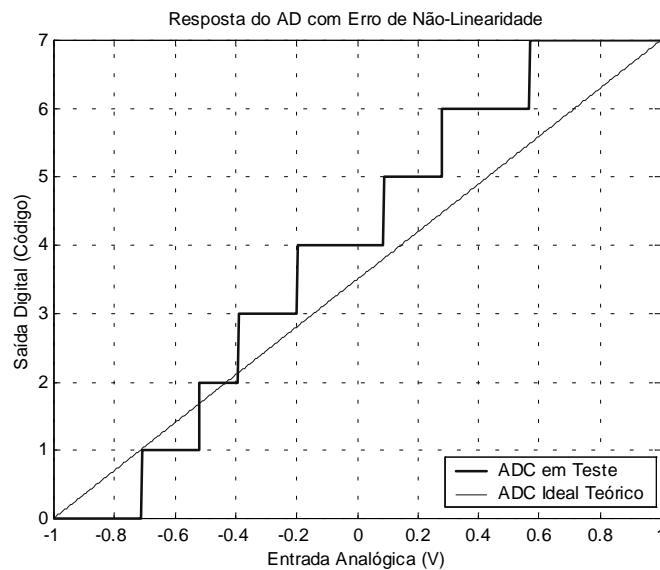
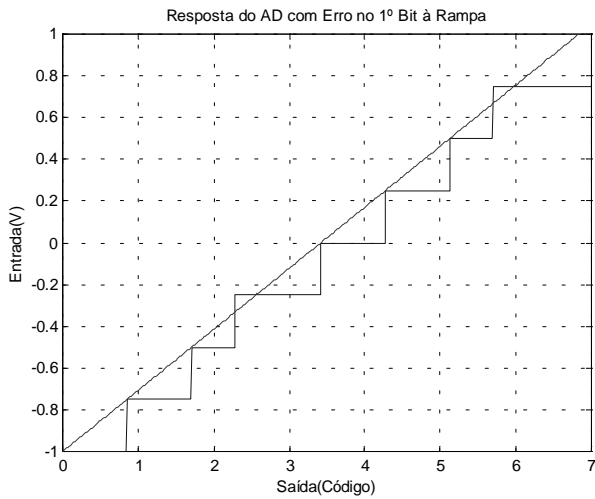
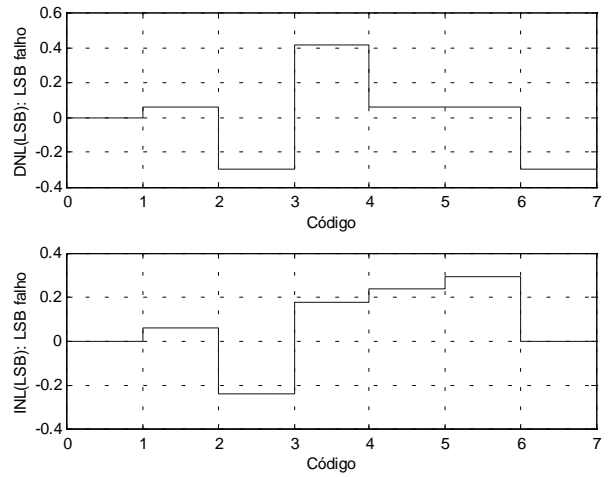


Figura 4.5 - Efeito do erro de não-linearidade na curva característica de um ADC de 3 bits.

A implementação deste modelo permite também a inserção de falhas paramétricas através da alteração dos níveis de comparação do *DAC*, falhas essas inseridas bit a bit, mas que resultam em uma variação geral da curva de resposta do *ADC*, ou seja, erros de não-linearidade. Simulações de bits falhos e o reflexo na curva de resposta do conversor são apresentados pelas figuras 4.6, 4.7 e 4.8, além de apresentar os erros de *INL* e *DNL* resultantes destas variações.

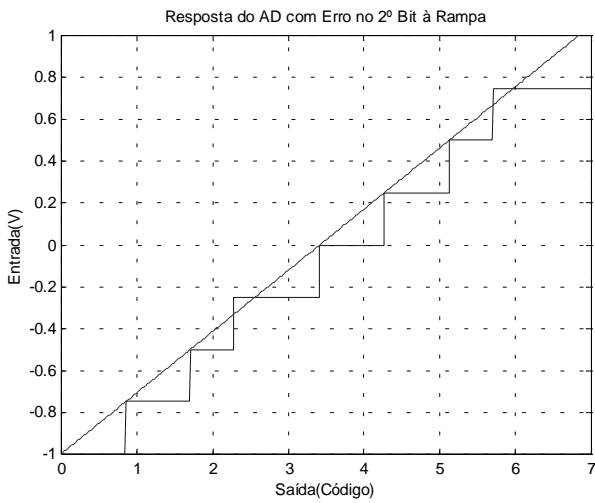


(a)

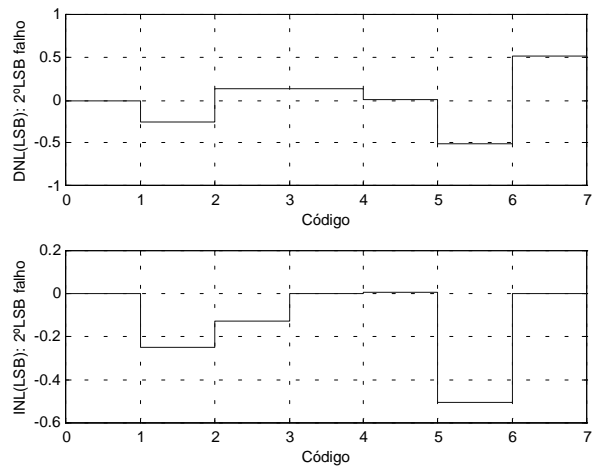


(b)

Figura 4.6 - Simulação do efeito de falha paramétrica no bit menos significativo de um ADC de 3 bits: (a) curva característica; (b) erros de não-linearidade.



(a)



(b)

Figura 4.7 - Simulação do efeito de falha paramétrica no segundo bit menos significativo de um ADC de 3 bits: (a) curva característica; (b) erros de não-linearidade.

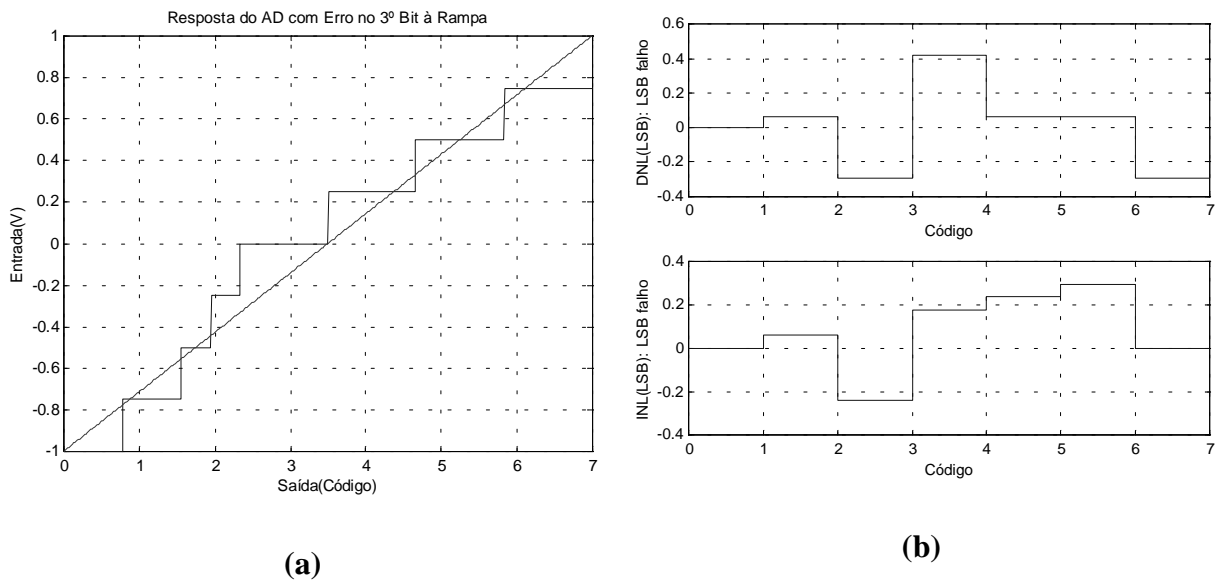


Figura 4.8 - Simulação do efeito de falha no bit mais significativo de um *ADC* de 3 bits: (a) curva característica; (b) erros de não-linearidade.

A partir destas possibilidades de inserção de falhas no conversor analógico-digital modelo, buscou-se a verificação e confirmação da hipótese de inserção de harmônicas e sub-harmônicas no espectro de saída do *DUT*, quando esse apresentar erros de não-linearidade. Para tanto, o teste realizado foi baseado em um *ADC* de 3 bits excitado com uma senóide. As falhas paramétricas foram inseridas bit a bit, e a figura 4.9 mostra o efeito no espectro destas falhas para cada bit de acordo com sua significância, além de apresentar o caso ideal.

A figura 4.9 mostra claramente que cada bit falho insere componentes espectrais diferentes na saída do conversor em resposta à senóide. A análise espectral da saída de um *ADC* excitado por uma senóide é um ótimo indicador de falhas, mas devido à complexidade e alto custo de geração de sinais senoidais espectralmente puros (BERNARD, 2001), este sinal não será utilizado como sinal de teste do método proposto.

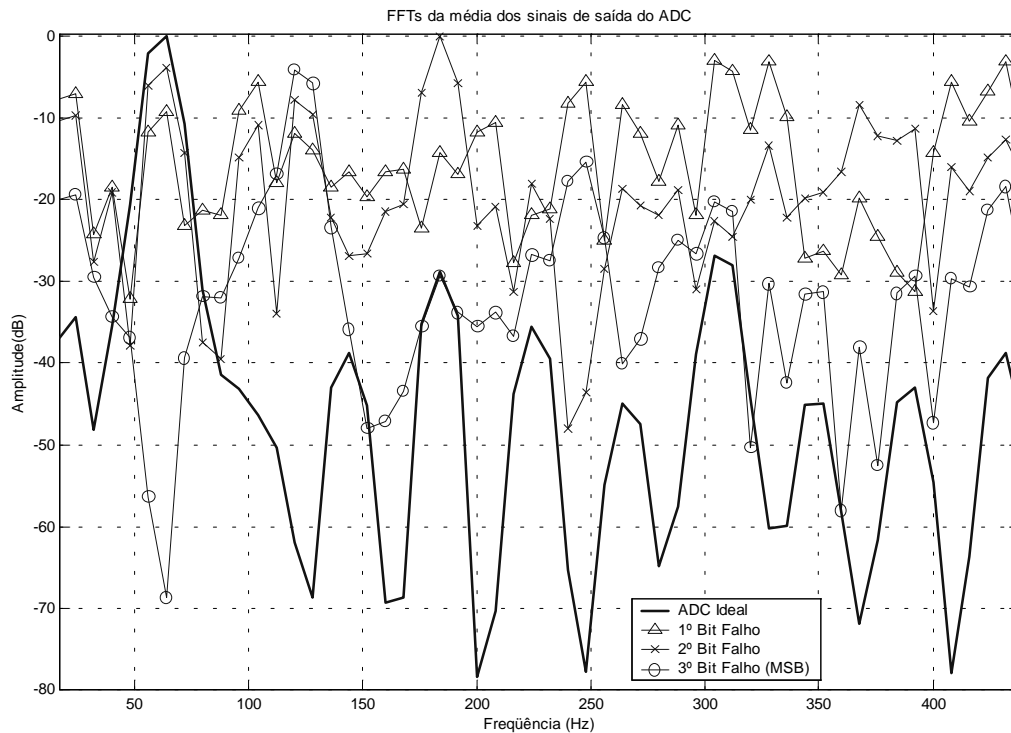


Figura 4.9 - Análise espectral do sinal de saída do ADC de 3 bits excitado por uma senóide de 60Hz.

4.2 MÉTODO DE TESTE PROPOSTO

Conforme justificado no item 3.5, o método de teste proposto é baseado na análise espectral do sinal de saída dos conversores analógico-digitais quando excitado por um sinal de teste de banda larga. Assim, as características espectrais são utilizadas como assinatura de erros no *DUT*.

O sistema proposto pode ser diagramado conforme a figura 4.10. Neste sistema cada bloco é responsável por uma determinada função de teste:

- a. O bloco de excitação é responsável pela geração do sinal de teste, e é formado por um gerador de ruído com baixo acréscimo de área analógica e reutilização de recursos de hardware digital presente no sistema;
- b. O bloco de pré-ênfase é responsável pela amplificação das baixas frequências contidas no sinal gerador pelo bloco anterior, a fim de possibilitar uma melhor avaliação de falhas contidas nos bits de menor resolução do conversor em teste. Este bloco serve para garantir a transição por todos os códigos do conversor;

- c. O bloco de análise do sinal de saída, responsável por estimar o comportamento espectral do conversor quando executado pelo bloco excitador.

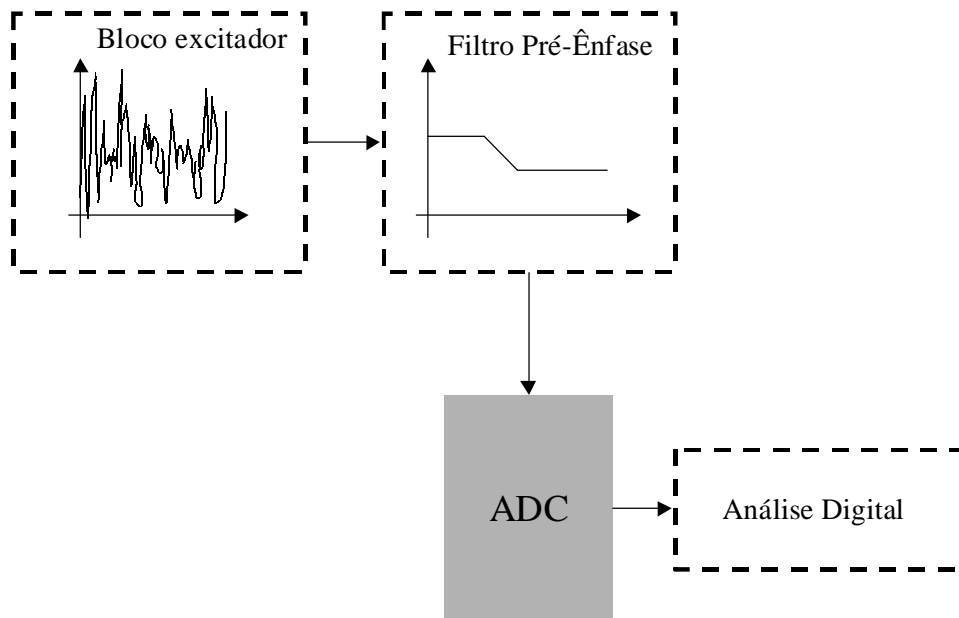


Figura 4.10 – Diagrama do sistema proposto.

Avaliando o diagrama apresentado na figura 4.10, deve-se salientar que o método proposto dispensa o laço de realimentação necessário para a comparação com uma resposta padrão, geralmente presentes nos métodos tradicionais de teste de conversores analógico-digitais. Esta característica torna-se muito importante para a redução da complexidade dos sistemas de teste de *ADCs*.

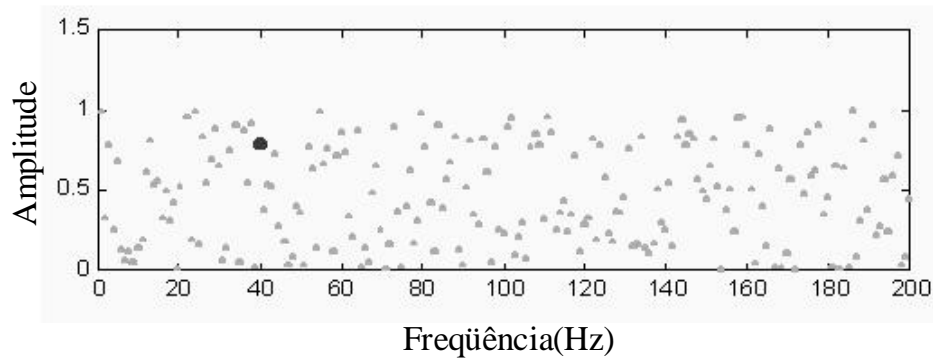
4.2.1 EXCITAÇÃO UTILIZANDO RUÍDO

A característica espectral do ruído torna-o útil para ser utilizado como sinal de excitação do método de teste proposto. A potência deste sinal é espalhada por todo o espectro válido, e falhas no conversor provocarão um aumento de potência em determinadas componentes espectrais do sinal de saída do *ADC*, conforme demonstrado na análise teórica do capítulo 3.

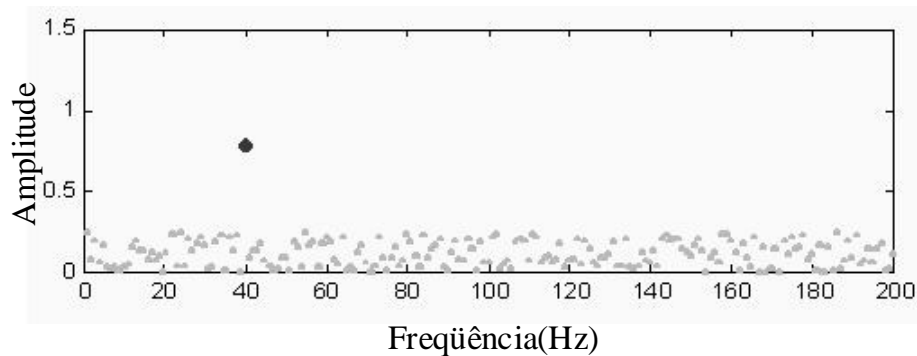
Como o método proposto visa a implementação da técnica através de um *BIST*, o gerador de sinal de excitação deve apresentar baixo custo e baixa complexidade (AZÄIS, 2001b). O projeto deste circuito é apresentado no item 4.4.

4.2.2 ANÁLISE ESPECTRAL

Quando um sinal de frequência limitada está corrompido por ruído, a sua análise espectral (*FFT*) pode não ser suficiente para sua detecção. Mas, sua detecção pode ser realizada através da média de várias *FFTs* do mesmo sinal (BRIGHAM, 1997). O efeito causado por tais médias resultará em uma redução das componentes espúrias e uma amplificação da componente predominante, possibilitando assim, sua detecção. Este efeito é mostrado na figura 4.11.



(a)



(b)

Figura 4.11 - Detecção de componentes em um sinal através da análise espectral: (a) *FFT* única; (b) média de 8 *FFTs*.

A figura 4.11(a) apresenta uma única *FFT* de um sinal senoidal na presença de ruído, enquanto a figura 4.11(b) apresenta a média de 8 *FFTs* do mesmo sinal. No primeiro caso (figura 4.11(a)), a detecção da componente senoidal não é possível devido à magnitude das componentes do ruído serem da ordem da componente da senóide, entretanto, a aplicação de uma análise espectral através de média de *FFTs* reduz a magnitude das componentes espúrias, tornando a detecção da componente senoidal possível.

Como todo circuito não-linear, o conversor AD insere harmônicas em sua saída quando submetido a uma excitação senoidal. Essas componentes são decorrentes do ruído de quantização. A existência de falhas que provoquem erros de não-linearidade (*DNL* e *INL*) indica que componentes espectrais serão inseridas no espectro do sinal de saída do *ADC*. Consequentemente, mesmo que as componentes inseridas pelas não-linearidades já estivessem presentes no espectro do sinal de entrada do conversor, elas iriam aparecer amplificadas na saída. Portanto, a identificação do acréscimo de sinais na resposta no domínio frequência da saída do conversor é um ótimo indicador da probabilidade de erros de não-linearidade.

Como apresentado a seguir, o processamento digital destas componentes extras permite a estimação das características dinâmicas do conversor, tais como *SINAD*, *SNR* e *THD*. Seguindo esta linha, a proposta para a detecção e estimação dos erros do conversor AD é feita a partir da análise do espectro médio de sua saída. A análise espectral é implementada a partir da média de 8 transformadas de Fourier do sinal de saída. A partir deste espectro médio, buscam-se os picos de componentes espectrais a serem utilizados na estimação dos parâmetros dinâmicos apresentados no capítulo 2.

4.2.3 FILTRO DE PRÉ-ENFASE

Considerando um conversor de 8 bits ou mais, as variações decorrentes de falhas em bits menos significativos podem não ser facilmente detectadas quando o método de teste proposto é realizado. Assim, um filtro de pré-ênfase faz-se necessário para garantir a transição por todos os códigos do *ADC*. Este filtro é implementado digitalmente ($M = 10$ taps) seguindo a configuração amplificador de passa-baixas. O modelo do circuito projetado é *FIR* (*Finite Impulse Response*) real na forma direta e de fase linear. A configuração deste circuito é implementada seguindo o diagrama mostrado na figura 4.12 e pela equação 4.1

(OPPENHEIM, 1989), cujos coeficientes B_k calculados são: 0.0033, 0.0120, 0.0401, 0.0858, 0.1300, 1.1484, 0.1300, 0.0858, 0.0401, 0.0120 e 0.0033, para $k = 0, 1, \dots, 10$.

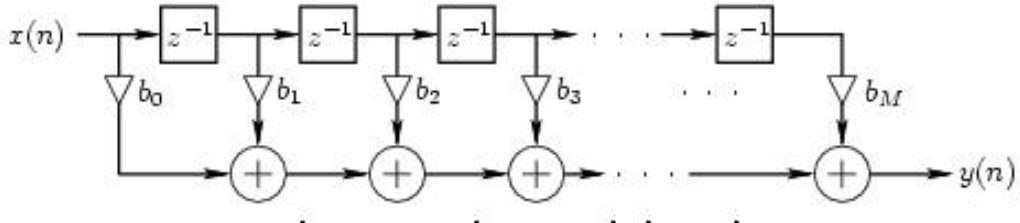


Figura 4.12 - Diagrama do filtro digital passa-baixas amplificador .

$$y(n) = b_0x(n) + b_1x(n-1) + b_2x(n-2) + \dots + b_Mx(n-M)$$

$$y(n) = \sum_{m=0}^{\infty} b_m x(n-m)$$

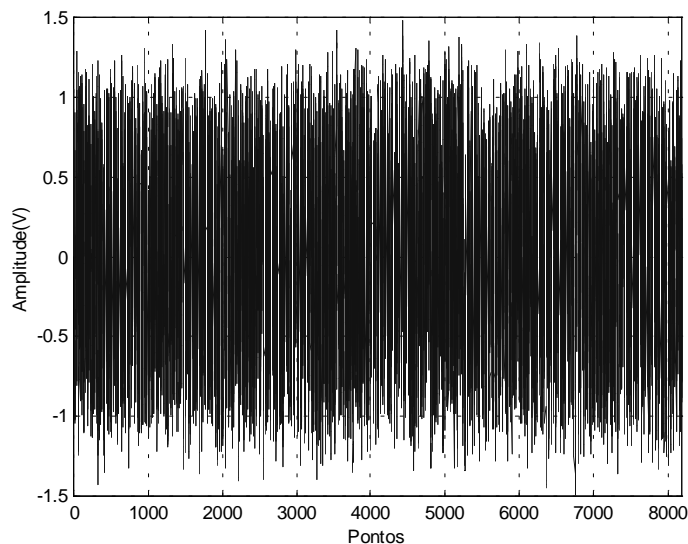
$$y(n) = \sum_{m=0}^{\infty} h(m)x(n-m)$$

$$\Delta$$

$$y(n) = h(n) * x(n)$$

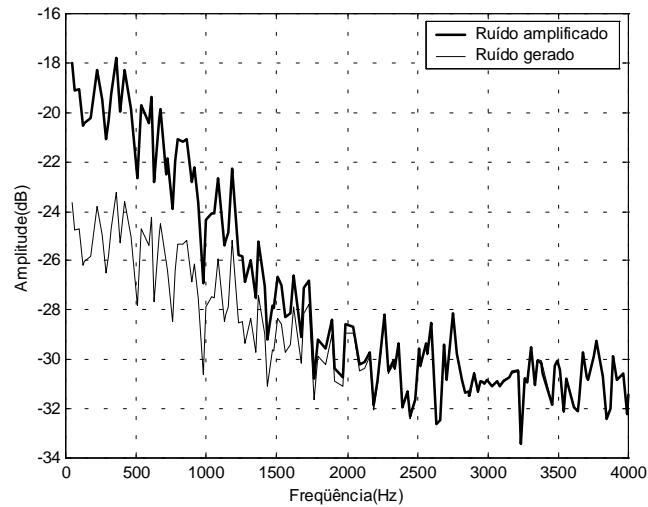
(4.1)

Para um ruído branco, o efeito deste filtro é apresentado na figura 4.13, assim como o efeito na característica espectral.



(a)

Figura 4.13 - Ruído branco pré-amplificado no domínio: (a) do tempo.



(b)

Figura 4.13 - Ruído branco pré-amplificado no domínio: (b) da frequência.

4.2.4 VALIDAÇÃO DA ANÁLISE ESPECTRAL PROPOSTA

Seguindo esta proposta de se excitar o conversor analógico-digital com um sinal de banda larga e detectar falhas através da análise espectral de média de *FFTs*, as simulações foram expandidas para conversores de 4 bits. O sinal de excitação utilizado foi o ruído branco gerado no Matlab[®] e amplificado conforme foi apresentado no item 4.2.3. Este teste foi realizado com o intuito de verificar se o mesmo fenômeno de inserção de componentes espectrais ilustrado na figura 4.9 poderia ser detectado para sinais de banda larga. Conforme proposto no item 4.2.2, a análise espectral foi implementada seguindo a configuração de média de *FFTs*. A figura 4.14 mostra os 64 primeiros pontos da média de 8 *FFTs* do sinal de saída do conversor com cada bit falho separadamente. A partir dela, pode-se verificar a inclusão de componentes de frequência mesmo para sinais de banda larga, se for feita a análise espectral adequada.

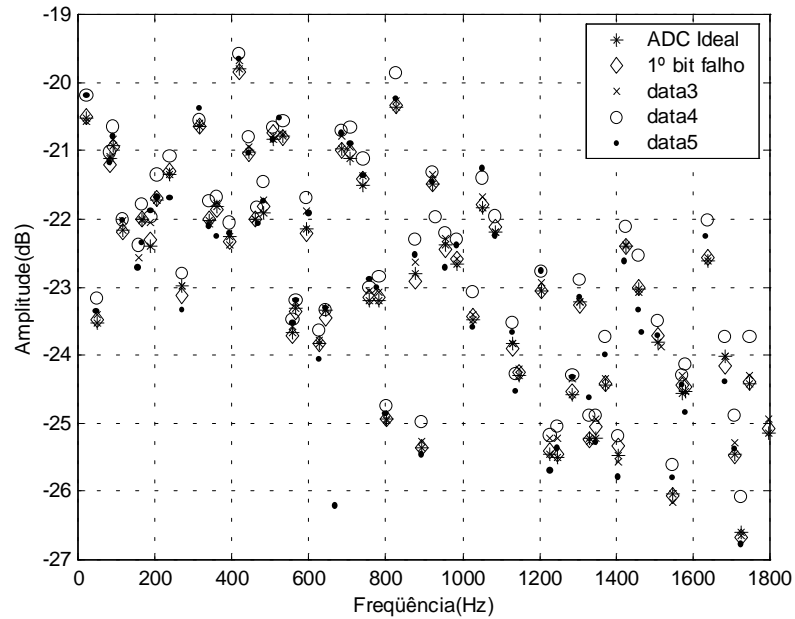


Figura 4.14 - Análise espectral de saída de um ADC de 4 bits excitado por ruído.

A vasta utilização de conversores analógico-digitais de maior resolução cria a necessidade de expansão do método para um ADC com maior número de bits. Assim, o método foi expandido para um conversor de 8 bits. As respostas à rampa estão apresentadas na figura 4.15, enquanto os respectivos erros de *DNL* e *INL* são apresentados na figura 4.16.

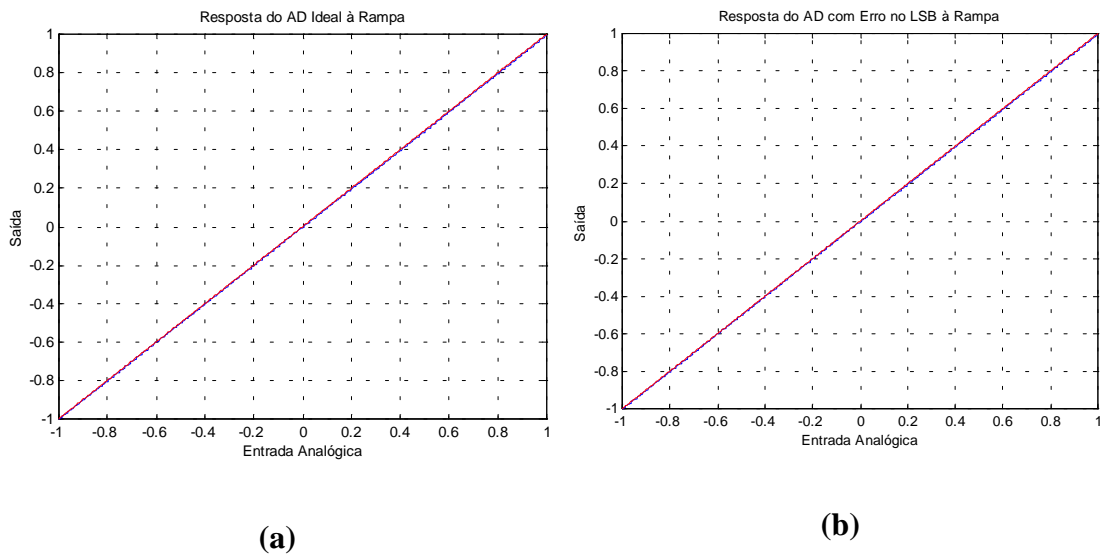
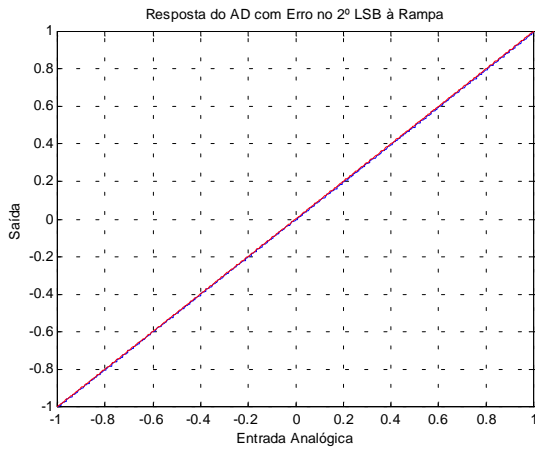
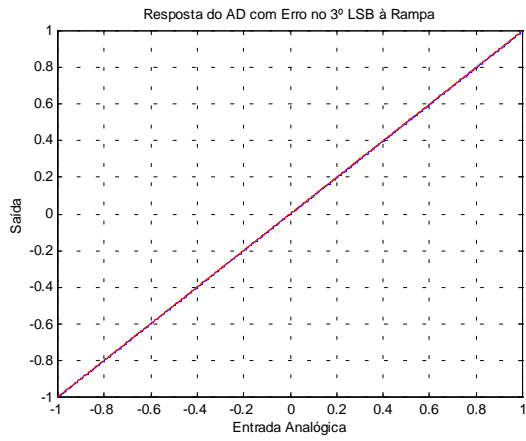


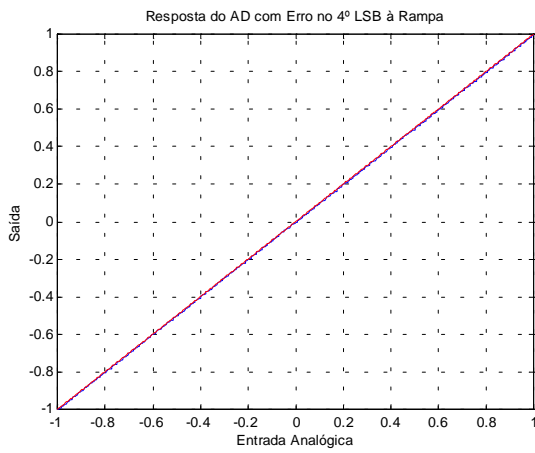
Figura 4.15 - Resposta do ADC de 8 bits à rampa: (a)ideal; (b)LSB falho.



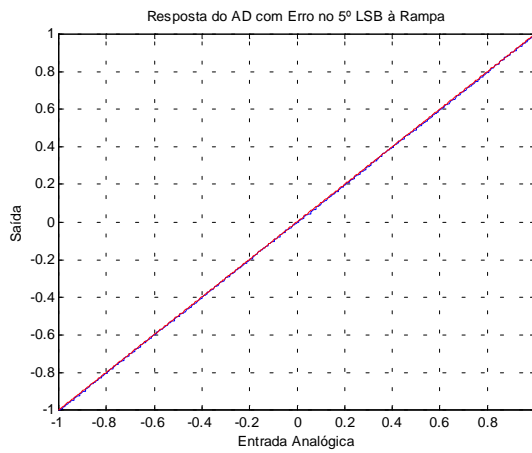
(c)



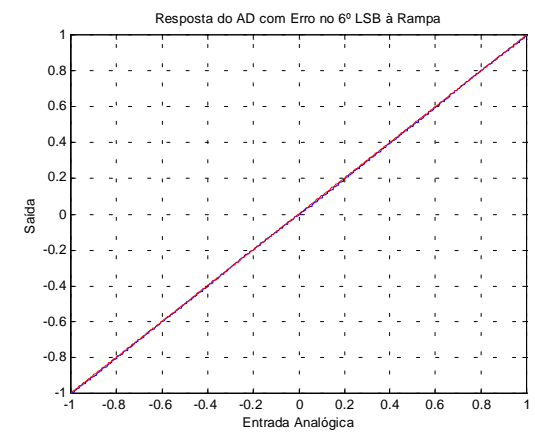
(d)



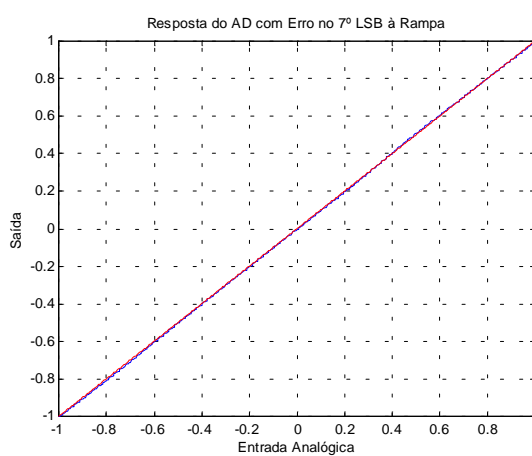
(e)



(f)

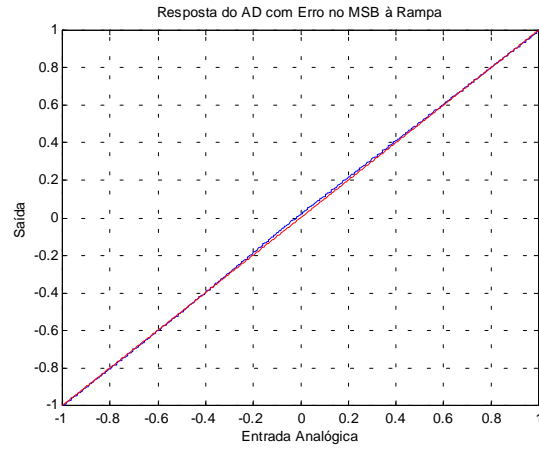


(g)



(h)

Figura 4.15 - Resposta do ADC de 8 bits à rampa: (c)2º LSB falho; (d)3º LSB falho; (e)4º LSB falho; (f)5º LSB falho; (g)6º LSB falho; (h)7º LSB falho.



(i)

Figura 4.15 - Resposta do ADC de 8 bits à rampa: (i)MSB falho.

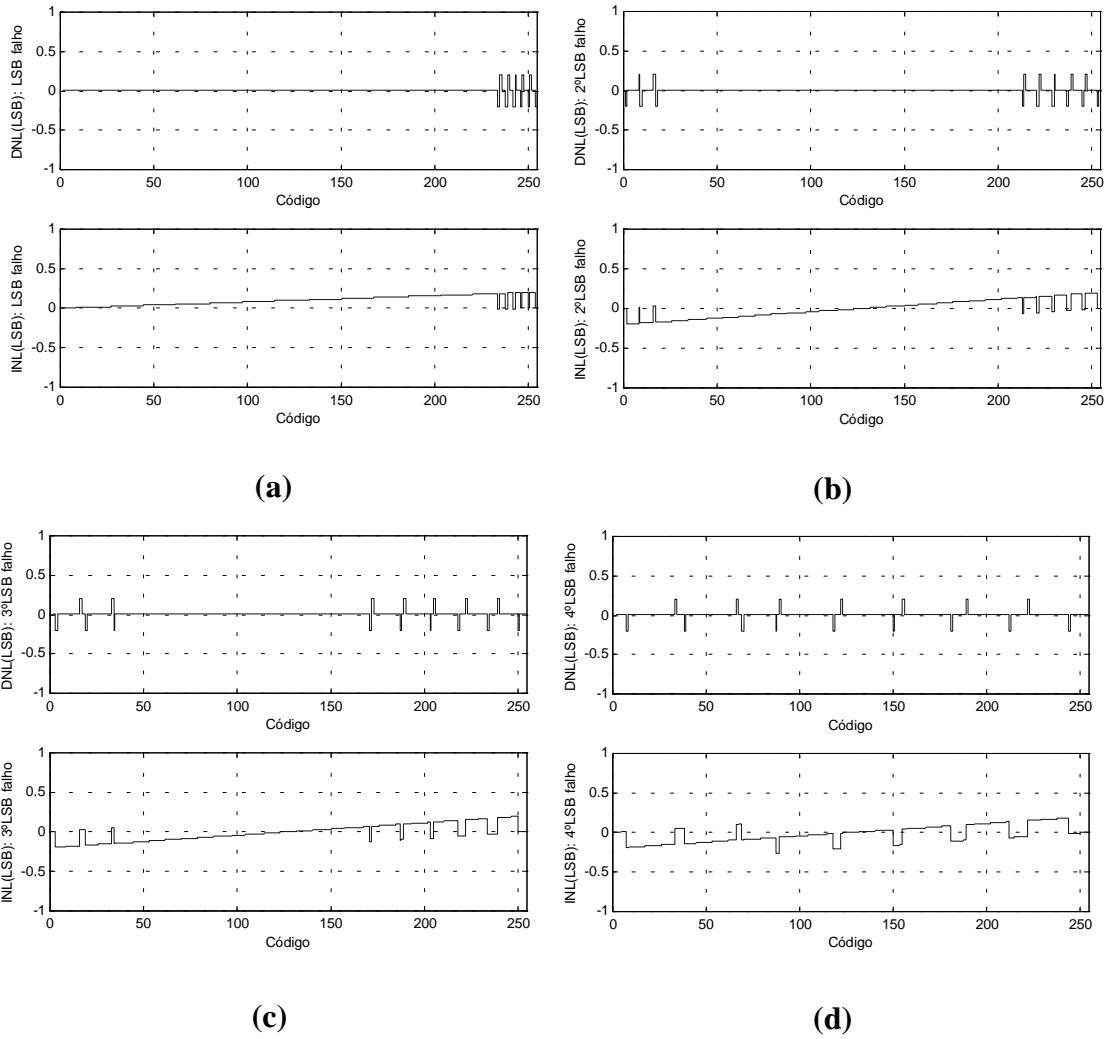


Figura 4.16 - Erros não-linearidade DNL e INL do ADC de 8 bits em resposta à rampa: (a)LSB falho; (b)2º LSB falho; (c)3º LSB falho; (d)4º LSB falho.

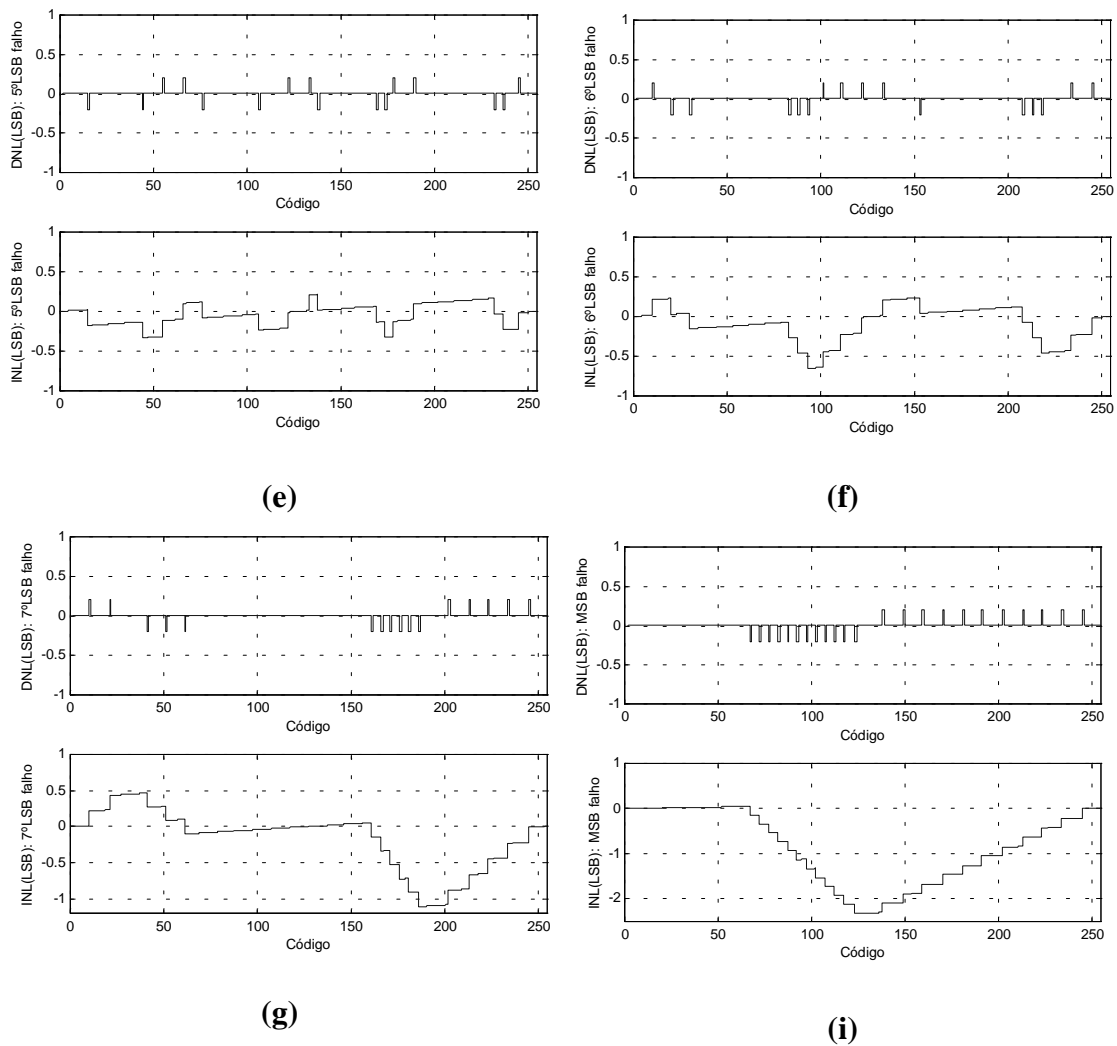


Figura 4.16 – Erros de não-linearidade DNL e INL do ADC de 8 bits em resposta à rampa: (e)5° LSB falho; (f)6° LSB falho; (g)7° LSB falho; (h)MSB falho.

Analisando a figura 4.16, verifica-se que a magnitude dos erros de não-linearidade são diretamente proporcionais à significância do bit que está falho.

Aplicando uma senóide na entrada do conversor analógico-digital de 8 bits, assim como foi feito para o conversor de 4bits, pode-se novamente confirmar a inserção de componentes espectrais, conforme apresentado na figura 4.17.

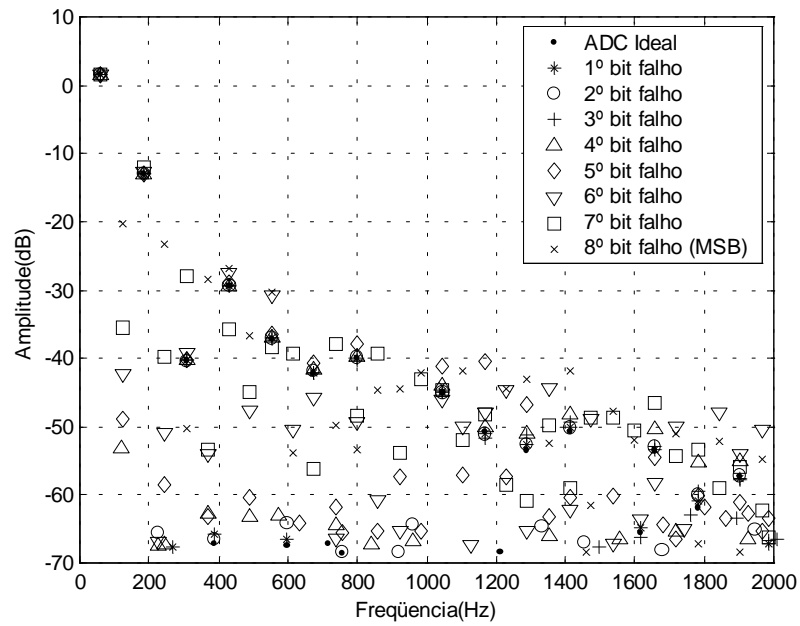


Figura 4.17 – Análise espectral do sinal de saída do *ADC* de 8 bits excitado por senóide.

O último teste de inserção de falhas e verificação de sua influência na resposta do conversor analógico-digital proposto busca a verificação da inserção de componentes espectrais pelas falhas em um *ADC* de 8 bits excitado por um sinal de banda larga. O teste proposto utilizou ruído branco gerado e amplificado no Matlab®, e seu resultado é apresentado na figura 4.18.

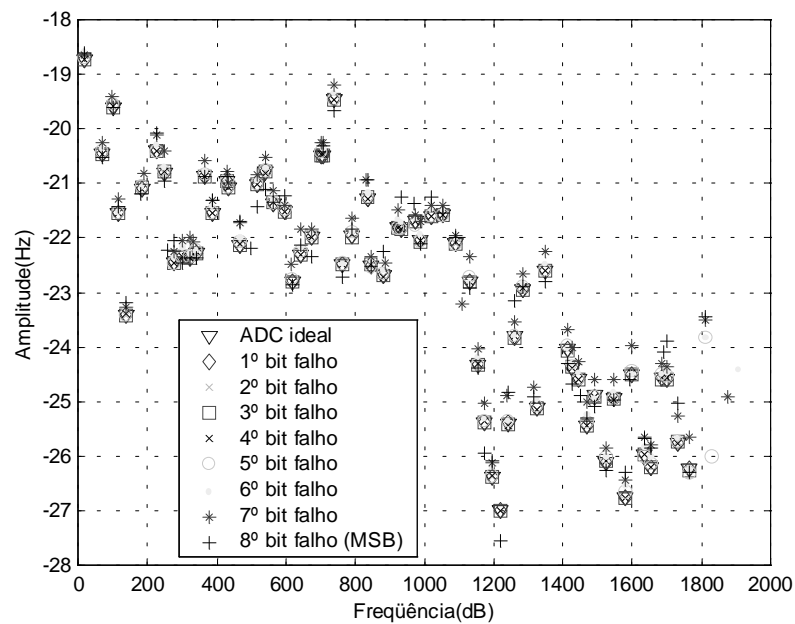


Figura 4.18 – Análise espectral do sinal de saída do *ADC* de 8 bits excitado por ruído.

A figura 4.18 mostra a inserção e amplificação de componentes espectrais na saída do *ADC* falho excitado por um sinal de banda larga.

4.3 SIMULAÇÃO DA INSERÇÃO E DETECÇÃO DE FALHAS PARAMÉTRICAS EM BITS DO CONVERSOR QUANDO EXCITADO COM RUÍDO

Para uma melhor avaliação do comportamento de conversores analógico-digitais defeituosos foram inseridas falhas paramétricas individuais para cada bit, como é comum de acontecer em componentes reais, e o método de teste proposto foi simulado para cada caso. Na tentativa de associar uma característica em frequência para cada bit testou-se a hipótese que cada bit falho seria responsável pela inserção de um determinado conjunto de componentes em frequência. Assim, essa componente deveria aparecer amplificada na saída do *ADC* quando excitado com o sinal de banda larga.

Como parâmetro dinâmico de avaliação da distorção causada pelo erro na saída do *ADC* foi adotada a *SINAD*. O número de componentes detectadas na análise espectral também foi avaliado.

A figura 4.19 mostra a resposta em frequência de cada um dos testes efetuados, ou seja, a resposta espectral da saída do conversor com cada bit defeituoso. A tabela 4.1 mostra os resultados de *SINAD* e o número de componentes respectivos a cada teste. A variação do parâmetro *SINAD* é apresentada na figura 4.20.

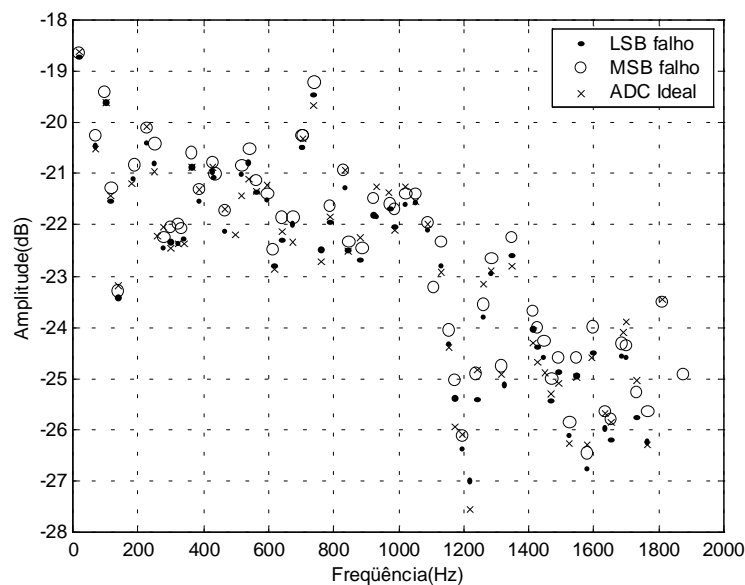


Figura 4.19 - Análise espectral da saída da *ADC* quando cada bit falha separadamente: (x) - conversor ideal; (o) - bit mais significativo falho e (.) – bit menos significativo falho.

Tabela 4.1 - SINAD e Número de Componentes detectadas na saída do ADC para o teste de detecção de falha por bit

<i>Bit Falho</i>	<i>SINAD(%)</i>	<i>Nº de Componentes detectadas</i>
Ideal	27	138
LSB	27.7002	140
2º LSB	27.7863	140
3º LSB	27.7877	141
4º LSB	28.0172	141
5º LSB	28.1475	141
6º LSB	28.7486	141
7º LSB	36.7847	142
MSB	39.4611	142

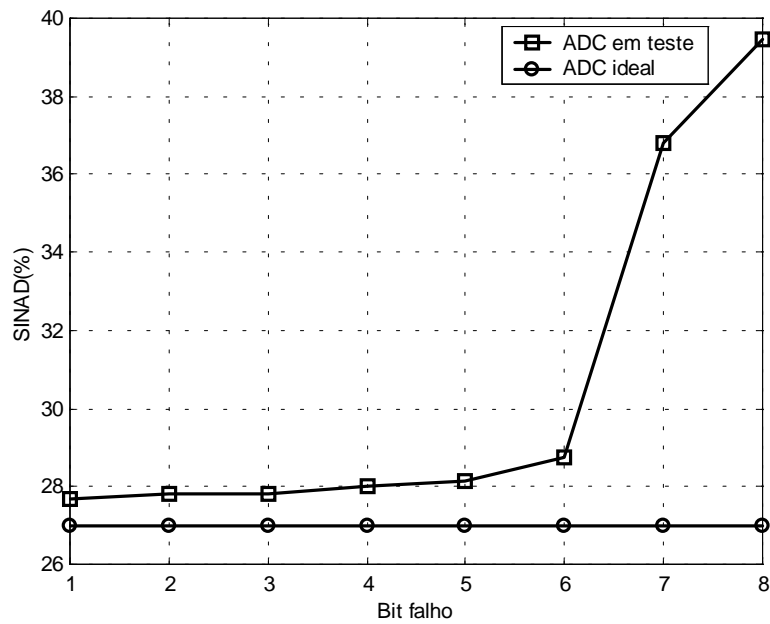


Figura 4.20 - SINAD: (-) por bit falho; (--) ADC ideal.

Avaliando os resultados apresentados nas figuras 4.19 e 4.20 e pela tabela 4.1, pode-se concluir que a hipótese de detecção do bit falho não pôde ser validada pelo método. Estes dados mostram que o número de componentes detectadas é o mesmo para alguns bits, além de apresentarem valores similares para o parâmetro *SINAD*. Mas, nota-se uma variação da característica espectral do sinal de saída, ou seja, valida-se a hipótese de associar erros com

variação das componentes espectrais na saída do *ADC*. Ainda, pode-se salientar que a *SINAD* mostra que o conversor analógico-digital mantém sua monotonicidade com a variação do bit falho para o caso de falhas paramétricas.

Ainda, para garantir que esse teste foi realizado em condições de erro aceitáveis, as figuras 4.21 e 4.22 apresentam os erros de *DNL* e *INL* que foram mantidos para cada teste de bit falho. Os valores absolutos máximos para os erros de *DNL* e *INL* são de 0.19LSB e 0.607LSB, respectivamente.

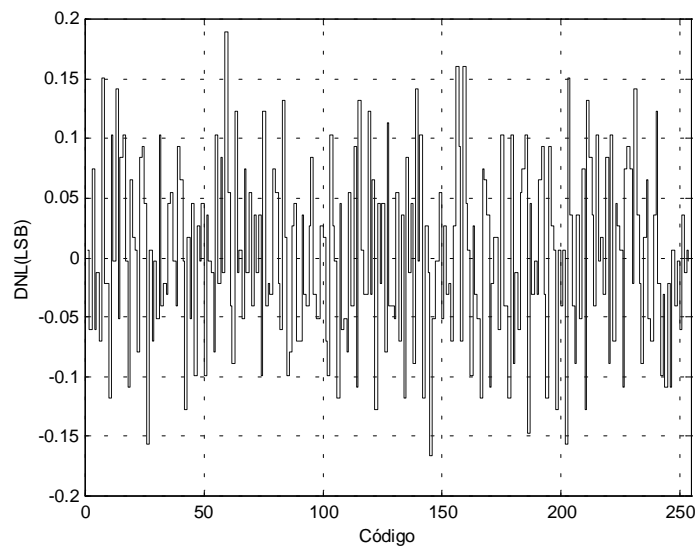


Figura 4.21 - *DNL* calculado para o teste detecção de bit falho.

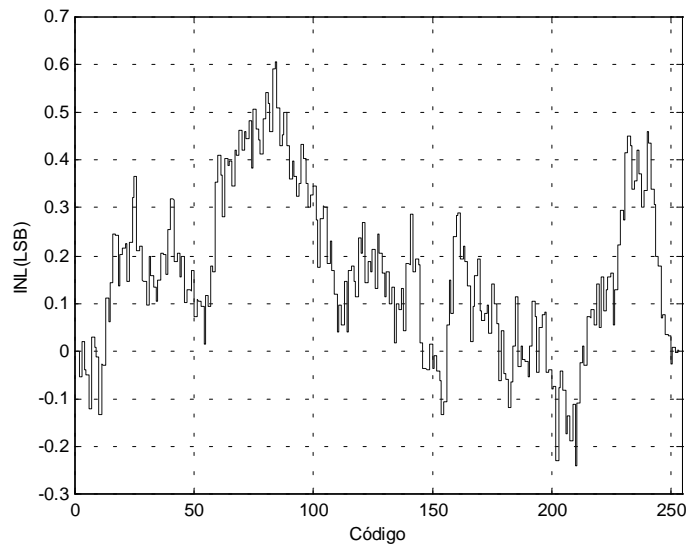


Figura 4.22 - *INL* calculado para o teste detecção de bit falho.

Um outro teste realizado visou a detecção da presença ou não de falhas no conversor. Para isso, falhas aleatórias foram inseridas em todos os bits do conversor analógico-digital em teste, caracterizando assim, um teste de múltiplas falhas paramétricas. A figura 4.23 e tabela 4.2 validam a utilização do método proposto para esse propósito.

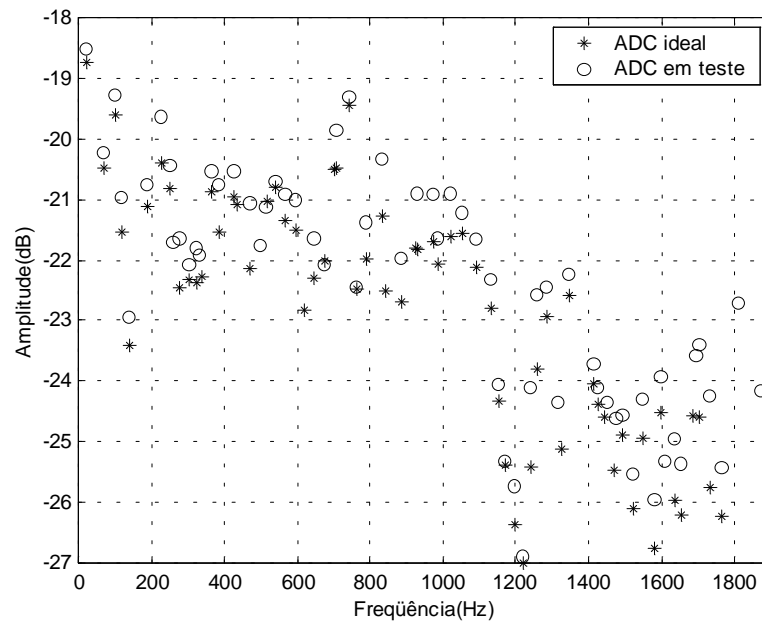


Figura 4.23 - Resposta espectral do conversor quando submetido ao teste de múltiplas falhas: (o) ADC ideal; (*) ADC com múltiplas falhas

Tabela 4.2 - SINAD e Número de Componentes detectadas na saída do ADC para o teste de falhas múltiplas.

<i>Bit Falho</i>	<i>SINAD(%)</i>	<i>Nº de Componentes detectadas</i>
Ideal	27	138
LSB	27.7291	144

Os resultados apresentados na figura 4.23 e na tabela 4.2 mostram que a avaliação dinâmica do conversor quando excitado por um sinal de banda larga é plenamente viável a partir da análise, do espectro médio da saída. Assim, os conversores falhos podem ser

detectados apenas por essa análise e os parâmetros dinâmicos também podem ser determinados a partir dela.

Para o teste de múltiplas falhas, os erros *DNL* e *INL* foram mantidos dentro da faixa de monotonicidade de conversores analógico-digitais, ou seja, são menores de 1LSB. Os valores máximos absolutos destes erros são de 0.797LSB para o erro *DNL* e 0.8830LSB para o erro *INL* cujas curvas são apresentadas nas figuras 4.24 e 4.25, respectivamente.

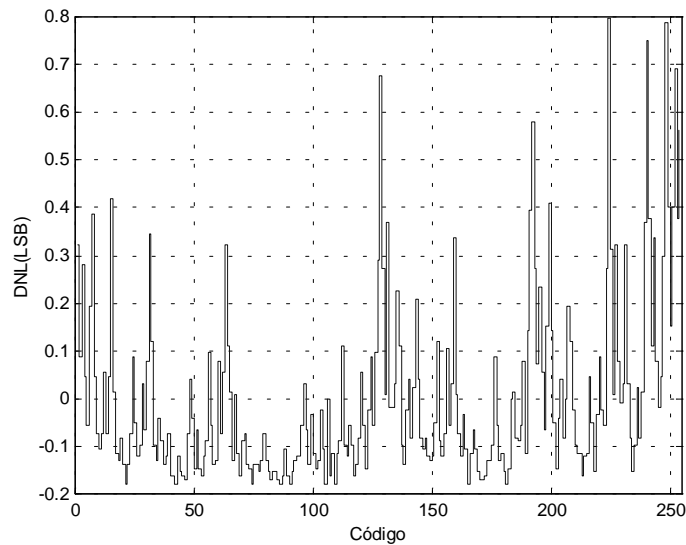


Figura 4.24 - Erro *DNL* para teste de *ADC* com múltiplas falhas.

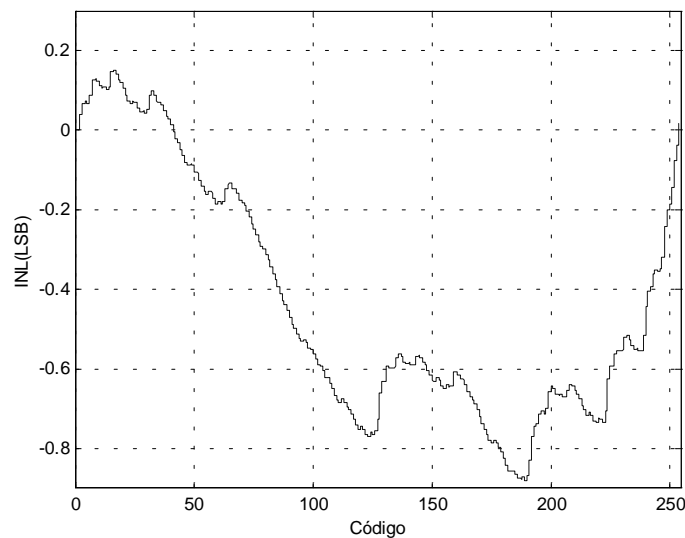
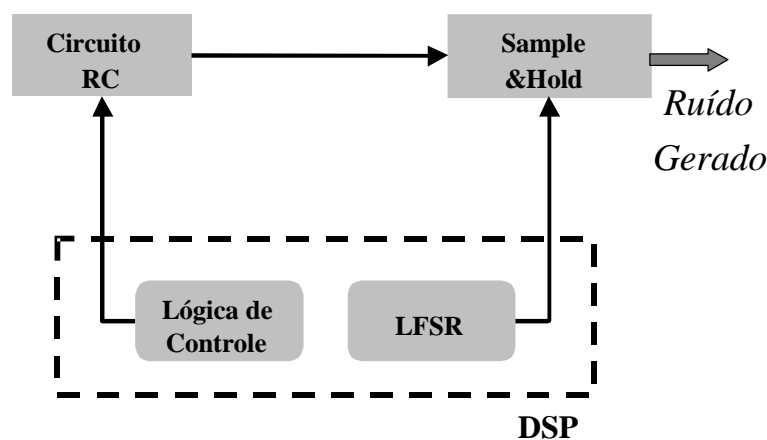


Figura 4.25 - Erro *INL* para teste de *ADC* com múltiplas falhas.

4.4 PROTOTIPAÇÃO DO GERADOR DE RUÍDO E UTILIZAÇÃO DO SINAL PARA TESTE DE CONVERSORES ANALÓGICO-DIGITAIS

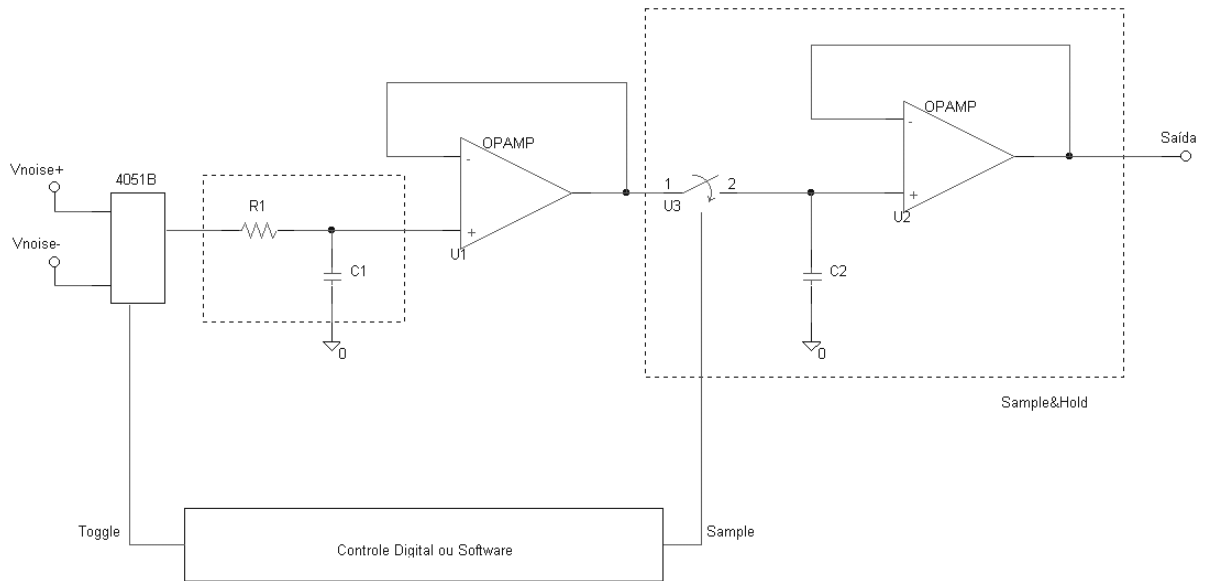
A excitação do sistema proposto é baseada em um sinal de banda larga, aproveitando-se do comportamento dos erros de conversores analógico-digitais perante as características espectrais deste sinal. O fato de se propor um gerador de sinal para ser utilizado em um *SoC* para implementar um *BIST* tornam a complexidade e a área analógica necessária para a geração do sinal de teste fatores relevantes durante o projeto do bloco excitador do sistema proposto.

Seguindo estes requisitos de área e simplicidade, um gerador de ruído pseudo branco foi proposto. O princípio de funcionamento deste circuito é baseado em um circuito *RC* (resistivo-capacitivo) chaveado, cujo tempo de amostragem é controlado pela saída de um circuito gerador de números aleatórios do tipo *Linear Feedback Shift Register (LFSR)* (BALPH, 1998). O *LFSR* de doze bits é implementado digitalmente e pode gerar, pelo menos, 4016 diferente frequências. O diagrama e o circuito do gerador de ruído são apresentados na figura 4.26(a) e (b), respectivamente, e na figura 4.27 o sinal de saída referente a cada bloco do protótipo do gerador é apresentado.



(a)

Figura 4.26 – Gerador de ruído: (a) diagrama de blocos.



(b)

Figura 4.26 – Gerador de ruído: (b) circuito.

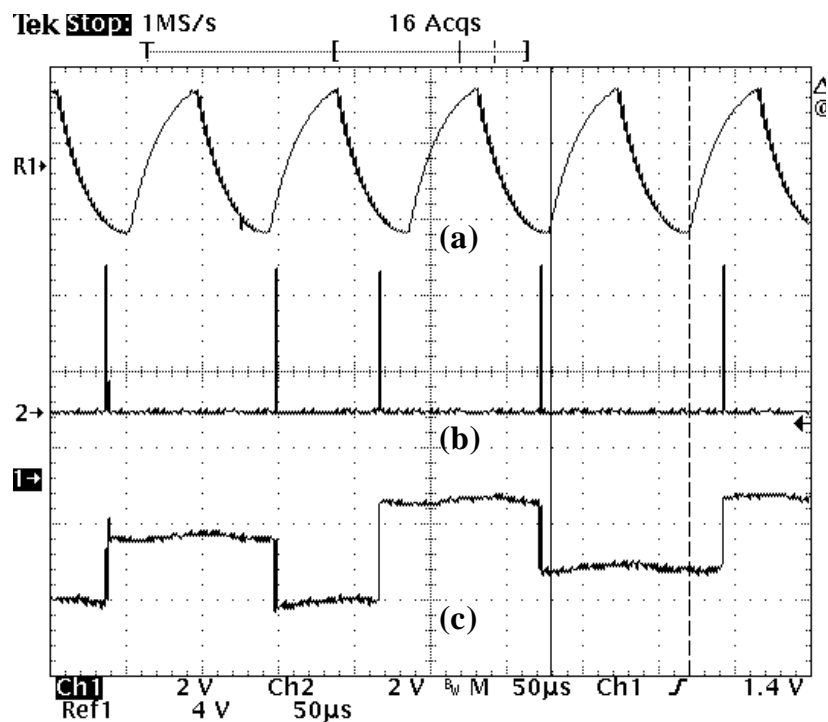


Figura 4.27 - Sinal de saída do circuito: (a) RC; (b) LFSR; (c) *Sample&Hold*.

Antes da implementação prática do gerador de ruído proposto, o mesmo circuito foi modelado e implementado no Matlab[®], buscando a avaliação da viabilização do protótipo. Por simulação, foi obtido um sinal de saída com as características espectrais apresentadas na

figura 4.28. Esta figura demonstra a aleatoriedade do sinal obtido e ainda a banda de frequência alcançada pelo circuito.

A análise espectral do sinal gerado no Matlab[®] através da média de 8 *FFTs* dos sinais de saída dos conversores (ideal e com bits falhos) apresentou resultados onde falhas em bits menos significativos não eram facilmente detectados. Para que esse erros pudessem ser detectados, verificou-se a necessidade de uma maior variação nas baixas frequências, ou seja, seria necessária uma amplificação destas. Conforme descrito no item 4.2.3, propõe-se a utilização de um filtro pré-ênfase para amplificação das baixas frequências.

Visando a implementação de um método de teste puramente digital, propôs-se um filtro digital FIR de 10 *taps*, com amplificação de módulo 2 para as baixas frequências. A característica deste filtro e seu efeito no ruído gerado são apresentados na figura 4.29.

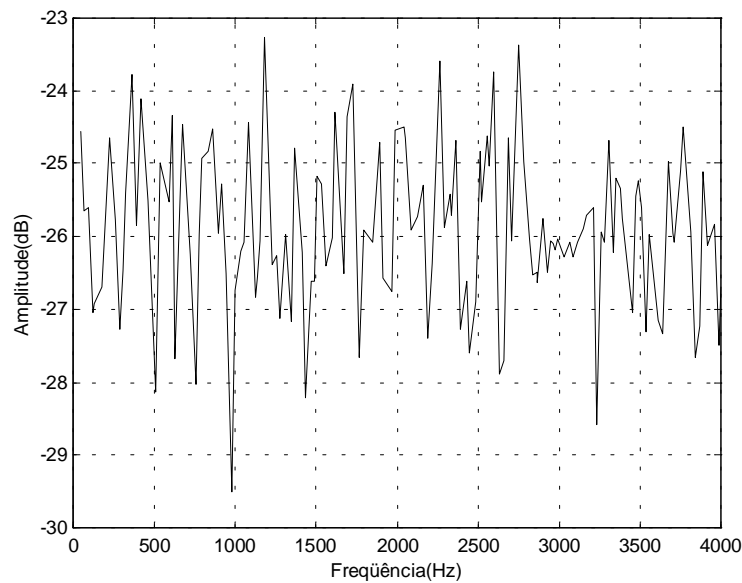
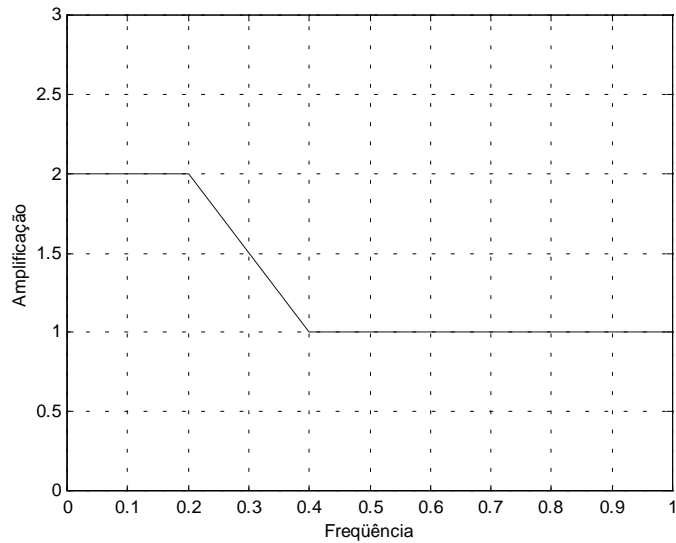
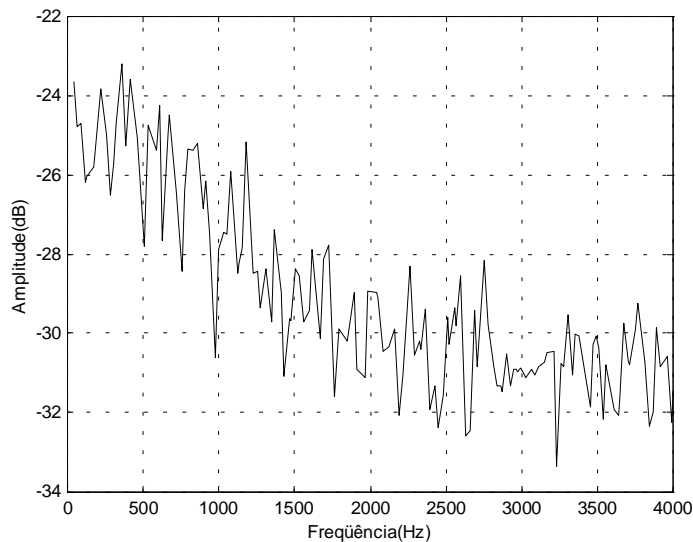


Figura 4.28 - *FFT* do sinal aleatório gerado no Matlab[®] pelo método proposto.



(a)



(b)

Figura 4.29 – (a) Resposta do filtro de amplificação das baixas frequências; (b) FFT do sinal aleatório filtrado.

Após a verificação teórica do circuito proposto para a geração de um sinal de banda larga, o circuito foi prototipado com componentes discretos (ANEXO B). O gerador implementado apresenta como ruído de saída o sinal apresentado na figura 4.30. Analisando a característica espectral deste sinal (figura 4.31), pode-se considerá-lo dentro do requisito de banda larga necessário para o método de teste proposto. Considerando o requisito complexidade, o diagrama apresentado na figura 4.26 torna evidente a simplicidade do circuito proposto. Considerando os componentes envolvidos na prototipação do gerador (um

capacitor, um resistor, duas chaves de controle, um *sample&hold* e um buffer), pode-se salientar o baixo acréscimo analógico de área, muito inferior ao necessário para a geração de outros sinais de teste como rampas ou senóide (RENOVELL, 2000; BERNARD, 2001; HAFED, 2002).

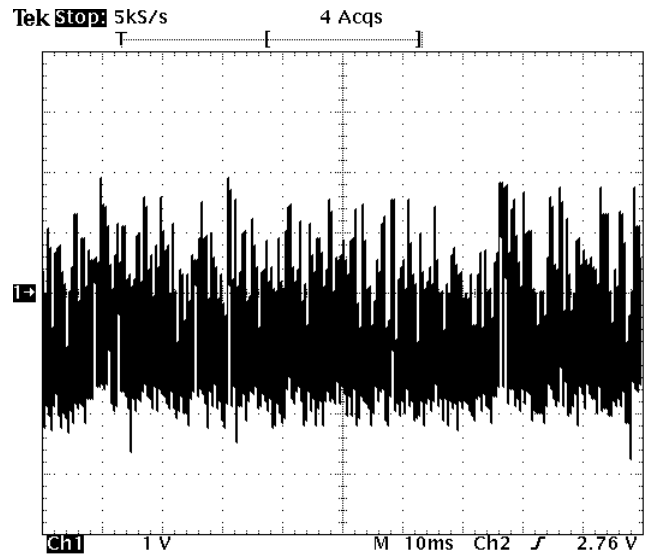


Figura 4.30 - Sinal de saída do gerador de ruído.

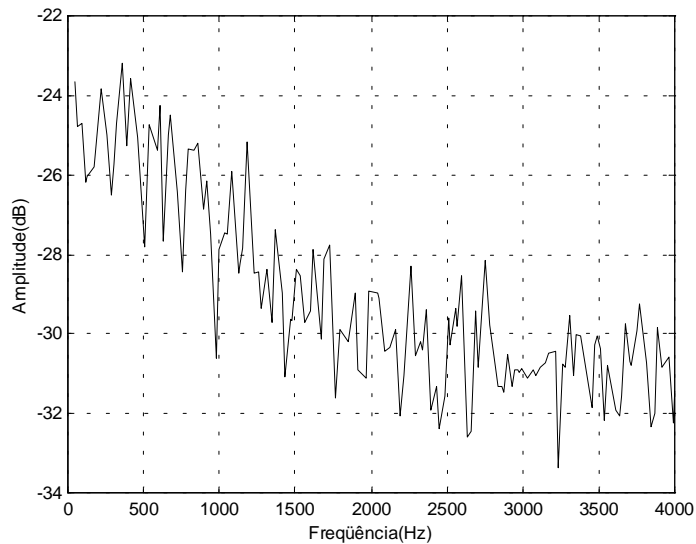


Figura 4.31 - Resposta em frequência do ruído gerado.

O funcionamento do gerador e sua banda resultante são fatores determinados pelo circuito *RC*, cujo projeto é apresentado a seguir.

4.4.1 PROJETO DO CIRCUITO RC

O dimensionamento do circuito RC, projetado conforme o diagrama apresentado na figura 4.32, é baseado na curva de resposta deste circuito que é representada pela equação (4.2) e apresentada na figura (4.33), considerando-se uma chave ideal.

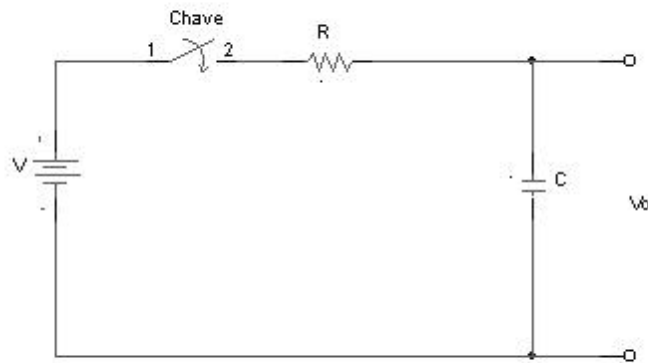


Figura 4.32 - Diagrama do circuito RC

$$V(t) = \frac{q_0}{C} e^{\frac{-t}{RC}} \quad (4.2)$$

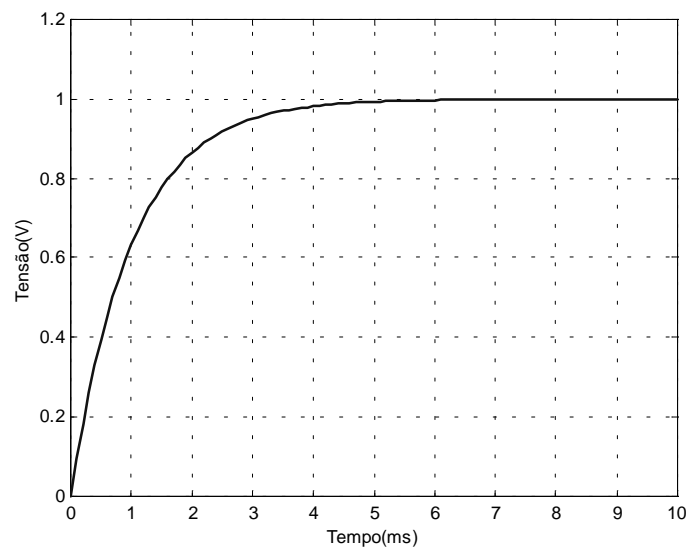
onde:

q_0 é a carga inicial do capacitor;

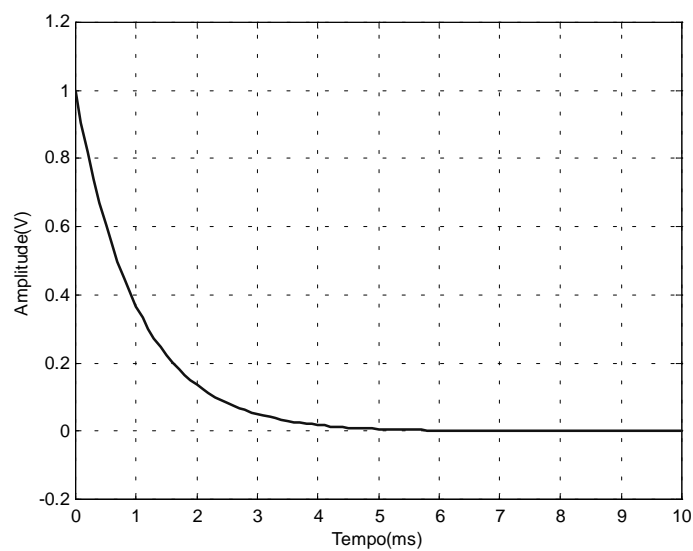
C é a capacitância;

R é a resistência.

Sabendo-se que o comportamento desta curva é praticamente linear para até duas constantes de tempo τ , decidiu-se projetar o chaveamento entre a carga e a descarga para 1.5τ , evitando-se, assim, trabalhar na zona de estabilização do circuito RC.



(a)



(b)

Figura 4.33 – Curva de resposta de um circuito RC ($R = 1\Omega$, $C = 1F$, $V = 1V$): (a) carga; (b) descarga.

O projeto do gerador de ruído é feito a partir da banda que se deseja trabalhar. Considerando uma banda de ruído de 4kHz, e que a onda formada pela carga e descarga do circuito RC terá período de 3τ , tem-se:

$$\begin{aligned}
3\tau &= T \\
3\tau &= \frac{1}{f} \\
\tau &= \frac{1}{4000 \times 3} \\
\tau &= 83.33\mu s
\end{aligned}
\tag{4.3}$$

Para manter a constante de tempo $\tau = RC = 83.33\mu s$, devem-se determinar os valores do capacitor e do resistor. Considerando-se um capacitor de 22nF, o resistor necessário para que a constante de tempo seja atingida deve ser de 3787,72 Ω .

4.4.2 VALIDAÇÃO DO MÉTODO COM O SINAL GERADO

O primeiro experimento realizado para a validação das propriedades do gerador de sinal prototipado consiste em determinar se um conversor analógico-digital de 8 bits está falho ou não. Dois conversores de aproximações sucessivas foram simulados: um conversor AD de 8 bits ideal e outro onde foi inserido uma não-linearidade através da variação do limiar de comparação do algoritmo de aproximações sucessivas. Esta variação deve produzir uma variação na saída do *ADC*, o que deve ser detectado a partir da implementação do sistema de teste.

Como nos experimentos anteriores, o parâmetro de detecção de falha foi a *SINAD*, no caso 2,1264 vezes maior que o caso ideal. A figura 4.34 mostra a análise espectral do experimento utilizando o sinal real.

Os resultados apresentados na figura 4.34 validam a utilização do gerador de ruído prototipado para o teste de conversores analógico-digitais através das características espectrais do sinal de saída

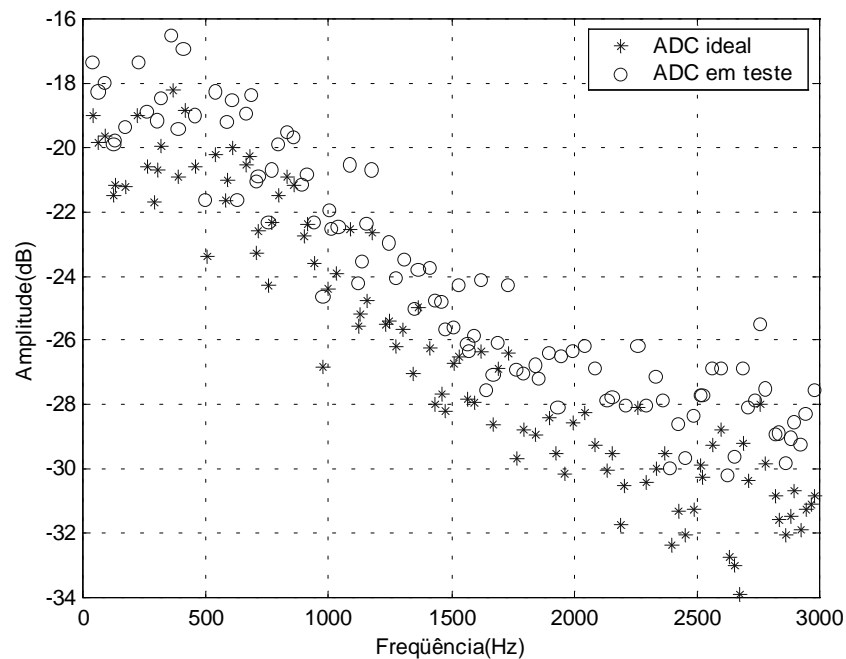


Figura 4.34- Teste de um conversor *AD* de 8 bits com múltiplas falhas (o) e ideal (*) quando excitados com o sinal do gerador de ruído prototipado.

4.5 PROTOTIPAÇÃO DE UM CONVERSOR ANALÓGICO-DIGITAL DO TIPO APROXIMAÇÕES SUCESSIVAS, INSERÇÃO DE FALHAS E IMPLEMENTAÇÃO DO MÉTODO

O segundo experimento realizado para a validação do método de teste proposto consiste na prototipação de um conversor analógico-digital de 8 bits do tipo aproximação sucessivas, e a utilização de teste completo que consiste no gerador de ruído prototipado, na aquisição do sinal de saída e na implementação do algoritmo de teste proposto. Para este teste, as falhas foram inseridas no *SAR* do conversor prototipado (código no ANEXO C).

A figura 4.35 apresenta o circuito do conversor *AD* implementado, seguindo o diagrama apresentado na figura 4.27.

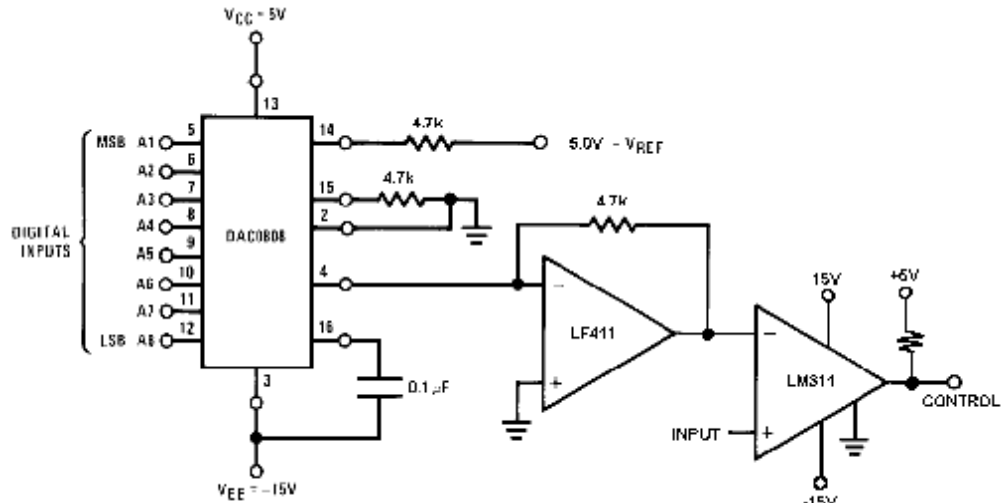


Figura 4.35 - Conversor AD prototipado.

A análise espectral do sinal de saída referente a este experimento (figura 4.36) proporciona a estimaco da *SINAD* e a validao do mtodo. A *SINAD* referente ao *ADC* prototipado  1.283 vezes superior ao de um *ADC* ideal de 8 bits, servindo como indicador de falha paramtrica no conversor em teste.

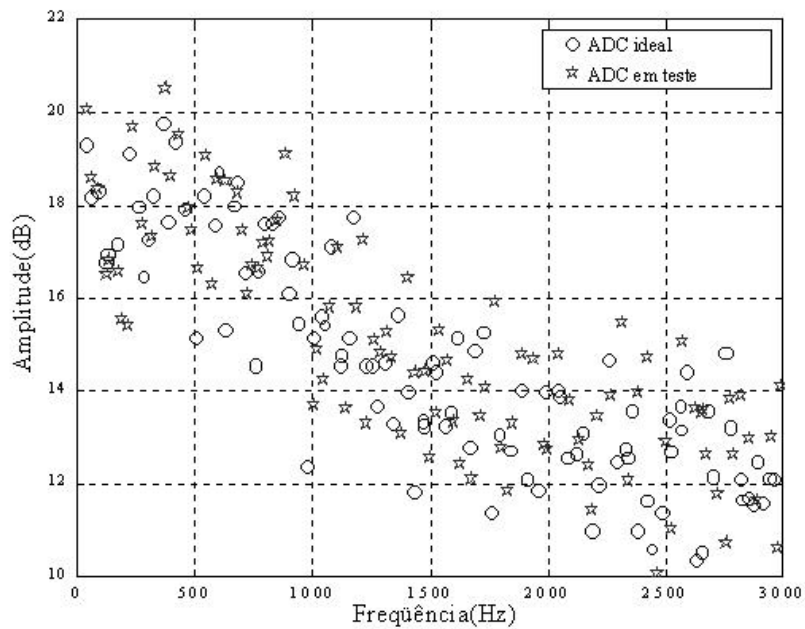


Figura 4.36 - Resposta espectral do *ADC* prototipado e do ideal.

4.6 DETECÇÃO DE CONVERSORES FALHOS ATRAVÉS DO MÉTODO PROPOSTO E O MÉTODO PADRÃO: COMPARAÇÃO DOS RESULTADOS OBTIDOS

Visando a determinação da eficácia do método de teste proposto em comparação com o método padrão, uma última bateria de teste é realizada. Esta bateria consiste na criação de um cluster de 100 conversores analógico-digitais modelos, inserção de falhas paramétricas aleatoriamente em alguns deles e verificação da detecção dos *DUTs* falhos através do método de teste baseado em ruído e através do método do histograma, implementado conforme apresentado no item 4.6.1.

Os resultados obtidos mostram que dos 100 conversores falhos, 98 foram detectados pelo método do histograma e 94 *ADCs* falhos foram detectados através do teste baseado em ruído. Assim, pode-se obter um eficácia de 94% para o método proposto e 98% para o método do histograma.

Deve-se salientar que o número de amostras do sinal necessário para o teste do histograma é de 64k amostras da entrada e 64k amostras da saída (RENOVELL, 2000), enquanto o método baseado em ruído utiliza apenas 8192 amostras do sinal de saída.

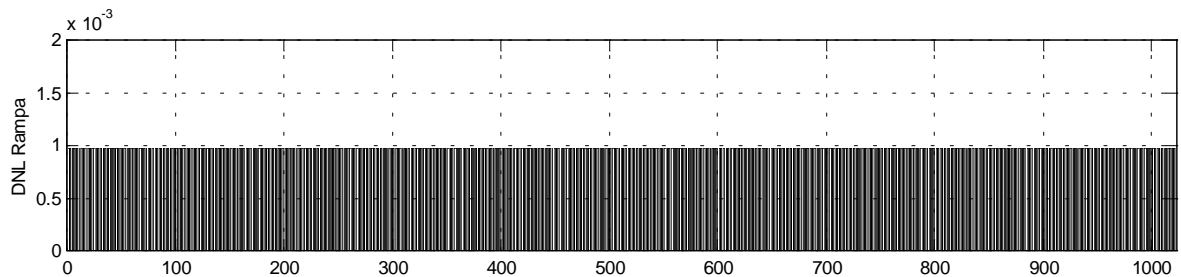
4.6.1 COMPARAÇÃO DOS RESULTADOS COM O MÉTODO DO HISTOGRAMA

Para que os resultados obtidos fossem validados, foram implementados o algoritmos de cálculo de *DNL* e *INL* utilizando-se rampa e senóides (BURNS, 2001). Como os métodos padrões utilizam senóides ou rampas, a literatura propõe algoritmos para esses tipos de sinais, mas para sinal de banda larga não há um método padrão. Visando a determinação do método mais adequado (histograma da rampa ou histograma da senóide) a ser utilizado para a comparação com o método baseado em ruído dois tipos de histogramas foram implementados.

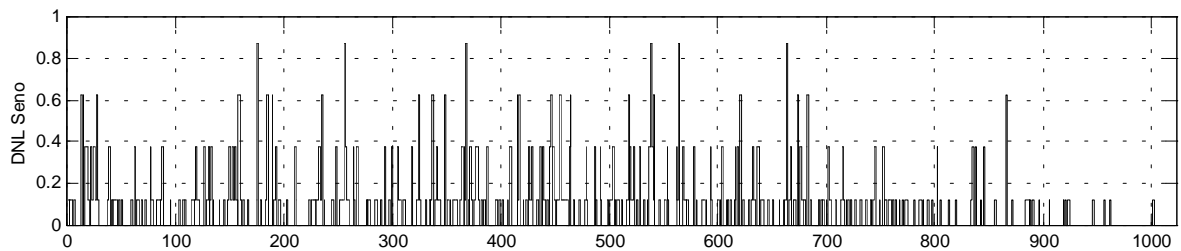
A validação dos testes é feita a partir de um conversor analógico-digital modelo de 8 bits com um erro inserido conhecido. A excitação com os três sinais foi realizada e a estimação foi feita para os métodos de rampa e senóide. O erro de estimação utilizando ruído pelo método da senóide e da rampa foi calculado e é mostrado a seguir.

Os algoritmos para os dois métodos baseados em histograma são apresentados nos itens 4.6.1.1 e 4.6.1.2.

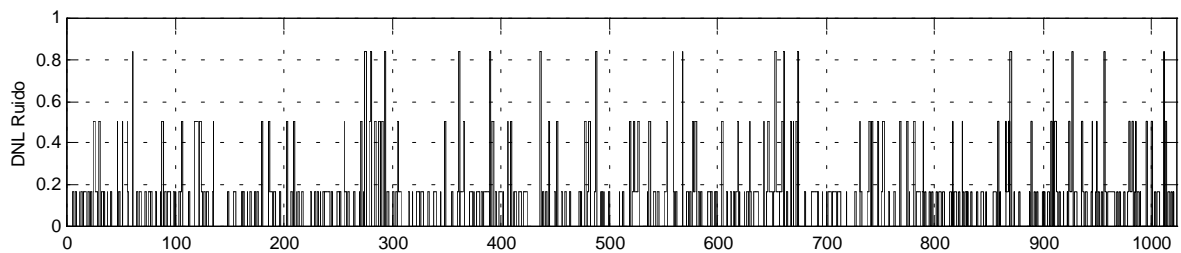
Os resultados obtidos estão presentes nas figuras 4.37 e 4.38. As tabelas 4.3 e 4.4 mostram a diferença em LSB para a estimação utilizando o método de histograma para senóide e para a rampa. Como o ruído é um sinal que pode ser modelado como uma soma de infinitas senóides, pode-se comprovar a partir destes resultados que a estimação utilizando o algoritmo para a senóide é mais eficaz e, portanto, este será o utilizado como resultado padrão de comparação com os resultados obtidos pelo método proposto.



(a)



(b)

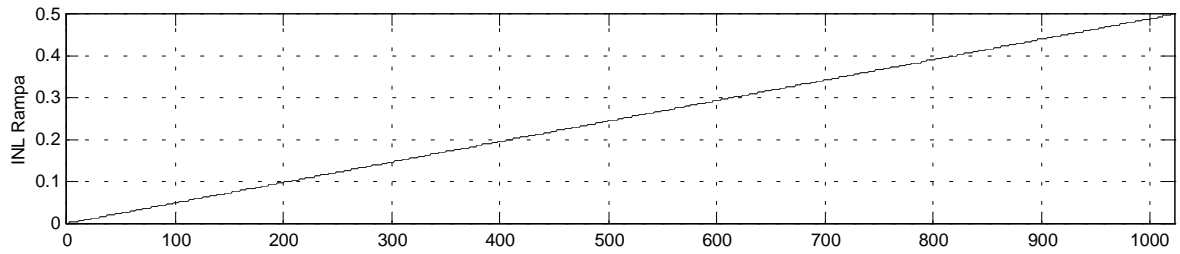


(c)

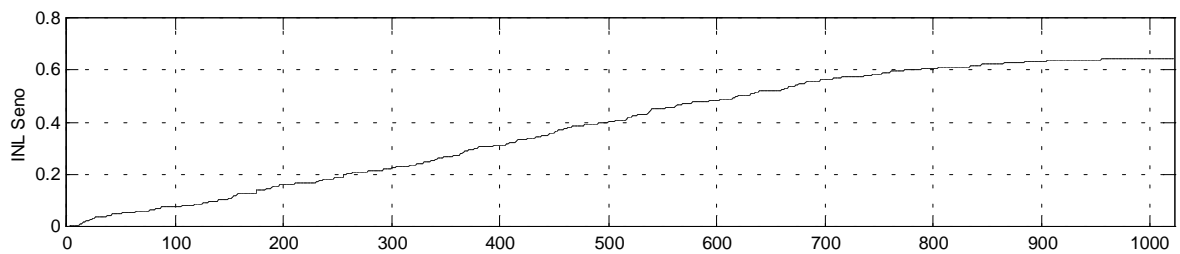
Figura 4.37 - Erros de DNL estimados pelo (a)método de histograma para rampa, (b)método de histograma para senóide, (c)métodos de ruído.

Tabela 4.3 - Valores máximos e mínimos de *DNL* estimados pelos métodos de histograma para senóide e rampa e pelo método baseado em ruído.

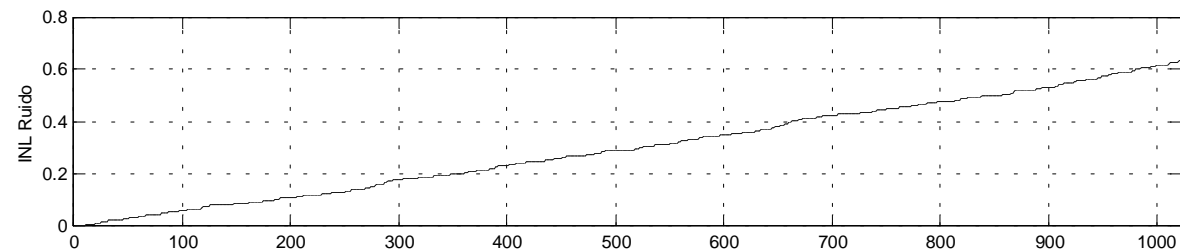
	DNL Máximo (LSB)	DNL Mínimo (LSB)
Rampa	9.7656e-004	0
Senóide	0.8730	0
Ruído	0.8359	0



(a)



(b)



(c)

Figura 4.38 - Erros de INL estimados pelo (a)método de histograma para rampa, (b)método de histograma para senóide, (c)métodos de ruído.

Tabela 4.4 - Valores máximos e mínimos de *INL* estimados pelos métodos de histograma para senóide e rampa e pelo método baseado em ruído.

	INL Máximo (LSB)	INL Mínimo (LSB)
Rampa	0.4990	0
Senóide	0.6440	0
Ruído	0.6310	0

Avaliando-se os erros de estimação entre Rampa – Ruído e Senóide – Ruído, os valores máximos encontrados são os seguintes:

Rampa – Ruído: Variação máxima de $DNL = 0.8349\text{LSB}$; Variação máxima de $INL = 0.1320\text{LSB}$.

Senóide – Ruído: Variação máxima de $DNL = 0.0371\text{LSB}$; Variação máxima de $INL = 0.0130\text{LSB}$.

Assim, como os resultados da estimação dos erros de conversores analógico-digitais excitados com ruído aproximaram-se da estimação com o histograma senoidal, este método será utilizado como método padrão de comparação.

4.6.1.1 Método do Histograma da Rampa

Segundo (BURNS, 2001), a maneira mais simples de realizar o teste do histograma é aplicar uma rampa perfeitamente linear (crescente ou decrescente) como sinal de entrada do conversor analógico-digital e adquirir amostras de sua saída a uma taxa de amostragem constante. As amostras são adquiridas de acordo com a taxa de variação da rampa.

A análise do número de ocorrências de cada código possibilita determinar a largura do código. Este número é utilizado como um histograma. O cálculo da largura do código $i = 0, 1, 2, \dots, 2^N - 1$ para um *ADC* de N bits é determinado a partir dos resultados do histograma de cada código i ($H(i)$).

Definindo o histograma médio como sendo (BURNS, 2001):

$$H_{m\u00e9dio} = \frac{1}{2^N - 2} \sum_{i=1}^{2^N - 2} H(i) \quad (4.4)$$

A largura de cada c\u00f3digo $i = 1, 2, \dots, 2^N - 2$ ser\u00e1 definida como (BURNS, 2001):

$$L_{\text{c\u00f3digo}}(i) = \frac{H(i)}{H_{m\u00e9dio}} \quad (4.5)$$

A equa\u00e7\u00e3o 4.5 exclui o c\u00f3digo mais alto e o c\u00f3digo mais baixo, pois eles n\u00e3o apresentam uma largura de c\u00f3digo definida.

A estima\u00e7\u00e3o dos erros de n\u00e3o-linearidade DNL e INL \u00e9 feita a partir destas larguras de c\u00f3digos. O erro DNL do c\u00f3digo $i = 1, 2, \dots, 2^N - 2$ \u00e9 estimado como (BURNS, 2001):

$$DNL(i) = L_{\text{c\u00f3digo}}(i) - 1 \quad (4.6)$$

E o erro INL do c\u00f3digo $i = 1, 2, \dots, 2^N - 2$ \u00e9 estimado como (BURNS, 2001):

$$INL(i) = \sum_{k=1}^{i-1} DNL(k) \quad (4.7)$$

4.6.1.2 M\u00e9todo do Histograma da Sen\u00f3ide

Outro sinal de excita\u00e7\u00e3o utilizado nos m\u00e9todos baseados em transi\u00e7\u00f5es de c\u00f3digos \u00e9 a sen\u00f3ide.

O algoritmo de estima\u00e7\u00e3o dos erros de conversores anal\u00f3gico-digitais para o m\u00e9todo do histograma senoidal necessita primeiramente determinar o *offset* e a amplitude m\u00e1xima do sinal. A partir dos resultados do histograma do ADC , \u00e9 poss\u00edvel estimar estes par\u00e2metros como (BURNS, 2001):

$$offset = \frac{C_2 - C_1}{C_2 + C_1} (2^N - 1) \quad (4.8)$$

$$amp_m\u00e1xima = \frac{2^{N-1} - 1 - offset}{C_1} \quad (4.9)$$

onde: $C_1 = \cos\left(\pi \frac{H(2^N - 1)}{N_s}\right)$, $C_2 = \cos\left(\pi \frac{H(0)}{N_s}\right)$ e N_s é o número total de amostras adquiridas.

A partir dos parâmetros estimados através das equações 4.8 e 4.9, pode-se determinar o valor ideal do histograma para o código $i = 1, 2, \dots, 2^N - 2$ (BURNS, 2001):

$$H_{ideal}(i) = \frac{N_s}{\pi} \left[\text{sen}^{-1} \left(\frac{i+1 - 2^{N-1} - offset}{amp_máxima} \right) - \text{sen}^{-1} \left(\frac{i - 2^{N-1} - offset}{amp_máxima} \right) \right] \quad (4.10)$$

A largura de código para o teste usando senóide é determinada como (BURNS, 2001):

$$L_código(i) = \frac{H(i)}{H_{médio}} \quad (4.11)$$

A estimação dos erros *DNL* e *INL* para o teste do histograma senoidal é feita segundo as equações 4.6 e 4.7, respectivamente.

5 ESTIMAÇÃO DOS ERROS DE NÃO-LINEARIDADE *DNL* E *INL*

Somente a detecção de falha em conversores analógico-digitais não é suficiente para sua caracterização, pois esta falha pode estar dentro da faixa tolerável para o uso destes componentes. A caracterização e o teste dos conversores vai mais além, e necessita de quantização de parâmetros estáticos e dinâmicos.

A chave para o bom funcionamento de um *ADC* é não haver nenhum código faltante (*MC - Missing Code*) e, portanto, ser um componente de comportamento monotônico. Isto significa que se a tensão de entrada variar por toda a escala do conversor, todos os códigos deverão aparecer na saída do mesmo. Um erro *DNL* menor que 1LSB garante que não haverá códigos faltantes. As figuras 5.1, 5.2 e 5.3 apresentam três casos distintos de erros de *DNL*:

1. No primeiro caso (figura 5.1), o *DNL* máximo é de -0.5LSB , o que garante que se toda a escala do conversor for percorrida pelo sinal de excitação, não haverá nenhum código faltante.
2. No segundo caso (figura 5.2), o *DNL* máximo é de -1LSB . Para este caso não se pode afirmar se haverá ou não códigos faltantes.
3. No terceiro caso (figura 5.3), o *DNL* máximo é de -2LSB , o que garante a existência de códigos faltantes e, conseqüentemente, o funcionamento inapropriado do conversor. Este é um conversor não-monotônico.

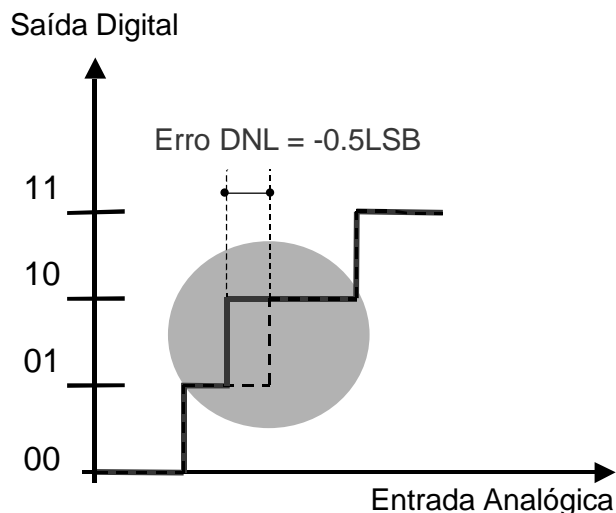


Figura 5.1 - Resposta de um conversor AD de 2 bits com *DNL* máximo de -0.5LSB : (- -) resposta ideal. Não há códigos faltantes.

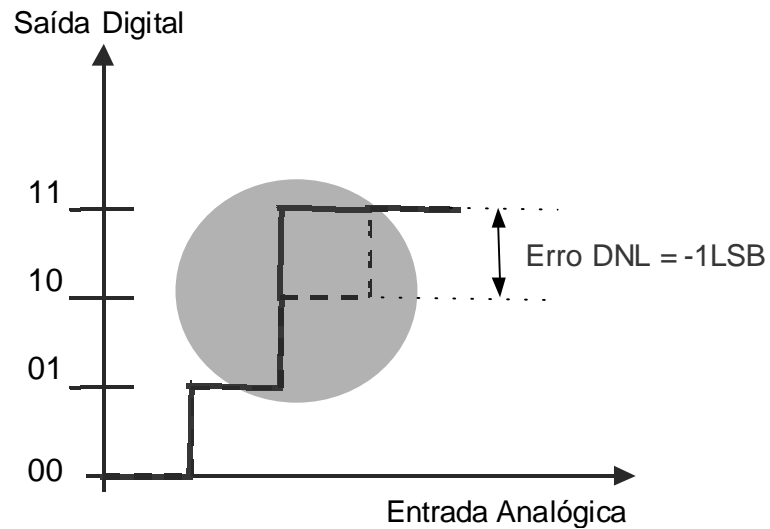


Figura 5.2 - Resposta de um Conversor AD de 2 Bits com DNL máximo de $-1LSB$: (- -) resposta ideal. Neste caso o código 10 está faltando, mas não é possível fazer nenhuma afirmação sobre códigos faltantes sem a curva.

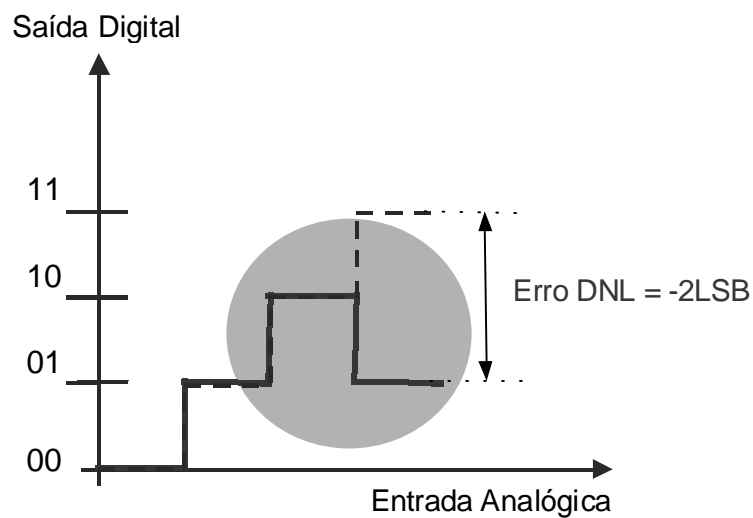


Figura 5.3 - Resposta de um Conversor AD de 2 Bits com DNL máximo de $-2LSB$: (- -) resposta ideal. Neste caso pode-se afirmar que nem todos os códigos irão aparecer na saída.

Assim, a avaliação dos valores máximos dos erros de não-linearidade DNL e INL são fundamentais para a caracterização dos conversores analógico-digitais, bem como suas respectivas curvas.

Conforme apresentado no capítulo 2 (itens 2.1.1 e 2.2.1), a determinação destes parâmetros e o levantamento das curvas é normalmente realizado pelos métodos baseados em histograma. Vale ressaltar que este método necessita de um sinal de referência a ser

armazenado e deve ser realizado para um grande número de amostras do sinal de entrada, tornando-se, assim, lento e complexo. Além disto, a entrada deve ser espectralmente pura, o que aumenta a complexidade do circuito gerador, bem como a área envolvida no sistema *BIST*.

O método do histograma é bem conhecido e consolidado na comunidade científica para o levantamento dos parâmetros máximos e mínimos de *INL* e *DNL*, além das suas respectivas curvas. A principal vantagem de sua utilização é a exatidão dos resultados obtidos, pois permite a determinação dos erros de *INL* com uma incerteza expressa em frações de *LSBs* (ADAMO, 2001). Em contraponto, este método necessita de um grande tempo de teste, devido as suas características estatísticas, que requerem um grande número de amostras. Este número de amostras cresce exponencialmente com o aumento do número de bits do conversor, dificultando a aplicação do método para *ADCs* de alta resolução.

A alternativa viável para o teste de conversores analógico-digitais de alta resolução é a utilização dos métodos de teste baseados na análise espectral. A análise espectral torna-se vantajosa em relação ao método do histograma por duas razões principais: primeiro por ser mais representativa quanto à realidade de utilização do conversor, e segundo por necessitar de um número inferior de amostras, o que resultará em um tempo menor de teste.

Apesar do *BIST* para conversores *AD* ser uma linha recente de pesquisa, alguns trabalhos têm sido desenvolvidos (ADAMO, 2002; ADAMO, 2001; AZÄIS, 2002a) focando na caracterização estática do conversor a partir de um teste dinâmico, cujo sinal de excitação é uma senóide. Neste trabalho, propõe-se uma caracterização completa do conversor analógico-digital através da expansão do método baseado em ruído proposto no capítulo 3, buscando a determinação dos valores máximos de erros de não-linearidades *DNL* e *INL*, e suas respectivas curvas. Vale ressaltar que as vantagens de utilização de um sinal de banda larga gerado com complexidade inferior à da geração de sinais padrões (seno e rampa) também são mantidas.

5.1 MODELAMENTO DO CONVERSOR *AD*

Segundo (CSIZMADIA, 1999), um conversor analógico-digital pode ser modelado conforme a figura 5.4.

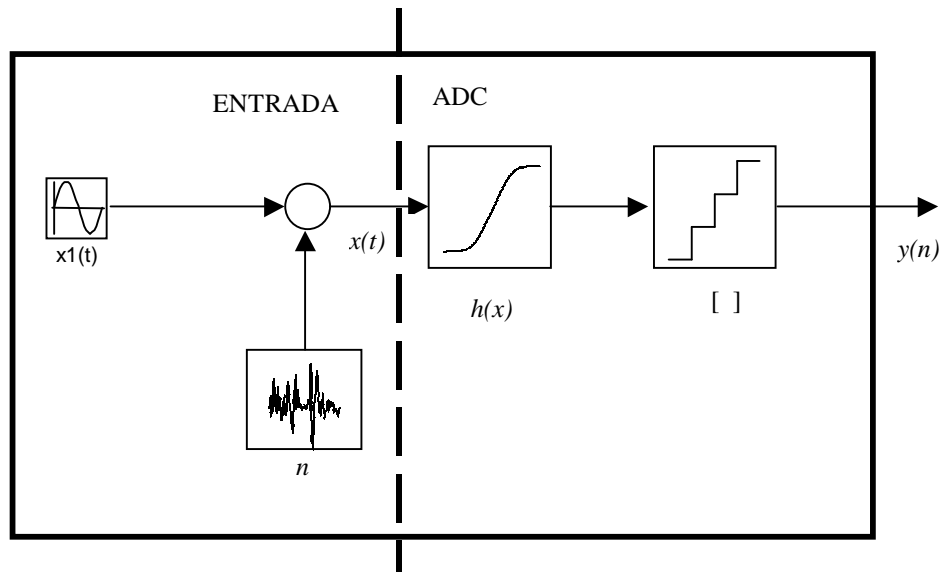


Figura 5.4 - Modelo do conversor analógico-digital (CSIZMADIA, 1999).

onde:

$x(t)$ é o sinal de excitação senoidal do conversor;

$h(x)$ é a não-linearidade presente no conversor AD, modelada através de um polinômio de grau $\leq L$;

[] é a quantização do sinal;

n é o ruído térmico inerente ao sistema.

5.2 ESTIMAÇÃO DA NÃO-LINEARIDADE A PARTIR DA ENTRADA SENOIDAL

Seguindo a análise feita por (CSIZMADIA, 1999), o sinal senoidal de entrada é dado por:

$$x(t) = A \sin(\omega t) - c \quad (5.1)$$

onde:

A é a amplitude máxima do sinal;

ω é a frequência da senóide;

c é o *offset*.

A distorção harmônica total quadrática, THD^2 , pode ser estimada como (CSIZMADIA, 1999):

$$THD^2 = \sum_{n=2}^L \frac{|Y(n)|^2}{|Y(1)|} \quad (5.2)$$

onde:

$Y_k(n)$ é o n-ésimo coeficiente de Fourier de $y(t)$;

L é o número de harmônicas consideradas, normalmente um inteiro entre 5,...,10.

Para um caso ideal, desconsiderando-se o ruído térmico, pode-se estimar a não-linearidade h como (CSIZMADIA, 1999):

$$\tilde{h}(y) = Y(0) + 2 \cdot \sum_{n=1}^L i^n Y(n) \cdot T_n\left(\frac{y}{A}\right) \quad (5.3)$$

onde:

n é o número de componentes espectrais (harmônicas);

A é a amplitude máxima do sinal;

T_n é o n-ésimo polinômio de Chebychev de 1ª ordem.

5.3 POLINÔMIOS DE CHEBYCHEV DE PRIMEIRA ORDEM

O n-ésimo polinômio Chebychev de primeira ordem pode ser determinado como (STROOCK, 1991):

$$T_n(x) = \cos(n \arccos(x)) \quad (5.5)$$

O cálculo destes polinômios pode ser feito recursivamente (STROOCK, 1991):

$$T_n(x) = 2 \cdot x \cdot T_{n-1}(x) - T_{n-2}(x) \quad (5.6)$$

os polinômios iniciais são (STROOCK, 1991):

$$\begin{aligned} T_0(x) &= 1, \\ T_1(x) &= x \end{aligned} \quad (5.7)$$

5.4 ESTIMAÇÃO DA NÃO-LINEARIDADE A PARTIR DA ENTRADA DE BANDA LARGA

Expandindo-se o método proposto por (CSIZMADIA, 1999) para ser implementado com um sinal de entrada de banda larga, modela-se este sinal como sendo uma soma de k senóides. Para este sinal, o conversor analógico-digital é modelado como proposto pela figura 5.5.

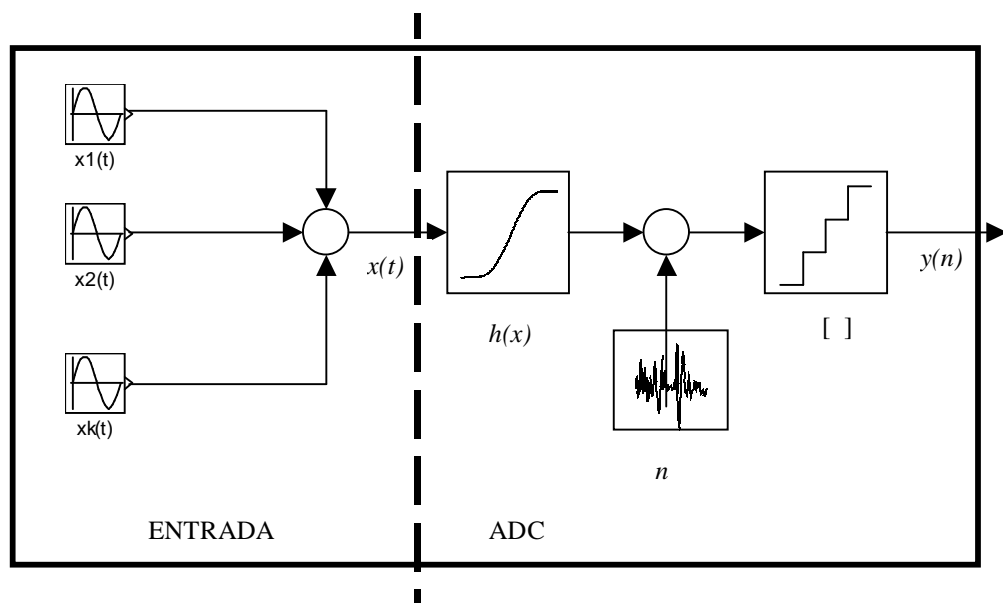


Figura 5.5 - Modelo de um conversor analógico-digital.

onde:

$x(t)$ é o sinal de excitação do conversor - Ruído formado pela soma de $k \rightarrow \infty$ senóides;

$h(x)$ é a não-linearidade presente no conversor AD, modelada através de um polinômio de grau $\leq L$;

[] é a quantização do sinal;

n é o ruído térmico inerente ao sistema.

Supondo que o sinal de entrada seja modelado como:

$$\begin{aligned}
 x(t) &= x_1(t) + x_2(t) + \dots + x_k(t) \\
 x(t) &= \sum_{i=1}^k A_i \text{sen}(w_i t) - c
 \end{aligned} \tag{5.8}$$

e que o sinal de saída $y(n)$ já tenha passado pela não-linearidade do conversor AD, conforme o modelo apresentado na figura 5.5. Desconsiderando-se o efeito do ruído térmico, a estimação da distorção harmônica total quadrática a partir da saída é dada por (CSIZMADIA, 1999):

$$TDH^2 = \sum_{j=1}^k \sum_{n=2}^L \frac{|y_j(n)|^2}{|y_j(1)|} \tag{5.9}$$

Seguindo o desenvolvimento apresentado no item 5.2, a não-linearidade presente no conversor pode ser estimada como (CSIZMADIA, 1999):

$$\tilde{h}(y) = \sum_{j=1}^k Y_j(0) + 2 \cdot \sum_{j=1}^k \sum_{n=1}^L i^n T_n \left(\frac{y_j}{A_j} \right) \tag{5.10}$$

onde:

j é o número de senos considerado no modelo do ruído;

n é o número de componentes espectrais consideradas no sinal de saída;

T_n é o n -ésimo polinômio de Chebychev de primeira ordem;

A_j é a amplitude do componente espectral do sinal de saída.

Sabendo-se que o erro de *INL* (h) pode ser expresso pela integração do erro de *DNL* (equação 2.2), propõe-se a estimação do erro *DNL* através do processo inverso, ou seja, através da derivação do erro *INL*:

$$DNL(i) = \frac{d}{d_i} INL(i) \quad (5.11)$$

ou ainda:

$$DNL(i) = \frac{d}{d_i} \tilde{h} \quad (5.12)$$

5.5 VALIDAÇÃO

Para validar o método de estimação dos erros de não-linearidade *INL* e *DNL* em conversores analógico-digitais, simulações e resultados experimentais foram realizados.

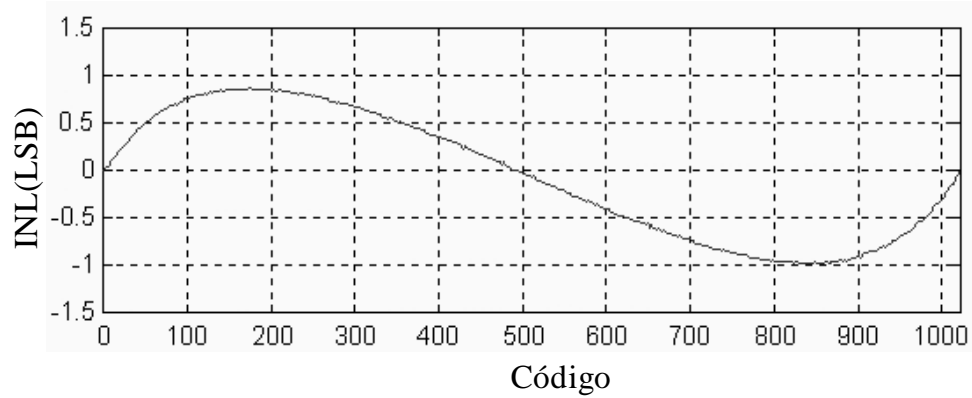
5.5.1 SIMULAÇÕES

O primeiro experimento realizado para a validação do método de estimação de *INL* e *DNL* visa a reconstrução de uma não-linearidade conhecida, que foi inserida no conversor *AD* simulado.

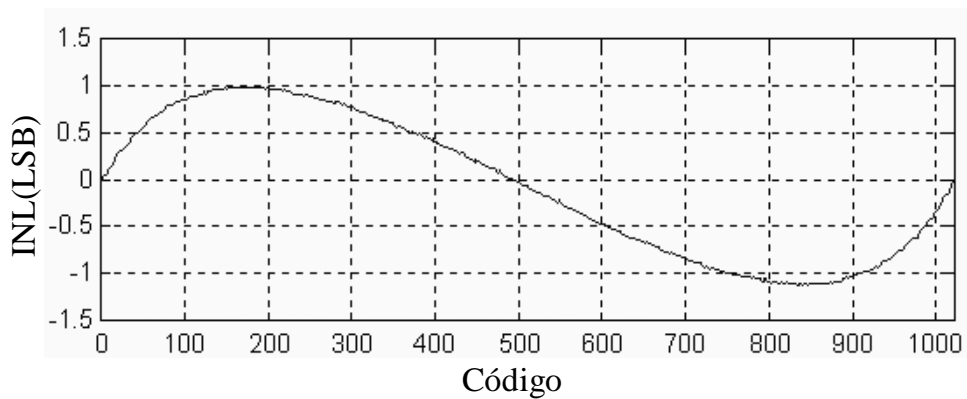
Primeiramente, testa-se a reconstrução da curva de erro de *INL* através da excitação senoidal, conforme proposto por (CSIZMADIA, 1999). A figura 5.6 apresenta tais resultados e a comparação com o método padrão do histograma senoidal (BURNS, 2001) para um conversor real de 10 bits. Os valores nominais de máximos e mínimos para as duas abordagens são apresentados na tabela 5.1, de onde se pode validar a utilização da análise espectral para o levantamento do comportamento estático do conversor analógico-digital.

Tabela 5.1 - Valores máximos e mínimos para o erro *INL* de um *ADC* de 10 bits

Método	<i>INL</i> Mínimo (LSB)	<i>INL</i> Máximo (LSB)
CSIZMADIA, 1999	-0.9840	0.8649
Histograma	-1.1190	0.9836



(a)



(b)

Figura 5.6 - Estimação da curva de não linearidade INL : (a) segundo (CSIZMADIA, 1999); (b) segundo o método do histograma.

Expandindo-se o método para o sinal de ruído, seguindo o modelo proposto na figura 5.5, uma não-linearidade h foi inserida no ADC de 8 bits simulado no Matlab[®], e o método de estimação foi reproduzido utilizando um ruído branco gerado no próprio ambiente de simulação. O diagrama deste experimento é apresentado na figura 5.7.

A figura 5.8 mostra a curva da não-linearidade inserida e a curva da não-linearidade reconstruída através do algoritmo proposto, enquanto a figura 5.9 mostra o erro de estimação. Para o pior caso (erro máximo), o INL estimado apresentará um erro de 0,1044% em relação ao inserido.

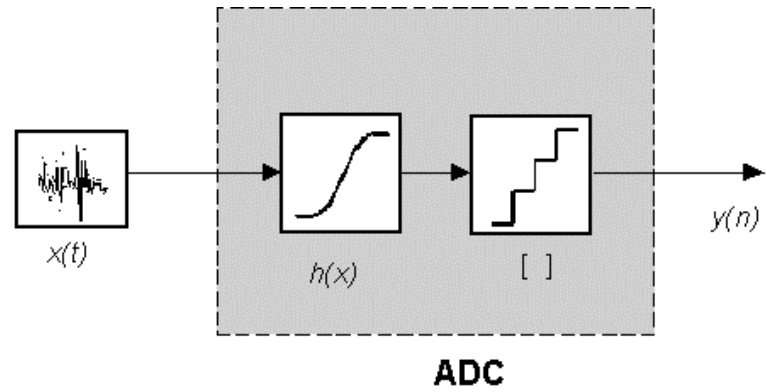
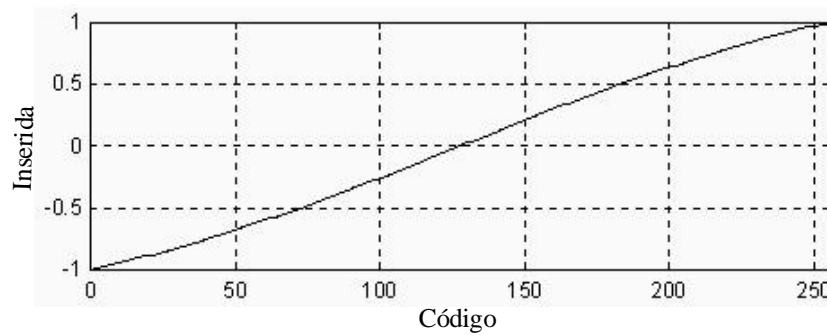
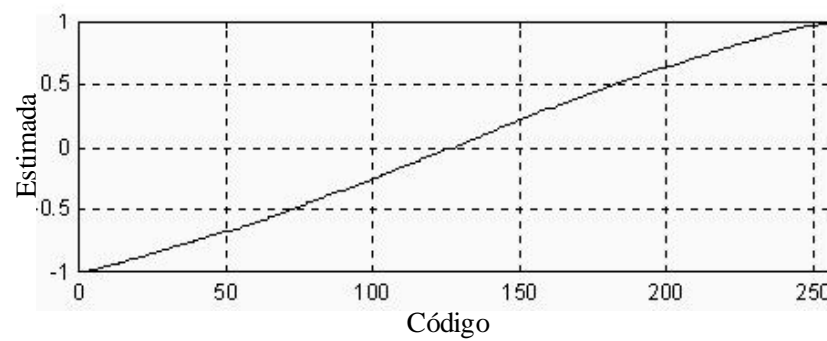


Figura 5.7 - Diagrama do experimento de reconstrução da curva de não-linearidade a partir do ruído branco.



(a)



(b)

Figura 5.8 - Não-linearidade *INL*: (a) Inserida; (b) Estimada para um sinal de excitação gerado no Matlab®

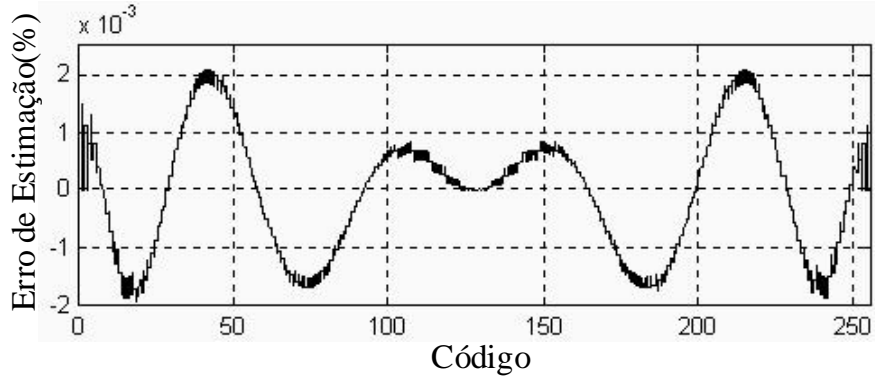
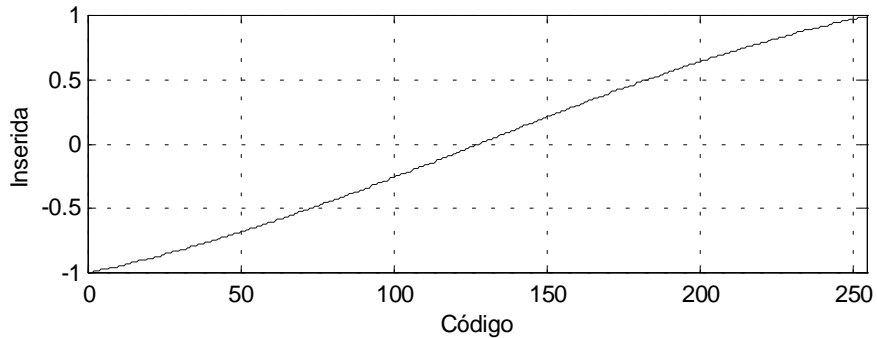
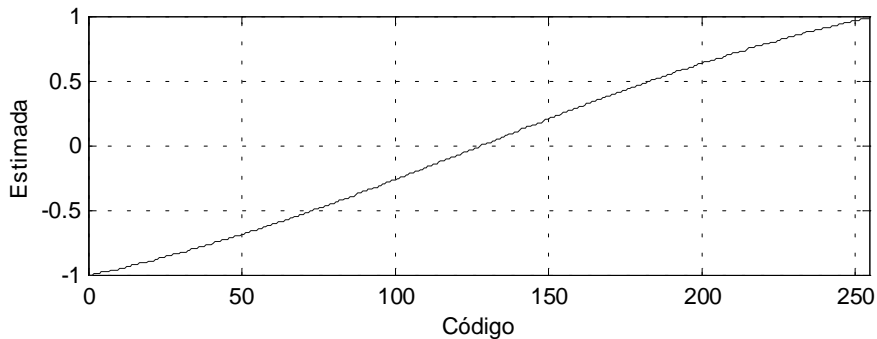


Figura 5.9 - Erro de Estimação entre a *INL* inserida e estimada para um sinal de excitação gerado no Matlab® .

A segunda bateria de testes para a validação do método de estimação proposto também busca a reconstrução da não-linearidade inserida (conforme diagrama apresentado na figura 5.7), mas neste caso o sinal de excitação utilizado foi o ruído gerado pelo gerador de ruído prototipado proposto no capítulo 4. Os resultados referentes a essa bateria de teste são apresentados pelas figuras 5.10 e 5.11, onde o erro máximo de estimação é da ordem de 0,3606%.



(a)



(b)

Figura 5.10 - Não-linearidade *INL*: (a) Inserir; (b) Estimada para um sinal de excitação gerado no protótipo de gerador de ruído

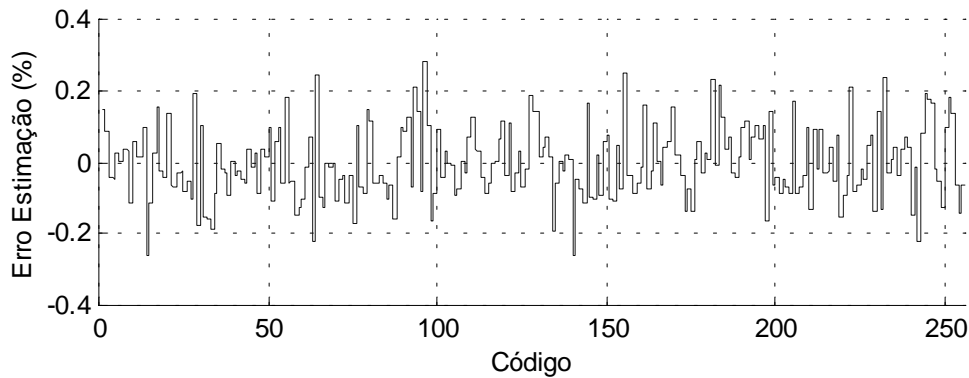


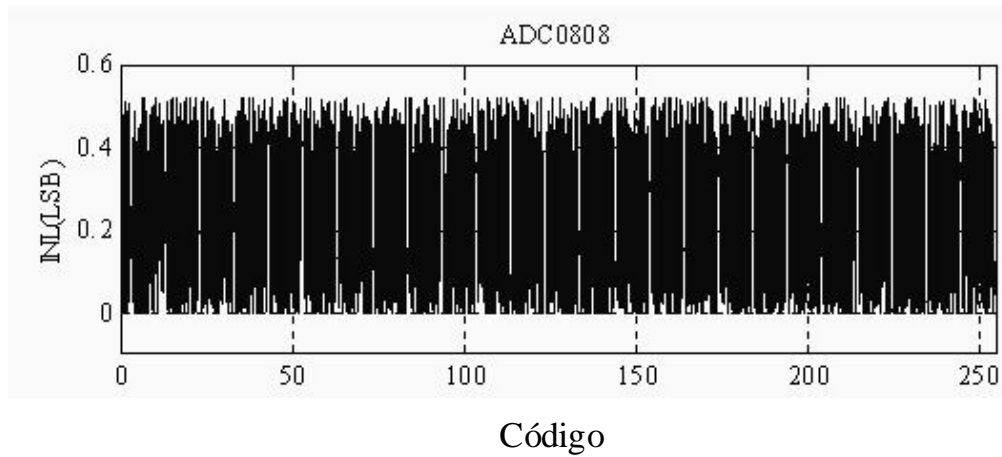
Figura 5.11 - Erro de Estimação entre a *INL* inserida e estimada para um sinal de excitação gerado no protótipo de gerador de ruído

5.5.2 RESULTADOS PRÁTICOS

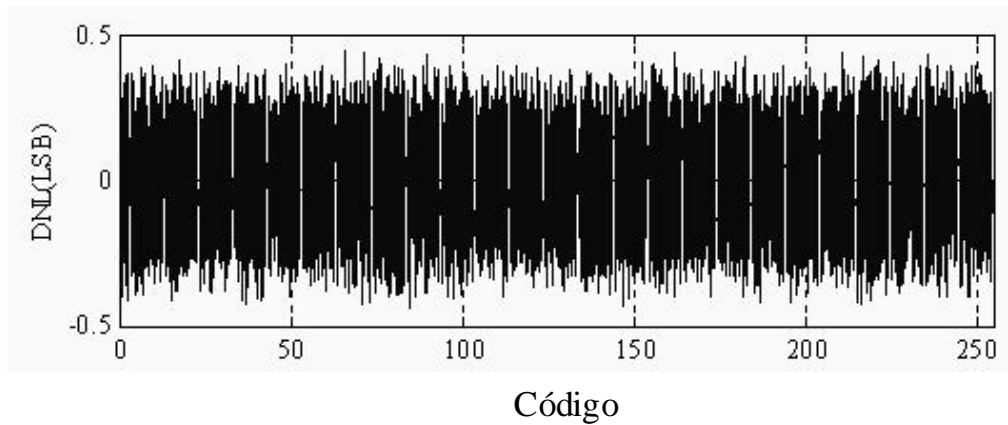
Dois experimentos práticos são propostos para a validação do método de estimação do *INL* e do *DNL* a partir da análise espectral: o primeiro visa a estimação dos valores máximos referentes a conversores comerciais, e o segundo busca a reconstrução da curva e comparação com o método do histograma do conversor prototipado.

O primeiro caso de teste utilizou os conversores comerciais de 8 bits da *National Semiconductors*[®] *ADC0808* e *ADC0809*. Segundo os respectivos manuais (NATIONAL, 1999), os valores máximos de erros devem ser 0.5LSB e 1LSB. Após a utilização do método de teste proposto no capítulo 3 com o ruído obtido pelo gerador proposto no item 4.3, os erros de não-linearidade foram estimados segundo o algoritmo proposto no item 5.4. Tais erros são apresentados na figura 5.12 para o conversor *ADC0808* e na figura 5.13 para o conversor *ADC0809*.

Avaliando os resultados obtidos, o primeiro conversor em teste (figuras 5.12 e 5.13) apresentou um *INL* máximo estimado de 0.52LSB, o que, comparado com o valor especificado pelo manual do fabricante (máximo de 0.5LSB) (NATIONAL, 1999), representa um erro máximo de estimação de 4%. O segundo conversor em teste (figura 5.10), apresentou um *INL* máximo de 0.819LSB, o que representa um erro máximo de estimação de 18.1% na hipótese que o conversor em questão fizesse parte do lote de erro máximo de 1LSB. Este erro é aceitável na medida em que o valor máximo é estipulado pelo manual do fabricante, o que não quer dizer que todos os componentes fabricados irão alcançá-lo.



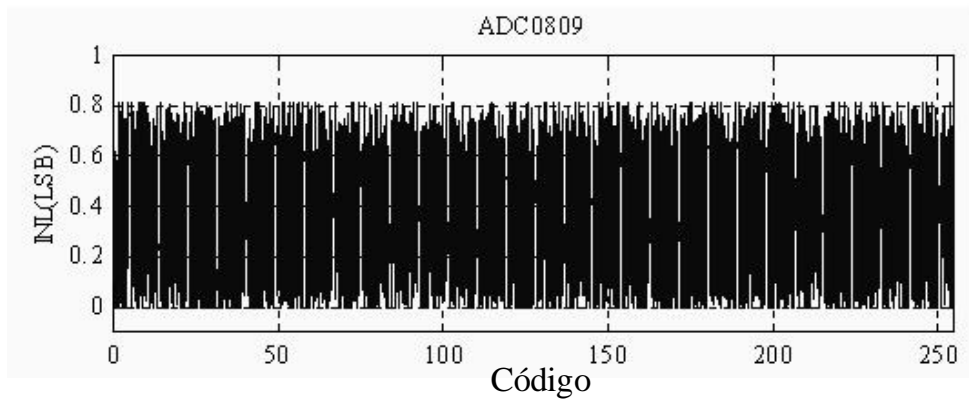
(a)



(b)

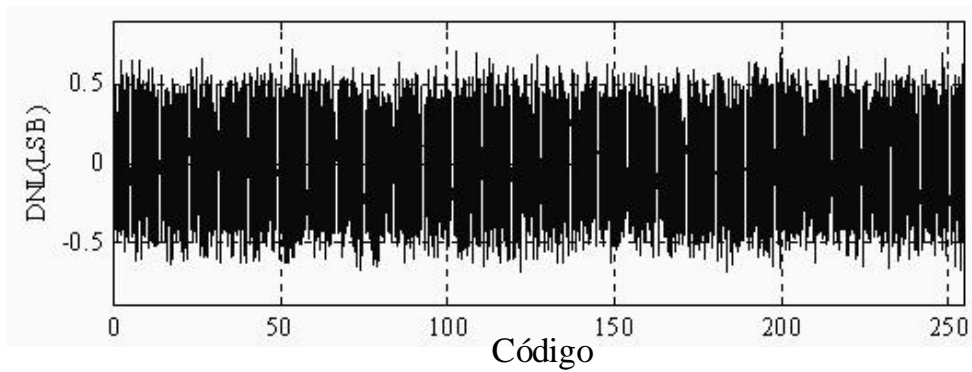
Figura 5.12 - Erro: (a) *INL* e (b) *DNL* estimados para o Conversor *ADC0808*.

A segunda bateria de experimentos práticos foi realizada utilizando o conversor de aproximações sucessivas prototipado. Excitando-o com ruído e realizando o processo de estimação de erros de *INL* e *DNL* proposto, foram obtidas as curvas apresentadas nas figuras 5.14 e 5.15, com os respectivos valores estimados pelo método do histograma. Os valores de máximo e mínimo obtidos através dos dois métodos de estimação são apresentados nas tabelas 5.2 e 5.3.



(a)

Figura 5.13 - Erro de não-linearidade estimados para o conversor *ADC0809*: (a) *INL*.



(b)

Figura 5.13 - Erro de não-linearidade estimados para o conversor *ADC0809*: (b) *DNL*.

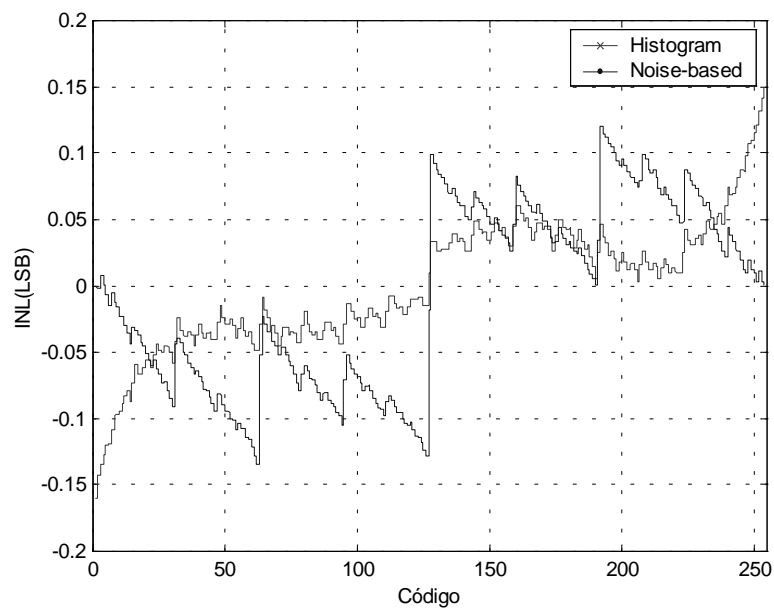


Figura 5.14 – Erro INL estimado para o conversor AD prototipado: (.) através do método proposto baseado em ruído; (x) através do histograma da senóide.

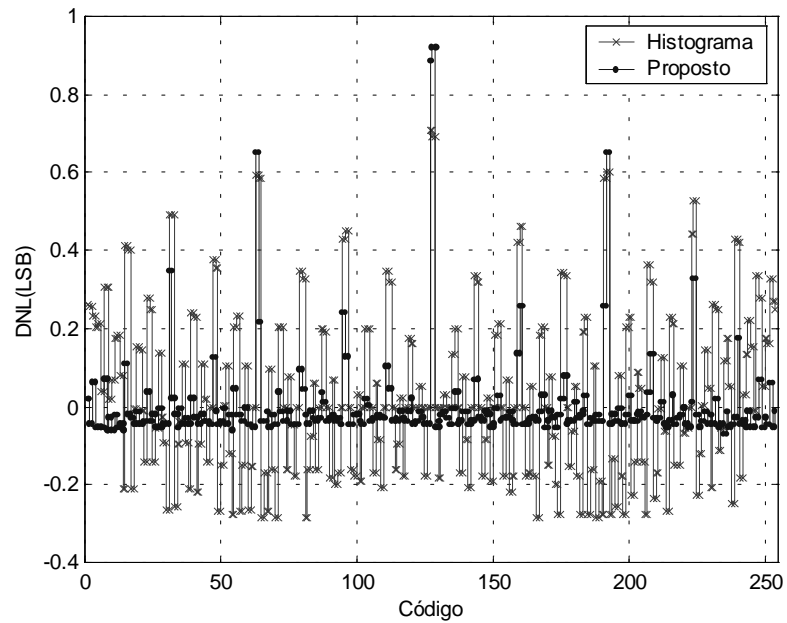


Figura 5.15 – Erro DNL estimado para o conversor AD prototipado: (.) através do método proposto baseado em ruído; (x) através do histograma da senóide.

Tabela 5.2 - Valores máximos e mínimos de *INL* estimados pelos métodos de histograma e do método baseado em ruído.

Método	<i>INL</i> Máximo (LSB)	<i>INL</i> Mínimo (LSB)
Ruído	0.1544	-0.1612
Histograma	0.1151	-0.1334

Tabela 5.3 - Valores máximos e mínimos de *DNL* estimados pelos métodos de histograma e do método baseado em ruído.

Método	<i>DNL</i> Máximo (LSB)	<i>DNL</i> Mínimo (LSB)
Ruído	0.9194	-0.2680
Histograma	0.7820	-0.2846

A tabela 5.4 apresenta valores comparativos entre as implementações do método do histograma e do método baseado em ruído proposto para as estimativas de *INL* e *DNL*. Apesar de apresentar erros de estimativa, o número de pontos necessário para cada método (apresentado na tabela 5.5) ressalta a validade da utilização do método de teste proposto para a estimativa dos parâmetros estáticos através de avaliação dinâmica.

Tabela 5.4 – Erros de estimativa máximos do método proposto em relação ao método do histograma.

	Parâmetro Máximo		Parâmetro Mínimo	
	LSB	%	LSB	%
<i>DNL</i>	0.1374	14.95	0.0166	6.19
<i>INL</i>	0.0393	25.45	0.0278	17.24

Tabela 5.5 – Número de pontos necessários para a estimativa do *INL* e *DNL* de cada método.

Método	Número de pontos mínimo
Histograma	128000
Proposto	8192

5.6 TESTE EMBARCADO

A proposta de embarcar o método de teste de conversores analógico-digitais baseado em ruído foi realizada através de uma cooperação com o *Brazil Semiconductor Technology Center (BSTC)* da Motorola (FLORES, 2003).

A validação foi implementada de modo a verificar a caracterização completa de um conversor analógico-digital de 10bits comercial em desenvolvimento no *BSTC*, além da viabilidade da utilização do método proposto como um sistema *BIST*. Busca-se portanto a estimativa de

parâmetros estáticos (*DNL* e *INL*) e parâmetros dinâmicos (*THD* e *SINAD*) deste conversor específico.

O protótipo constituiu-se na implementação do gerador de ruído junto ao *ADC* e a implementação do método foi feita reutilizando-se as capacidades de hardware (processadores) disponíveis no *SoC* do qual o conversor analógico-digital faz parte.

5.6.1 CARACTERIZAÇÃO ESTÁTICA

Foi estimado o comportamento de linearidade do conversor analógico-digital comercial de 10 bits em desenvolvimento no *BSTC* utilizando o método de análise espectral proposto no item 5.4.

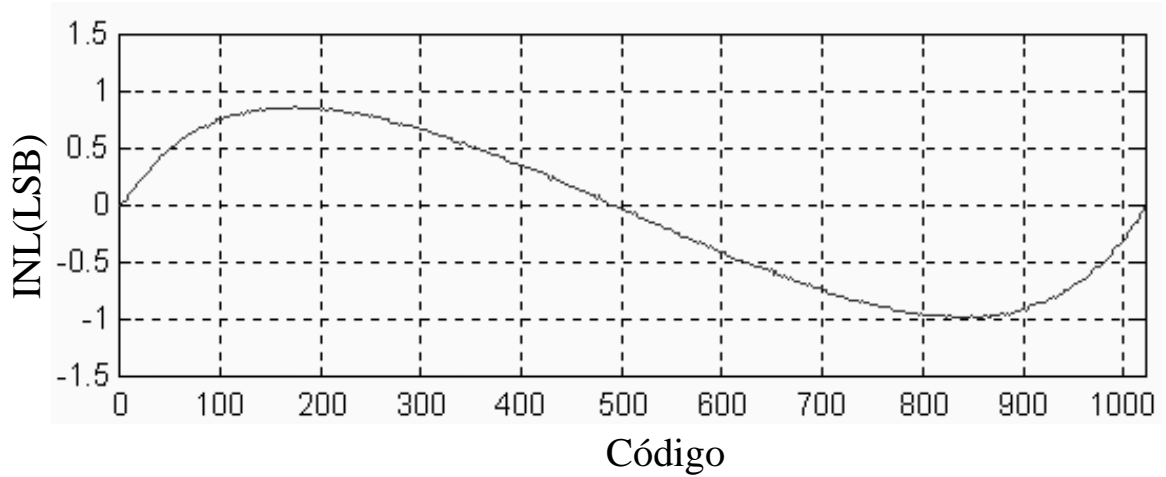
As figuras 5.16 apresentam o erro de não linearidade integral deste conversor em teste. Na figura 5.16(a) o erro *INL* é estimado através do método baseado em ruído proposto por este trabalho, enquanto a figura 5.16(b) o erro *INL* é estimado através do método do histograma (BURNS, 2001).

De acordo com estes resultados, a tabela 5.6 apresenta os valores máximos e mínimos estimados através dos dois métodos.

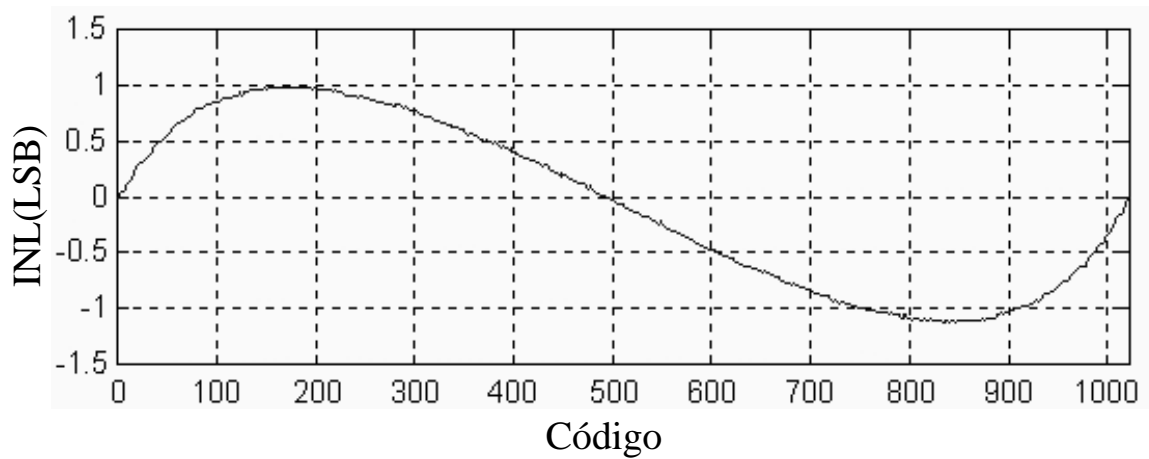
Tabela 5.6 - Valores máximos e mínimos para o erro *INL* de um *ADC* de 10 bits

Método	<i>INL</i> Mínimo (LSB)	<i>INL</i> Máximo (LSB)
Baseado em Ruído	-0.9840	0.8649
Histograma	-1.1190	0.9836
Diferença	0.1350	0.1187

A figura 5.17 apresenta os resultados de estimação de erro diferencial de linearidade para o conversor em teste, utilizando os dois métodos (baseado em ruído e histograma). A tabela 5.7 apresenta os valores máximos e mínimos de *DNL* obtidos nesta estimação.



(a)

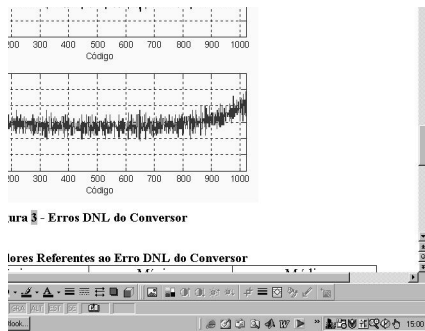


(b)

Figura 5.16 – Estimação do Erro de *INL* através do: (a) método baseado no ruído; (b) método do histograma

Tabela 5.7 - Valores máximos e mínimos para o erro DNL de um ADC de 10 bits

Método	<i>DNL</i> Mínimo (LSB)	<i>DNL</i> Máximo (LSB)
Baseado em Ruído	-0.5869	1.0000
Histograma	-0.6980	1.0894
Diferença	0.1111	0.0894



(a)

(b)

Figura 5.17 – Estimação do Erro de *DNL* através do: (a) método baseado no ruído; (b) método do histograma

Analisando-se os resultados obtidos, pode-se concluir que o método de teste de conversores analógico-digitais baseado em ruído também é válido para a caracterização estática do mesmo. Comparando esses resultados com os obtidos através do método padrão do histograma, a resposta do método proposto foi bastante satisfatória. Considerando o erro de não linearidade integral, obteve-se uma diferença de 0.13LSB para os valores máximos e 0.12LSB para os valores mínimos. Considerando o erro de não linearidade diferencial, obteve-se uma diferença de 0.11LSB entre as estimações do valor máximo e 0.09LSB entre as estimações do valor mínimo.

5.6.2 CARACTERIZAÇÃO DINÂMICA

A caracterização dinâmica do conversor analógico-digital de 10 bits em teste foi realizada a fim de estimar os parâmetros de *SINAD* e *THD*. Para que houvesse comparação com os parâmetros padrões o *ADC* em teste foi excitado também com uma senóide, além do ruído necessário para o método proposto.

Os parâmetros *THD* e *SINAD* foram estimados considerando-se que cada senóide do modelo inseria componentes harmônicas independentes e, assim, foram computados o valor de distorção causado por cada uma destas senóides. Os valores finais de caracterização dinâmica do conversor foi determinado pela soma de cada parcela de distorção.

As tabelas 5.8 e 5.9 apresentam os resultados da *SINAD* e da *THD*, respectivamente. O valor estimado para um senóide única também é apresentado para efeitos de comparação dos resultados obtidos através do método proposto.

Tabela 5.8 – Estimação do Parâmetro *THD*

Sinal de Entrada	<i>THD</i>(dB)	<i>THD</i>(%)
Ruído	42.9093	26.4096
Senóide	41.0230	22.0931
Diferença	1.8863	4.3165

Tabela 5.9 – Estimação do Parâmetro *SINAD*

Sinal de Entrada	<i>SINAD</i>(dB)	<i>SINAD</i>(%)
Ruído	71.5471	18.9941
Senóide	67.3268	15.3385
Diferença	4.2203	3.6556

Os resultados obtidos na caracterização dinâmica do conversor através do método baseado em ruído podem ser considerados satisfatórios. A diferença 1.89dB na estimação da *THD* e de 4.22dB na estimação da *SINAD* são decorrentes do modelo de infinitas senóides como sinal de entrada.

5.6.3 ACRÉSCIMO DE ÁREA DO SISTEMA

A avaliação da viabilidade de utilização do sistema proposto como *BIST* considera o acréscimo de área referente ao gerador de ruído proposto. Os valores de área referentes a este circuito foram projetados no *BSTC* da Motorola (FLORES, 2003) e são apresentados na tabela 5.10.

Tabela 5.10 – Valores de área do projeto

Bloco	Área(μm^2)
Lógica de Controle, LFSR e Contadores	28900
Circuito RC	26657
Level Shifter	820
<i>BIST</i> total	56377
Conversor utilizado	764000

Analisando os resultados de área envolvidos na implementação do método proposto como *BIST* do *ADC* comercial de 10 bits em desenvolvimento no *BSTC* da Motorola e comparando com a área total do sistema (acréscimo de área do *BIST* + área do conversor), pode-se concluir que os resultados foram bastante satisfatórios. O acréscimo do *BIST* é de apenas 6.9% da área total do sistema. Ainda, considerando-se que a parte lógica do circuito possa ser implementada no *SoC*, o acréscimo de área analógica é de apenas 3.57% da área total do sistema.

5.7 TEMPO DE TESTE

O tempo de teste envolvido no sistema implementado é muito inferior ao do método do histograma, devido ao processamento de um número muito menor de amostras. A análise espectral das 8.192 amostras envolvidas no método proposto deverá ser processada por um processador presente no sistema, enquanto o método do histograma envolve o processamento de 128.000 amostras de saída do *ADC*.

Considerando-se conversores comerciais, por exemplo o *ADC0808* da National (NATIONAL, 1999) a taxa de processamento é de 8kHz. Para o processamento espectral do método proposto através do ADSP2100 (ANALOG, 1999), o processador funciona a 12MHz. A tabela 5.11 (ANALOG, 1999) apresenta o número de ciclos e tempo necessário para a realização de uma FFT de 1024 pontos.

Tabela 5.11 – FFT de 1024 pontos no ADSP2100 (@12MHZ)

Rotina	Número de Ciclos	Tempo(μs)
FFT Radix-4	37203	2980
Bit Reverso	2058	164.64
Janelamento	4107	328.56
Total	43368	3473.2

Seguindo os valores de bechmark apresentados pela tabela 5.11, pode-se concluir que o processador consome 43368 ciclos para realizar uma FFT janelada de 1024 pontos o que equivale a 3.47ms. O tempo de processamento da FFT utilizada pelo método baseado em ruído (8 FFTs janeladas) seria de 27.8ms.

6 DISCUSSÕES E CONCLUSÕES

Este trabalho focou no projeto e na implementação de um novo método de teste de conversores analógico-digitais. Analisando-se os métodos presentes na literatura, tais como (FERNANDES, 2002; AZÃIS, 2001b; BURNS, 2001; JESPER, 2000; IEEE, 1999; TILDEN, 1999; ARABI, 1996; MIELKE, 1996; DOERNBERG, 1984), verificou-se que dois pontos básicos deveriam ser estudados para a obtenção de um método conciso, rápido e capaz de ser implementado como *BIST*: o sinal de excitação e o algoritmo de estimação dos parâmetros de caracterização dos componentes em teste.

Primeiramente, pôde-se verificar que todos os métodos propostos na literatura necessitavam de um gerador de sinais de alta precisão e resolução, pois o sinal de entrada deveria ser conhecido e de alta definição para que os resultados obtidos fossem válidos. Normalmente, estes métodos utilizam geradores de rampa ou senóides, o que ocasiona um acréscimo considerável de área para a implementação *BIST* através de uma estrutura *ADC-DSP-DAC*. Assim, concluiu-se que seria necessário o projeto de um gerador de sinais de excitação de menor complexidade para a obtenção de um método otimizado de teste de conversores analógico-digitais.

O segundo ponto a ser destacado após a avaliação dos métodos presentes na literatura é a necessidade de utilização de dois métodos de teste diferentes para que a caracterização completa (estática e dinâmica) do conversor pudesse ser realizada. Assim, a implementação de um método otimizado de teste de conversores analógico-digitais deveria ser capaz de avaliar características estáticas e dinâmicas do mesmo.

Após a definição destes dois pontos de otimização para *BIST* foi desenvolvida a estratégia de otimização. O estudo dos principais erros presentes em conversores analógico-digitais possibilitou a escolha do foco do trabalho: os erros de não-linearidade (*DNL* e *INL*), pois os mesmos são inerentes a todos os conversores *AD*, devido ao processo não-linear de amostragem. Como a excitação através de rampa ou seno envolve uma área de geração considerável, testou-se a hipótese de teste com outro sinal de excitação: o ruído branco. Analisando vários conversores falhos e suas respostas ao ruído foi possível provar a hipótese de associação de inserção de componentes extra de frequência pela presença de erros de não-linearidade em conversores analógico-digitais.

Assim, um gerador de ruído branco foi projetado e prototipado com uma sobrecarga mínima de área analógica, e o mesmo foi utilizado como sinal de excitação de

conversores analógico-digitais simulados, comerciais e prototipados para a comprovação da eficiência de teste de conversores analógico-digitais através de ruído. Os resultados obtidos foram satisfatórios, e a possibilidade de integração do gerador em um *BIST* é plenamente viável.

O segundo ponto a ser estudado para a obtenção de um sistema de teste de conversores analógico-digitais otimizado é o algoritmo de detecção e estimação de erros de não-linearidade. Na maioria das vezes, isto é feito utilizando-se o método do histograma, que envolve um algoritmo computacionalmente intensivo para a determinação da variação de transições (determinação da *pdf* do sinal), além de necessitar de uma memória extra para o armazenamento de uma resposta padrão que será utilizada como comparação com a resposta do conversor em teste. Devido a estas características inerentes aos métodos do histograma, conclui-se que um algoritmo otimizado seria necessário para a redução da complexidade do sistema. Avaliando o segundo grupo de métodos de teste de conversores analógico-digitais, o método da análise espectral, verifica-se que é um algoritmo mais rápido e que envolve somente a estimação das componentes espectrais do sinal. Como visa-se a implementação de um *BIST*, esta estimação pode ser facilmente realizada reutilizando as capacidades computacionais existentes no sistema. Assim, o projeto de um sistema excitado com ruído e avaliado através da análise espectral do sinal de saída foi implementado.

A validação do método de teste baseado em ruído produziu resultados importantes:

1. O método de teste validado possibilita a detecção de falhas em conversores a partir da análise da saída do *DUT*, diminuindo-se assim a área envolvida no laço de realimentação presente nos demais métodos;
2. O método não é válido para a determinação de qual o bit falho conforme apresentado pelos testes de detecção de falhas simples (um único bit falho), pois o número de componentes de frequência detectadas é o mesmo ou similar para alguns códigos. Entretanto, o método possibilita a detecção do conversor falho em si;
3. O método é válido para a determinação de conversores com múltiplas falhas paramétricas. Os resultados obtidos na detecção dos componentes falhos para um conjunto de *DUTs* foram similares aos resultados obtidos através do método padrão do histograma;

4. O método é dinâmico, mas possibilita a estimação de algumas características estáticas (erros de não-linearidade *DNL* e *INL*). Os resultados obtidos nesta estimação possibilitam a utilização de um único método de teste para a caracterização completa do conversor. Vale ressaltar uma vantagem de se utilizar um sistema dinâmico: testa-se o conversor em condições reais de funcionamento;
5. Os resultados de estimação da curva de *INL* e *DNL* através do método proposto foram similares aos resultados obtidos através do método padrão, ressaltando-se que o número de amostras necessárias para a implementação do método baseado em ruído é muito inferior ao necessário para a implementação do método padrão. Esta redução é refletida no tempo de teste necessário para a realização do método.

Ainda, o método proposto possibilitou o teste de conversores atacando os dois pontos críticos de métodos de teste de conversores analógico-digitais para sistemas *BIST*: a área analógica e a complexidade do gerador de sinal de teste foi reduzida, assim como o tempo de teste.

Futuramente, busca-se a implementação do sistema em um *SoC* para a análise do comportamento do mesmo como *BIST*.

7 REFERÊNCIAS BIBLIOGRÁFICAS

- ACUNTO, S. *et al.* A New Bidimensional Histogram for Dynamic Characterization of ADCs. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.2015-2020, 2001.
- ABRAMOVICI, M. Digital systems testing and testable design. **New York: IEEE Publisher**, 1990.
- ADAMO, F. *et al.* A/D Converters Nonlinearity Measurement and Correction by Frequency Analysis and Dither. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.201-206, 2002.
- ADAMO, F. *et al.* FFT Test of A/D Converter to Determine the Integral Nonlinearity Error. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.710-714, 2001.
- ALEGRIA, F. *et al.* An ADC Histogram Test based on Small-Amplitude Waves. **Elsevier Measurement**, vol. 31, pp.271-279, 2002.
- ALEGRIA, F.; CRUZ SERRA, A. Influence of Frequency Errors in the Variance of the Cumulative Histogram. **IEEE Transactions on Instrumentation and Measurement**, vol.50, n°2, pp.461- 464, 2001a.
- ALEGRIA, F. *et al.* ADC Histogram Test by Triangular Small-Waves. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.1690-1695, 2001.
- ANALOG DEVICES. DSP Designer's Reference. **Analog Devices Inc**, 1999.
- ARABI, K.; KAMINSKA, B. On Chip Testing Data Converters Using Static Parameters. **IEEE Transactions on Very Large Scale Integration Systems**, vol6, n°3, pp.409-419, 1998.
- ARABI, K.; KAMINSKA, B. Efficient and Accurate Testing of Analog-to-Digital Converters using Oscillation-Test Method. **Proceedings of European Design & Test Conference**, pp.348-352, 1997.
- ARABI, K.; KAMINSKA, B.; RZESZUT, J. BIST for D/A and A/D Converters. **Proceedings of IEEE Design and Test of Computers Conference**, pp.40-49, 1996.
- ARPAIA, P.; MICHAELI, L.; RAPUANO, S. Compensation of Intrinsic Nonlinearity of SAR ADCs. **IEEE Instrumentation and Measurement Technology Conference**, pp.725-30, 2002.
- ARPAIA, P. *et al.* A Critical Note to IEEE 1057-94 Standard on Hysteretic ADC Dynamic Testing. **IEEE Transactions on Instrumentation and Measurement**, vol50, n°4, 2001.
- ARPAIA, P.; DAPONTE, P.; MICHAELI, L. Influence of the Architecture on ADC Error Modeling. **IEEE Transactions on Instrumentation and Measurement**, vol48, n°5, pp. 956-966, 1999a.

- ARPAIA, P.; CENNAMO, F.; DAPONTE, P. Metrological Characterisation of Analog-to-Digital Converters – A State of the Art. **Proceedings of Advanced A/D and D/A Conversion Techniques and their Applications**, pp. 134-144, 1999b.
- ARPAIA, P.; CENNAMO, F.; SCHUMNY, H. Modeling and Characterization of Sigma-Delta Converters. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.96-100, 1998.
- ARPAIA, P.; DAPONTE, P.; D'APUZZO, M. A Behavioral Model for Scan Converter-based Transient Digitizers. **Elsevier Measurement**, Meas-17, pp.103-114, 1996.
- ARPAIA, P. *et al.* Dynamic Characterization of Scan Conversion-based Transient Digitizers. **IEEE Transactions on Instrumentation and Measurement**, IM-44, pp.643-646, 1995.
- ATTIVISSIMO, F.; GIAQUINTO, N.; SAVINO, M. Standardizing the metrological assessment of waveform digitizers: problems and perspectives. **Elsevier Measurement**, vol31, pp. 247-52, 2002.
- AZAÏS, F. *et al.* Estimating Static Parameters of A-to-D Converters from Spectral Analysis. **Proceedings of 3rd IEEE Latin-American Test Workshop**, pp.174-179, 2002a.
- AZAÏS, F. *et al.* Analog built-in saw-tooth generator for ADC histogram test. **Microelectronics Journal**, n° 33, pp.781–789, 2002b.
- AZAÏS, F. *et al.* Analog BIST generator for ADC testing. **Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems**, 2001a.
- AZAÏS, F. *et al.* Implementation of a Linear Histogram BIST for ADC. **Proceedings of Design Automation and Test in Europe**, p. 590-595, 2001b.
- AZAÏS, F. *et al.* Hardware Resource Minimization for Histogram-Based ADC BIST. **Proceedings of VLSI Testing Symposium**, pp. 247-252, 2000a.
- BALPH, T. LFSR Counters Implement Binary Polynomial Generators, **EDN Design Features**, pp.36-38, 1998.
- BLAIR, J. Selecting Test Frequencies for Sinewave Tests of ADC's. **IEEE Instrumentation and Measurement Technology Conference**, pp.189-93, 2002.
- BLAIR, J. Histogram measurement of ADC nonlinearities using sine waves. **IEEE Transactions on Instrumentation and Measurement**, n°IM-43, pp.373-383, 1994.
- BLAIR, J. A Method of Characterizing Waveform Recorder Error using the Power Spectral Distribution. **IEEE Transactions on Instrumentation and Measurement**, IM-41, pp.604-610, 1992.
- BELLAN, D., BRANDOLINI, A.; GANDELI, A. ADC Nonlinearities and Harmonic Distortion in FFT Test. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.1233-1238, 1998.

- BELLAN, D.; BRANDOLINI, A.; GANDELI, A. DSP-Based Testing System for A/D Converters Applying Quantization Theory. **IEEE TENCON – Digital Signal Processing Applications**, pp.749-753, 1996.
- BARTLETT, W. Determination of Coherence Errors in ADC Spectral Domain Testing. **Proceedings of IEEE VLSI Test Symposium**, pp.308-313, 1997.
- BENETAZZO, L.; OFFELLI, C.; PETRI, D. A/D Converter Performance Analysis by a Frequency Domain Approach. **IEEE Transactions on Instrumentation and Measurement**, IM-41, pp.834-839, 1992.
- BENKAÏS, M.; MASSON, S.; MARCHEGAY, P. A/D Converter Characterization by Spectral Analysis in “Dual Tone” Mode. **IEEE Transactions on Instrumentation and Measurement**, vol44, n°5, pp.940-944, 1995.
- BERNARD, S. *et al.* Efficient on-chip generator for linear histogram BIST of ADCs. **Proceedings of IEEE International Mixed-Signal Testing Workshop**, pp. 86-96, 2001.
- BERTOCCO, M. *et al.* Windows for ADC Dynamic Testing via Frequency-Domain Analysis. **Proceedings of IEEE Instrumentation and Measurement Technical Conference**, pp.114-118, 2000.
- BOSSCHE, M.; SCHOUKENS, J.; RENNEBOOG, J. Dynamic Testing and Diagnostics of A/D Converters. **IEEE Transactions on Circuit and Systems**, vol.CAS-33, 1996.
- BOYLESTAD, R.; NASHELSKY, L. Electronic Devices and Circuit Theory. **Editora Prentice Hall**, 7ª Edição, 1998.
- BREITENBACH, A. Determining Figures of Merit from Analog-to-Digital Converter Output Spectra. **Computer Standard & Interface**, CSI-19, pp.213-218, 1998.
- BRIGHAM, E. O. The Fast Fourier Transform and Its Applications. **Prentice Hall**, First Edition, 1997.
- BURNS, M.; ROBERTS, G. W. An Introduction to Mixed-Signal IC Test Measurement. **Oxford University Press**, First Edition, 2001.
- CARBONE, P.; NUNZI, E.; PETRI, D. Statistical Efficiency of the ADC Sinewave Histogram Test. **IEEE Transactions on Instrumentation and Measurement**, vol51, n°4, pp.849-852, 2002.
- CARBONE, P.; NUNZI, E.; PETRI, D. Windows for ADC Dynamic Testing via Frequency-Domain Analysis. **IEEE Transactions on Instrumentation and Measurement**, vol50, n°6, pp.1571-1576, 2001.
- CSIZMADIA, N.; JANSSEN, A. Estimating the Integral Non-Linearity of AD-Converters via Frequency Domain. **Proceedings of International Test Conference**, pp.757-761, 1999.

- DAMM, K.; ANHEIER, W. HBIST Of Nonlinear Analog Building Blocks In Mixed-Signal Circuits. **Proceedings International Mixed Signal Testing Workshop**, pp.257-62, 1995.
- DALLET, D. *et al.* Modeling and Characterization of Pipelined ADCs. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.208-211, 2002.
- DOERNBERG, J. Full-Speed Testing of A/d Converters. **IEEE Journal of Solid-State Circuits**, pp.820-827, vol sc-19, n° 6, 1984.
- DUFORT, B.; ROBERTS, G.W. Increasing the Performance of Arbitrary Waveform Generators Using Periodic Sigma-Delta Modulated Streams. **IEEE Transactions on Instrumentation and Measurement**, vol49, n°1, pp.188-199. 2000.
- DUNN, C.; SANDLER, M. Measurement of Nonlinearities in High-Resolution Sigma-Delta Converters. **Proceedings of IEE Advanced A-D and D-A Conversion Techniques and their Applications**, n° 393, pp.175-180, 1994.
- EHSANIAN, M.; KAMINSKA, B.; ARABI, K. A New On-Chip Digital BIST for Analog-to-Digital Converters. **Elsevier Microelectronic Reliability**, vol38, n°3, pp.409-420, 1998.
- EL-KOUBYSI, A.R.; GUO, Y.; LUCAS, M.S.P. Testing the Performance of Sigma-Delta ADCs. **Proceedings of Instruments and Measurement Technology Conference**, pp.514-517, 1992.
- FERNANDES, J. R.; SILVA, M. M. Static and dynamic non-ideal performance of folding ADCs. **Elsevier Measurement**, vol31, pp.23-33, 2002.
- FRISCH, A.; ALMY, T. HABIST: Histogram-based Analog Built In Self Test. **Proceedings of IEEE International Test Conference**, pp.760-767, 1997.
- FLORES, M.G.C. *et al.* Low Cost BIST for Static and Dynamic Testing of ADCs. **Proceedings of International Mixed-Signal Testing Workshop**, 2003 (submetido).
- FLORES, M.G.C.; CARRO, L. Noise-based Testing System for AD Converters. **Proceedings of International Mixed-Signal Testing Workshop**, pp.181-189, 2002.
- GREEN, P. Automated test and evaluation center for waveform digitizer systems and components. **IEEE Transactions on Instrumentation and Measurements**, n°IM-39, pp.101-105, 1990.
- HAASZ, V.; POKORNÝ, M. Experience of Advanced Methods Based on FFT Test Application. **Proceedings of 4th Workshop on ADC Modelling and Testing**, 1999.
- HAFED, M.M; ABASKHAROUN, N.; ROBERTS, G.W. A 4-GHz effective sample rate integrated test core for analog and mixed-signal circuits. **IEEE Journal of Solid-State Circuits**, vol37, n°4, pp. 499 –514, 2002.
- HEJN, K.; MORLING, R. A Semifixed Frequency Method for Evaluating the Effective Resolution of A/D Converters. **IEEE Transactions on Instrumentation and Measurements**, IM-41, pp.212-217, 1992.

- HEWLETT PACKARD. Dynamic performance testing of A to D converters. **Product Note 5180A – 2**, 1982.
- HOFNER, T. C. Defining And Testing Dynamic ADC Parameters - Part 1. **Microwaves & RF**, November 2000.
- HUANG, J.; ONG, C.; CHENG, K. A BIST Scheme for ADC and DAC Testing. **Proceedings of Design, Automation & Test in Europe**, pp.216-220, 2000.
- IEEE-STD-1241 (draft). Standards for Terminology and Test Methods for Analog-to Digital Converters. **IEEE Standard Department**, 1999.
- IEEE-STD-1057. Standards for Digitizing Waveform Recorders. **IEEE Standard Department**, 1994.
- JENQ, Y. Measuring Harmonic Distortion and Noise Floor of A/D Converter Using Spectral Averaging. **IEEE Transactions on Instrumentation and Measurement**, vol. 37, n°4, pp.525-528, 1998.
- JENQ, Y. Digital Spectra of Nonuniformly Sampled Signals: Fundamentals and High-Speed Waveform Digitizers. **IEEE Transactions on Instrumentation and Measurement**, vol37, n°2, pp.245-251, 1988.
- JESPERS, P. G. A. Integrated Converters – D to A and A to D Architectures, Analysis and Simulation, **Oxford University Press**, abril, 2000.
- MARTINS, R.; SERRA, A. Automated ADC Characterization Using the Histogram Test Stimulated by Gaussian Noise. **IEEE Transactions on Instrumentation and Measurement**, vol48, n°2, pp.471-474, 1999.
- MAX, S. IEEE Std 1241: The Benefits and Risks of the ADC Histogram Testing. **Proceedings IEEE Instrumentation and Measurement Technology Conference**, pp.704-709, 2001.
- MAX, S. Testing High Speed High Accuracy Analog to Digital Converters Embedded in System on Chip. **Proceedings of International Test Conference**, pp.763-771, 1999.
- MCCOMB, T.; KUFFEL, R.; MALEWSKI, R. Measuring Characteristics of the Fastest Commercially-available Digitizers. **IEEE Transactions on Power Delivery**, PWRD-2, 1987.
- MELKONIAN, L. Dynamic Specifications for Sampling A/D Converters. **National Semiconductors, application note n°769**, 1991.
- MIELKE, J. Frequency Domain Testing of ADCs. **IEEE Design & Test of Computers**, pp.64-69, 1996.
- MOHAMED, H.; ROBERTS, G.W. Sigma-Delta Techniques for Integrated test and Measurements. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.1571-1576, 2001.

- NAGI, N.; CHATTERJEE, A.; ABRAHAM, J. A Signature Analyser for Analog and Mixed-Signal Circuits. **Proceedings of International Conference on Computer Design**, pp.284-87, 1994.
- NATIONAL SEMICONDUCTOR. ADC0808/ADC0809 – 8Bit μ P Compatible A/D Converters with 8-Channel Multiplexer. **Datasheet**, 1999.
- NUNZI, E.; CARBONE, P.; PETRI, D. A Procedure for Highly Reducible Measurements of ADC Spectral Parameters. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.1049-1053, 2002.
- OHLETZ, M. J. Hybrid Built In Self Test (HBIST) for Mixed Analog/Digital Integrated Circuits. **Proceedings of European Test Conference**, pp.307-316, 1991.
- OPPENHEIM, A.; SCHAFER, R. Discrete-Time Signal Processing. **Prentice Hall**, 1989.
- PARTHASARATHY, K. *et al.* A Modified Histogram Approach for Accurate Self-Characterization of Analog-to-Digital Converters. **Proceedings of IEEE International Symposium on Circuits and Systems**, pp. II 376-379, 2002.
- REBAI, C.; DALLET, D.; MARCHEGAY, P. Non Coherent Spectral Analysis of ADC Using Filter Bank. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.183-187, 2002.
- RENOVELL, M. *et al.* Hardware Minimization for an Histogram-based ADC BIST. **Proceedings of 18th IEEE VLSI Test Symposium**, pp.247-252, 2000.
- SERRA, A. New Measurement Procedure for the Static Test of ADCs. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.866-871, 2000.
- SETTY, P.; VANPETEGHEM, P.; GEIGER, R. An Algorithm to Compensate for Source Spectral Impurity in Dynamic Range Measurements. **Proceedings of IEEE International Symposium on Circuits & Systems**, pp.2236-2239, 1990.
- SILVA, J.; DUARTE, J.; MATOS, J. Mixed-Signal BIST using Correlation and Reconfigurable hardware. **Proceedings Design, Automation & Test in Europe**, 2000.
- SPIEGEL, M. Manual de Fórmulas e Tabelas Matemáticas – Coleção Schaum. **Editora McGraw-Hill do Brasil**, Ltda, 1973.
- SOMA, M. A design-for-test methodology for active analog filters. **Proceedings of IEEE International Test Conference**, pp.183-192, 1988.
- STROOCK, D. Chebychev Polynomials. Annual. Application Probability, pp.36-39, 1991.
- SUNTER, S.; NAGI, N. A Simplified Polynomial-Fitting Algorithm for DAC and ADC BIST. **Proceedings of IEEE International Test Conference**, pp.389-395, 1997.
- TEXAS INSTRUMENTS: Understanding Data Converters. Mixed-Signal Products, **Application Report SLAA013**, pp.1-18, 1995.

- TILDEN, S.; LINNENBRINK, T.; GREEN, P. Overview of IEEE-STD-1241 - Standard for Terminology and Test Methods for Analog-to-Digital Converters. **Proceedings of IEEE Instrumentation and Measurement Technology Conference**, pp.1498-1503, 1999.
- TONER, M.F.; ROBERTS, G.W. A Frequency Response, Harmonic Distortion and Intermodulation Distortion Test for BIST of a Sigma-Delta ADC. **IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal Processing**, vol43, n°8, pp. 608-613, 1996.
- VARGHA, B.; SCHOUKENS, J.; ROLAIN, Y. Static Nonlinearity Testing of Digital-to-Analog Converters. **IEEE Transactions on Instrumentation and Measurement**, vol50, n°5, pp.1283-1288, 2001.
- WALKER, A. A Step-Response Based Mixed-Signal BIST Approach. **Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems**, pp. 141-146, 2001.
- XU, F. A New Approach for the Nonlinearity Test of ADCs/DACs and its Application for BIST. **Proceedings of IEEE European Test Workshop**, 1999.
- ZHAO, Z.; IVANOZ, A. An Embedded Servo loop for Testing ADC Linearity. **Proceedings of International Test Conference**, pp.24-34, 2001.

ANEXO A:

Código para a implementação de um conversor analógico-digital de N bits do tipo aproximações sucessivas no Matlab[®].

ANEXO A: SIMULAÇÃO DE CONVERSÃO ANALÓGICO-DIGITAL DE N BITS DO TIPO APROXIMAÇÕES SUCESSIVAS

O código apresentado a seguir mostra a implementação de um conversor analógico-digital de N bits no Matlab[®].

A.1 VERSÃO 1 – RECURSIVA

```
function [Vo,Nivel] = alg(Vmax,Sim,Vin,N,d);
%-----
% Conversor Analógico/Digital por aproximações sucessivas
% Parâmetros de entrada:
% Vmax: tensão máxima de entrada do AD
% Sim: 1 p/ sinal simétrico, 0 p/ sinal não-simétrico
% Vin: vetor de entrada com os dados
% N: numero de bits do AD
% d: vetor com imprecisões nos comparadores, tamanho igual ao no. de bits do conversor
% exemplo:d(3)=[2.1 1.9 1.8]
%
% Parâmetro de saída:
% Vo: vetor com dados de saída, escalonados por Vmax
%-----

I=0;
Vo=0;
Vmin=0;
VMAX=Vmax;
if Sim==1,
    Vin=Vin+Vmax;
    Vmax=2*Vmax;
end;
Vlim=(Vmax)/d(N);
for I = N:-1:1,
    Vo=2*Vo;
    if Vin>=Vlim
        Vo=Vo+1;
        aux=Vlim;
        if I > 1,
            Vlim=((Vmax-Vlim)/d(I-1))+aux;
        end;
        Vmin=aux;
    else
        aux=Vlim;
        if I > 1,
            Vlim=aux-(Vlim-Vmin)/d(I);
        end;
        Vmax=aux;
    end;
end;
if Sim==1,
    Nivel = Vo;
    Vo=Vo-2^(N-1);
    Vo=Vo*VMAX/2^(N-1); % escalonamento
else
    Nivel = Vo;
    Vo=Vo*VMAX/(2^N-1); % escalonamento
end;
```


A.2 VERSÃO 2 - VETORIZADA

```

/*****
% Universidade Federal do Rio Grande do Sul
% Escola de Engenharia - Instrumentação Eletro-Eletrônica
% Laboratório de Processamento de Sinais e Imagens- LaPSI
% Modulo : algv.c
% Objetivos : Implementar uma versão vetorizada e rápida do simulador de AD (alg.m).
% Histórico : 14/09/2002 - Início do programa, baseada no arquivo alg.m (22/08/02).
%
% Comentários:
%
% Autor : Marcelo Negreiros
*****/

#include <math.h>
#include <time.h>
#include "mex.h"

/*****
                                algv
*****/
OBJETIVO : Conversor Analógico/Digital por aproximações sucessivas
%
DESCRICAÇÃO:

ENTRADAS : Vmax: tensão máxima de entrada do AD
           Sim: 1 p/ sinal simétrico, 0 p/ sinal não simétrico
           *padVin: vetor de entrada com os dados
           N: número de bits do AD
           *padd: vetor com imprecisões nos comparadores, tamanho igual ao no. de bits do conversor (ex:[2.1 1.9 1.8])
           pontos: tamanho do vetor de entrada

SAIDAS : *padVo: vetor com dados de saída, escalonados por Vmax
         *padNivel:vetor com dados de saída, sem escalonar
*****/

void algv(double *padVo, double *padNivel, double Vmax, int Sim, double *padVin,int N,double *padd,int pontos)
{
int I;
double Vo;
double Vin;
double Vmin;
double VMAX;
double temp;
double Vlim;
int i;
double aux;
double escala;
double offset=0;

VMAX = Vmax;
if (Sim)
{
// Soma Vmax ao vetor de entrada
//for (i=0;i<pontos;i++)
// *(padVin+i)=*(padVin+i)+Vmax;
// Dobra Vmax
Vmax=2*Vmax;
// Escala
escala = VMAX/pow(2,N-1);/VMAX/2^(N-1)
offset = pow(2,N-1);/2^(N-1)
}
else
{
// Escala
escala = VMAX/(pow(2,N)-1);/VMAX/(2^N-1)
offset = 0;
}
temp=Vmax;

// Itera sobre o vetor de entrada e emula o conversor
for (i=0;i<pontos;i++)
{
// Le o dado de entrada

```

```

if (Sim)
    Vin = *(padVin+i) + VMAX;
else
    Vin = *(padVin+i);
l=0;
Vo=0;
Vmin=0;
Vmax=temp;
Vlim=(Vmax)/(*(padd+N-1));
for (l=N;l>=1;l--)
{
    Vo=2*Vo;
    if (Vin>=Vlim)
    {
        Vo=Vo+1;
        aux=Vlim;
        if (l>1)
            Vlim=((Vmax-Vlim)/(*(padd+l-1-1))+aux);
        Vmin=aux;
    }
    else
    {
        aux=Vlim;
        if (l>1)
            Vlim=aux-(Vlim-Vmin)/(*(padd+l-1));
        Vmax=aux;
    }
}

// Obteve o valor e guarda no vetor de níveis
*(padNivel+i)=Vo;
if (Sim)
    *(padVo+i)=(Vo-offset)*escala;
else
    *(padVo+i)=Vo*escala;
}

}

/*****
                                mexFunction
*****/

OBJETIVO : Função de verificação e passagem de parâmetros (gateway function).

DESCRICAÇÃO:

ENTRADAS : nlhs    número de parâmetros no lado esquerdo (left hand side)
            *plhs[] ponteiro para parâmetros do lado esquerdo
            nrhs    número de parâmetros no lado direito (right hand side)
            *prhs[] ponteiro para parâmetros do lado direito

SAIDAS : NENHUMA.

*****/
void mexFunction( int nlhs, mxArray *plhs[],
                 int nrhs, const mxArray *prhs[])
{
    time_t t0,t1;
    //LHS
    double *padVo;
    double *padNivel;

    /*double *padY;
    double *padE;
    double *padHf;*/

    //RHS
    double Vmax;
    int Sim;
    double *padVin;
    int N;
    double *padd;

```

```

int idSize;
int iVinSize;
int mrows;
int ncols;
int i,j;

/* check for proper number of arguments */
if (nrhs!=5)
{
    mexPrintf("AD por aproximações sucessivas\n(c)2002 LaPSI - UFRGS\n");
    mexPrintf("Sintaxe:\n[Vo,Nivel]=algv(Vmax,Sim,Vin,N,d)\n");
    mexErrMsgTxt("\nNumero errado de parametros!\n");
}

// ARGUMENTOS DE ENTRADA

//Argumento 1: Vmax
Vmax = mxGetScalar(prhs[0]);

//Argumento 2: Sim
Sim = mxGetScalar(prhs[1]);

//Argumento 3: Ponteiro para o vetor Vin
padVin = mxGetPr(prhs[2]);
/* Tamanho do vetor em outra variavel:iVinSize */
mrows = mxGetM(prhs[2]);
ncols = mxGetN(prhs[2]);
if (mrows>ncols)
    iVinSize = mrows;
else
    iVinSize = ncols;

//Argumento 4: N
N = mxGetScalar(prhs[3]);
//Argumento 5: Ponteiro para o vetor d
padd = mxGetPr(prhs[4]);
/* Tamanho do vetor em outra variavel:idSize */
mrows = mxGetM(prhs[4]);
ncols = mxGetN(prhs[4]);
if (mrows>ncols)
    idSize = mrows;
else
    idSize = ncols;

// ARGUMENTOS DE SAIDA
//Argumento 1: Vo
/* Cria um vetor de mesmo tamanho do vetor de entrada */
plhs[0] = mxCreateDoubleMatrix(1,iVinSize, mxREAL);
/* Cria o ponteiro */
padVo = mxGetPr(plhs[0]);

//Argumento 2: Nivel
/* Cria um vetor de mesmo tamanho do vetor de entrada */
plhs[1] = mxCreateDoubleMatrix(1,iVinSize, mxREAL);

/* Cria o ponteiro */
padNivel = mxGetPr(plhs[1]);

/* testa a alocação */
if (padVo==NULL || padNivel==NULL)
    mexErrMsgTxt("\nErro de alocação!\n");

/* Prepara estatística de tempo */
t0 = time(NULL);

// Sinaliza para usuário tempo de processamento
mexPrintf("%d pontos.\n",iVinSize);

/* Chama a função */
algv(padVo, padNivel, Vmax, Sim, padVin,N,padd,iVinSize);

/* Prepara estatística de tempo */
t1 = time(NULL);
// Sinaliza para usuário tempo de processamento */
mexPrintf("Processamento levou %d segundos.\n",t1-t0);
}

```

ANEXO B:

Protótipo do gerador de ruído implementado.

ANEXO B: PROTOTIPO DO GERADOR DE RUÍDO

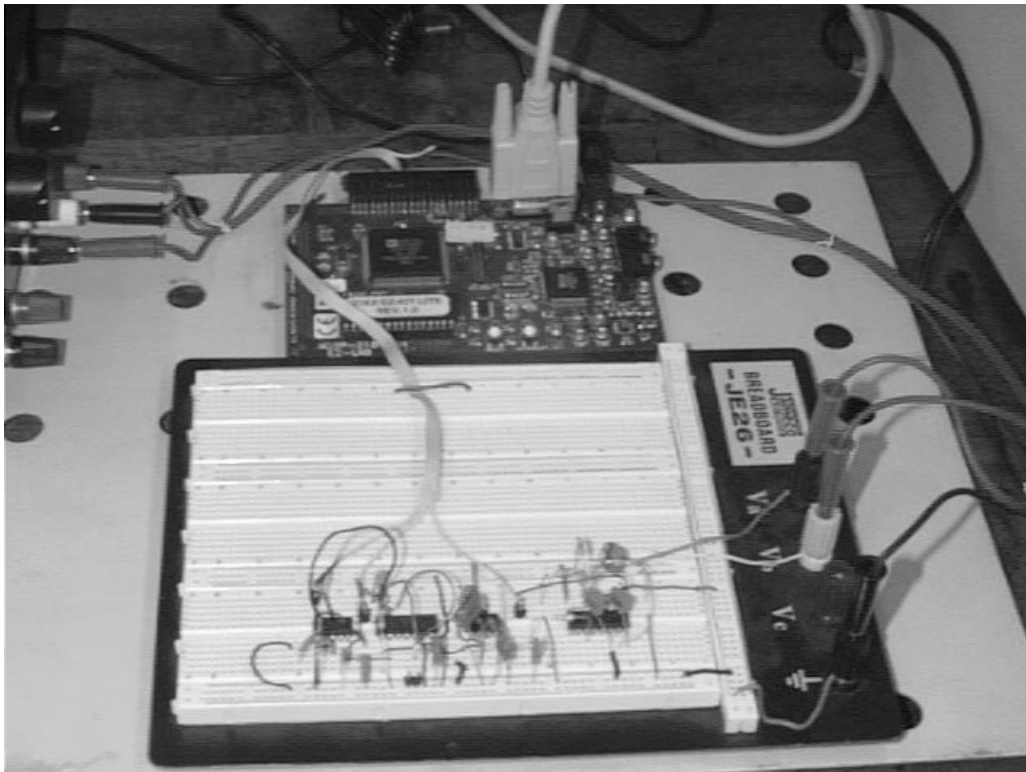


Figura B.1 – Protótipo do gerador de ruído

O gerador de ruído apresentado na figura B.1 foi implementado através de um bloco analógico e um bloco digital. O bloco analógico é responsável pela geração da forma de onda através de um circuito RC e um circuito amostrador.

O bloco digital é responsável pelo controle do tempo de carga e descarga do circuito RC além do controle do amostrador.

O amostrador realiza uma única amostra dentro de um período de carga e descarga do circuito RC. O instante de amostragem é determinado por um contador sincronizado com o início da forma de onda do RC, cujo valor vem de um LFSR de 13 bits, capaz de gerar pelo menos uma seqüência de 8191 pontos diferentes. Portanto, o período do circuito RC deverá ser dividido em 8191 partes. A figura B.2 apresenta uma seqüência de funcionamento do gerador de ruído.

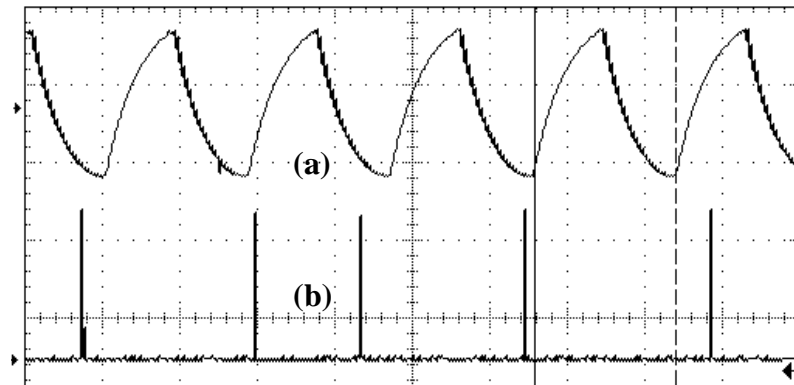


Figura B.2 - (a) Sinal de Saída do Circuito RC; (b) Controle do Amostrador.

B.1 CIRCUITO DIGITAL

O LFSR foi implementado em software em um kit DSP, através de uma máquina de estados que será descrita a seguir. Esta máquina de estados é responsável tanto pela carga e descarga do circuito RC quanto pelo amostrador. A figura B.3 apresenta a seqüência da máquina de estados para um período de funcionamento do RC por ela controlado.

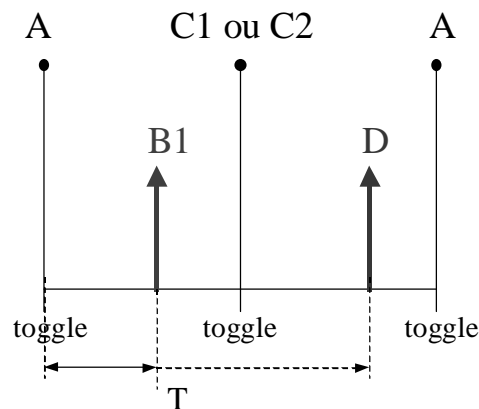


Figura B.3 - Seqüência de Estados em um período de funcionamento do RC.

A máquina de estados é descrita pela figura B.4.

Os estados contidos na máquina apresentada na figura B.5 são descritos como:

ESTADO A:

- Obtém novo valor da saída do LFSR;
- Ajusta o contador de tempo da próxima interrupção.

ESTADO B1:

- Realiza a amostragem do sinal RC (Sample&Hold);

- Ajusta o contador de tempo da próxima interrupção.

ESTADO C1:

- Realiza toggle;
- Ajusta o contador de tempo da próxima interrupção.

ESTADO C2:

- Realiza toggle;
- Ajusta o contador de tempo da próxima interrupção.

ESTADO D2:

- Realiza a amostragem do sinal RC (Sample&Hold);
- Ajusta o contador de tempo da próxima interrupção.

Máquina de Estados:

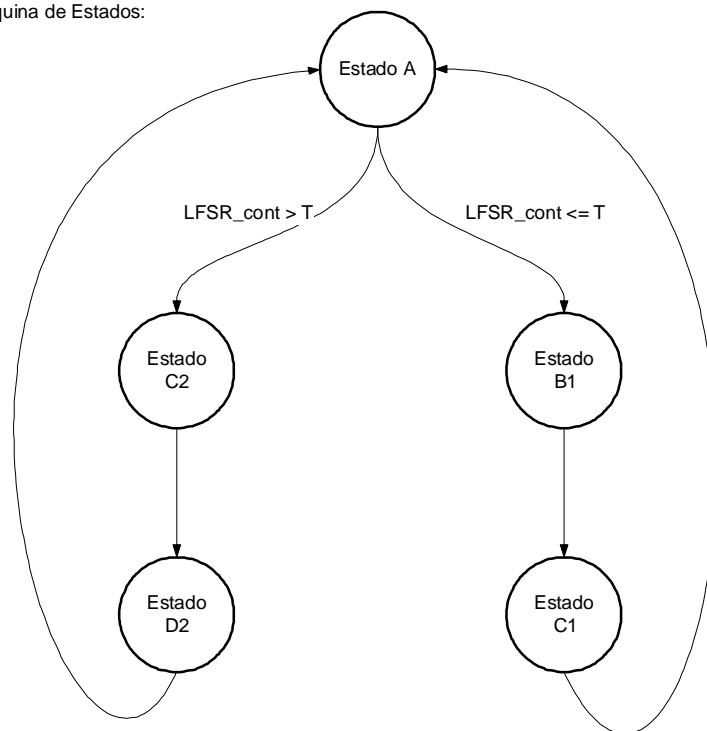


Figura B.4 - Fluxograma da Máquina de Estados.

O circuito digital referente ao LFSR pode ser implementado conforme os diagramas apresentados na figura B.5. Vale ressaltar que os diagramas são equivalentes.

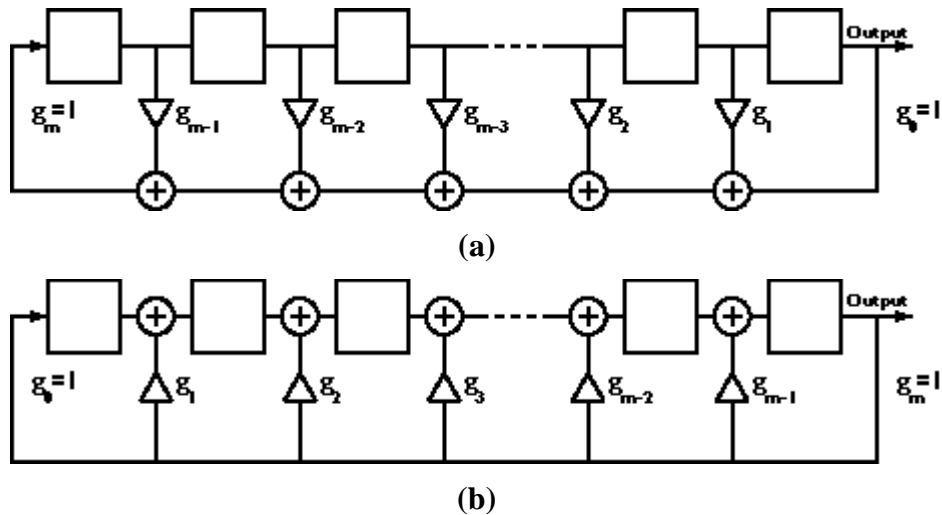


Figura B.5 - Circuitos para implementação do LFSR

Os coeficientes de g_m são escolhidos de acordo com o grau do polinômio característico capaz de gerar o número de estados necessários (Pontos = $2^N - 1$, onde N = número de bits). Independente da implementação escolhida (figura B.5(a) ou B.5(b)), os valores dos coeficientes a serem utilizados são os mesmos, pois a seqüência gerada pelo diagrama da figura B.5(a) será o espelho da figura B.5(b).

Segundo a tabela B.1, o polinômio a ser implementado para um LFSR de 13 bits deve ser $x^{13} + x^4 + x^3 + x^1 + 1$. A figura B.6 apresenta as duas implementações referentes a esse polinômio, onde \oplus representa a porta XOR.

O valor de reset do circuito LFSR tem de ser diferente de zero.

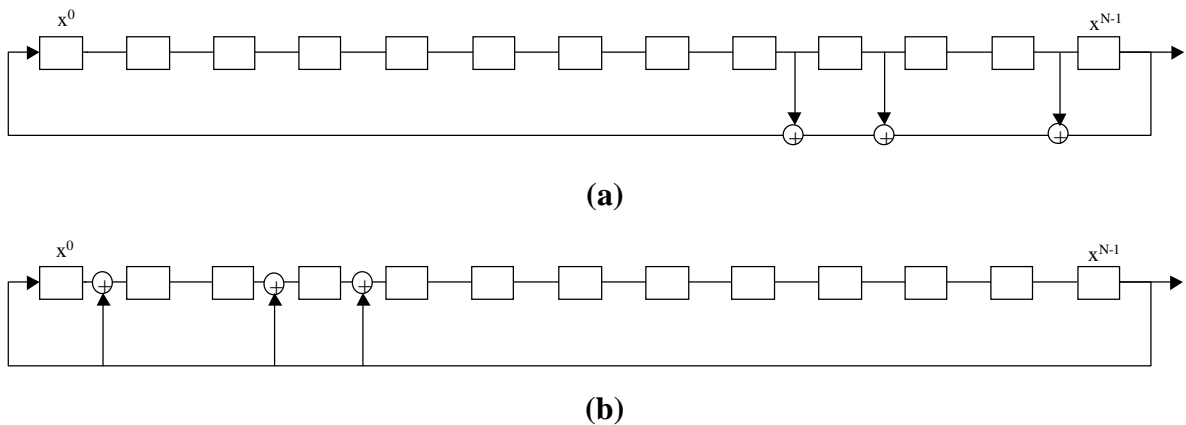


Figura B.6 - Implementação do LFSR de 13 bits.

Tabela B.1 – Coeficientes dos Polinômios Primitivos do LFSR

Ordem - N	Coeficientes – gm			
1:	0			
2:	1	0		
3:	1	0		
4:	1	0		
5:	2	0		
6:	1	0		
7:	1	0		
8:	6	5	1	0
9:	4	0		
10:	3	0		
11:	2	0		
12:	7	4	3	0
13:	4	3	1	0
14:	12	11	1	0
15:	1	0		
16:	5	3	2	0

B.2 CIRCUITO ANALÓGICO

O circuito analógico foi implementado conforme a figura 4.26(b).

ANEXO C:

Código para a implementação de um conversor analógico-digital de N bits do tipo aproximações sucessivas no DSP 2181 da Analog Devices®.

ANEXO C: PROTOTIPAÇÃO DE CONVERSOR ANALÓGICO-DIGITAL DE N BITS DO TIPO APROXIMAÇÕES SUCESSIVAS

O código apresentado a seguir mostra a implementação do algoritmo de aproximações sucessivas no kit ADSP 2181 da Analog Devices®.

```

/*****
% Universidade Federal do Rio Grande do Sul
% Escola de Engenharia - Departamento de Engenharia Eletrica
% Laboratorio de Processamento de Sinais e Imagens - LaPSI
%
% Modulo   : aprox.dsp
%
% Objetivos : Implementar ADC de aprox. sucessiva a partir do DAC0808
%
% Autores   : Marcelo Negreiros e Maria da Glória Cataldi Flores
% *****/

.module/RAM/ABS=0 leitor;

/*****
*
*          DECLARACAO DE CONSTANTES
*
* mapeamento em memoria dos registradores de controle do adsp-2181 *
*****/
.const IDMA=          0x3fe0;
.const BDMA_BIAD=     0x3fe1;
.const BDMA_BEAD=     0x3fe2;
.const BDMA_BDMA_Ctrl= 0x3fe3;
.const BDMA_BWCOUNT=  0x3fe4;
.const PFDATA=        0x3fe5;
.const PFTYPE=        0x3fe6;

.const SPORT1_Autobuf= 0x3fef;
.const SPORT1_RFSDIV=  0x3ff0;
.const SPORT1_SCLKDIV= 0x3ff1;
.const SPORT1_Control_Reg= 0x3ff2;
.const SPORT0_Autobuf= 0x3ff3;
.const SPORT0_RFSDIV=  0x3ff4;
.const SPORT0_SCLKDIV= 0x3ff5;
.const SPORT0_Control_Reg= 0x3ff6;
.const SPORT0_TX_Channels0= 0x3ff7;
.const SPORT0_TX_Channels1= 0x3ff8;
.const SPORT0_RX_Channels0= 0x3ff9;
.const SPORT0_RX_Channels1= 0x3ffa;
.const TSCALE=         0x3ffb;
.const TCOUNT=         0x3ffc;
.const TPERIOD=        0x3ffd;
.const DM_Wait_Reg=    0x3ffe;
.const System_Control_Reg= 0x3fff;

{ EZ-KIT: period count == 33 MHz / 3 / 9600 - 1 == 1144 }
.const CRYSTAL_FREQ_IN_kHZ = 16667; { Crystal speed related constant. }
.const PERIOD = (CRYSTAL_FREQ_IN_kHZ * 2000 / (8000)) - 1;
.const N = 14000;
.const NBITS = 8;

/*****
*
*          DECLARACAO DE VARIAVEIS e BUFFERS
*
*****/
.VAR/DM/RAM          samples[N];
.VAR/DM/RAM          index;
.VAR/DM/RAM          VoltaAoMonitor;
.VAR/DM/RAM          cont;
.VAR/DM/RAM          limiar;
.VAR/DM/RAM          bit_index;
.VAR/DM/RAM          mask;

```

```

/*****
*          INICIALIZACAO DE VARIAVEIS e BUFFERS          *
*****/
.INIT      index:0;
.INIT      VoltaAoMonitor: 0;
.INIT      cont: N;
.INIT      limiar:0x0000;
.INIT      bit_index:NBITS;
.INIT      mask:0;

/*****
*          TABELA DE VETORES DE INTERRUPCAO          *
*****/
jump start;  rti; rti; rti;  {00: reset }
rti;         rti; rti; rti;  {04: IRQ2 }
rti;         rti; rti; rti;  {08: IRQL1 }
rti;         rti; rti; rti;  {0c: IRQL0 }
rti;         rti; rti; rti;  {10: SPORT0 tx }
rti;         rti; rti; rti;  {14: SPORT0 rx }
jump retorno; rti; rti; rti;  {18: IRQE - interrupt switch on the EZ-KIT LITE board}
rti;         rti; rti; rti;  {1c: BDMA }
rti;         rti; rti; rti;  {20: SPORT1 tx or IRQ1 }
rti;         rti; rti; rti;  {24: SPORT1 rx or IRQ0 }
jump leitura; rti; rti; rti;  {28: timer }
rti;         rti; rti; rti;  {2c: power down }

/*****
%          START          *
%*****/
start:

dis ints;
reset f12;
reset f10;

/* limpa area de memoria de dados */
i1 = ^samples;
l1 = 0;
m1 = 1;
ar = 0;
CNTR = %samples;
do limpa until CE;
limpa: dm(i1,m1)=ar;

ena ints;
imask = b#0000010001;
{
  |||||+ | timer
  |||||+- | SPORT1 rec or IRQ0
  |||||+- | SPORT1 trx or IRQ1
  |||||+--- | BDMA
  ||||+---- | IRQE
  |||+----- | SPORT0 rec
  ||+----- | SPORT0 trx
  |+----- | IRQL0
  +----- | IRQL1
  +----- | IRQ2
}

icntl = b#00100;
{
  |||+- | IRQ0: 0=level, 1=edge
  ||+- | IRQ1: 0=level, 1=edge
  |+--- | IRQ2: 0=level, 1=edge
  +---- 0
  +----- | IRQ nesting: 0=disabled, 1=enabled
}

ax0 = b#0000000000000000; dm (System_Control_Reg) = ax0;
{ +-!||+-----+/- | program memory wait states
  | !|| | 0
  | !|| | |
  | !||+----- 0
  | !|| 0
  | !|| 0
  | !|| 0
}

```

imask - cada bit do imask habilita (1) ou desabilita (0) cada interrupção individualmente; Após o reset permanece em estado 0.

```

    | !!|      0
    | !!|      0
    | !!|      0
    | !|+----- SPORT1 1=serial, 0=FI, FO, IRQ0, IRQ1, SCLK
    | !|+----- SPORT1 1=enabled, 0=disabled
    | +----- SPORT0 1=enabled, 0=disabled
    +----- 0
      0
      0
  }

/******
*          TIMER          *
*****/
ax0=0;
dm(TSCALE)=ax0;      { decrement TCOUNT every instruction cycle }
ax0=PERIOD;          { autobaud not used }
dm(TCOUNT)=ax0;
dm(TPERIOD)=ax0;     { interrupts generated at 3x baudrate }

ax0=imask;
ay0=b#0000000001;
ar=ax0 or ay0;
imask=ar;           { enable TIMER interrupt handling }
ena timer;         { start timer now }

/******
*          SPORT1 - FLAGS          *
*****/
ax0 = b#01111111;
dm (PFTYPE) = ax0;  {determina PF7-0 pins como entradas (0=input e 1=output) }

ar = 0x40;
dm(PFDATA) = ar;

mstat = b#1100000;
{
  |||||+ | Data register bank select
  ||||+-- | FFT bit reverse mode (DAG1)
  |||+--- | ALU overflow latch mode, 1=sticky
  ||+---- | AR saturation mode, 1=saturate, 0=wrap
  |+----- | MAC result, 0=fractional, 1=integer
  +----- | timer enable
  +----- | GO MODE
}

i1 = ^samples;
l1 = 0;
m1 = 1;
m2 = 0;

espera:
  idle;

  /* Testa se continua processando ou retorna ao Monitor */

testa_retorno:
  ax0 = dm(VoltaAoMonitor);
  ar = PASS ax0;
  if EQ jump espera;

  /* retorna ao programa monitor */

fim:
  /* Volta ao monitor ...*/
  dis ints;
  rts;

/* Leitura e armazenagem do sinal em área de memória */
leitura:
  ena sec_reg;

  toggle fl0;
  ax0 = NBITS;
  dm(bit_index) = ax0;

```



```

nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;
nop;

ar = dm(PFDATA);
ar = tstbit 7 of ar;
if EQ jump lim_inf;
jump decrem;

lim_inf: ay0 = dm(limiar);
ax0 = dm(mask);
ar = not ax0;
ar = ar and ay0;
dm(limiar) = ar;

decrem: ar = dm(bit_index);
ar = ar - 1;
dm(bit_index) = ar;
if NE jump converte;

ar = dm(limiar);
dm(i1,m1) = ar; /* salva dado e muda o ponteiro */

ax0 = dm(cont); /* Número de amostras*/
ar = ax0 - 1;
if lt jump retorno;
dm(cont) = ar;

cai_fora:
rti;

/*****
*   atende interrupção de retorno ao monitor - IRQE
*****/
retorno:
ax0 = 1;
dm(VoltaAoMonitor) = ax0;
rti;

.endmod;

```