



Evento	Salão UFRGS 2024: SIC - XXXVI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2024
Local	Virtual
Título	Acelerador de hardware configurável para os filtros de interpolação do padrão de codificação de vídeo VVC
Autor	FRANCISCO GARCIA FERREIRA
Orientador	CLAUDIO MACHADO DINIZ

Acelerador de Hardware Configurável para os Filtros de Interpolação do Padrão de Codificação de Vídeo VVC

Autores: Francisco Garcia Ferreira, Cláudio Machado Diniz (Orientador)

Este projeto de pesquisa busca desenvolver aceleradores de hardware dedicados para a codificação de vídeo, com ênfase no novo padrão Versatile Video Coding (VVC). O VVC introduz melhorias em termos de eficiência de compressão comparado com padrões anteriores ao custo de um maior esforço computacional para executar o codificador de vídeo. Diante das limitações de potência e energia na fabricação de semicondutores, a computação aproximada se apresenta como uma solução viável para lidar com este alto esforço computacional, permitindo a criação de circuitos integrados que operam com eficiência, mesmo em condições de imprecisões inerentes à codificação de vídeo. Os aceleradores de hardware aproximados podem ser projetados para oferecer múltiplos níveis de aproximação, configuráveis em tempo de execução, otimizando o balanceamento entre precisão e eficiência energética. Este trabalho propõe a implementação de um acelerador de hardware dedicado aos filtros de interpolação do VVC, que são importantes para a estimação e compensação de movimento fracionária e *affine*. O acelerador suporta diferentes níveis de aproximação através do descarte de *taps* do filtro. A pesquisa está focada em garantir que as aproximações não comprometam a compatibilidade do codificador de vídeo com o padrão VVC, permitindo uma codificação eficiente e compatível com as exigências do VVC. O acelerador é descrito em linguagem de descrição de hardware VHDL e sintetizado usando ferramentas de apoio ao projeto de circuitos integrados ASIC (*Application-Specific Integrated Circuit*). O trabalho encontra-se em andamento e busca reduzir a dissipação de potência do acelerador de hardware ao configurá-lo para executar os filtros de interpolação aproximados. Assim, este projeto contribui para a inovação na área de codificação de vídeo, ao desenvolver soluções de hardware que lidam com a alta complexidade do VVC, oferecendo melhorias significativas em termos de eficiência energética dos circuitos integrados.