



## XXXV SALÃO de INICIAÇÃO CIENTÍFICA

6 a 10 de novembro

<b>Evento</b>	Salão UFRGS 2023: SIC - XXXV SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2023
<b>Local</b>	Campus Centro - UFRGS
<b>Título</b>	Acelerador de hardware para estimação de movimento afim do padrão Versatile Video Coding
<b>Autor</b>	GABRIEL VOLKWEIS LEITE
<b>Orientador</b>	CLAUDIO MACHADO DINIZ

Para se aumentar a performance do VVC, é necessário implementá-lo por hardware. O objetivo do trabalho é projetar um acelerador de hardware para o módulo de estimação de movimento afim (affine motion estimation) presente em codificadores de vídeo do padrão Versatile Video Coding (VVC). A estimação de movimento afim é uma nova ferramenta de codificação introduzida no padrão VVC que não estava presente em padrões anteriores da ITU/ISO, como o HEVC e o AVC. Em trabalhos recentes que analisam a complexidade do codificador VVC, este é um dos módulos do codificador que mais contribuem para o alto tempo de computação de um codificador de vídeo compatível com o padrão VVC. Baseado no algoritmo que descreve o módulo de estimação de movimento afim do codificador de vídeo do padrão VVC, sendo este algoritmo descrito na norma do codificador e no seu software de referência, de código aberto e descrito em linguagem de programação C++, será desenvolvido inicialmente uma arquitetura do acelerador de hardware para este módulo. Após esta etapa inicial, este acelerador é descrito em linguagem de descrição de hardware e seu projeto se dá com uso das ferramentas de software Cadence Genus e Innovus, de apoio ao projeto de circuitos integrados disponibilizadas pelo programa APCI da SBMicro. A ferramenta fornece dados para estimativas de desempenho (atraso), dissipação de potência e área ocupada do acelerador de hardware.