

Eder Matheus Rodrigues Monteiro

Roteamento Global de Circuitos VLSI

Brasil

2023

Eder Matheus Rodrigues Monteiro

Roteamento Global de Circuitos VLSI

Trabalho de conclusão de curso.

Universidade Federal do Rio Grande do Sul (UFRGS)

Instituto de Informática

Ciência da Computação

Orientador: Prof. Dr. Ricardo Augusto da Luz Reis

Brasil

2023

Eder Matheus Rodrigues Monteiro

Roteamento Global de Circuitos VLSI / Eder Matheus Rodrigues Monteiro. – Brasil, 2023-

85 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Ricardo Augusto da Luz Reis

Trabalho de conclusão de curso – Universidade Federal do Rio Grande do Sul (UFRGS)

Instituto de Informática

Ciência da Computação, 2023.

1. Roteamento. 2. Síntese Física. 3. Automação de Projeto Eletrônico. 4. Microeletrônica. I. Prof. Dr. Ricardo Augusto da Luz Reis II. Universidade Federal do Rio Grande do Sul. III. Instituto de Informática.

CDU

Eder Matheus Rodrigues Monteiro

Roteamento Global de Circuitos VLSI

Trabalho de conclusão de curso.

**Prof. Dr. Ricardo Augusto da Luz
Reis**
Orientador

Prof. Dr. Marcelo de Oliveira Johann
Convidado 1

Prof. Dr. Paulo Francisco Butzen
Convidado 2

Brasil
2023

Dedico este trabalho aos meus pais, Elesir Fátima Rodrigues da Silva e Eri Alves Monteiro.

Agradecimentos

Agradeço primeiramente aos meus pais, Elesir e Eri, e ao meu irmão, Eric, por todo o apoio que me deram durante toda a minha jornada acadêmica. Obrigado por sempre prezar pela minha educação, por sempre proporcionar o melhor ambiente possível em casa, e por sempre confiar em mim. Nada do que eu sou hoje seria possível sem vocês.

Agradeço também aos meus colegas de laboratório, especialmente ao Geancarlo Abich, Jucemar Monteiro e Luiz Vizcardo. E claro, sou eternamente grato ao Mateus Fogaça, meu mentor durante todos os anos como bolsista, e posteriormente como colega de trabalho. A maior parte do que eu sei hoje sobre programação e microeletrônica veio diretamente de ti, obrigado por isso.

Sou grato ao Professor Ricardo Reis, por ter me aceitado como bolsista lá em 2016, e ter dado o suporte necessário para o desenvolvimento de vários trabalhos durante meu período como bolsista. Espero desenvolver mais trabalhos juntos no futuro!

Também sou grato ao Professor Andrew B. Kahng e a Tom Spyrou, por terem me dado a oportunidade de trabalhar com pessoas incríveis e em um projeto fantástico, que possibilitou meu desenvolvimento pessoal e profissional, e aos meus colegas de trabalho Matt Liberty e James Cherry, por terem tido a paciência de me ensinar e me auxiliar nos projetos do *OpenROAD*.

Por fim, agradeço as pessoas mais importantes que conheci na faculdade: Guilherme Sartori, Tiago Binz e Artur Vianna. Sem vocês, toda a jornada da graduação teria sido infinitamente mais difícil. Obrigado por terem dividido tempo estudando, reclamando, se divertindo, mas especialmente, obrigado por terem se tornado meus melhores amigos.

"Seja gentil, pois todos que você conhece estão travando uma dura batalha." (Sócrates)

Resumo

O roteamento global é uma das principais etapas da síntese física de circuitos integrados. Ela é responsável por determinar os caminhos que as conexões entre componentes de uma rede terão, e seu resultado é utilizado como um guia pelo roteamento detalhado, que irá completar o roteamento com a definição exata dos fios e vias utilizadas na conexão da rede. Os objetivos do roteamento global são menor comprimento de fio total do circuito, menor número de vias e reduzir áreas de congestionamento, entre outros. Esse trabalho possui três objetivos principais: realizar uma revisão bibliográfica sobre roteamento global, apresentar seu uso nas diferentes etapas do fluxo de projeto físico de um circuito, e apresentar a implementação e adaptações feitas sobre o algoritmo *FastRoute* junto de experimentos com base no contexto de um fluxo de projeto real. Para apresentar o uso do roteamento global em um do fluxo de projeto físico real, foi utilizado o Projeto *OpenROAD*, que consiste em uma ferramenta e um fluxo de código aberto para a concepção de projeto físico de circuitos integrados. Foi utilizado o algoritmo e a implementação base do *FastRoute* para a implementação de modificações e melhorias propostas para tornar o algoritmo utilizável em um fluxo de projeto real, junto de novas funcionalidades desenvolvidas sobre a implementação original, como um uma *API* simples para integração com o posicionamento global e um método de reparação de violações de antenas. Foram conduzidos experimentos para compreender a importância na definição das configurações de recursos disponíveis para o roteamento global, analisando o comprimento de fio e número de vias do roteamento global e do roteamento detalhado, o número de violações de regras de projeto e tempo de execução. Finalmente, foram feitos experimentos referentes a violações de antenas para demonstrar a qualidade do método desenvolvido em reduzir o número total de violações.

Palavras-chaves: Roteamento. Síntese Física. Automação de Projeto Eletrônico. Microeletrônica.

Abstract

Global routing is one of the main steps in the physical synthesis of integrated circuits. It is responsible for determining the paths the connections between network components will take. Its result is a guide for the detailed routing, which will complete the routing with the exact definition of the wires and vias used in the network connection. The goals of global routing are minimum total wire length, fewer vias, and reducing congestion areas, among others. This work has three main objectives: to present a bibliographic review of the global routing literature, to present its use in the different stages of the physical design flow of a circuit, and to present the implementation and adaptations made on the *FastRoute* algorithm along with experiments based on in the context of a real project flow. To present global routing in a real physical design flow, the *OpenROAD Project* was used, which consists of an open-source tool and flow for the physical design of integrated circuits. The algorithm and base implementation of *FastRoute* were used to implement modifications and proposed improvements to make the algorithm usable in a real project flow, along with new features developed over the original implementation, such as a simple API for integration with global placement and a method to repair antenna violations. Experiments were made to understand the importance of tuning the resource configurations for global routing, analyzing the wire length and number of vias in global routing and detailed routing, the number of violations of design rules, and runtime. Finally, experiments regarding antenna violations were performed to demonstrate the quality of the developed method in reducing the total number of violations.

Key-words: Routing. Physical Synthesis. Electronic Design Automation. Microelectronics.

Lista de ilustrações

Figura 1.1	–Fluxo de síntese de circuitos integrados.	24
Figura 2.1	–Diferentes métodos para estimar roteamento.	28
Figura 2.2	–Exemplo de roteamento global e roteamento detalhado para uma rede de 3 pinos.	30
Figura 3.1	–Divisão de um circuito em uma grade de roteamento global e seu correspondente grafo.	32
Figura 3.2	–Exemplo de uma RSMT para uma rede de quatro pinos.	33
Figura 3.3	–Roteamentos nos formatos L, Z e U.	33
Figura 3.4	–Roteamento <i>maze</i> para uma rede de dois pinos com bloqueios.	35
Figura 3.5	–Troca de posição de aresta para evitar regiões congestionadas.	38
Figura 3.6	–Duas possibilidades de roteamento monotônico para uma rede de dois pinos.	39
Figura 3.7	–Possíveis problemas com o roteamento <i>maze</i>	40
Figura 3.8	–Exemplo de funcionamento do roteamento <i>3-bend</i>	42
Figura 4.1	–O fluxo do OpenROAD.	46
Figura 5.1	–Exemplo de roteamento global no formato de guias de roteamento.	50
Figura 5.2	–Exemplo da grade de roteamento.	52
Figura 5.3	–Exemplo de célula da grade de roteamento bloqueada na camada de metal 4.	53
Figura 5.4	–Exemplo de violação de antena.	54
Figura 5.5	–Fluxo de reparação de violações de antenas.	56
Figura 6.1	–Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.	61
Figura 6.2	–Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.	61
Figura 6.3	–Resultados de tempo de execução do roteamento global dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.	62
Figura 6.4	–Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.	63

Figura 6.5	–Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.	63
Figura 6.6	–Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.	64
Figura 6.7	–Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.	64
Figura 6.8	–Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.	65
Figura 6.9	–Resultados de tempo de execução do roteamento global dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.	65
Figura 6.10	–Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.	66
Figura 6.11	–Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.	67
Figura 6.12	–Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.	67
Figura 6.13	–Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.	68
Figura 6.14	–Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.	68
Figura 6.15	–Resultados de tempo de execução do roteamento global dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.	69
Figura 6.16	–Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.	69
Figura 6.17	–Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.	70

Figura 6.18	Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.	70
Figura 6.19	Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.	71
Figura 6.20	Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.	71
Figura 6.21	Resultados de tempo de execução do roteamento global dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.	72
Figura 6.22	Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.	72
Figura 6.23	Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.	73
Figura 6.24	Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.	73
Figura 6.25	Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.	74
Figura 6.26	Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.	74
Figura 6.27	Resultados de tempo de execução do roteamento global dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.	75
Figura 6.28	Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.	76
Figura 6.29	Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.	76
Figura 6.30	Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.	77

Lista de tabelas

Tabela 6.1	–Descrição dos circuitos sintetizados com a tecnologia ASAP7	57
Tabela 6.2	–Descrição dos circuitos sintetizados com a tecnologia Nangate45	58
Tabela 6.3	–Descrição dos circuitos sintetizados com a tecnologia GF180	58
Tabela 6.4	–Descrição dos circuitos sintetizados com a tecnologia SKY130HD	58
Tabela 6.5	–Descrição dos circuitos sintetizados com a tecnologia SKY130HS	59
Tabela 6.6	–Violações de antena no roteamento global pré e pós execução do método de reparação.	77
Tabela 6.7	–Número de diodos inseridos durante o método de reparação de antenas.	78
Tabela 6.8	–Violações de antena no roteamento detalhado pré e pós execução do método de reparação.	79
Tabela 6.9	–Violações de antena no roteamento detalhado pré e pós execução do método de reparação com o uso da margem de 30%.	79
Tabela 6.10	–Comparação do número de diodos inseridos pré e pós adição da margem para as violações.	80

Sumário

1	Introdução	23
1.1	Objetivos	25
1.2	Organização do texto	26
2	Roteamento	27
3	Roteamento Global	31
3.1	Revisão bibliográfica	31
3.1.1	Roteamento 2D	33
3.1.2	Assinalamento de camadas de metal	34
3.1.3	Trabalhos recentes	35
3.2	<i>FastRoute</i>	37
3.2.1	<i>FastRoute</i> 1.0	37
3.2.2	<i>FastRoute</i> 2.0	38
3.2.3	<i>FastRoute</i> 3.0	40
3.2.4	<i>FastRoute</i> 4.0	41
3.2.5	<i>FastRoute</i> 4.1	43
4	O Projeto <i>OpenROAD</i>	45
5	Implementação de melhorias e novos recursos sobre o algoritmo <i>FastRoute</i>	49
5.1	Limitações da ferramenta original	49
5.2	Adaptações e correções de falhas	50
5.3	Desenvolvimento de novos recursos	52
5.3.1	Configuração de recursos de roteamento	52
5.3.2	Configuração de faixa de camadas de metal para roteamento para redes de relógio	53
5.3.3	Método de reparação de violações de antenas	54
6	Avaliação da qualidade de resultados da ferramenta	57
6.1	Metodologia	57
6.1.1	Circuitos utilizados para os experimentos	57
6.1.2	Análise do uso de diferentes configurações de recursos de roteamento	59
6.1.3	Avaliação da qualidade do método de reparação de violações de antenas	59
6.2	Resultados	60
6.2.1	Recursos de roteamento	60

6.2.2	Reparação de violações de antenas	75
Conclusões	82
Referências	83

1 Introdução

A diminuição constante do tamanho dos componentes nos circuitos integrados permite a integração de mais blocos funcionais em um único *chip*, podendo conter centenas de milhões de transistores, além de memórias, processadores, lógicas para aplicações específicas, etc. No entanto, a complexidade dos sistemas modernos também aumenta o custo do projeto. As empresas precisam pagar um grande número de engenheiros, ferramentas e capacitações. O tempo de lançamento no mercado também é crítico para o sucesso do produto final. São fundamentais técnicas eficazes, capazes de reduzir o tempo de colocação no mercado e, portanto, os custos envolvidos no desenvolvimento de projetos físicos de circuitos integrados.

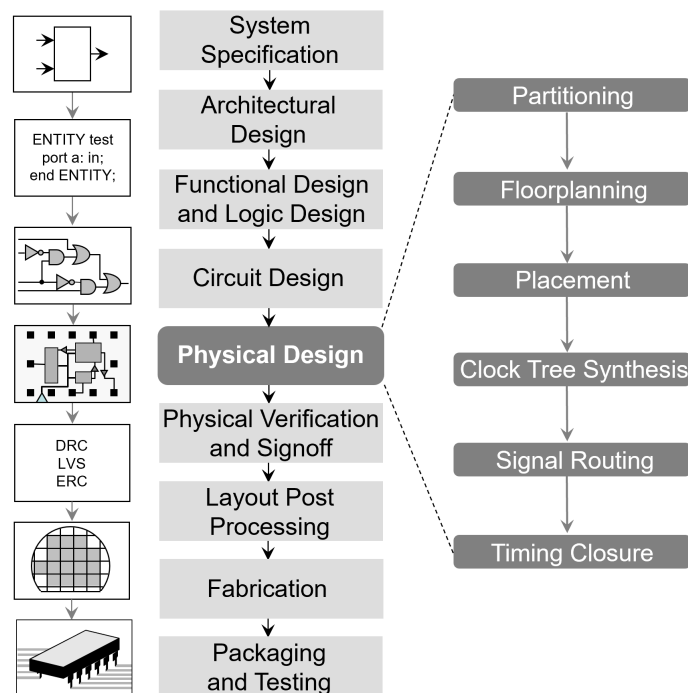
O projeto de um circuito integrado possui diversas etapas, como a especificação do sistema, o projeto da arquitetura do sistema, projetos funcionais e lógicos, entre outros. Dentro dessas etapas, temos as etapas de síntese de síntese lógica e síntese física do circuito. A síntese lógica pega uma descrição de alto nível do circuito, tradicionalmente escrita usando linguagens HDL (*hardware description language*), como Verilog e SystemC. Essa descrição de alto nível tem como objetivo de descrever como o sistema se comporta, possibilitando simular e validar seu comportamento. A seguir, essa descrição comportamental é convertida para uma descrição RTL (*register transfer level*), onde o circuito é representado como o fluxo de sinais entre registradores e as operações lógicas realizadas nestes sinais. Essa descrição RTL é usada para criar um circuito com portas lógicas genéricas, possibilitando otimizações através de reestruturação dessas portas lógicas. A seguir, é realizado o mapeamento tecnológico do circuito, onde as portas lógicas genéricas são substituídas pelas portas lógicas da biblioteca de células da tecnologia escolhida para o projeto. A síntese lógica é concluída com outra etapa de otimizações, dessa vez considerando as características da tecnologia. O circuito é reestruturado com base nas informações elétricas das portas lógicas, como atraso, potência e área.

Na etapa de síntese física, o circuito é convertido para o domínio físico. Essa é uma das últimas etapas antes de enviar o projeto para manufatura. Na Figura 1.1 é destacado um fluxo de síntese física de circuitos VLSI (KAHNG et al., 2011). Esse fluxo é dividido em seis etapas:

- **Particionamento:** Divide a lista de redes em módulos menores, de forma que cada módulo seja processado de maneira independente. Isso possibilita reduzir o tempo de execução de algoritmos com baixa escalabilidade.
- *Floorplanning:* Define a área do circuito, posiciona os pinos de entrada e saída e os macro blocos, e define o roteamento das redes de *power* e *ground*.

- Posicionamento: Define as posições das portas lógicas da lista de redes, otimizando uma função de custo. A função de custo geralmente considera comprimento de fio das redes, temporização e congestionamento do circuito.
- Síntese da árvore de relógio: Cria a topologia das redes de relógio, inserindo *buffers* com o objetivo de reduzir o consumo de potência e a latência do circuito.
- Roteamento de sinais: Realiza as interconexões entre os elementos do circuito, como portas lógicas, pinos de entrada e saída e macro blocos, utilizando fios de metal e vias.
- *Timing closure*: Realiza a otimização do circuito com o objetivo de melhorar a performance.

Figura 1.1 – Fluxo de síntese de circuitos integrados.



Fonte: (KAHNG et al., 2011)

A Figura 1.1 apresenta um fluxo de síntese física linear. Fluxos modernos não são necessariamente lineares, pois informações de estágios finais do fluxo são desejados e utilizados em etapas iniciais do fluxo. Por exemplo, o posicionamento global se beneficia de informações de roteamento, assim como o posicionamento de pinos na etapa de *floorplanning* se beneficia de informações de posicionamento para otimizar seu resultado. Dessa forma, o fluxo de projeto físico deixa de ser um fluxo linear, e passa a ter laços e dependências entre suas etapas.

O roteamento, principal foco desse trabalho, é a etapa responsável por realizar a implementação física das interconexões especificadas na lista de redes do circuito. Em nodos de tecnologia avançada, os fios representam um fator dominante no atraso do circuito (FLACH et al., 2016) e sofrem de eletromigração (PARIS; POSSER; REIS, 2016) e efeitos de variabilidade (WILKE; REIS, 2010). Como o roteamento é uma das últimas etapas do fluxo de projeto, para garantir um bom resultado, deseja-se que todas as etapas anteriores tenham conhecimento de informações de roteamento (TATSUOKA et al., 2015). Devido à sua alta complexidade, o roteamento é dividido em roteamento global e roteamento detalhado. O roteamento global divide a área do circuito em uma grade regular e encontra um caminho global que é composto de células da grade para cada rede. O roteamento detalhado traça o roteamento de cada rede dentro do caminho determinado durante o roteamento global. Como a grade de roteamento global geralmente é simplificada, a complexidade do roteamento detalhado é significativamente reduzida, pois o espaço de solução definido para cada rede fica menor. Ainda assim, o roteamento detalhado é a tarefa que consome mais tempo no fluxo de projeto de circuitos integrados e geralmente um gargalo para atender às restrições de frequência do circuito.

O roteamento global tem um papel importante no fluxo de síntese física. Ele pode ser usado durante a etapa de posicionamento global, guiando a ferramenta para evitar congestionamento no posicionamento final. Mas mais importante que isso, seus resultados afetam diretamente a qualidade e o tempo de execução do roteamento detalhado. Um roteamento global ruim pode gerar resultados de roteamento detalhado com violações de regras de projeto, zonas congestionadas e com grande comprimento de fio, além de aumentar o tempo de execução ao oferecer um espaço de solução não otimizado para o roteamento detalhado. Dessa forma, é importante a pesquisa e o desenvolvimento de ferramentas de roteamento global escaláveis, que comportem as regras de projeto e com recursos para gerar o melhor resultado possível para o roteamento detalhado.

1.1 **Objetivos**

Considerando a importância do roteamento global dentro do fluxo de projeto físico, os objetivos desse trabalho são:

1. Compreender o problema de roteamento global, seus desafios e sua importância dentro do fluxo de projeto de circuitos VLSI. Além disso, abordar as principais técnicas envolvidas no desenvolvimento de uma ferramenta de roteamento global.
2. Adaptar e implementar melhorias sobre uma ferramenta de roteamento global já existente, criada no contexto acadêmico, para seu uso em um fluxo de projeto real. Também contextualizar os objetivos do fluxo de projeto utilizado, e o papel da ferramenta nesse fluxo.

3. Demonstrar a importância dos novos recursos implementados através de experimentos práticos, enfatizando a importância dos resultados dessa etapa do fluxo na qualidade do circuito final.

1.2 Organização do texto

Os próximos capítulos aprofundam a discussão sobre roteamento, com maior foco no roteamento global. O capítulo 2 apresenta uma revisão sobre roteamento, desde algoritmos de predição de roteamento até o roteamento detalhado. O capítulo 3 apresenta uma revisão dos principais conceitos, técnicas e trabalhos estado da arte sobre roteamento global, junto de detalhes sobre a ferramenta de roteamento global *FastRoute*, objeto central do trabalho desenvolvido. O capítulo 4 descreve o Projeto *OpenROAD*, contextualizando seu uso para o desenvolvimento desse trabalho, e o capítulo 5 descreve a implementação de melhorias, correções e novas funcionalidades para a ferramenta. O capítulo 6 propõe experimentos com a nova versão da ferramenta e apresenta os resultados obtidos. Por fim, o capítulo 7 apresenta as conclusões.

2 Roteamento

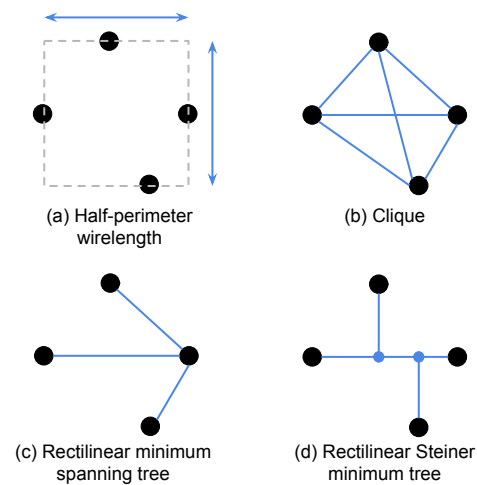
O roteamento de circuitos VLSI é a etapa responsável pela criação das interconexões entre os componentes das redes de um circuito, através de fios de metal e vias. As interconexões das redes precisam satisfazer as regras de projeto fornecidas pelas fabricantes dos circuitos para garantir que os projetos possam ser fabricados corretamente (CHEN; CHANG, 2009). Além disso, é estritamente necessário que todas as conexões entre as redes sejam realizadas, de forma a garantir que o circuito gerado não possua falhas.

Devido a grande complexidade e o enorme espaço de solução para o problema de roteamento de circuitos VLSI, o roteamento é tipicamente dividido em roteamento global e roteamento detalhado (KAHNG; WANG; XU, 2018). Além disso, é desejável que etapas iniciais do fluxo de projetos VLSI também possuam informações sobre o roteamento das redes do circuito. Por exemplo, durante as iterações de posicionamento dos componentes do circuito, é desejável que os resultados intermediários de posicionamento sejam avaliados em relação ao roteamento. Um algoritmo de roteamento real daria informações mais precisas em relação à qualidade do posicionamento, mas seu alto tempo de execução torna isso proibitivo. Portanto, algoritmos para estimativa de roteamento são utilizados no posicionamento e podem ser utilizados em outras etapas do fluxo de projeto.

Existem muitas abordagens para estimativas de roteamento na literatura. O comprimento de fio de meio perímetro (*half-perimeter wire length* - HPWL), representado na Figura 2.1(a), é tradicionalmente usado durante o posicionamento como um métrica para estimar o comprimento total da rede, calculado como a metade do perímetro da caixa delimitadora mínima que inclui todos os pinos da rede (KENNINGS; MARKOV, 2000). A Figura 2.1(b) apresenta outra metodologia, chamado grafo completo ou clique, onde o comprimento da rede é definido como a soma das distâncias entre todos os pinos do rede, ponto-a-ponto (VISWANATHAN; PAN; CHU, 2007). Uma estimativa mais precisa é dada por encontrar a topologia da árvore mais curta que conecta todos os pinos da rede. Este método é chamado de árvore retilínea de abrangência mínima (*rectilinear minimum spanning tree* - RMST) (ZHOU; SHENOY; NICHOLLS, 2001) e é mostrado na Figura 2.1(c). No entanto, a técnica que costuma produzir os resultados mais próximos do resultado final roteamento é a árvore mínima de Steiner retilínea (*rectilinear Steiner minimum tree* - RSMT) (CHU; WONG, 2008), ilustrado na Figura 2.1(d). A RSMT amplia a ideia da RMST adicionando nodos extras na rede, comumente chamados nodos de Steiner, de forma que a árvore possua somente arestas verticais ou horizontais.

Já na etapa de roteamento no fluxo de projetos VLSI, há a divisão entre roteamento

Figura 2.1 – Diferentes métodos para estimar roteamento.



Fonte: Autoral, 2017

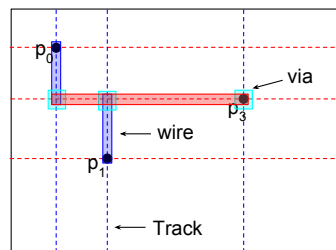
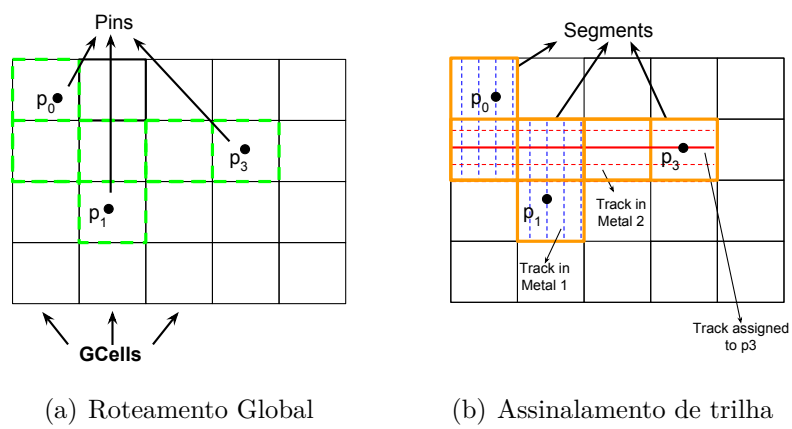
global e roteamento detalhado. No roteamento global, o espaço de solução é dividido em uma grade de células retangulares, onde cada célula possui informações simplificadas sobre a região que ela cobre. Essas informações são relacionadas à possibilidade de roteamento da região, como as trilhas de roteamento disponíveis, os obstáculos de roteamento em cada camada de metal e as posições dos pinos das redes. Um grafo 3D é utilizado para representar essa grade. As arestas e vértices desse grafo possuem as informações de roteamento citadas anteriormente. Essas informações podem ser denominadas como recursos de roteamento, como a capacidade disponível de roteamento em uma aresta, a quantidade de recursos bloqueados por obstáculos, e a quantidade de recursos utilizados pelo roteamento de outras redes. Uma rede pode ter pinos em diferentes células dessa grade, e o roteamento global define uma topologia composta por essas células, englobando todos os pinos da rede. O conjunto de células de uma rede também é chamado de guias globais. A Figura 3(a) mostra um exemplo de roteamento global para uma rede de 3 pinos.

No roteamento detalhado, existe uma outra divisão que é comumente realizada. O processo de assinalamento de trilha é executado antes do roteamento detalhado iniciar. O circuito possui trilhas verticais e horizontais, espaçadas de acordo com as regras de projeto para que não haja violações de espaçamento entre fios de metal em uma mesma camada. Essas trilhas compõem a grade de roteamento. É desejável que os segmentos do roteamento de uma rede sejam atribuídos a essas trilhas. Ao fazer isso, evitamos violações de regras de projeto, como violações de espaçamento mínimo. A etapa de assinalamento de trilha é responsável por esta tarefa. Conforme mostrado na Figura 3(b), ela divide o roteamento global de cada rede em segmentos horizontais e verticais, chamados de trilhas. Trilhas específicas são atribuídas para a conexão de cada pino de uma rede pelo uso de heurísticas de otimização, visando, por exemplo, a minimização de congestionamentos. As trilhas são atribuídas apenas para conexões que têm pelo menos a altura ou a largura de

um célula da grade de roteamento global de comprimento. Na Figura 3(b), os pinos $p0$ e $p1$ terão conexões que ocupam menos de uma GCell, portanto não há assinalamento de trilha para eles.

Já na etapa final do fluxo de roteamento, o roteamento detalhado é responsável pela geração das topologias finais das redes de um circuito, utilizando fios e vias de metal e considerando as direções preferenciais das diferentes camadas de metal. Idealmente, o roteamento detalhado deve respeitar as guias globais, ou seja, os fios e as vias do roteamento devem estar dentro das guias. Além disso, regras de projeto como espaçamento mínimo devem ser respeitadas. O uso de assinalamento de trilhas facilita a conformidade com esses requisitos. O roteamento detalhado lidará apenas com a camadas de metal e as vias e as conexões locais (ou seja, conexões que ocupam menos de uma célula da grade de roteamento global). Além disso, o roteamento detalhado pode modificar o assinalamento de trilhas de uma rede para evitar violações de regras de projeto, em um processo de *ripup-and-reroute*. Geralmente, esse é o processo mais demorado dentro do roteamento detalhado, devido ao grande número de regras de projeto que tecnologias modernas possuem e ao elevado número de redes que um circuito pode ter. Algumas das regras de projeto existentes são os espaçamento entre dois fios em uma camada de metal, a área mínima que um metal fio necessita ter, fim de linha e espaçamento de camadas de corte para garantir a manufaturabilidade. Além disso, um conjunto de obstáculos pode ser especificado para o roteamento. A Figura 3(c) mostra a topologia final para uma rede de 3 pinos.

Figura 2.2 – Exemplo de roteamento global e roteamento detalhado para uma rede de 3 pinos.



(c) Roteamento Detalhado

Fonte: Autoral, 2018

3 Roteamento Global

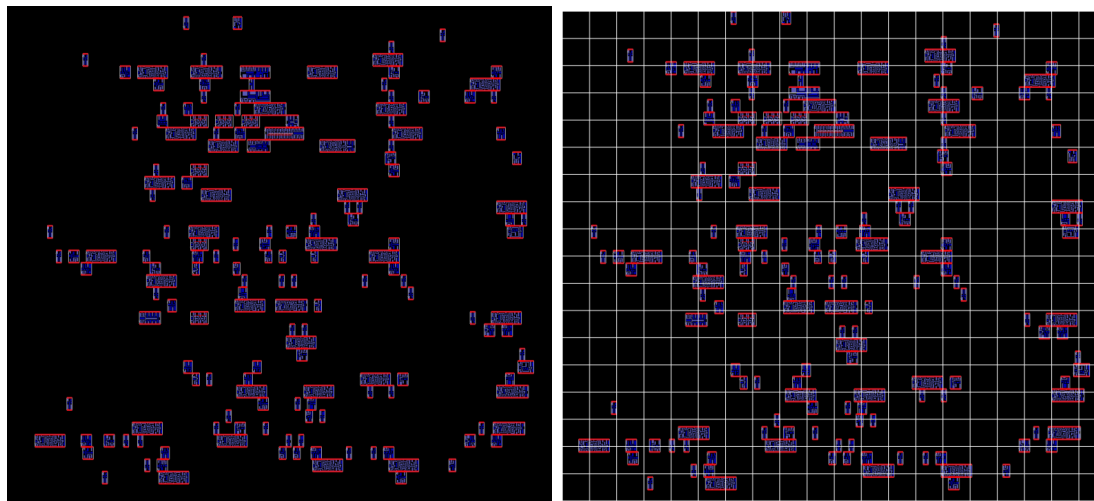
Esse capítulo apresentará uma revisão bibliográfica das principais técnicas utilizadas no roteamento global em ferramentas modernas, detalhando o fluxo mais comum utilizado na atualidade e explicando cada etapa desse fluxo em detalhes. Também serão apresentados os trabalhos acadêmicos mais recentes em roteamento global, discutindo brevemente suas contribuições para essa área de pesquisa. O capítulo se encerra com uma descrição aprofundada da ferramenta de roteamento global *FastRoute* (PAN et al., 2012), objeto central do projeto desenvolvido para esse trabalho.

3.1 Revisão bibliográfica

O modelo mais comum utilizado para o roteamento global é o grafo gerado a partir da grade de roteamento global. A área do circuito é dividida em regiões retangulares, verticais e horizontais. Cada retângulo gerado por essa divisão é uma célula da grade de roteamento global, ou simplesmente uma célula global. Cada célula global corresponde a um nodo no grafo gerado a partir dessa grade. A Figura 3.1 ilustra essa divisão do circuito na grade de roteamento global e o grafo gerado a partir dela. A divisão do circuito pode gerar uma grade de roteamento regular ou não regular. Ou seja, cada célula da grade pode ter dimensões diferentes, de acordo com a escolha para a regularidade da grade. As posições dos pinos das redes do circuito são convertidas para esses nodos, tornando o problema de roteamento global em encontrar o caminho que conecta todos os nodos de uma rede. As arestas do grafo possuem informações de recursos de roteamento, como a capacidade que a aresta possui para comportar os segmentos que fazem parte do caminho do roteamento das redes e a utilização dessa capacidade pelos roteamentos realizados. A partir dessas duas informações, é possível calcular o congestionamento de cada aresta do grafo. O congestionamento é a quantidade de utilização que ultrapassou a capacidade da aresta. Mais especificamente, se $A_u > A_c$, então $A_{cong} = A_u - A_c$, onde A_u é a utilização da aresta, A_c é a capacidade da aresta e A_{cong} é o congestionamento da aresta. Caso $A_c > A_u$, $A_{cong} = 0$.

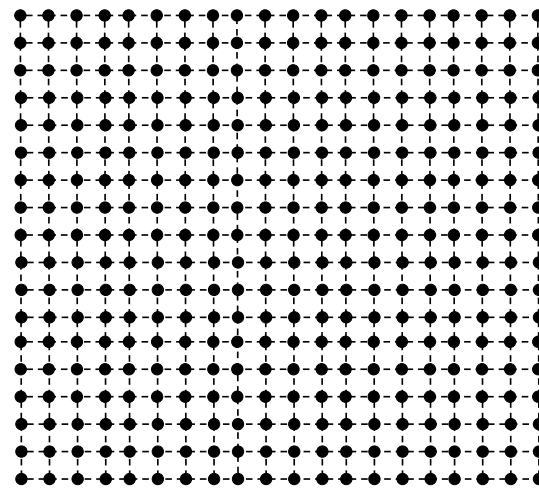
O grafo gerado a partir da divisão do circuito em uma grade de roteamento global possui três dimensões, devido às diferentes camadas de metal que um circuito possui. Cada camada desse grafo possui diferentes valores de capacidade, calculados de acordo com as regras de espaçamento e as trilhas de roteamento disponíveis em cada célula global. Tipicamente, as camadas inferiores do grafo, correspondentes às camadas de metal mais baixas do circuito, possuem mais capacidade do que as camadas superiores. Isso ocorre porque as regras de espaçamento, área mínima e largura mínima para os fios de metal dos

Figura 3.1 – Divisão de um circuito em uma grade de roteamento global e seu correspondente grafo.



(a) Circuito inicial

(b) Criação da grade de roteamento global



(c) Grafo gerado a partir da grade de roteamento global

Fonte: Autoral, 2023

metas superiores são maiores, resultando em mais espaço entre cada trilha de roteamento e, conseqüentemente, menos trilhas disponíveis.

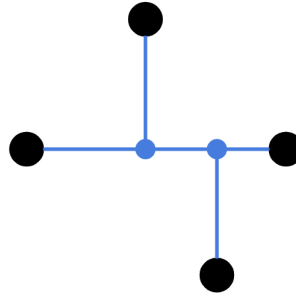
Após a criação do grafo, o roteamento global pode ser dividido em duas etapas: roteamento 2D e assinalamento de camadas. Essa divisão é feita para simplificar a criação das topologias das redes do circuito. Durante o roteamento 2D, o grafo criado é traduzido para um grafo 2D, onde cada aresta do grafo possui a soma dos recursos disponíveis em cada aresta 3D. Dessa forma, os recursos totais de cada aresta do grafo 2D é igual à soma dos recursos de cada aresta 3D que possuem as mesmas coordenadas (x, y) .

Também é possível realizar toda a etapa de roteamento no espaço 3D. Técnicas e algoritmos que utilizam essa abordagem costumam ter uma alta complexidade, e não serão abordadas nesse trabalho.

3.1.1 Roteamento 2D

Com o grafo 2D criado, o primeiro passo é a criação da topologia das redes. O mais comum é criar as topologias utilizando RSMTs, visando o menor comprimento de fio possível. A Figura 3.2 mostra um exemplo de uma RSMT para uma rede de quatro pinos.

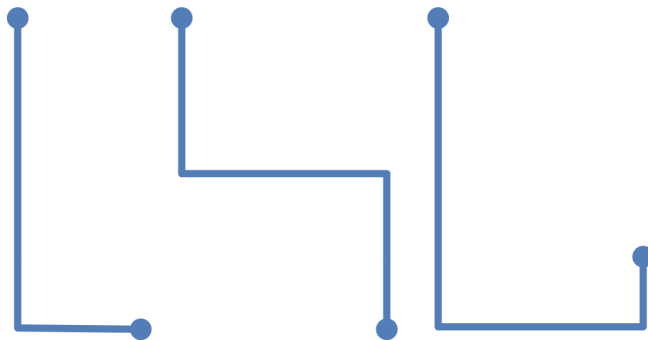
Figura 3.2 – Exemplo de uma RSMT para uma rede de quatro pinos.



Fonte: Autoral, 2017

A partir da topologia inicial, o roteamento 2D procura otimizar o valor de congestionamento nas arestas, com o objetivo de chegar a um roteamento livre de congestionamento. Uma técnica de baixo tempo de execução para reduzir o congestionamento é o *pattern routing*. Essa técnica consiste em decompor a topologia das redes em sub-redes de dois pinos, e modificar o caminho entre esses dois pinos quando é identificado congestionamento. Para cada sub-rede, é feita a tentativa de modificar o caminho utilizando os padrões de roteamento em L, em Z ou em U, de forma a evitar ou contornar as arestas com congestionamento. A Figura 3.3 ilustra esses três padrões de roteamento.

Figura 3.3 – Roteamentos nos formatos L, Z e U.



Fonte: (XU; ZHANG; CHU, 2009) (Adaptado)

O *pattern routing* é uma técnica de baixíssimo tempo de execução e gera poucas vias no roteamento final. Contudo, é muito limitada para reduzir o congestionamento de

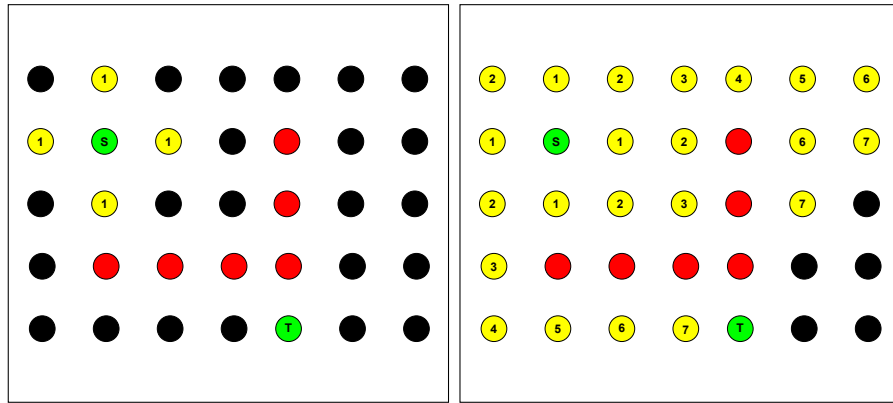
maneira consistente. Ela pode ser muito eficiente para redes pequenas, de poucos pinos e baixo comprimento de fio, mas redes maiores e mais complexas não se beneficiam dessa técnica, ou mesmo quando o circuito possui muito congestionamento. Para esses cenários, usualmente é utilizada a técnica de *rip-up* e *reroute*, utilizando o roteamento *maze*.

O roteamento *maze* é primariamente uma técnica para rotear redes de dois pinos. Para redes com mais de dois pinos, é comum dividir o roteamento em arestas, onde cada aresta é uma sub-rede de dois pinos. Dessa forma, o roteamento *maze* é usado em cada uma das sub-redes de maneira independente, criando caminhos entre os pinos da rede considerando congestionamento e regiões bloqueadas. Dados dois pinos S e T , onde S é o pino de origem, e regiões bloqueadas ou congestionadas, o roteamento *maze* irá expandir possíveis caminhos, somente horizontais ou verticais, a partir do pino de origem. A Figura 5(a) mostra o primeiro passo dessa expansão. Os nodos vermelhos são bloqueios, portanto não podem ser usados para o roteamento. O custo de cada expansão é o número de nodos de distância do nodo de origem. Quando o algoritmo encontra um nodo bloqueado, não é feita a expansão para esse nodo, tornando esse caminho inutilizável. A expansão continua até que encontre o nodo do pino T , como mostra a Figura 5(b). O roteamento final é obtido ao rastrear o caminho de menor custo, ou seja, o caminho que possui a menor soma de custos em cada expansão. A Figura 5(c) mostra o caminho de menor custo para a conexão entre S e T , representado pela linha azul.

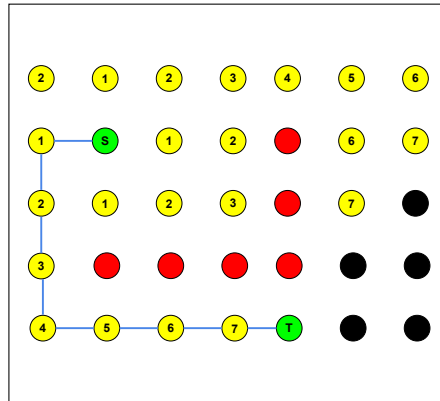
Ferramentas de roteamento global costumam aplicar custos para as arestas do grafo de roteamento baseado nos valores de utilização, que podem crescer de forma abrupta quando a utilização se aproxima da capacidade da aresta (ALBRECHT, 2001) (KASTNER; BOZORGZADEH; SARRAFZADEH, 2000), ou crescer de maneira linear quanto mais próximo da capacidade a utilização for (HADSELL; MADDEN, 2003). O roteamento *maze* pode ser executado em diversas iterações, enquanto o congestionamento não for completamente removido. Durante a etapa de *rip-up* e *reroute*, redes congestionadas são selecionadas para serem roteadas novamente, a fim de resolver o problema de congestionamento delas.

3.1.2 Assinalamento de camadas de metal

Após finalizar o roteamento 2D, é preciso assinalar a camada de metal que cada aresta do roteamento das redes terá. Essa primeira etapa do roteamento 3D é chamada de assinalamento de camadas. Ela é responsável por atribuir as camadas de metal para as arestas do roteamento de uma rede, expandindo o roteamento encontrado durante o roteamento 2D para três dimensões. Essa etapa é importante na definição do número de vias que as redes terão. A cada troca de camada de metal entre duas arestas adjacentes, uma via é necessária para conectar as arestas que estão em camadas de metal diferentes. Essa etapa é geralmente modelada com um problema de programação dinâmica, com o

Figura 3.4 – Roteamento *maze* para uma rede de dois pinos com bloqueios.

(a) Primeira expansão do roteamento *maze*. (b) Roteamento *maze* ao encontrar o pino de destino *T*.



(c) Caminho final de menor custo para o roteamento entre *S* e *T*.

Fonte: Autoral, 2023

objetivo de ter o menor número de vias possíveis, respeitando a capacidade de cada aresta 3D.

É importante reforçar que, ao produzir resultados de roteamento livres de congestionamento durante a fase de roteamento 2D, é garantido que uma solução de assinalamento de camada de metal livre de congestionamento também irá existir. Isso ocorre pelo fato das capacidades de cada aresta do roteamento 2D serem a soma das capacidades das arestas 3D na mesma posição (x, y) . Isso reforça que é necessário respeitar as capacidades de cada aresta 3D durante o assinalamento de camadas.

3.1.3 Trabalhos recentes

Nos últimos anos, pesquisas focadas no roteamento global foram realizadas, gerando publicações de diversos trabalhos diferentes. A competição em roteamento global organizada durante a *IEEE/ACM International Conference on Computer-Aided Design* (ICCAD) de 2019 (DOLGOV et al., 2019) ajudou a fomentar mais trabalhos nessa área

nos últimos anos. A seguir, alguns trabalhos serão citados, com uma breve descrição de suas contribuições.

A ferramenta de roteamento global CUGR (LIU et al., 2020) foi criada em 2020 e disponibilizada em formato de código aberto (CUHK, 2023). Essa ferramenta teve sua origem na competição de roteamento global citada anteriormente, e apresenta técnicas para melhorar os resultados do roteamento 3D. Seu principal objetivo é diminuir a perda de qualidade do roteamento ao comprimir o espaço de solução 3D para um espaço de solução 2D. Uma das técnicas utilizadas para atingir esse objetivo é utilizar o *pattern routing*, durante o roteamento 3D, mais especificamente combinando-o com o assinalamento de camadas. Outra técnica desenvolvida é o roteamento *maze* 3D multinível. Dois níveis de roteamento *maze* com diferentes funções de custo e objetivos são projetados para maximizar a rotabilidade e procurar o caminho de custo mínimo de forma eficiente. Além disso, há uma função de custo sensível a mudanças de recursos e uma técnica de pós-processamento chamada *patching*, que oferece ao roteamento detalhado mais flexibilidade para escapar de regiões congestionadas.

A ferramenta *TritonRoute-WXL* (KAHNG; WANG; XU, 2022) é uma expansão da ferramenta de roteamento detalhado *TritonRoute* (KAHNG; WANG; XU, 2018). Ela é uma ferramenta que unifica o roteamento global e o roteamento detalhado dentro da mesma estrutura. Ao compartilhar da mesma estrutura, as informações obtidas para o roteamento global são muito mais próximas do que o roteamento detalhado irá considerar, como a posição exata utilizada para o acesso aos pinos das redes, a forma como o roteador detalhado interpreta as regras de projeto, e a construção da grade de roteamento global com base na grade de roteamento detalhado.

A ferramenta CR&P (AGHAEKIASARAEE et al., 2022) apresenta uma estrutura para a execução de posicionamento e roteamento global iterativo, utilizando de um legalizador de posicionamento baseado em *Integer Linear Programming* para gerar resultados válidos de posicionamento. Seu objetivo é ser um complemento ao fluxo de projeto físico entre as etapas de roteamento global e roteamento detalhado, utilizando dos resultados de roteamento global para otimizar o posicionamento e, conseqüentemente, reduzir o número de vias e o comprimento de fio do roteamento detalhado.

O trabalho apresentado em (JIANG; FANG, 2023) apresenta uma alternativa para a etapa de assinalamento de camadas. Diferente dos estudos tradicionais, que assinalam as camadas de maneira sequencial, rede por rede, esse trabalho propõe uma estrutura de assinalamento de camadas simultânea, considerando todas as arestas das redes a serem assinaladas e assinalando-as, iterativamente, da camada de metal mais baixa até a camada de metal mais alta. Executar o assinalamento de camadas de forma simultânea, e não sequencial, facilita a utilização máxima do recurso de roteamento em cada camada, contribuindo para um procedimento de roteamento eficaz que reduz consideravelmente as

situações de congestionamento.

3.2 *FastRoute*

A ferramenta de roteamento global *FastRoute* (PAN; CHU, 2006) foi originalmente desenvolvida em 2006, com o objetivo de ser uma ferramenta rápida e com bons resultados para a integração com o posicionamento global. Durante o posicionamento global, é desejável ter informações precisas sobre a conectividade das redes do circuito para estimar o comprimento de fio total do circuito e o atraso das conexões das redes. Essas informações seriam calculadas iterativamente durante o posicionamento global, guiando o posicionador global para melhorar essas métricas. A seguir, serão mostradas as diferentes versões do *FastRoute*, mostrando como a ferramenta lida com congestionamento e sua evolução em cada iteração nova.

3.2.1 *FastRoute* 1.0

O uso do roteamento global durante essas iterações de posicionamento é a chave para obter estimativas mais precisas de comprimento de fio e atraso. Porém, até 2006, ferramentas tradicionais de roteamento global tinham um tempo de execução muito longo, tornando impraticável o seu uso durante o posicionamento.

O *FastRoute* surgiu como uma solução para esse problema, tendo tempos de execução $132\times$ mais rápido do que a ferramenta *Labyrinth* (KASTNER; BOZORGZADEH; SARRAFZADEH, 2000), e $64\times$ mais rápido que a ferramenta *Chi Dispersion* (HADSELL; MADDEN, 2003), as duas ferramentas acadêmicas estado da arte de roteamento global na época. Além da melhora significativa do tempo de execução, o *FastRoute* conseguia gerar roteamentos menos congestionados que seus concorrentes.

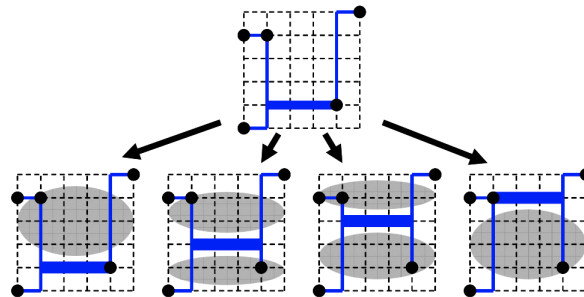
Essas duas melhorias foram obtidas através das técnicas de construção de árvores de *Steiner* dirigida pelo congestionamento e da troca de arestas da árvore de *Steiner* para obter a melhor topologia da árvore e a melhor posição para os nodos de *Steiner*. Ao obter as árvores de *Steiner* já considerando congestionamento, menos redes precisarão ser roteadas durante o roteamento *maze*, que é muito mais custoso em termos de tempo de execução.

O algoritmo base para a construção das árvores de *Steiner* é o FLUTE (CHU; WONG, 2008). A construção da árvore de *Steiner* dirigida pelo congestionamento é obtida ao escalar as distâncias entre dois pontos da grade de roteamento de maneira proporcional ao congestionamento médio da região que a conexão entre esses dois pontos usaria. Dessa forma, o problema de congestionamento nessa etapa vira um problema de encontrar a RSMT com os comprimentos de fio escalados de acordo com o congestionamento.

A topologia com o menor comprimento de fio escalado também é a topologia com menor congestionamento.

A técnica de troca de arestas da árvore de *Steiner* consiste em mover arestas que estejam em áreas congestionadas para áreas livres de congestionamento. As únicas arestas que podem ser trocadas são aquelas compostas de dois nodos *Steiner*, ou seja, não estão conectadas diretamente aos pinos da rede. Além disso, as arestas só podem ser movidas dentro de uma distância segura onde não haverá acréscimo de comprimento de fio na topologia final. A Figura 3.5 ilustra as possibilidades de troca de posição para uma aresta dadas regiões congestionadas.

Figura 3.5 – Troca de posição de aresta para evitar regiões congestionadas.



Fonte: (PAN; CHU, 2006)

3.2.2 *FastRoute* 2.0

Os autores aprimoraram a ferramenta durante os anos seguintes. Em 2007, o *FastRoute* 2.0 (PAN; CHU, 2007) foi publicado. A maior evolução da ferramenta se encontra na capacidade de gerar roteamento global com menos congestionamento, mantendo o tempo de execução baixo o suficiente para que a integração com o posicionamento global continue possível.

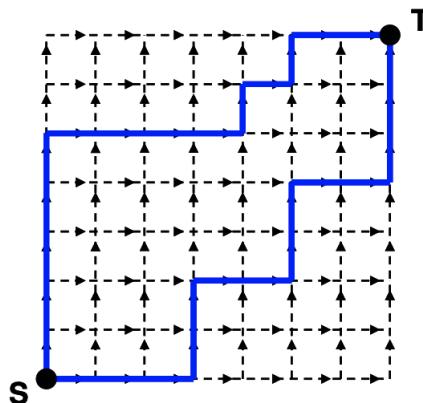
Resultados de roteamento com menos congestionamento são mais precisos para o posicionador global, que precisará corrigir somente áreas realmente congestionadas. Além disso, um roteador global capaz de gerar resultados com baixo congestionamento também pode ser usado para gerar o roteamento global final do circuito. Dessa forma, as inconsistências entre o resultado de roteamento global de etapas iniciais do fluxo e o resultado final são reduzidas.

Para atingir essa melhora nos resultados, os autores adicionaram as técnicas de roteamento monotônico e roteamento *multi-source multi-sink maze*. Essas técnicas são um complemento para as técnicas desenvolvidas na primeira versão do *FastRoute*. Enquanto a primeira versão focava em obter melhores topologias para o roteamento das redes nas

fases iniciais do fluxo de roteamento, as duas técnicas dessa versão melhoram as fases posteriores à construção das árvores de *Steiner*.

O roteamento monotônico substitui o *pattern routing*, com o objetivo de aumentar o número de possíveis roteamentos para as redes, mas mantendo um tempo de execução semelhante ao *pattern routing*. Aumentar o número de possíveis roteamentos aumenta a chance de encontrar soluções com menor custo de roteamento e menor congestionamento. A ideia básica é conectar dois pinos de maneira que as arestas dessa conexão sempre estejam indo de um pino em direção ao outro. A Figura 3.6 apresenta duas possibilidades de roteamento monotônico para uma rede de dois pinos. Note que, em ambos roteamentos, as arestas sempre saem do pino **S** em direção ao pino **T** (ou seja, elas somente vão para cima ou para a direita). Essa característica permite adicionar custos durante a construção da topologia para evitar regiões congestionadas, enquanto continua produzindo uma topologia de roteamento com baixo comprimento de fio.

Figura 3.6 – Duas possibilidades de roteamento monotônico para uma rede de dois pinos.



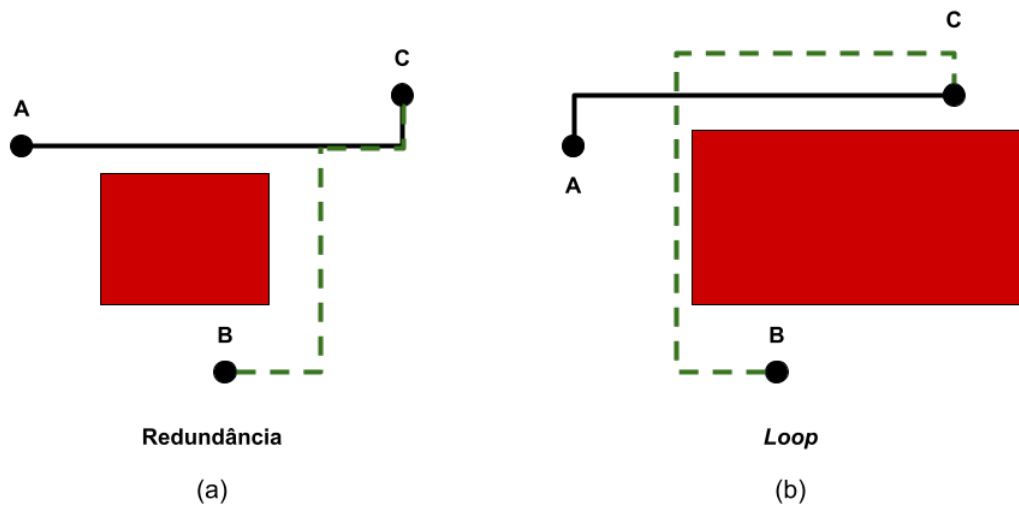
Fonte: (PAN; CHU, 2007)

O roteamento *multi-source multi-sink maze* é uma melhora no tradicional roteamento *maze*. O roteamento *maze* possui limitações ao quebrar uma rede de múltiplos pinos em sub-redes de dois pinos. Como mostra Fig. 3.7, é possível que sejam criadas (a) redundâncias na topologia do roteamento de uma rede e que sejam criados (b) *loops* no roteamento. Isso ocorre devido ao roteamento de cada sub-rede de dois pinos não considerar o roteamento das outras sub-redes, gerando mais congestionamento no roteamento final, pois recursos de roteamento estão sendo usados de maneira desnecessária. A ideia principal do roteamento *multi-source multi-sink maze* é considerar a topologia do roteamento já existente para a rede de múltiplos pinos. Ao invés de considerar que a sub-rede de dois pinos seja composta somente por dois pontos (as posições dos pinos), todos os pontos da grade de roteamento que compõem a árvore já existente são considerados como possíveis destinos para a conexão da sub-rede. Assim, essa técnica consegue evitar redundâncias e

garantir o menor custo de roteamento para as sub-redes das redes de múltiplos pinos.

As técnicas adicionadas nessa versão do *FastRoute* resultaram em um grande impacto no congestionamento final do roteamento. No conjunto de circuitos usados nos testes, o *FastRoute 2.0* apresentou uma redução de 90% no congestionamento final comparado ao *FastRoute* original, ao custo de ser 72% mais lento que a implementação original. Apesar do aumento no tempo de execução, a nova versão continuou mais rápida que os concorrentes *Labyrinth* e *Chi Dispersion*.

Figura 3.7 – Possíveis problemas com o roteamento *maze*.



Fonte: Autoral, 2023

3.2.3 *FastRoute 3.0*

Em 2008, o *FastRoute 3.0* (ZHANG; XU; CHU, 2008) foi publicado apresentando uma nova técnica chamada capacidade virtual. O objetivo dessa técnica é aprimorar o estágio de roteamento *maze* do fluxo de roteamento global. Nos roteadores globais da época, era comum o uso de *ripup* e *reroute* iterativamente durante o roteamento *maze* para melhorar o roteamento final. Contudo, essa abordagem pode levar a resultados ótimos locais.

A técnica de capacidade virtual é baseada em guiar o estágio de *ripup* e *reroute* considerando capacidades virtuais em cada aresta da grade de roteamento. A capacidade virtual é calculada baseada nos valores reais de capacidade, uso e congestionamento de uma aresta específica. O valor da capacidade virtual é a subtração da capacidade real pelo congestionamento da aresta. A iteração seguinte dessa etapa considera a capacidade

virtual, o que torna o uso dessa aresta mais custoso, fazendo com que roteamentos que passem por essa aresta sejam movidos para outras arestas. Idealmente, o uso dessa aresta será reduzido exatamente no valor de congestionamento da iteração anterior, mas é possível que o uso seja reduzido em um valor menor, pois o custo aumentado de utilizar essa aresta pode continuar sendo a melhor escolha para roteamentos que passam por ela.

Essa técnica apresentou bons resultados nos circuitos utilizados para teste. No conjunto de circuitos do ISPD98, o *FastRoute* 3.0 gerou resultados de roteamento livres de congestionamento para todos os circuitos. Já para os circuitos dos concursos de roteamento global ISPD07 e ISPD08, a ferramenta gerou resultados livres de congestionamento em 12 dos 16 circuitos.

3.2.4 *FastRoute* 4.0

Em 2009, o *FastRoute* 4.0 (XU; ZHANG; CHU, 2009) foi lançado com otimizações no número de vias inseridas durante o roteamento. A maioria dos roteadores globais consideram o número de vias inseridas no roteamento durante o roteamento *maze*, onde é atribuído um custo para a inserção das vias. Dessa forma, o número de vias inseridas é otimizado somente em uma etapa do fluxo de roteamento global.

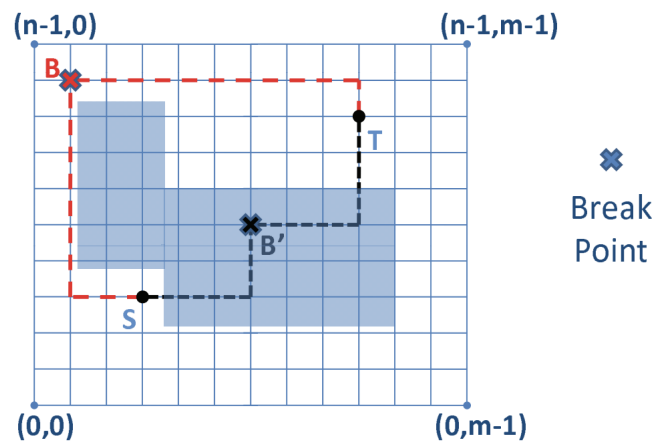
O *FastRoute* 4.0 propõe novas técnicas para otimizar o número de vias inseridas durante todo o fluxo de roteamento global. Minimizar o número de vias inseridas no roteamento é importante pois vias são uma grande fonte de falhas no circuito, além de impactar negativamente no tempo do circuito. As três técnicas apresentadas são: construção de árvores de *Steiner* considerando vias, roteamento *3-bend* e assinalamento de camadas com ordenamento.

A construção de árvores de *Steiner* considerando vias é uma evolução do trabalho apresentado na primeira versão do *FastRoute*, que considerava somente o congestionamento. Para considerar as vias nessa etapa, as distâncias entre os pinos de uma rede são escaladas considerando as capacidades e usos das arestas da grade de roteamento que estão contidas na *bounding box* da rede. Dessa forma, arestas que possuam menos capacidade são evitadas, levando a menos trocas de camadas de metal em etapas posteriores do fluxo de roteamento. Essa técnica apresentou 3% de redução no número de vias pós o estágio de *pattern routing*, com menos de 1% de acréscimo em congestionamento e comprimento de fio.

O roteamento *3-bend* é um método capaz de produzir topologias de maneira rápida, com menos congestionamento do que o *pattern routing* e menos vias inseridas do que o roteamento *maze*. Ele consiste em topologias para conexões entre dois pinos que tenham no máximo 3 dobras e que possa desviar de regiões congestionadas, como mostra a Figura 3.8. Dessa forma, o roteamento *3-bend* possui mais recursos para evitar congestionamento

do que o *pattern routing* e seus formatos de roteamento em L, Z e U. Porém, essa técnica é usada em conjunto com o *pattern routing* e o roteamento *maze*. Especificamente, ela é executada antes do roteamento *maze* para redes congestionadas, de forma a reduzir o tempo de execução e o número de vias inseridas nessas redes, além de reduzir o número de redes que serão roteadas pelo roteamento *maze*.

Figura 3.8 – Exemplo de funcionamento do roteamento *3-bend*.



Fonte: (XU; ZHANG; CHU, 2009)

A assinalamento de camadas com ordenamento propõe ordenar as redes e as arestas que compõem a topologia da rede de forma a reduzir o número de vias inseridas. Primeiro, as redes são ordenadas considerando o comprimento de fio e o número de pinos, de forma que redes com comprimento de fio menor e com muitos pinos sejam atribuídas às camadas de metal menores. Assim, redes com maior comprimento vão ter mais espaço em camadas de metal superiores, evitando trocas de camada de metal em sua topologia. Já as arestas da topologia da rede são ordenadas para que as arestas mais próximas dos pinos da rede sejam assinaladas primeiro, garantindo que cada aresta tenha a informação de quais são as camadas de metal em que o pino mais próximo pode estar.

O resultados da aplicação dessas três técnicas mostraram uma redução de 13,6% no número total de vias inseridas, 0,5% de redução no comprimento de fio e 48% de redução do tempo de execução, comparado ao *FastRoute* 3.0 usando os circuitos dos concursos de roteamento global ISPD07 e ISPD08. Além disso, o *FastRoute* 4.0 conseguiu gerar resultados livres de congestionamento em 7 dos 8 circuitos do ISPD07, e obteve o menor valor de congestionamento para o circuito congestionado comparado aos outros trabalhos publicados que também usaram esse conjunto de circuitos.

3.2.5 *FastRoute* 4.1

Finalmente, a última versão pública da ferramenta foi publicada em 2012, o *FastRoute* 4.1 (PAN et al., 2012). Na verdade, esse trabalho é a compilação de todas as técnicas e processos desenvolvidos ao longo dos anos, junto do código fonte disponibilizado em formato de *software* livre. Essa versão é usada como base para a ferramenta desenvolvida e apresentada nesse trabalho. Os próximos capítulos mostram o desenvolvimento de novas funcionalidades e correções de limitações que foram feitas sobre essa ferramenta.

4 O Projeto *OpenROAD*

O Projeto *OpenROAD* (AJAYI et al., 2019) é um projeto iniciado em 2018 pela Agência de Projetos de Pesquisa Avançada de Defesa dos Estados Unidos da América (DARPA). Seu objetivo é desenvolver um fluxo de código aberto de *RTL-to-GDSII*, completamente automatizado e que dure no máximo 24 horas para terminar.

O custo de projetos de circuitos integrados está constantemente crescendo, devido a maior complexidade de produtos *SOC* necessitarem de mais licenças de ferramentas comerciais de *EDA* e grandes times de engenheiros especializados. Tecnologias modernas introduzem mais regras de projeto, junto de cada vez mais demandas de potência, performance e área para os projetos de circuitos integrados. Enquanto grandes empresas possuem recursos humanos e monetários para seguir desenvolvendo novos projetos, pequenas empresas trabalham com menos licenças e menor suporte para as ferramentas que possuem. Ferramentas de *EDA* de código aberto podem auxiliar essas pequenas empresas no desenvolvimento de projetos de circuitos integrados. O benefício mais impactante é o custo: ferramentas de código aberto são gratuitas. Além disso, elas possuem abertura para customização e extensão para atender as necessidades do projeto desenvolvido.

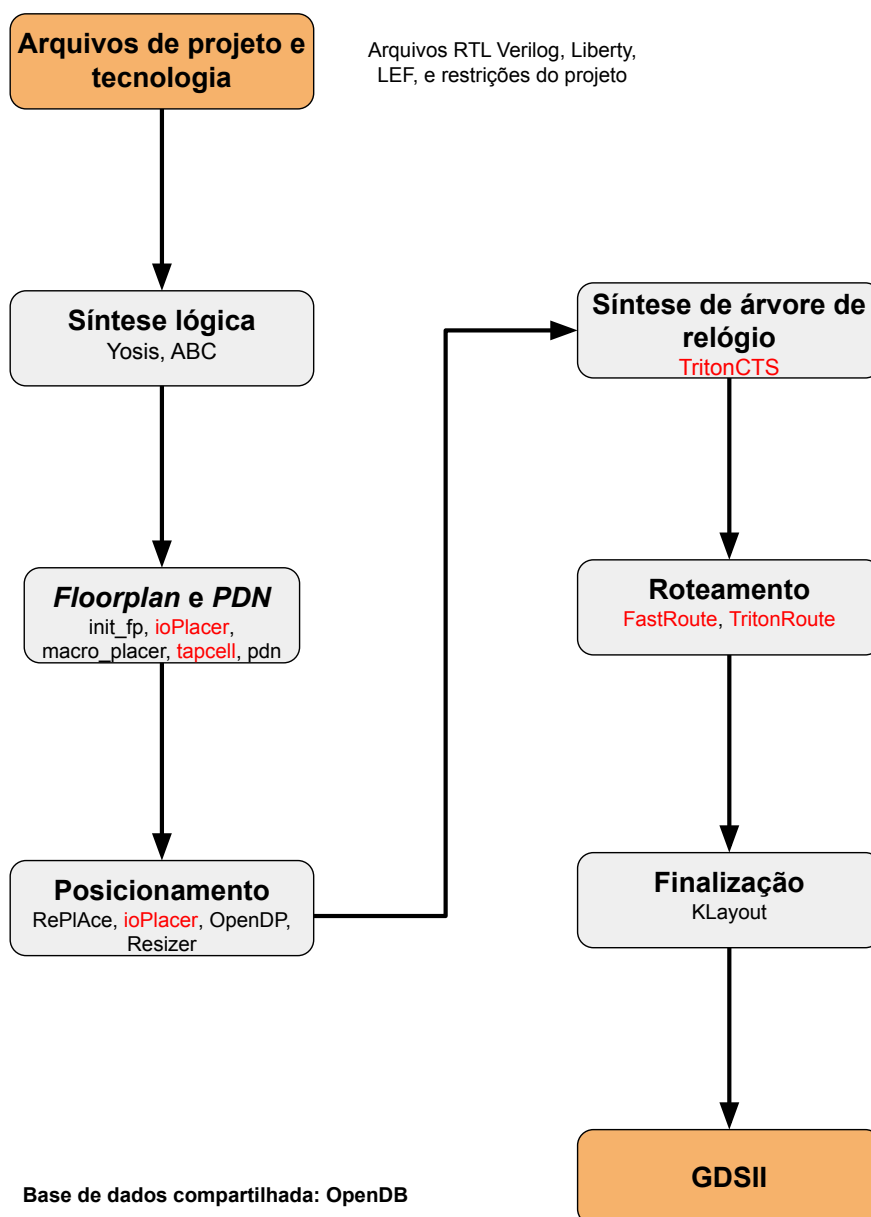
O problema é a disponibilidade dessas ferramentas de código aberto. São poucas ferramentas disponíveis, e muitas delas são desenvolvidas para projetos acadêmicos, não se enquadrando para o uso na produção de circuitos integrados reais. O Projeto *OpenROAD* surge para suprir essa necessidade, através da implementação de novas ferramentas de código aberto para *EDA* e da adaptação de ferramentas já existentes para atender as necessidades de um projeto real.

Esse conjunto de ferramentas são a fundação para fluxos comerciais de *RTL-to-GDS*, e grandes empresas de *EDA* possuem centenas ou até milhares de engenheiros e para o desenvolvimento dessas ferramentas. Os desenvolvedores de ferramentas de *EDA* necessitam de uma base forte de algoritmos e programação, além de fundamentos de Ciência da Computação e Engenharia da Computação. Obter profissionais capacitados para essa tarefa é um desafio até para grandes empresas de *EDA*. Tendo isso em mente, o Projeto *OpenROAD* busca profissionais capacitados em diversos países do mundo, e em diferentes níveis de senioridade. A equipe é formada por especialistas da indústria, engenheiros veteranos, alunos de doutorado, mestrado e até mesmo de graduação.

No Projeto *OpenROAD*, o fluxo do *OpenROAD* controla todas as etapas do projeto físico de circuitos integrados. Esse fluxo é composto por ferramentas que implementam cada etapa do projeto físico, sendo elas: síntese lógica, *floorplan* e redes de fornecimento de potência, posicionamento de células, síntese da árvore de relógio, roteamento, e finali-

zação do leiaute. As ferramentas são implementadas principalmente em C++, com *APIs* implementadas em *TCL* e *Python*. O projeto possui uma equipe formada por alunos de universidades do Brasil que foram responsáveis pelo desenvolvimento e manutenção de algumas ferramentas do fluxo do *OpenROAD*. A Figura 4.1 apresenta as etapas e as ferramentas responsáveis por cada etapa do fluxo. As ferramentas destacadas em vermelho foram desenvolvidas pelo time brasileiro do projeto. Todos os códigos e *scripts* que compõem as ferramentas e o fluxo do Projeto OpenROAD estão disponíveis no *GitHub* (THE-OPENROAD-PROJECT, 2023b)(THE-OPENROAD-PROJECT, 2023a).

Figura 4.1 – O fluxo do OpenROAD.



Fonte: Autoral, 2023

Este trabalho apresenta os detalhes do desenvolvimento da ferramenta de rotea-

mento global do fluxo do *OpenROAD*. Serão detalhados os diversos desafios encontrados durante seu desenvolvimento, junto das melhorias e adaptações necessárias para tornar a ferramenta capaz de suprir todas as necessidades do fluxo real de projeto de circuitos integrados. Algumas das atividades implementadas foram a integração da ferramenta com uma base de dados unificada, a implementação de uma *API* clara para a utilização da ferramenta no fluxo de projeto, capacidades de configuração de recursos de roteamento, roteamento especial para redes de relógio, um processo de predição e reparação de violações de antenas e a integração com a ferramenta de posicionamento global.

5 Implementação de melhorias e novos recursos sobre o algoritmo *FastRoute*

O desenvolvimento da ferramenta de roteamento global do Projeto *OpenROAD* foi feito baseado na ferramenta acadêmica de roteamento global *FastRoute 4.1*. Apesar de apresentar ótimos resultados de redução de congestionamento, número de vias inseridas e baixo tempo de execução, a implementação original da ferramenta possui limitações e algumas falhas que impossibilitariam seu uso dentro de um fluxo real de projeto de circuitos integrados. Além disso, faltam recursos desejáveis na etapa de roteamento global para a concepção de circuitos integrados modernos.

Esse capítulo apresenta as limitações e problemas que a implementação original do *FastRoute 4.1* possui, tanto relacionadas a usabilidade, quanto relacionadas a erros no código fonte. As adaptações e correções dos problemas são apresentadas na sequência, finalizando com a descrição de novos recursos implementados sobre a ferramenta original.

5.1 Limitações da ferramenta original

O primeiro grande desafio de utilizar o *FastRoute 4.1* foi relacionado à usabilidade da ferramenta. Por ter sido desenvolvida como uma ferramenta acadêmica, e utilizada principalmente para os circuitos disponibilizados nas competições de roteamento global ISPD07 e ISPD08, sua interface era limitada para funcionar com os formatos de arquivo disponibilizados nessas competições. Esses formatos de arquivo são defasados e não utilizados em fluxos de projeto atuais.

Outro desafio foi lidar com suas estruturas de dados específicas dentro de um ambiente onde todas as ferramentas eram integradas, pois sua concepção original era como uma ferramenta autônoma. As limitações geradas por essa característica estão na falta de uma API para a integração com as outras ferramentas existentes no fluxo do projeto *OpenROAD*, na dificuldade de integrar a base de dados compartilhada entre as ferramentas ao *FastRoute 4.1*, e no formato de saída específico gerado, que não é compatível com o formato adotado no fluxo do *OpenROAD*.

Além disso, o formato de entrada original da ferramenta já disponibilizava informações de recursos de roteamento em cada camada de metal. No formato utilizado no fluxo de projeto do *OpenROAD*, essas informações não são disponibilizadas de maneira direta, necessitando o cálculo desses valores de acordo com as características específicas do circuito.

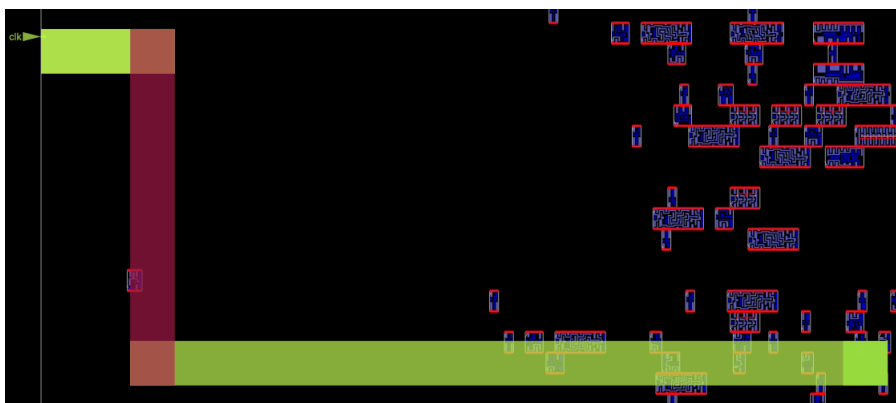
Contudo, a escalabilidade foi o problema mais significativo presente na implementação original do *FastRoute* 4.1, exigindo diversas correções para possibilitar o seu uso no fluxo de projeto do *OpenROAD*. As limitações iniciais do *FastRoute* 4.1 que foram corrigidas incluem:

- Uma rede poderia ter no máximo 1000 pinos.
- Circuitos poderiam usar no máximo oito camadas de metal para roteamento.
- O tamanho da grade de roteamento era limitado a um valor constante, restringindo a área que um circuito deveria ter para ser roteado com a ferramenta.
- A direção preferencial de roteamento estava definida de maneira manual no código fonte, ignorando as particularidades de tecnologias diferentes.

5.2 Adaptações e correções de falhas

Os formatos de arquivos de entrada e saída do *FastRoute* 4.1, estabelecidos nas competições de roteamento global do ISPD07 e ISPD08, são formatos acadêmicos e não correspondem aos formatos adotados no fluxo *OpenROAD*, ou seja, LEF/DEF como entrada e guias de roteamento (*routing guides*) como saída (MANTIK et al., 2018). A Figura 5.1 apresenta um exemplo de roteamento global no formato de guias de roteamento. Essas guias definem quais regiões e camadas de metal o roteamento detalhado pode usar para o roteamento da rede.

Figura 5.1 – Exemplo de roteamento global no formato de guias de roteamento.



Fonte: Autoral, 2023

O primeiro passo nas adaptações e correções sobre a ferramenta foi criar uma interface entre os formatos utilizados no projeto e o *FastRoute* 4.1, integrando-a com o *OpenDB* (THE-OPENROAD-PROJECT, 2023c), a base de dados do projeto *OpenROAD*.

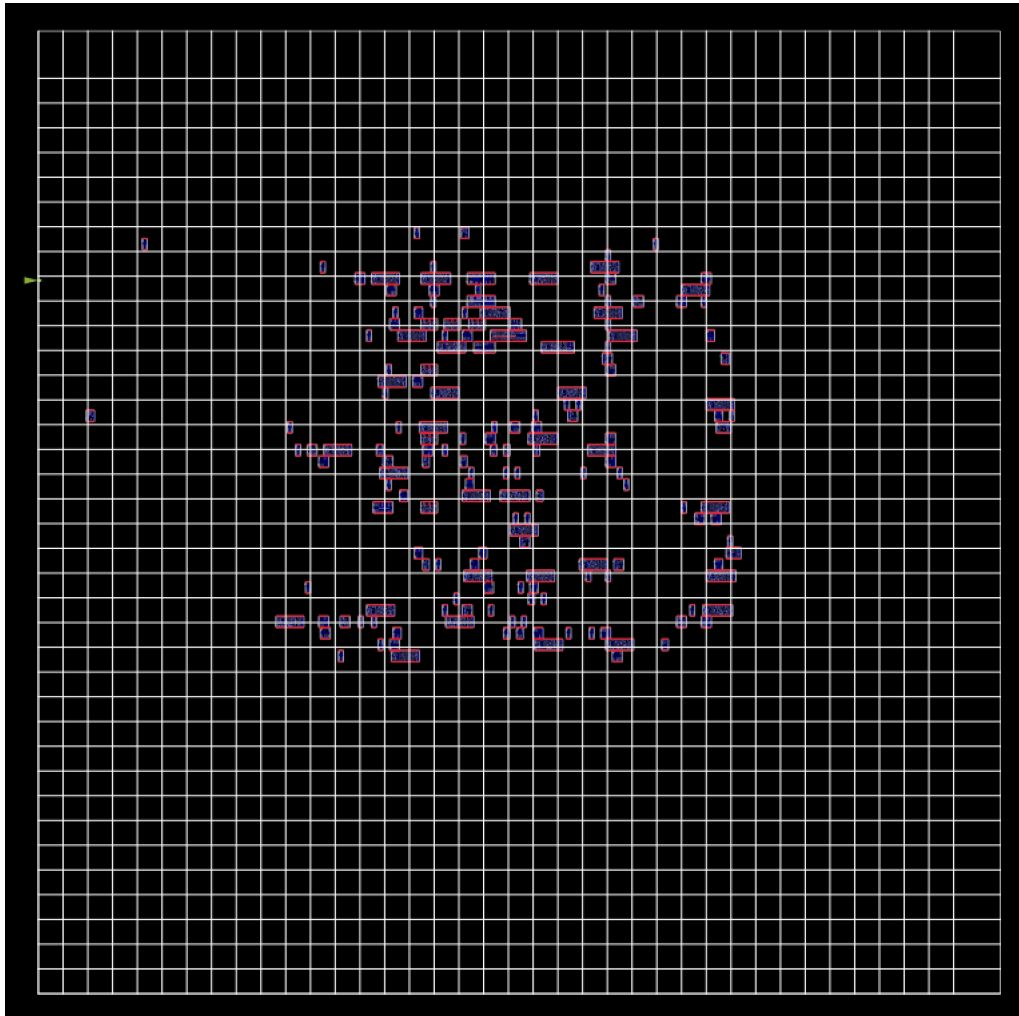
Também foi implementada uma interface para a integração do *FastRoute* 4.1 com outras ferramentas do fluxo do *OpenROAD*. Essa interface permite a chamada da ferramenta em diferentes etapas do fluxo de projeto, como durante o posicionamento global, e o uso dos resultados de roteamento global para guiar os resultados dessas outras ferramentas.

A seguir, foi necessária a implementação de um modelo de recursos de roteamento. O cálculo correto dos recursos de roteamento reais é feito de acordo com atributos de tecnologia, como regras de espaçamento, camadas de transição de vias e trilhas de roteamento, e atributos do circuito, como obstáculos de roteamento, macros, e geometrias dos pinos. O cálculo correto dos recursos de roteamento permite que a ferramenta de roteamento global evite áreas congestionadas, gerando resultados de qualidade para a ferramenta de roteamento detalhado.

Cada célula da grade de roteamento global tem o tamanho equivalente a $15\times$ espaçamento das trilhas de roteamento da terceira camada. Para cada camada de metal para roteamento, é calculado quantas trilhas cabem na célula, resultando na capacidade de roteamento total que essa célula possui. A seguir, os obstáculos de roteamento são considerados para reduzir a capacidade total calculada. É calculado quantas trilhas são obstruídas pelo obstáculo para reduzir a capacidade total. A Figura 5.2 mostra a grade de roteamento global construída sobre um circuito com algumas dezenas de componentes e redes. As células da grade de roteamento perto das extremidades do circuito possuem um tamanho maior do que o restante das células, pois nem todo circuito gerará uma grade de roteamento regular. Aumentando o tamanho das células, é evitado que recursos de roteamento sejam perdidos nessas extremidades. A Figura 5.3 mostra um exemplo de uma célula da grade de roteamento na camada de metal 4, onde três trilhas de roteamento são obstruídas por um obstáculo.

Por fim, as limitações de escalabilidade presentes na implementação original foram removidas. Esses problemas foram detectados com o uso de circuitos cada vez mais complexos, que possuíam mais redes, pinos e áreas maiores. O número máximo de pinos foi corrigido ao implementar a estrutura de dados que representa uma rede dinâmica, onde o número de pinos não tem um limite pré-determinado. De maneira similar, o número máximo de camadas de metal e o tamanho da grade de roteamento foi corrigido com a atualização das estruturas de dados que representam o circuito. Camadas de metal podem ser adicionadas de maneira dinâmica, inseridas em uma estrutura de vetor, e o tamanho da grade de roteamento é calculado durante a execução do algoritmo, alocando espaço em memória dinamicamente de acordo com o tamanho do circuito.

Figura 5.2 – Exemplo da grade de roteamento.



Fonte: Autoral, 2023

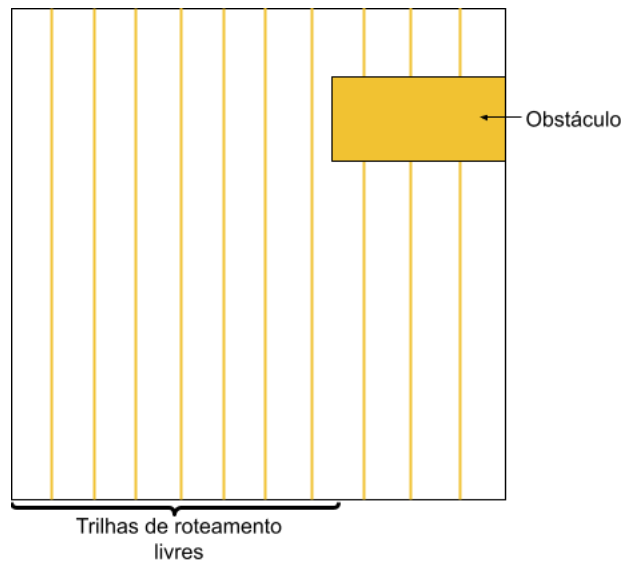
5.3 Desenvolvimento de novos recursos

Essa seção descreverá três novos recursos implementados sobre a ferramenta de roteamento global *FastRoute* 4.1. Na Seção 5.3.1, é apresentada a capacidade de configurar os recursos de roteamento. A Seção 5.3.2 mostra a funcionalidade de configurar quais camadas de metal para roteamento que redes de tipos específicos podem usar. A Seção 5.3.3 descreve o método de reparação de violações de antenas sobre o resultado de roteamento global.

5.3.1 Configuração de recursos de roteamento

Apesar da implementação do cálculo correto dos recursos de roteamento disponíveis no circuito, é desejável um controle maior de como esses recursos são utilizados. O uso dos recursos reais disponíveis em sua totalidade pode causar problemas para o roteamento detalhado, pois muitas redes estarão passando pela mesma região do circuito,

Figura 5.3 – Exemplo de célula da grade de roteamento bloqueada na camada de metal 4.



Fonte: Autoral, 2023

umentando o congestionamento, e dificultando o trabalho do roteador global de evitar violações de regras de projeto.

Para evitar situações como essa, foi implementada a funcionalidade de ajustar os recursos disponíveis para roteamento em camadas de metal para roteamento especificadas. Esses ajustes reduzem o número de trilhas de roteamento que o roteador global supõe existir. Isso faz com que o roteamento seja espalhado por mais regiões do circuito, reduzindo o congestionamento e os desafios do roteamento detalhado.

Esses ajustes são porcentagens de redução dos recursos reais disponíveis em uma camada de metal para roteamento específica. Por exemplo, é possível definir que as três primeiras camadas de metal disponibilizem somente 30% dos recursos disponíveis, e que o restante das camadas de metal disponibilizem 50% dos recursos disponíveis. A configuração ideal pode variar de acordo com as peculiaridades de cada tecnologia. Logo, estudos e experimentos são desejáveis para obter os melhores resultados dessa ferramenta.

5.3.2 Configuração de faixa de camadas de metal para roteamento para redes de relógio

Além de ajustar a quantidade de recursos de roteamento disponíveis em camadas de metal para roteamento, também é desejável configurar quais camadas de metal são usadas pelas redes, de acordo com o tipo da rede. Mais especificamente, dois tipos de redes são consideradas: redes de relógio e redes de sinal.

A implementação dessa funcionalidade permite definir duas faixas de camadas de metal para roteamento diferentes, uma para todas as redes de sinal, e uma para todas

as redes de relógio. Por exemplo, é possível definir que as redes de sinal usem todas as camadas de metal entre a segunda e a sexta camadas, mas as redes de relógio usem somente as camadas de metal entre a quarta e a sexta camadas. Além disso é dada prioridade para o roteamento das redes de relógio. Ou seja, essas redes são roteadas primeiro.

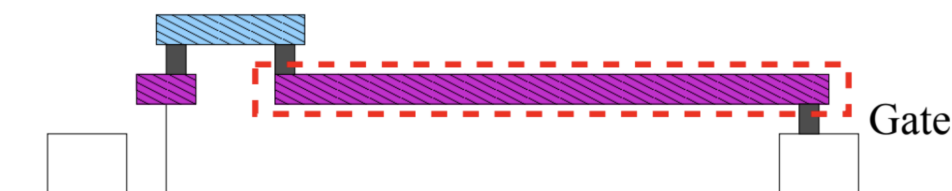
Essa característica é desejável porque as redes de relógio são cruciais na temporização final do circuito. Caso o roteamento dessas redes possua muitos desvios ou esteja em uma região congestionada, a qualidade final da temporização pode ser afetada.

5.3.3 Método de reparação de violações de antenas

O problema de antenas acontece durante o processo de fabricação dos circuitos. Durante esse processo, condutores que não foram cobertos por uma camada de blindagem de óxido, agem como antenas que coletam cargas quando expostas diretamente ao plasma (SHIROTA et al., 1998). Caso o condutor esteja conectado somente ao óxido do *gate*, a corrente das cargas será descarregada sobre esse óxido, danificando o *gate*. Os condutores conectados apenas ao óxido de porta, que normalmente estão nas camadas de roteamento inferiores, são chamados de antenas (WU; HU; MAHAPATRA, 2005).

A Figura 5.4 ilustra um exemplo de antena, onde um *gate* está conectado diretamente a um longo fio de metal, destacado em vermelho. Quanto maior o fio de metal conectado ao *gate*, maior será a carga descarregada sobre ele. Portanto, maior será o efeito de antena sobre o *gate*. Durante o processo de fabricação, o fio conectado ao *gate*, presente em uma camada de metal inferior, será fabricado primeiro. Logo, toda a carga concentrada nesse fio é descarregada no *gate*. Caso esse fio fosse menor, menos carga seria descarregada, e menor a probabilidade do *gate* ser danificado. Já as cargas acumuladas nos fios de metais superiores, como no fio azul mostrado na figura, serão descarregadas não somente sobre o *gate*. A descarga pode se dividir entre o *gate* e outros pinos conectados indiretamente a esse fio, como no pino à esquerda da figura.

Figura 5.4 – Exemplo de violação de antena.



Fonte: (WU; HU; MAHAPATRA, 2005) (Adaptado)

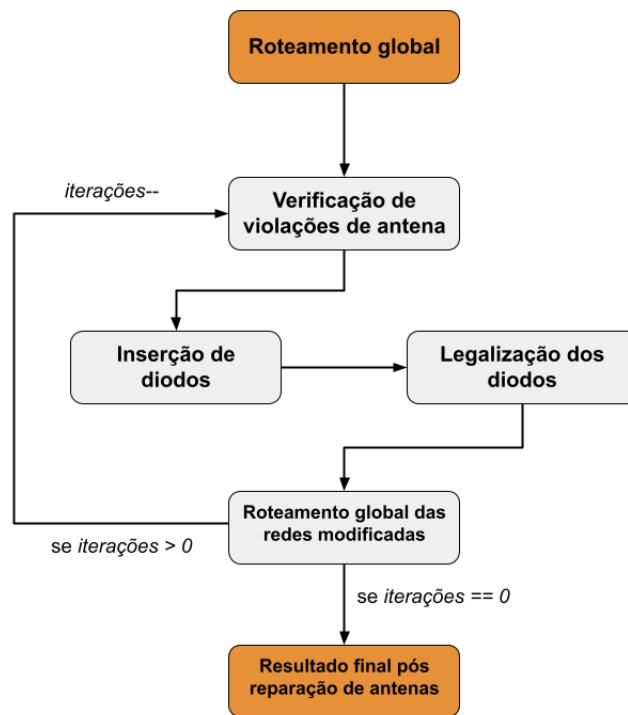
O método de reparação de violações de antena implementado no *FastRoute 4.1* é uma abordagem preventiva para mitigar as violações das regras de antena (SHIN; KING;

HU, 1992). Os longos segmentos de roteamento que podem criar violações de antena no roteamento detalhado podem ser inferidos a partir do resultado do roteamento global.

O resultado do roteamento global é avaliado para encontrar redes com violações de antena e corrigir as redes violadas inserindo diodos. Os diodos são células especiais que podem ser colocados perto dos *gates* com violações de antena e proteger os *gates*, restringindo o nível de tensão da carga descarregada no *gate* (HUANG et al., 2002). Para avaliar o roteamento global na ferramenta de verificação de violações de antenas, foi necessário traduzir o formato de guias globais para fios de metal temporários, pois a ferramenta de verificação de antenas opera somente com fios de metal e vias. Além disso, foi necessário criar as conexões com os pinos das redes, utilizando fios de metal na camada de roteamento em que o pino estava presente.

O fluxo de verificação e reparação de violações de antena ocorre após a finalização do roteamento global. A ferramenta de verificação de antenas do *OpenROAD* é chamada para detectar as redes e as células que possuem violações de regras de antena. A seguir, diodos são inseridos próximos às células com violações, a fim de prevenir as violações de antena nas células. A ferramenta de posicionamento detalhado é chamada para legalizar os diodos inseridos, e o roteamento global é executado novamente para atualizar o roteamento das redes com diodos inseridos. Existe a opção de definir um número de iterações desse processo, para garantir que as violações estejam sendo de fato reparadas. Esse fluxo é ilustrado na Figura 5.5.

Figura 5.5 – Fluxo de reparação de violações de antenas.



Fonte: Autoral, 2023

6 Avaliação da qualidade de resultados da ferramenta

6.1 Metodologia

A implementação de novas funcionalidades e melhorias da ferramenta de roteamento global *FastRoute* permitiu seu uso dentro de um fluxo de projeto real. Esse capítulo apresenta os resultados obtidos com o uso das funcionalidades implementadas sobre a ferramenta. O fluxo de projeto utilizado foi o fluxo do Projeto *OpenROAD*, com um conjunto de circuitos sintetizados em tecnologias acadêmicas e reais.

A Subseção 6.1.1 apresentará detalhes dos circuitos utilizados para os experimentos. A Subseção 6.1.2 mostrará uma análise do impacto que diferentes configurações de recursos de roteamento causam no resultado final de roteamento global e roteamento detalhado, e a Subseção 6.1.3 mostrará a eficácia do método de reparação de violações de antenas no circuito final.

6.1.1 Circuitos utilizados para os experimentos

Foram utilizados um total de 25 circuitos para realizar os experimentos e análises sobre a ferramenta implementada. Além disso, 5 tecnologias foram usadas, onde duas delas são tecnologias acadêmicas e três são tecnologias utilizadas para a sintetização de circuitos reais.

O primeiro conjunto de circuitos foi sintetizado utilizando a tecnologia acadêmica ASAP7, de 7 nm. Nenhum dos circuitos possuem macros, o número de células varia de 16986 a 57789 células, e o número de redes varia de 17188 a 65020 redes. A Tab. 6.1 mostra as quantidades de células e redes para cada circuito. Além disso, essa tecnologia possui dez camadas de metal para roteamento.

Tabela 6.1 – Descrição dos circuitos sintetizados com a tecnologia ASAP7

Circuito	#Células	#Macros	#Redes	Area (μm^2)	Utilização (%)
aes	22107	0	24512	2747	49
ethmac	57789	0	56263	7654	41
ibex	19279	0	19448	2363	43
jpeg	54982	0	65020	6610	31
sha3	16986	0	17188	2185	39

Fonte: Autoral, 2023

O conjunto de circuitos seguinte foi sintetizado utilizando a tecnologia acadêmica

Nangate45, de 45 nm. Quatro circuitos possuem macros, e o número máximo de células e redes em um circuito é maior que 180000. A Tab. 6.2 mostra as quantidades de células e redes para cada circuito. A tecnologia Nangate45 possui dez camadas de metal para roteamento.

Tabela 6.2 – Descrição dos circuitos sintetizados com a tecnologia Nangate45

Circuito	#Células	#Macros	#Redes	Area (um^2)	Utilização (%)
aes	15600	0	16478	26972	51
black_parrot	182344	24	182822	664052	39
bp_be_top	48419	10	49605	248957	36
bp_fe_top	34434	11	32966	224616	38
bp_multi_top	109097	26	107119	518295	44
ibex	15267	0	16988	31317	56
jpeg	56182	0	67893	100849	46
swerv_wrapper	93592	28	89662	661237	35
tinyRocket	25772	2	24748	52732	7

Fonte: Autoral, 2023

Para a tecnologia GF180, de 180 nm, somente um circuito pôde ser sintetizado, descrito na Tab. 6.3. Essa tecnologia possui cinco camadas de metal para roteamento.

Tabela 6.3 – Descrição dos circuitos sintetizados com a tecnologia GF180

Circuito	#Células	#Macros	#Redes	Area (um^2)	Utilização (%)
aes	27395	0	22624	750600	36

Fonte: Autoral, 2023

Os dois últimos conjuntos de circuitos foram sintetizados nas tecnologias SKY130HD e SKY130HS, ambas tecnologias de 130 nm. Essas tecnologias possuem similaridades, onde ambas possuem seis camadas de metal para roteamento, mesmas regras de espaçamento e outras regras de projeto. A maior diferença entre ambas tecnologias está na biblioteca de células. Os detalhes dos circuitos sintetizados nessas tecnologias estão descritos na Tab. 6.4 e na Tab. 6.5.

Tabela 6.4 – Descrição dos circuitos sintetizados com a tecnologia SKY130HD

Circuito	#Células	#Macros	#Redes	Area (um^2)	Utilização (%)
aes	22537	0	15323	139882	25
chameleon	61133	6	3299	5680863	57
ibex	18629	0	15108	159634	54
jpeg	58065	0	59407	497955	59
microwatt	151197	6	75805	4807868	47
riscv32i	10070	0	8129	86517	54

Fonte: Autoral, 2023

Tabela 6.5 – Descrição dos circuitos sintetizados com a tecnologia SKY130HS

Circuito	#Células	#Macros	#Redes	Area (μm^2)	Utilização (%)
aes	18995	0	15262	211571	57
ibex	17615	0	14114	233758	56
jpeg	64204	0	63270	702980	56
riscv32i	8773	0	6949	106989	57

Fonte: Autoral, 2023

Os circuitos usados para os testes não possuem um valor alto de utilização. A ferramenta de posicionamento global do fluxo utilizado possui limitações com valores de utilização muito altos, portanto o maior valor de utilização de um circuito é de 56%. Em média, os valores de utilização dos circuitos são de 46,5%.

A seguir, será mostrada uma análise do uso de diferentes configurações de recursos de roteamento para o conjunto de circuitos descrito nessa seção. Detalhes de como foram escolhidas as camadas de roteamento disponíveis para a ferramenta serão apresentadas, assim como qual foi a configuração ideal usada na sequência para os outros experimentos.

6.1.2 Análise do uso de diferentes configurações de recursos de roteamento

Para a análise de como diferentes configurações de roteamento afetam a qualidade do roteamento global e roteamento detalhado, o fluxo de projeto foi executado com diferentes valores de redução dos recursos totais de roteamento, variando de 0% até 70%, com uma granularidade de 10%. Ou seja, nove conjuntos de resultados serão analisados.

As métricas a analisadas serão Tempo de Execução (roteamento global e detalhado), número de vias (roteamento global e detalhado), comprimento de fio (roteamento global e detalhado) e número de violações de regras de projeto pós roteamento detalhado.

6.1.3 Avaliação da qualidade do método de reparação de violações de antenas

Para a avaliação da qualidade do método de reparação de violações de antenas, também será utilizada a melhor configuração de recursos de roteamento. A comparação será entre sintetizar um circuito sem a utilização do método de reparação de antenas e com o método de reparação de antenas ativado.

A ferramenta de verificação de violações de antena do Projeto *OpenROAD* será usada para detectar as violações a serem corrigidas e reportar o número de violações pós roteamento global e pós roteamento detalhado. O método de reparação de antenas só opera sobre os resultados do roteamento global. Dessa forma, será analisado o impacto que corrigir violações de antena no roteamento global tem nas violações de antena detectadas no roteamento detalhado.

Somente os circuitos sintetizados nas tecnologias GF180, SKY130HD e SKY130HS foram utilizados nesse experimento. As outras duas tecnologias são acadêmicas e não possuem regras de projeto referente à antenas definidas. Além disso, o método de reparação de antenas foi executado com três iterações de reparação, pois para a maior parte dos circuitos, esse número foi o suficiente, sem grande impacto no tempo de execução.

6.2 Resultados

Para a execução dos experimentos, foi utilizada uma máquina com o sistema operacional Ubuntu 22.04.2 LTS, com 32GB de memória RAM e processador Intel(R) Core(TM) i7-3770 CPU @ 3.40GHz, com 8 núcleos de processamento.

A única etapa do fluxo de projeto que utiliza múltiplos núcleos do processador é a etapa de roteamento detalhado. Para essa etapa, foram utilizados 6 núcleos do processador. O restante das ferramentas utilizou somente um núcleo.

6.2.1 Recursos de roteamento

Os resultados apresentados nos gráficos a seguir são normalizados a partir dos resultados da configuração 0% de redução dos recursos de roteamento.

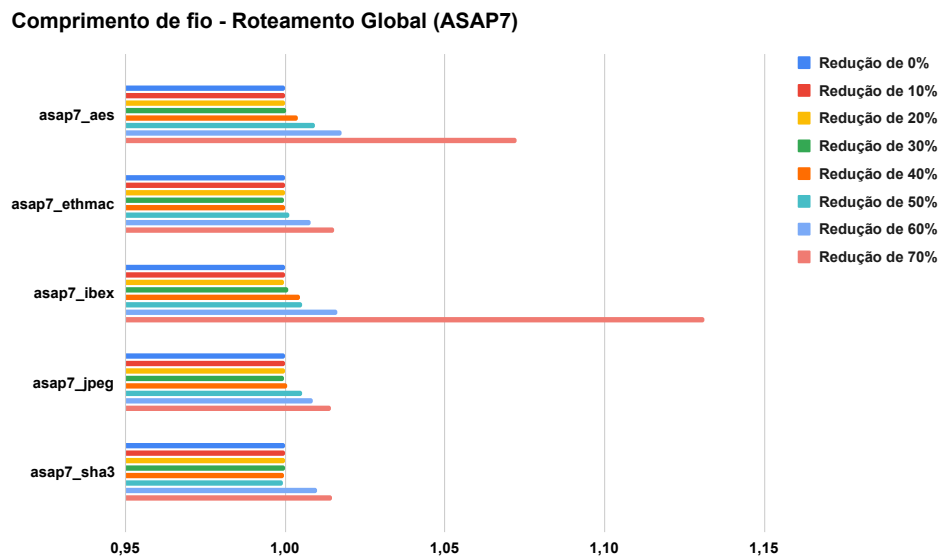
As Figuras 6.1, 6.2 e 6.3 apresentam os resultados do roteamento global dos circuitos sintetizados com a tecnologia ASAP7. As Figuras 6.4, 6.5 e 6.6 mostram os resultados do roteamento detalhado desses circuitos.

Os resultados de comprimento de fio no roteamento global, apresentados na Figura 6.1, mostram que aumentar a porcentagem de redução dos recursos leva a um maior comprimento de fio. Isso ocorre devido aos desvios que o roteamento tem que fazer para evitar áreas congestionadas. Esse aumento do comprimento de fio é mais significativo a partir de 40% de redução. Abaixo disso, a diferença de comprimento de fio é muito pequena entre as configurações, menor que 1%.

De maneira similar, a Figura 6.2 mostra que o número de vias inseridas aumenta gradativamente quanto maior a redução dos recursos de roteamento. Isso ocorre pois o roteamento precisa utilizar diferentes camadas de metal para comportar o roteamento de todas as redes, levando a mais trocas de camadas de metal. A partir de 50% de redução de recursos, o aumento do número de vias pode chegar a 40% em alguns circuitos.

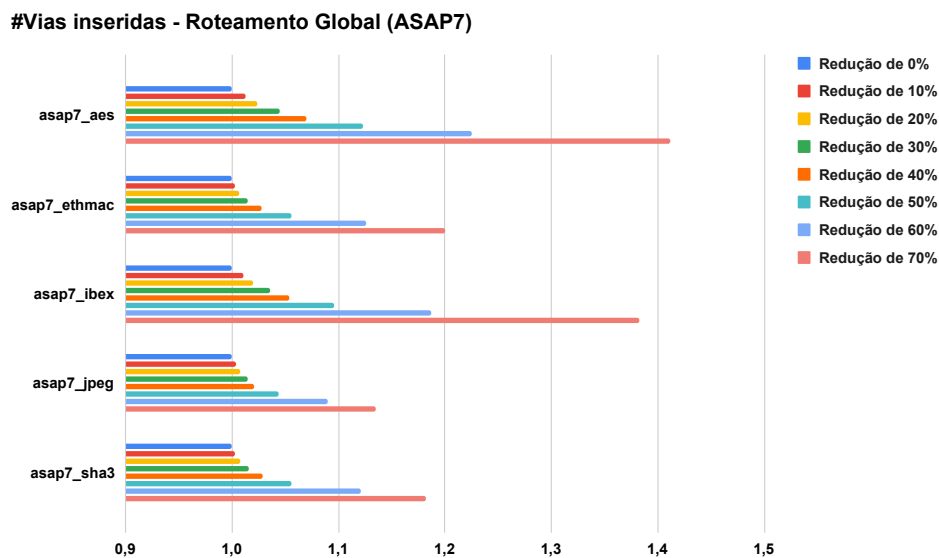
Em relação ao tempo de execução, a Figura 6.3 demonstra que quanto maior a redução de recursos de roteamento, maior é o tempo de execução. Isso é esperado, já que menos recursos levam a mais zonas de congestionamento, sendo necessário mais iterações do roteamento *maze*, etapa mais custosa do fluxo de roteamento global em termos de tempo de execução.

Figura 6.1 – Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

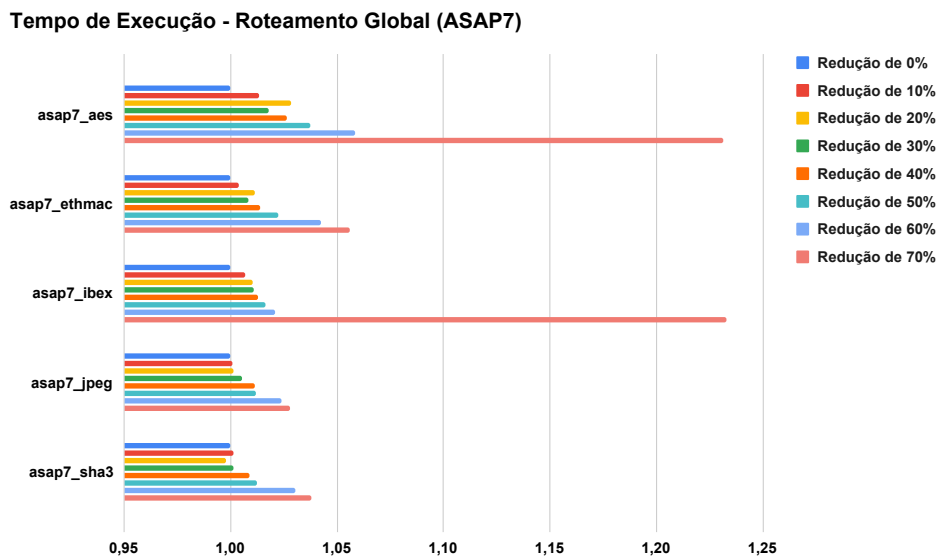
Figura 6.2 – Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Já nos resultados do roteamento detalhado, a Figura 6.4 apresenta resultados contrários aos resultados de roteamento global: o comprimento de fio tende a diminuir quanto maior a redução dos recursos de roteamento. O roteamento global com menos recursos espalha o roteamento das redes para diferentes regiões do circuito. Isso facilita o roteamento detalhado, que terá regiões com poucas redes sendo roteadas, levando a menos

Figura 6.3 – Resultados de tempo de execução do roteamento global dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

desvios para evitar violações de regras de projeto. Os circuitos *aes* e *ibex* apresentam acréscimo de comprimento de fio quando a redução de recursos de roteamento global é de 70%. Esses circuitos são os que possuem maior taxa de utilização, e seus roteamentos globais possuem um número muito grande de desvios, fazendo com que evitar regiões congestionadas no roteamento detalhado não compense no resultado de comprimento de fio. O menor comprimento de fio ocorre com a configuração de 60% de redução de recursos na maior parte dos circuitos.

O mesmo padrão pode ser observado no número de vias inseridas, como apresenta a Figura 6.5, onde menos vias são inseridas quanto maior for a redução de recursos. O menor número de vias ocorre, em média, com a configuração de 60% de redução de recursos.

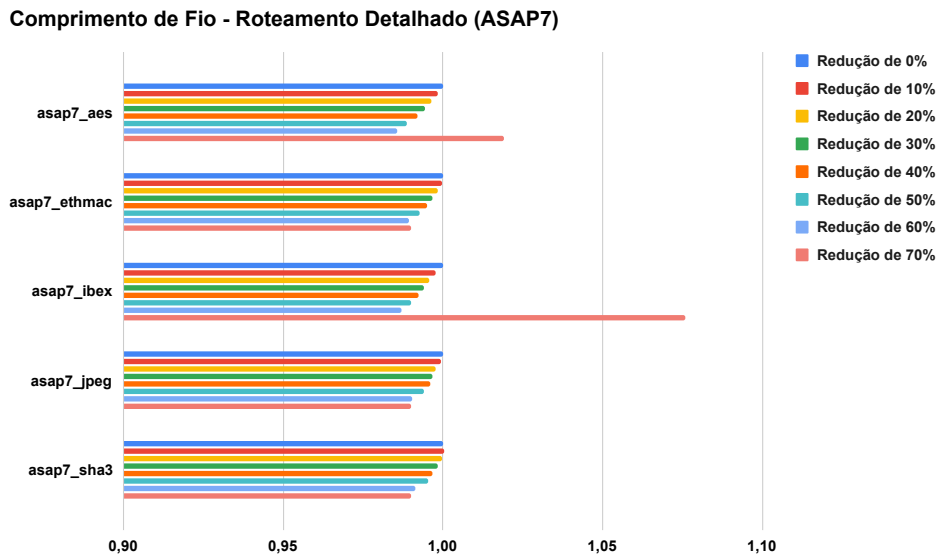
Em relação ao tempo de execução, é possível observar que o menor tempo de execução é com a configuração de 60% de redução de recursos em 4 dos 5 circuitos, como mostra a Figura 6.6.

Após análise de todas as métricas, a melhor configuração para os circuitos sintetizados nessa tecnologia é de 60% de redução de recursos de roteamento global.

As Figuras 6.7, 6.8 e 6.9 apresentam os resultados do roteamento global dos circuitos sintetizados com a tecnologia GF180. As Figuras 6.10, 6.11 e 6.12 mostram os resultados do roteamento detalhado desses circuitos.

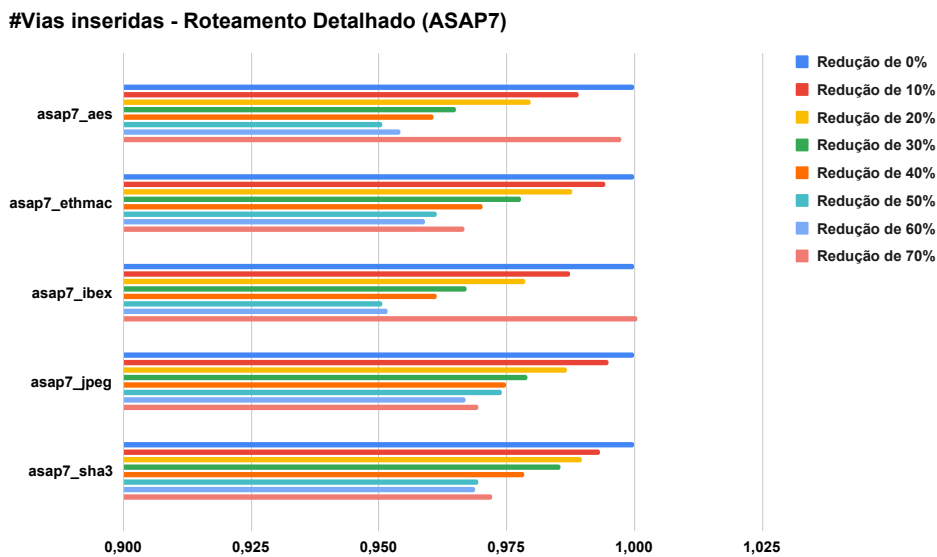
Os resultados de comprimento de fio no roteamento global para o circuito *aes*, apresentados na Figura 6.7, mostram um aumento consistente no comprimento de fio

Figura 6.4 – Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.5 – Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.

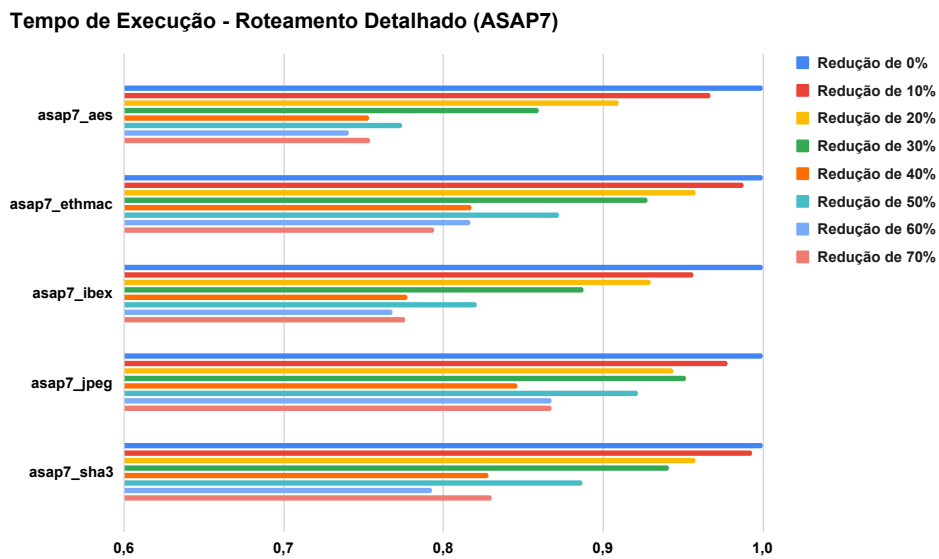


Fonte: Autoral, 2023

quanto maior a redução de recursos. É importante ressaltar que, com 70% de redução de recursos de roteamento, o roteamento global termina com congestionamento, o que será considerado um resultado inválido. Portanto, os gráficos a seguir apresentam somente resultados para redução de até 60% de recursos de roteamento.

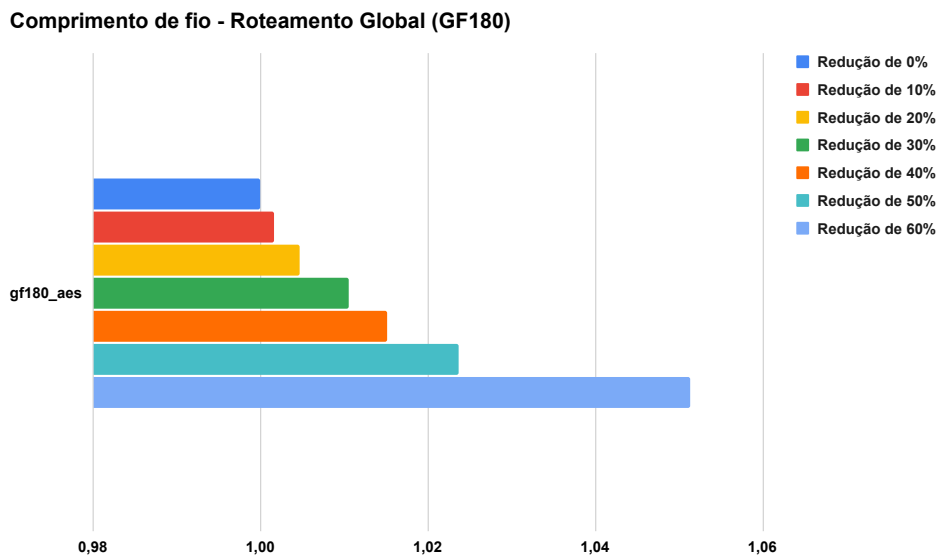
Da mesma forma, o número de vias aumenta quanto maior a redução dos recursos

Figura 6.6 – Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em ASAP7. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.7 – Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.

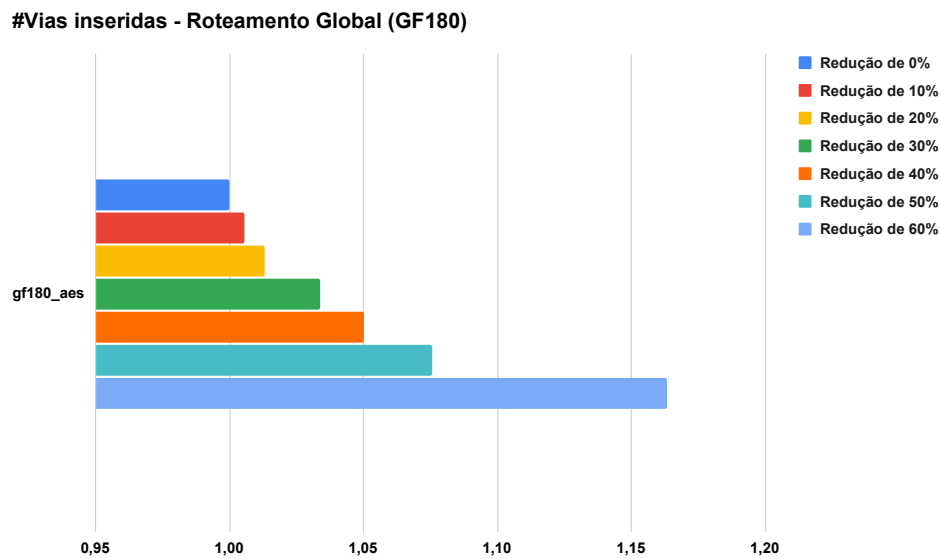


Fonte: Autoral, 2023

de roteamento, como mostra a Figura 6.8. Assim como o comprimento de fio, o aumento do número de vias inseridas é consistente com o aumento da redução de recursos.

O tempo de execução, apresentado na Figura 6.9, também aumenta com quanto maior a redução de recursos, com exceção da configuração de 30% de redução. Isso pode ser explicado de maneira similar ao comportamento do roteamento detalhado, onde menos

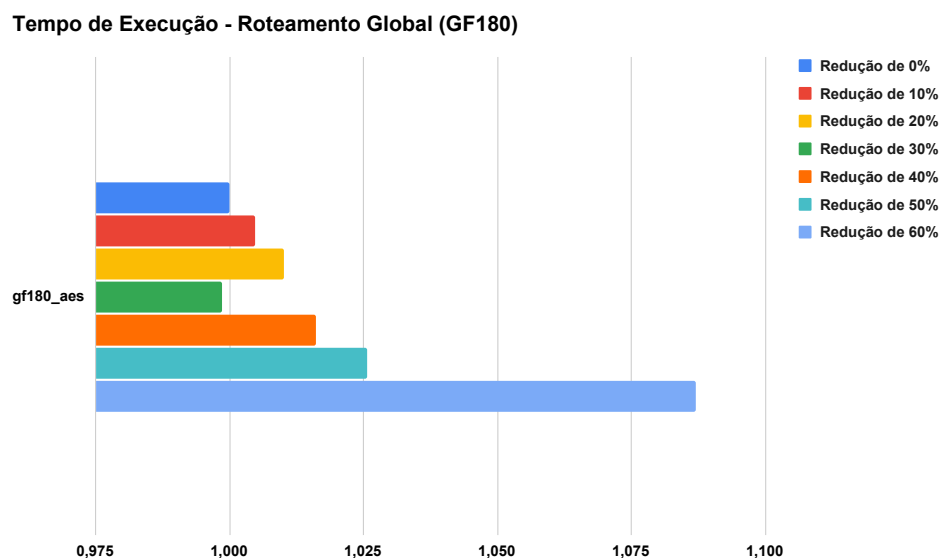
Figura 6.8 – Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

redes ocupam a mesma região e menos desvios são necessários para completar o roteamento sem congestionamento. Contudo, o roteamento global é menos sensível a isso do que o roteamento detalhado. A pequena diferença de tempo de execução é uma evidência para isso, já que a porcentagem de diferença de tempo de execução entre as configurações é menor que 2% em sua maior parte.

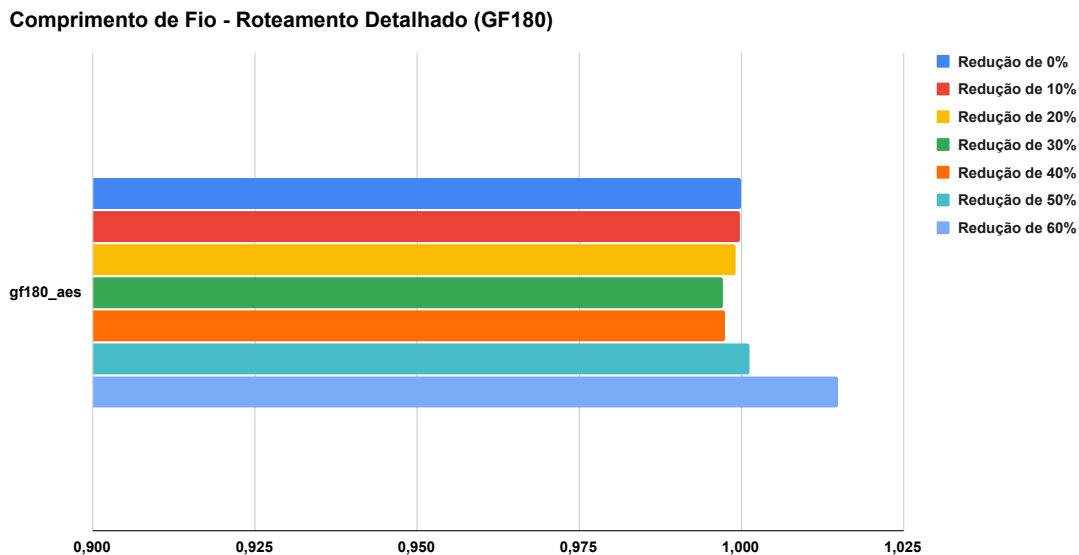
Figura 6.9 – Resultados de tempo de execução do roteamento global dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

O comprimento de fio do roteamento detalhado tem seus menores valores nas configurações de 30% e 40% de redução de recursos, como mostra a Figura 6.10. Apesar disso, a diferença é muito pequena, menor do que 1%.

Figura 6.10 – Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

O número de vias inseridas possui uma diferença maior entre as configurações, onde a redução de 40% possui o menor número de vias inseridas, com cerca de 3% menos vias do que o valor base de comparação. A Figura 6.11 mostra a comparação para todas as configurações.

Por fim, o tempo de execução para essa tecnologia apresenta uma queda consistente com o aumento da redução de recursos, como mostra a Figura 6.12.

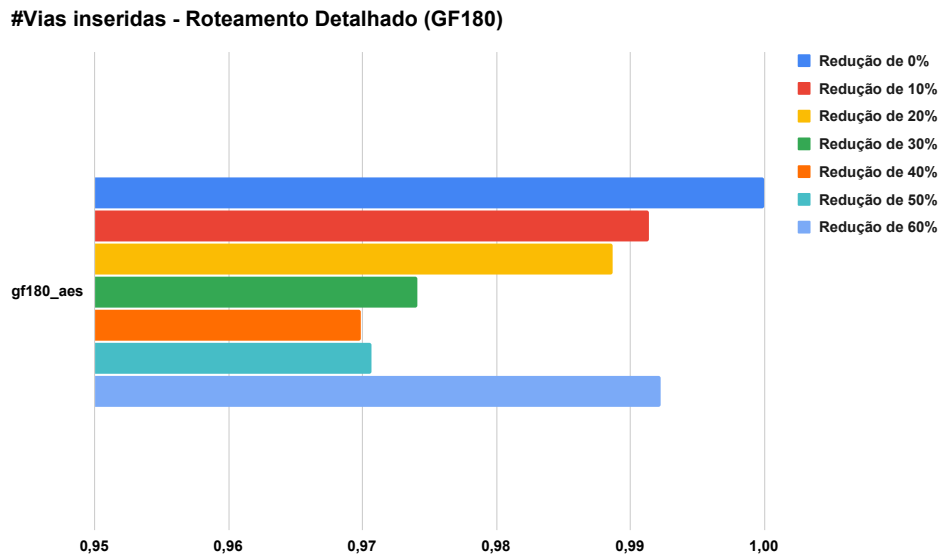
Os resultados gerados para essa tecnologia mostram que a melhor configuração para o circuito *aes* é de 40% de redução de recursos de roteamento global.

As Figuras 6.13, 6.14 e 6.15 apresentam os resultados do roteamento global dos circuitos sintetizados com a tecnologia Nangate45. As Figuras 6.16, 6.17 e 6.18 mostram os resultados do roteamento detalhado desses circuitos.

Os resultados de comprimento de fio no roteamento global, apresentados na Figura 6.13, mostram um aumento no comprimento de fio quando a redução dos recursos é maior. O mesmo ocorre para o número de vias inseridas, com um maior número de vias nas configurações com mais redução de recursos, como mostra a Figura 6.14.

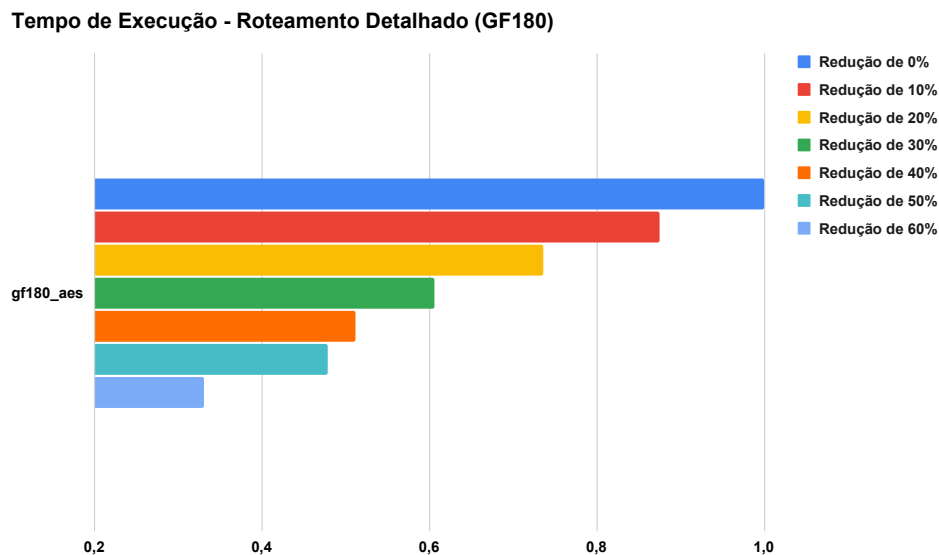
Já os tempos de execução, apresentados na Figura 6.15, são mais irregulares em relação à redução de recursos. Os circuitos que mais se destacam são o *bp_be_top*,

Figura 6.11 – Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.12 – Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em GF180. Resultados normalizados em relação ao resultado de Redução de 0%.

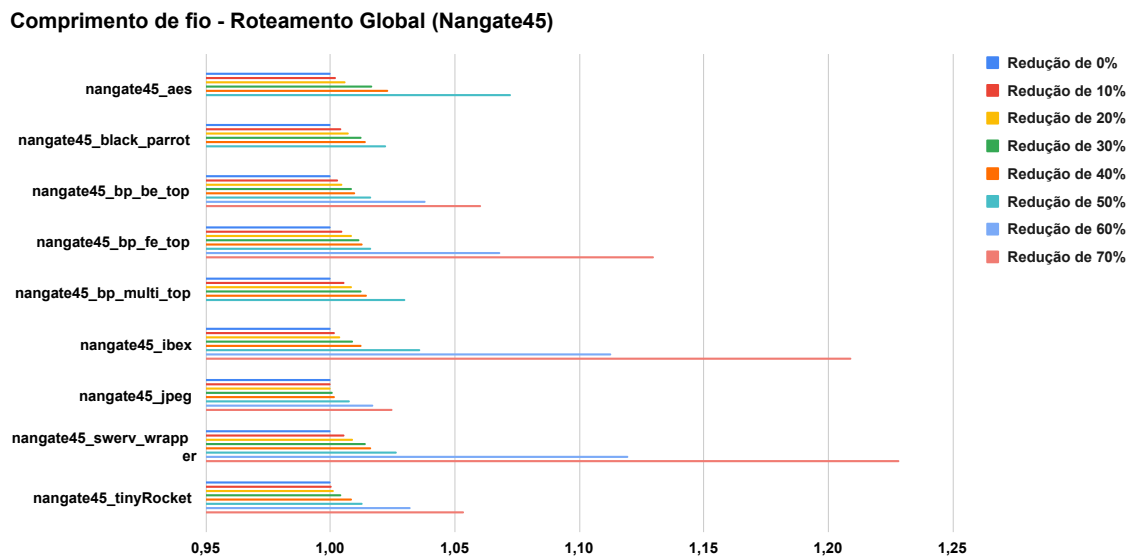


Fonte: Autoral, 2023

bp_fe_top, *bp_multi_top* e *swerv_wrapper*, com aumento do tempo de execução de até 4,5× maior do que o valor base de comparação.

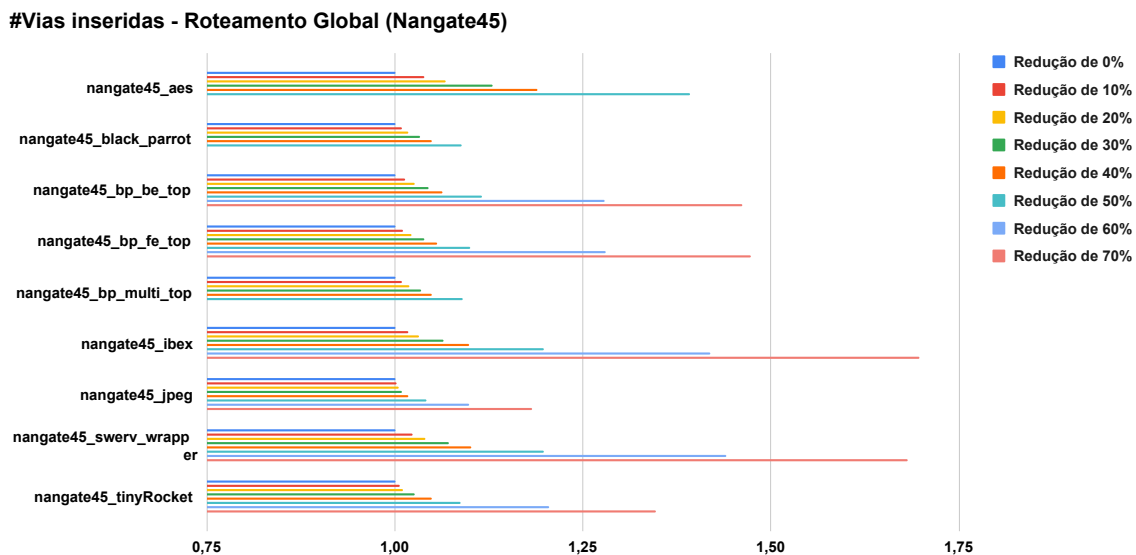
Para o comprimento de fio dos circuitos em Nangate45, a melhor configuração de redução de recursos é a de 40%. A Figura 6.16 demonstra isso. É importante notar que essa configuração apresenta os melhores resultados para os circuitos grandes como

Figura 6.13 – Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.14 – Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.

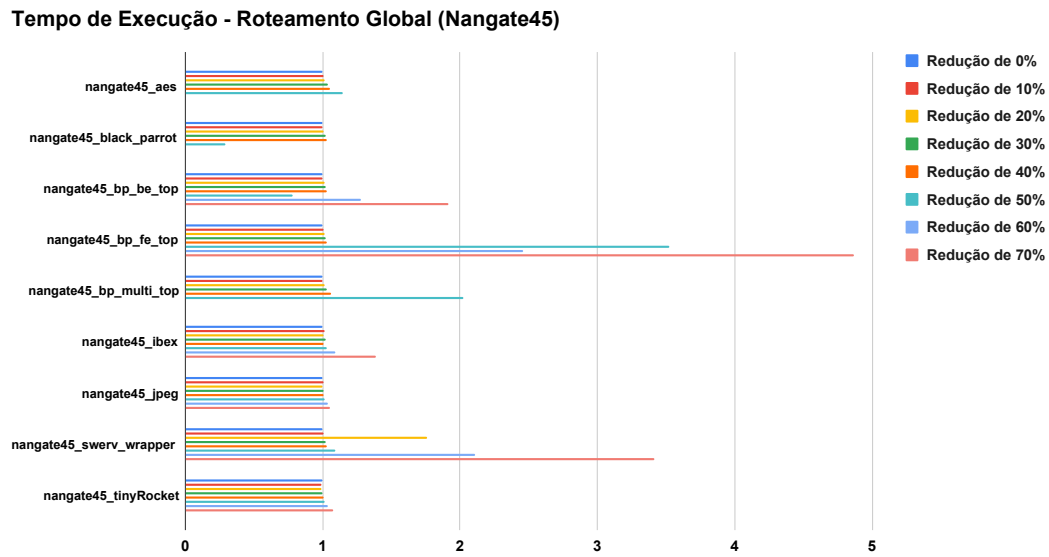


Fonte: Autoral, 2023

o *black_parrot*, *bp_be_top*, e *swerv_wrapper*. O mesmo acontece para o número de vias inseridas, como mostra a Figura 6.17. Já para o tempo de execução, a Fig. 6.18 mostra que a configuração que gera o menor tempo é a de 50% de redução.

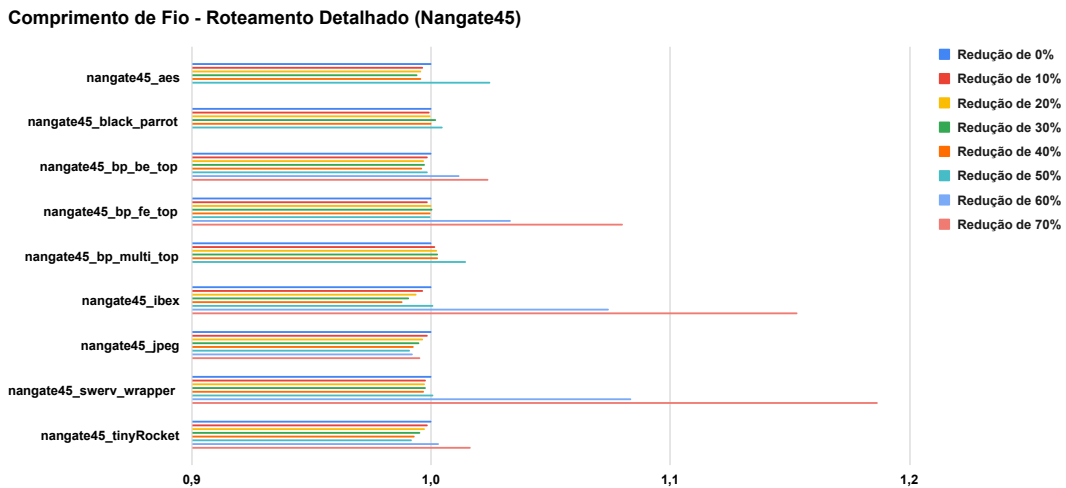
Para os circuitos sintetizados em Nangate45, os resultados mostram que a melhor configuração é de 40% de redução de recursos de roteamento global.

Figura 6.15 – Resultados de tempo de execução do roteamento global dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.16 – Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.

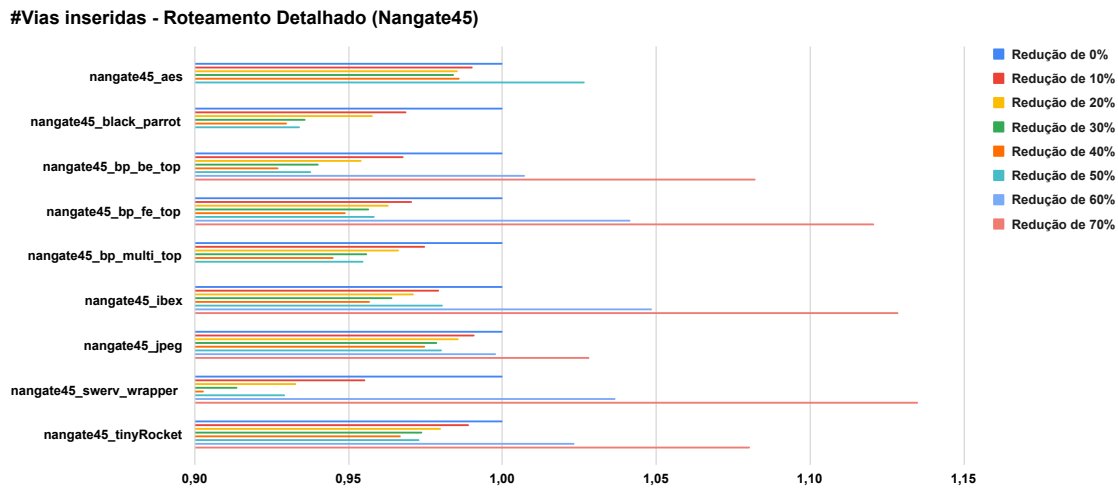


Fonte: Autoral, 2023

As Figuras 6.19, 6.20 e 6.21 apresentam os resultados do roteamento global dos circuitos sintetizados com a tecnologia Nangate45. As Figuras 6.22, 6.23 e 6.24 mostram os resultados do roteamento detalhado desses circuitos.

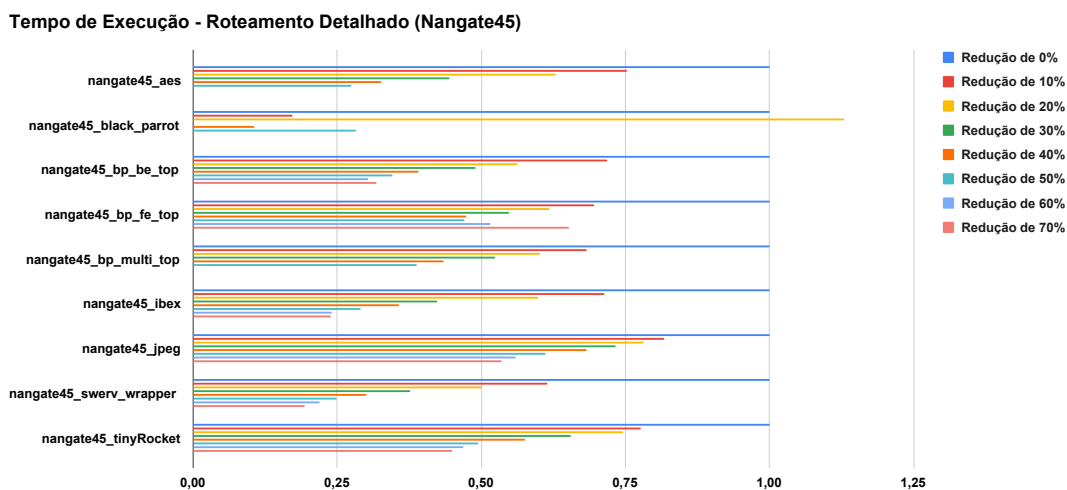
Assim como nas outras tecnologias, o comprimento de fio do roteamento global aumenta quanto maior for a redução dos recursos de roteamento, como mostra a Figura 6.19. O mesmo ocorre para o número de vias inseridas (Figura 6.20) e para o tempo

Figura 6.17 – Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.18 – Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em Nangate45. Resultados normalizados em relação ao resultado de Redução de 0%.

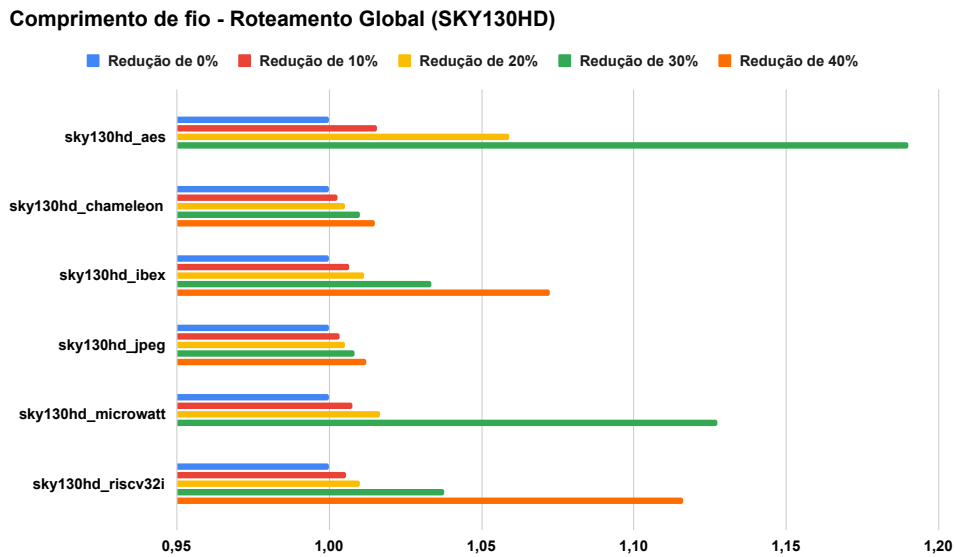


Fonte: Autoral, 2023

de execução do roteamento global (Figura 6.21). Vale destacar que, para reduções de recursos maiores que 40%, o roteamento global termina com congestionamento. Logo, esses resultados foram ignorados, e somente os resultados de 0% até 40% serão mostrados.

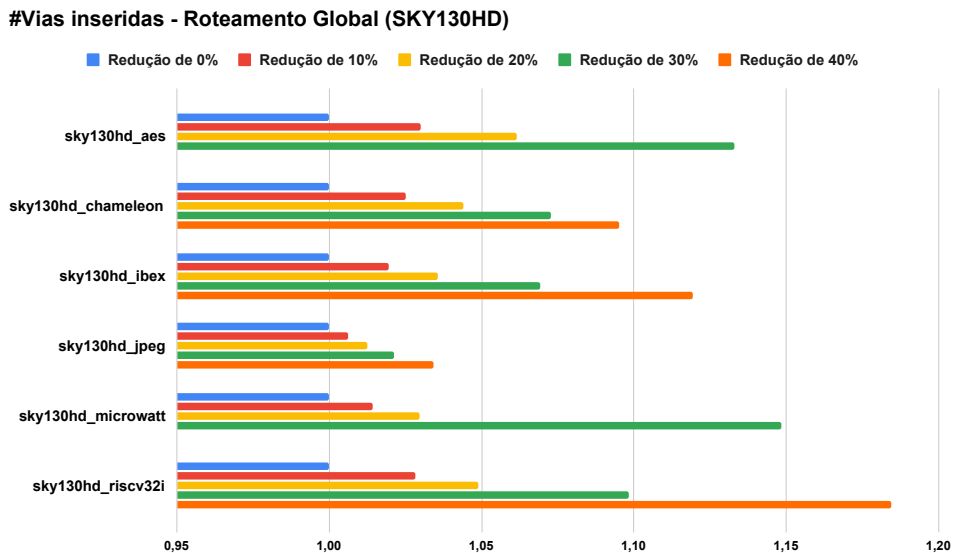
Já no roteamento detalhado, o menor comprimento de fio entre todos os circuitos foi obtido com configuração de 20%. Apesar da Figura 6.22 mostrar melhores resultados de comprimento de fio para a configuração de 10% de redução, essa configuração gerou violações de regras de projeto para o circuito *aes*. O mesmo ocorre para a configuração de 0% de redução de recursos.

Figura 6.19 – Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.20 – Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.

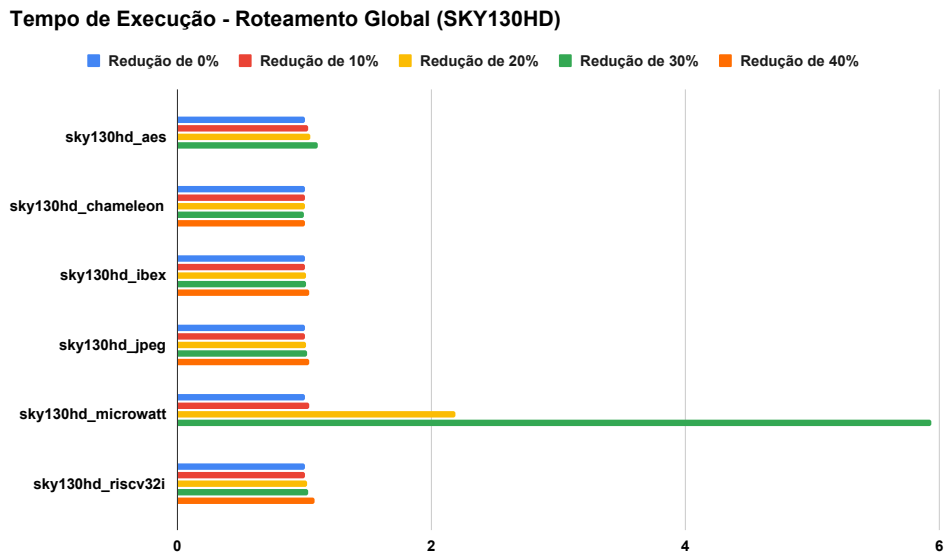


Fonte: Autoral, 2023

A Figura 6.23 mostra que o menor número de vias ocorre com a configuração de 30% de redução. A configuração de 40% apresenta valores menores para alguns circuitos, mas falha durante o roteamento global com congestionamento. Portanto, essa configuração não é considerada para a escolha da melhor configuração.

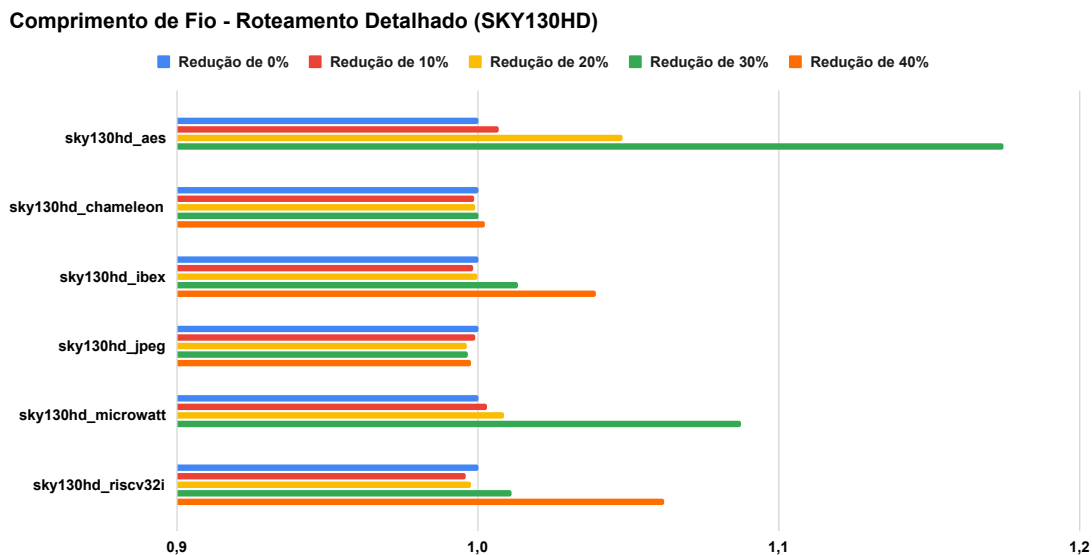
O menor tempo de execução também acontece na configuração de 30% de redução,

Figura 6.21 – Resultados de tempo de execução do roteamento global dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.22 – Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.

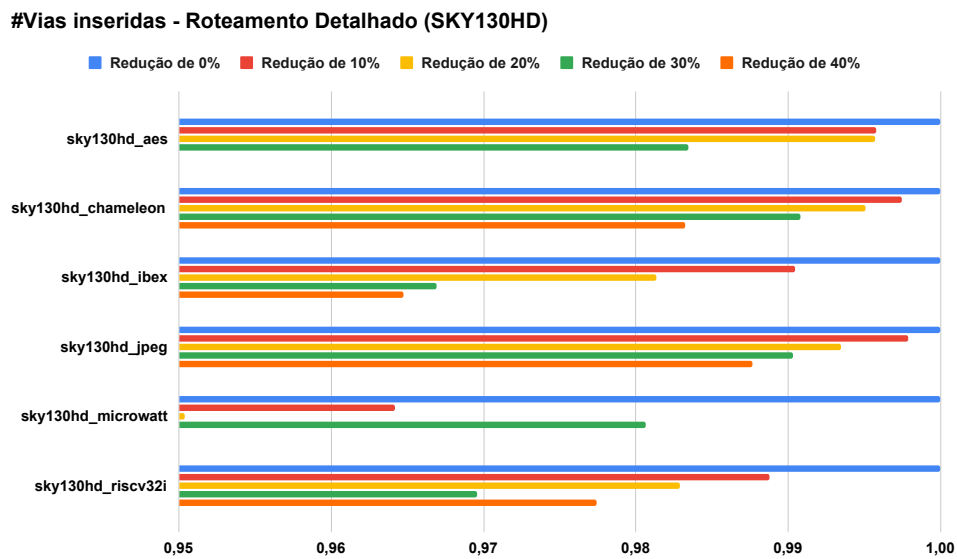


Fonte: Autoral, 2023

como mostra a Figura 6.24.

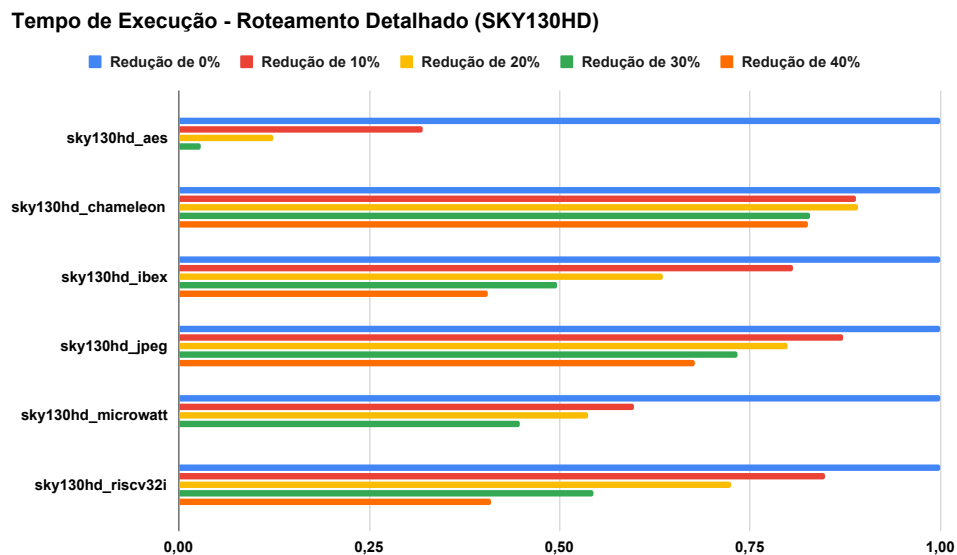
Apesar de que a configuração de 30% de redução de recursos apresenta os melhores valores de número de vias inseridas e tempo de execução, o comprimento de fio do roteamento detalhado quase 10% maior do que a configuração de 20% faz com que a melhor configuração para os seus circuitos é de 20% de redução de recursos de roteamento global.

Figura 6.23 – Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.24 – Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em SKY130HD. Resultados normalizados em relação ao resultado de Redução de 0%.



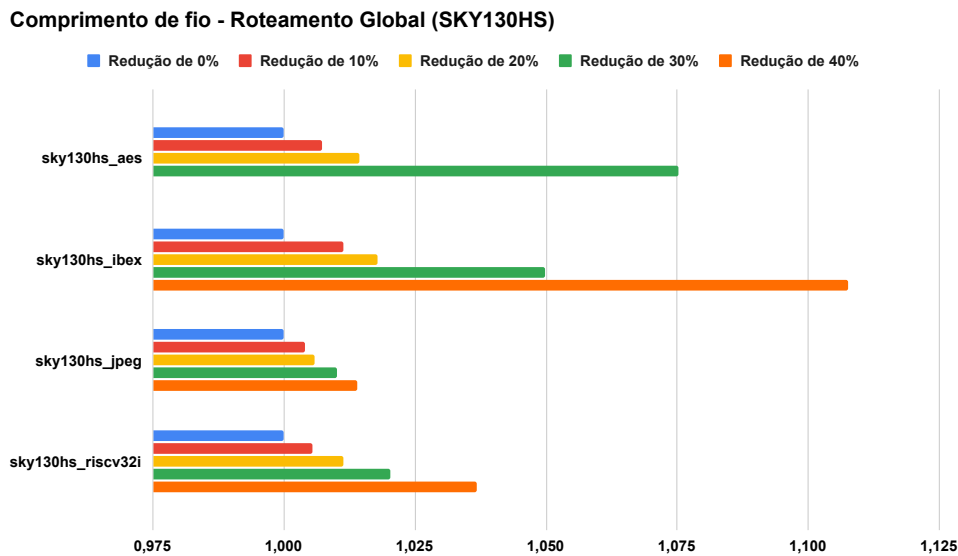
Fonte: Autoral, 2023

As Figuras 6.25, 6.26 e 6.27 apresentam os resultados do roteamento global dos circuitos sintetizados com a tecnologia Nangate45. As Figuras 6.28, 6.29 e 6.30 mostram os resultados do roteamento detalhado desses circuitos.

Mais uma vez, o comprimento de fio do roteamento global aumenta quanto maior for a redução dos recursos de roteamento, como mostra a Figura 6.25, assim como o número

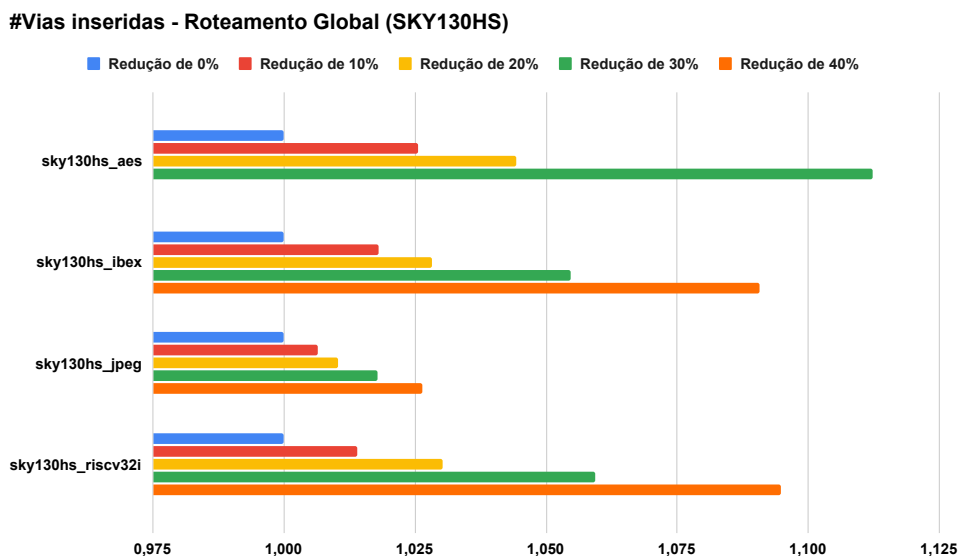
de vias inseridas (Figura 6.26). O tempo de execução do roteamento global (Figura 6.27) possui variações que não seguem o mesmo padrão. O melhor tempo de execução em média, ocorre na configuração de 30% de redução. Para reduções de recursos maiores que 40%, o roteamento global termina com congestionamento. Logo, esses resultados foram ignorados, e somente os resultados de 0% até 40% serão mostrados.

Figura 6.25 – Resultados de comprimento de fio do roteamento global dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.



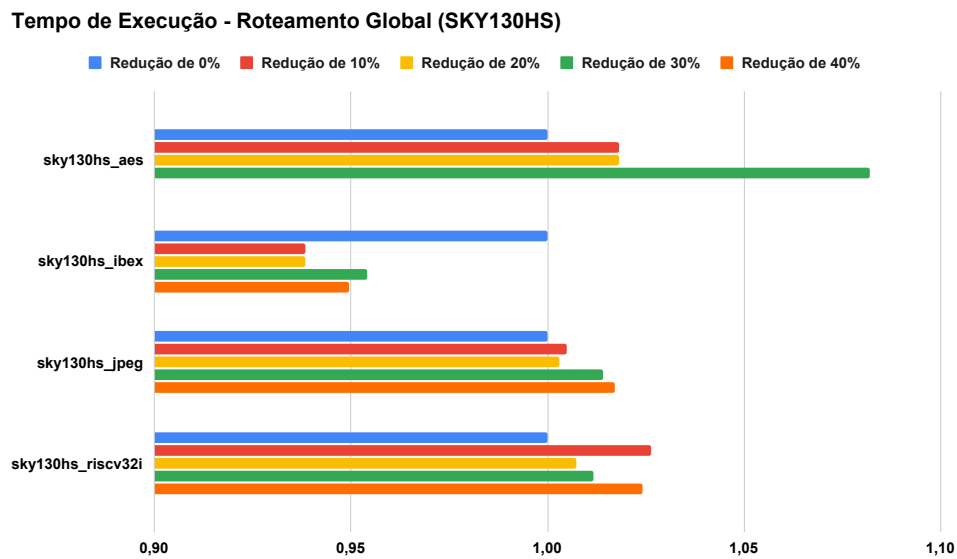
Fonte: Autoral, 2023

Figura 6.26 – Resultados de número de vias inseridas no roteamento global dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Figura 6.27 – Resultados de tempo de execução do roteamento global dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

A Figura 6.28 mostra que a melhor configuração para comprimento de fio do roteamento detalhado é, em média, de 20% de redução de recursos. Para o número de vias inseridas, a Figura 6.29 mostra que a melhor configuração é a de 30% de redução de recursos. O mesmo ocorre para o tempo de execução (Figura 6.30). A redução de 40% gera resultados de roteamento global com congestionamento para o circuito *aes*, portanto não será considerado como uma opção de melhor configuração.

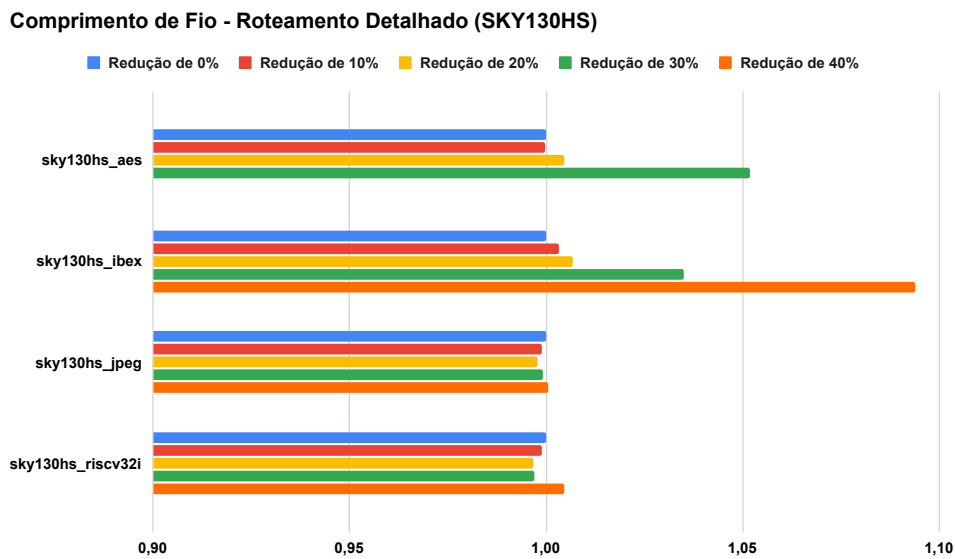
A melhor configuração para os circuitos sintetizados em SKY130HS é de 30% de redução de recursos de roteamento global.

6.2.2 Reparação de violações de antenas

Para obter os resultados de violações de antenas, as configurações de recursos de roteamento são:

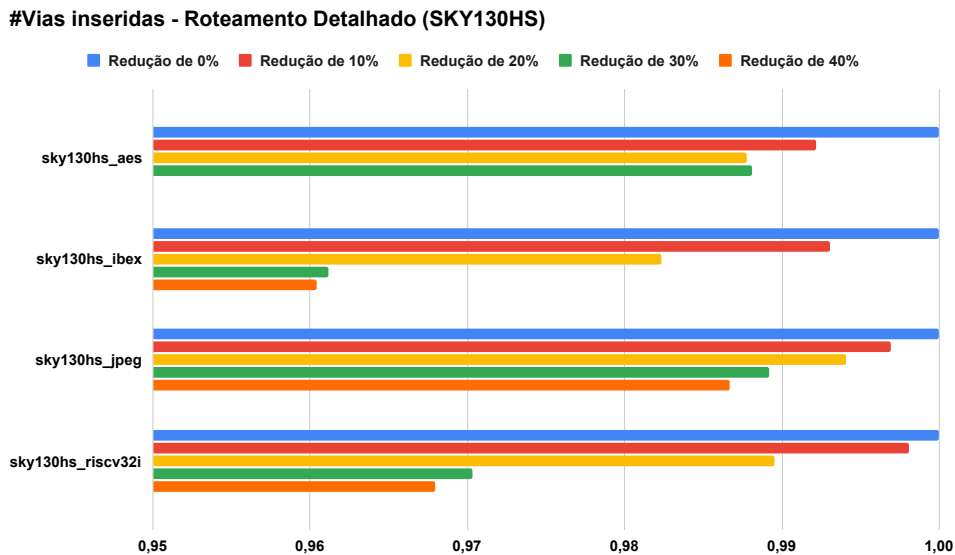
- ASAP7: 60%
- GF180: 40%
- Nangate45: 40%
- SKY130HD: 20%
- SKY130HS: 30%

Figura 6.28 – Resultados de comprimento de fio do roteamento detalhado dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

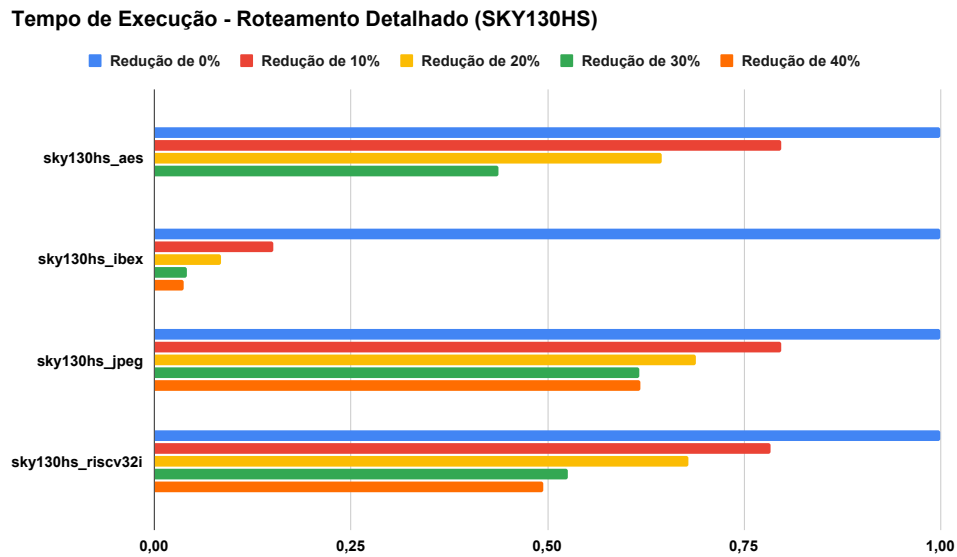
Figura 6.29 – Resultados de número de vias inseridas no roteamento detalhado dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

Na Tab. 6.6, é mostrada a quantidade de violações de antenas no roteamento global pré e pós a execução do método de reparação de violações de antenas. Dos 11 circuitos utilizados, somente dois têm violações após a reparação. Esses dois circuitos, *sky130hd_chameleon* e *sky130hd_microwatt*, são os que possuem o maior número de violações pré reparação, sendo o motivo para haver violações após executado o método de

Figura 6.30 – Resultados de tempo de execução do roteamento detalhado dos circuitos sintetizados em SKY130HS. Resultados normalizados em relação ao resultado de Redução de 0%.



Fonte: Autoral, 2023

reparação. Contudo, a taxa de correção ainda é alta, chegando a 98% de correção.

Tabela 6.6 – Violações de antena no roteamento global pré e pós execução do método de reparação.

Circuito	Pré reparação	Pós reparação	Taxa de correção
gf180_aes	2	0	100,00%
sky130hd_aes	52	0	100,00%
sky130hd_chameleon	265	5	98,11%
sky130hd_ibex	43	0	100,00%
sky130hd_jpeg	37	0	100,00%
sky130hd_microwatt	2378	14	99,41%
sky130hd_riscv32i	14	0	100,00%
sky130hs_aes	64	0	100,00%
sky130hs_ibex	58	0	100,00%
sky130hs_jpeg	104	0	100,00%
sky130hs_riscv32i	11	0	100,00%

Fonte: Autoral, 2023

A Tab. 6.7 mostra o número de diodos inseridos em cada circuito durante o método de reparação de antenas. Para a maioria dos circuitos, houveram mais diodos inseridos do que o número de violações detectadas. Em casos extremos, como nos circuitos *sky130hd_chameleon* e *sky130hd_microwatt*, o número de diodos inseridos é cerca de 3× maior do que o número de violações. Isso ocorre porque as violações podem precisar de múltiplos diodos para serem corrigidas, especialmente em circuitos com área muito grande, onde conexões longas são mais comuns e são o principal motivo de haver violações de an-

tena. É importante notar que justamente esses dois circuitos citados são os que possuem a maior área.

Tabela 6.7 – Número de diodos inseridos durante o método de reparação de antenas.

Circuito	#Diodos inseridos
gf180_aes	2
sky130hd_aes	203
sky130hd_chameleon	892
sky130hd_ibex	47
sky130hd_jpeg	49
sky130hd_microwatt	7574
sky130hd_riscv32i	15
sky130hs_aes	90
sky130hs_ibex	68
sky130hs_jpeg	118
sky130hs_riscv32i	11

Fonte: Autoral, 2023

Já na Tab. 6.8 são apresentadas as violações no roteamento detalhado, pré e pós a execução do método de reparação de antenas. É possível perceber uma discrepância entre a taxa de correção no roteamento global e a taxa de correção no roteamento detalhado em alguns circuitos. Em média, há uma redução de 74,16% no número de violações de antenas no roteamento detalhado final.

Porém, os circuitos *sky130hd_jpeg* e *sky130hd_riscv32i* possuem taxas de correção de 48,78% e 31,25%, respectivamente, muito distante dos 100% de correção obtidos sobre o roteamento global. Isso ocorre devido a diferenças entre o roteamento global e o roteamento detalhado. Os segmentos gerados pelo roteamento global podem ser menores do que o roteamento detalhado final, devido ao roteamento global não considerar as posições reais dos pinos. Além disso, o roteamento detalhado pode não seguir o roteamento detalhado à risca, optando por outras camadas de metal para segmentos longos, ou até mesmo criando caminhos diferentes dos caminhos gerados no roteamento global.

Para tentar mitigar a discrepância entre as violações no roteamento global e as violações no roteamento detalhado, foi adicionada uma margem de erro para as violações detectadas durante o roteamento global. Mais especificamente, foi adicionado um peso às violações de 30% do valor detectado originalmente.

A Tab. 6.9 apresenta o número de violações de antena no roteamento detalhado final após utilizar a margem de 30% nas violações do roteamento global. Em média, a taxa de correção das violações de antena foi de 82,61%, demonstrando um acréscimo de 8,45% de correção em relação à execução do método de reparação de antenas sem a margem de violação.

Tabela 6.8 – Violações de antena no roteamento detalhado pré e pós execução do método de reparação.

Circuito	Pré reparação	Pós reparação	Taxa de correção
gf180_aes	2	1	0,5
sky130hd_aes	66	17	74,24%
sky130hd_chameleon	245	17	93,06%
sky130hd_ibex	46	10	78,26%
sky130hd_jpeg	41	21	48,78%
sky130hd_microwatt	1964	642	67,31%
sky130hd_riscv32i	16	11	31,25%
sky130hs_aes	57	6	89,47%
sky130hs_ibex	61	8	86,89%
sky130hs_jpeg	89	23	74,16%
sky130hs_riscv32i	8	3	62,50%

Fonte: Autoral, 2023

Já na Tab. 6.10, é apresentada a comparação do número de diodos inseridos pré e pós adição da margem para as violações. Em média, houve $2.64\times$ mais diodos inseridos ao adicionar a margem. Isso é um aumento muito alto, e considerando o aumento da porcentagem de correção, esse método não se mostrou eficiente para corrigir o restante das violações de antenas. Como explicado anteriormente, a maior causa das violações de antena restantes no roteamento detalhado ocorre devido à diferença entre o roteamento global e o roteamento detalhado final. Inserir mais diodos não necessariamente estará corrigindo a violação no local correto, demonstrando que um método mais sofisticado de correção de violações de antena é necessário.

Tabela 6.9 – Violações de antena no roteamento detalhado pré e pós execução do método de reparação com o uso da margem de 30%.

Circuito	Pré reparação	Pós reparação	Taxa de correção
gf180_aes	2	0	100,00%
sky130hd_aes	66	17	74,24%
sky130hd_chameleon	245	10	95,92%
sky130hd_ibex	46	8	82,61%
sky130hd_jpeg	41	20	51,22%
sky130hd_microwatt	1964	551	71,95%
sky130hd_riscv32i	16	6	62,50%
sky130hs_aes	57	5	91,23%
sky130hs_ibex	61	6	90,16%
sky130hs_jpeg	89	14	84,27%
sky130hs_riscv32i	8	2	75,00%

Fonte: Autoral, 2023

Tabela 6.10 – Comparação do número de diodos inseridos pré e pós adição da margem para as violações.

Circuito	Diodos pré margem	Diodos pós margem	Aumento (\times)
gf180_aes	2	6	3
sky130hd_aes	203	493	2,43
sky130hd_chameleon	892	1434	1,61
sky130hd_ibex	47	113	2,40
sky130hd_jpeg	49	182	3,71
sky130hd_microwatt	7574	15206	2,01
sky130hd_riscv32i	15	37	2,47
sky130hs_aes	90	467	5,19
sky130hs_ibex	68	122	1,79
sky130hs_jpeg	118	261	2,21
sky130hs_riscv32i	11	24	2,18

Fonte: Autoral, 2023

Conclusões

O roteamento global é uma das etapas mais importantes e mais complexas do fluxo de projeto físico de circuitos VLSI. O avanço da tecnologia cria cada vez mais regras de projeto que devem ser respeitadas no roteamento, e o roteamento global é fundamental para gerar o circuito final livre de violações de regras de projeto. Ferramentas rápidas e que gerem resultados com qualidade são cada vez mais necessárias, tanto na indústria quanto no meio acadêmico.

O *FastRoute* é uma ferramenta robusta, que dispõe de várias técnicas para detectar e reduzir congestionamento, reduzir o número de vias inseridas e manter o comprimento de fio baixo. Além disso, tem um baixo tempo de execução, possibilitando seu uso durante diferentes estágios do fluxo de projeto. Na época de sua publicação essa ferramenta possuía os melhores resultados de tempo de execução e redução de congestionamento comparado à outras ferramentas de roteamento global consideradas estado da arte.

Contudo, sua implementação possuía limitações que impossibilitavam seu uso em um fluxo de projeto moderno. Esse trabalho apresentou as adaptações e melhorias implementadas sobre a implementação mais recente do *FastRoute*, como o suporte para formatos de arquivos modernos de entrada e saída, um novo modelo de recursos de roteamento baseados nas trilhas de roteamento disponíveis e os obstáculos do circuito, e problemas de escalabilidade. Além disso, foi apresentado novos recursos para a ferramenta, como um controle maior para os recursos disponíveis para o roteamento, configuração de faixa de camadas de metal para redes específicas e um método de reparação de violações de antenas.

Foi demonstrado o uso da versão atualizada do *FastRoute*, dentro do fluxo de projeto de código aberto do Projeto *OpenROAD*. Os resultados dos experimentos conduzidos demonstram a importância da configuração dos recursos de roteamento disponíveis, especialmente no seu impacto em gerar resultados de roteamento livres de congestionamento, baixo comprimento de fio e número de vias, e livres de violações de regras de projeto. Os experimentos também mostram que essa configuração pode variar de acordo com a tecnologia utilizada para sintetizar os circuitos.

O método de reparação de antenas implementado apresenta bons resultados de reparação sobre o roteamento global, mas ainda há discrepância entre o roteamento global e o roteamento detalhado. Ainda assim, foi obtido uma média de cerca de 74% de correção de violações de antenas, e 84% de correção ao utilizar uma margem para as violações detectadas.

Isso demonstra alguns desafios ainda existentes, especialmente sobre a implemen-

tação apresentada. Um modelo de congestionamento dinâmico em relação aos recursos de roteamento disponíveis é desejável para reduzir a necessidade de interação do usuário da ferramenta para obter os melhores resultados. Outro desafio é a implementação de um método de reparação de antenas mais robusto, especialmente na relação de violações entre o roteamento global e o detalhado. Além da inserção de diodos, técnicas que modifiquem o roteamento global para evitar segmentos de fio muito longos podem ser mais efetivas para evitar violações no roteamento detalhado. Esses e outros desafios são uma grande oportunidade de estudo e pesquisa sobre esse tema, abrindo muito espaço para novos algoritmos e técnicas de roteamento global.

Referências

- AGHAEKIASARAE, E. et al. Cr&p: An efficient co-operation between routing and placement. In: **2022 Design, Automation & Test in Europe Conference & Exhibition (DATE)**. [S.l.: s.n.], 2022. p. 772–777. 36
- AJAYI, T. et al. Toward an open-source digital flow: First learnings from the openroad project. In: **Proceedings of the 56th Annual Design Automation Conference 2019**. [S.l.: s.n.], 2019. p. 1–4. 45
- ALBRECHT, C. Global routing by new approximation algorithms for multicommodity flow. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 20, n. 5, p. 622–632, 2001. 34
- CHEN, H.-Y.; CHANG, Y.-W. Global and detailed routing. In: _____. [S.l.: s.n.], 2009. p. 687–749. ISBN 9780123743640. 27
- CHU, C.; WONG, Y.-C. Flute: Fast lookup table based rectilinear steiner minimal tree algorithm for vlsi design. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 27, n. 1, p. 70–83, 2008. 27, 37
- CUHK. **cuhk-eda/cu-gr: CUGR, VLSI Global Routing Tool Developed by CUHK**. 2023. Página da ferramenta CUGR no GitHub. Disponível em: <<https://github.com/cuhk-eda/cu-gr>>. Acesso em: 28.03.2023. 36
- DOLGOV, S. et al. 2019 cad contest: Lef/def based global routing. In: **2019 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. [S.l.: s.n.], 2019. p. 1–4. 35
- FLACH, G. et al. Drive strength aware cell movement techniques for timing driven placement. In: **Proceedings of the 2016 on International Symposium on Physical Design**. New York, NY, USA: ACM, 2016. (ISPD '16), p. 73–80. ISBN 978-1-4503-4039-7. Disponível em: <<http://doi.acm.org/10.1145/2872334-2872359>><http://doi.acm.org/10.1145/2872334.2872359>. 25
- HADSELL, R. T.; MADDEN, P. H. Improved global routing through congestion estimation. In: **Proceedings of the 40th Annual Design Automation Conference**. New York, NY, USA: Association for Computing Machinery, 2003. (DAC '03), p. 28–31. ISBN 1581136889. Disponível em: <<https://doi.org/10.1145/775832.775842>>. 34, 37
- HUANG, L.-D. et al. A polynomial time optimal diode insertion/routing algorithm for fixing antenna problem. In: **Proceedings 2002 Design, Automation and Test in Europe Conference and Exhibition**. [S.l.: s.n.], 2002. p. 470–475. 55
- JIANG, Y.-J.; FANG, S.-Y. Coala: Concurrently assigning wire segments to layers for 2-d global routing. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 42, n. 2, p. 569–582, 2023. 36
- KAHNG, A. B. et al. **VLSI Physical Design: From Graph Partitioning to Timing Closure**. 1st. ed. [S.l.]: Springer Publishing Company, Incorporated, 2011. ISBN 9789048195909. 23, 24

- KAHNG, A. B.; WANG, L.; XU, B. Tritonroute: An initial detailed router for advanced vlsi technologies. In: **2018 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. [S.l.: s.n.], 2018. p. 1–8. 27, 36
- KAHNG, A. B.; WANG, L.; XU, B. Tritonroute-wxl: The open-source router with integrated drc engine. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, v. 41, n. 4, p. 1076–1089, 2022. 36
- KASTNER, R.; BOZORGZADEH, E.; SARRAFZADEH, M. Predictable routing. In: **IEEE/ACM International Conference on Computer Aided Design. ICCAD - 2000. IEEE/ACM Digest of Technical Papers (Cat. No.00CH37140)**. [S.l.: s.n.], 2000. p. 110–113. 34, 37
- KENNINGS, A.; MARKOV, I. Analytical minimization of half-perimeter wirelength. In: **Proceedings 2000. Design Automation Conference. (IEEE Cat. No.00CH37106)**. [S.l.: s.n.], 2000. p. 179–184. 27
- LIU, J. et al. Cugr: Detailed-routability-driven 3d global routing with probabilistic resource model. In: **2020 57th ACM/IEEE Design Automation Conference (DAC)**. [S.l.: s.n.], 2020. p. 1–6. 36
- MANTIK, S. et al. Ispd 2018 initial detailed routing contest and benchmarks. In: **Proceedings of the 2018 International Symposium on Physical Design**. New York, NY, USA: Association for Computing Machinery, 2018. (ISPD '18), p. 140–143. ISBN 9781450356268. Disponível em: <<https://doi.org/10.1145/3177540.3177562>>. 50
- PAN, M.; CHU, C. Fastroute: A step to integrate global routing into placement. In: **2006 IEEE/ACM International Conference on Computer Aided Design**. [S.l.: s.n.], 2006. p. 464–471. 37, 38
- PAN, M.; CHU, C. Fastroute 2.0: A high-quality and efficient global router. In: **2007 Asia and South Pacific Design Automation Conference**. [S.l.: s.n.], 2007. p. 250–255. 38, 39
- PAN, M. et al. Fastroute: An efficient and high-quality global router. **VLSI Des.**, Hindawi Limited, London, GBR, v. 2012, jan 2012. ISSN 1065-514X. Disponível em: <<https://doi.org/10.1155/2012/608362>>. 31, 43
- PARIS, L. de; POSSER, G.; REIS, R. Electromigration aware circuits by using special signal non-default routing rules. In: **2016 IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.: s.n.], 2016. p. 2795–2798. 25
- SHIN, H.; KING, C.; HU, C. Thin oxide damage by plasma etching and ashing processes. In: **30th Annual Proceedings Reliability Physics 1992**. [S.l.: s.n.], 1992. p. 37–41. 55
- SHIROTA, H. et al. A new router for reducing "antenna effect" in asic design. In: **Proceedings of the IEEE 1998 Custom Integrated Circuits Conference (Cat. No.98CH36143)**. [S.l.: s.n.], 1998. p. 601–604. 54
- TATSUOKA, M. et al. Physically aware high level synthesis design flow. In: **Proceedings of the 52Nd Annual Design Automation Conference**. New York, NY, USA:

ACM, 2015. (DAC '15), p. 162:1–162:6. ISBN 978-1-4503-3520-1. Disponível em: <<http://doi.acm.org/10.1145/2744769.2744893>><http://doi.acm.org/10.1145/2744769.2744893>. 25

THE-OPENROAD-PROJECT. **OpenROAD's scripts implementing an RTL-to-GDS Flow**. 2023. Página do fluxo do OpenROAD no GitHub. Disponível em: <<https://github.com/The-OpenROAD-Project/OpenROAD-flow-scripts>>. Acesso em: 27.02.2023. 46

THE-OPENROAD-PROJECT. **OpenROAD's unified application implementing an RTL-to-GDS Flow**. 2023. Página do OpenROAD no GitHub. Disponível em: <<https://github.com/The-OpenROAD-Project/OpenROAD>>. Acesso em: 27.02.2023. 46

THE-OPENROAD-PROJECT. **OpenROAD/src/odb at master · The-OpenROAD-Project/OpenROAD**. 2023. Página do OpenDB. Disponível em: <<https://github.com/The-OpenROAD-Project/OpenROAD/tree/master/src/odb>>. Acesso em: 14.03.2023. 50

VISWANATHAN, N.; PAN, M.; CHU, C. Fastplace 3.0: A fast multilevel quadratic placement algorithm with placement congestion control. In: **2007 Asia and South Pacific Design Automation Conference**. [S.l.: s.n.], 2007. p. 135–140. ISSN 2153-6961. 27

WILKE, G.; REIS, R. Variability-aware physical design techniques. In: **2010 11th Latin American Test Workshop**. [S.l.: s.n.], 2010. p. 1–1. ISSN 2373-0862. 25

WU, D.; HU, J.; MAHAPATRA, R. Coupling aware timing optimization and antenna avoidance in layer assignment. In: **Proceedings of the 2005 International Symposium on Physical Design**. New York, NY, USA: Association for Computing Machinery, 2005. (ISPD '05), p. 20–27. ISBN 1595930213. Disponível em: <<https://doi.org/10.1145/1055137.1055144>>. 54

XU, Y.; ZHANG, Y.; CHU, C. Fastroute 4.0: Global router with efficient via minimization. In: **2009 Asia and South Pacific Design Automation Conference**. [S.l.: s.n.], 2009. p. 576–581. 33, 41, 42

ZHANG, Y.; XU, Y.; CHU, C. Fastroute3.0: A fast and high quality global router based on virtual capacity. In: **2008 IEEE/ACM International Conference on Computer-Aided Design**. [S.l.: s.n.], 2008. p. 344–349. 40

ZHOU, H.; SHENOY, N.; NICHOLLS, W. Efficient minimum spanning tree construction without delaunay triangulation [vlsi cad]. In: **Proceedings of the ASP-DAC 2001. Asia and South Pacific Design Automation Conference 2001 (Cat. No.01EX455)**. [S.l.: s.n.], 2001. p. 192–197. 27