



**XXXIII SIC** SALÃO INICIAÇÃO CIENTÍFICA

<b>Evento</b>	Salão UFRGS 2021: SIC - XXXIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2021
<b>Local</b>	Virtual
<b>Título</b>	Síntese Automática de Redes de Transistores
<b>Autor</b>	VITOR HUGO DA SILVEIRA FUERSTENAU MACIEL
<b>Orientador</b>	RICARDO AUGUSTO DA LUZ REIS

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA

VITOR HUGO DA SILVEIRA FUERSTENAU MACIEL

**Síntese Automática do Leiaute de Redes de Transistores**

Prof. Dr. Ricardo Augusto da Luz Reis  
Orientador

No projeto de um chip, podemos utilizar bibliotecas de células padrão ou gerar células dedicadas ao projeto. Usando uma biblioteca de células, temos poucas opções de funções lógicas, o que reduz as opções para otimizar área, atraso e consumo do circuito, além de restringir o uso de portas complexas, que podem auxiliar na redução do número de transistores. Na opção de células dedicadas, podemos gerar as células manualmente, o que exige muito tempo e experiência do leiautista, algo inviável na maioria dos projetos. O objetivo de nosso projeto é a pesquisa e desenvolvimento de ferramentas de projeto assistido por computador (CAD), que possam gerar automaticamente o leiaute de redes de transistores (células lógicas), em nodos tecnológicos recentes, como *FullyDepletedSiliconOnInsulator* (FDSOI). A equipe elaborou uma nova ferramenta de CAD, nomeada ALTRAN, que consegue gerar leiautes de células para a tecnologia FDSOI, dada uma rede de transistores. O software, embasado em estudos passados da ferramenta ASTRAN, desenvolvida também na UFRGS, utiliza um novo método para posicionamento de transistores baseado em um algoritmo de convolução de matrizes de adjacência. No momento, o programa já produz o leiaute de portas lógicas complexas, que normalmente não estão inclusas em bibliotecas de células. Além disso, também já está implementado o mecanismo de *folding* de transistores. Os primeiros resultados mostram que os algoritmos são promissores, sendo que um dos objetivos do projeto é o aprimoramento das técnicas utilizadas para roteamento de conexões entre instâncias e ajuste na aplicação das regras de projeto da tecnologia de fabricação. A meta atualmente é a conversão da linguagem de programação do código, a inserção de algoritmos de compactação de célula, adição de novas parametrizações para customização do circuito e a incorporação de suporte para a geração de leiautes em outras tecnologias.