



**XXXIII SIC** SALÃO INICIAÇÃO CIENTÍFICA

<b>Evento</b>	Salão UFRGS 2021: SIC - XXXIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2021
<b>Local</b>	Virtual
<b>Título</b>	Osciladores em anel CMOS para Operação em Ultra-baixa tensão de alimentação
<b>Autor</b>	LAURA PANOSSO
<b>Orientador</b>	HAMILTON DUARTE KLIMACH

## Osciladores em Anel CMOS para Operação em Ultra-baixa Tensão de Alimentação

Autora: Laura Panosso

Orientador: Prof. Dr. Hamilton Klimach

Instituição: Universidade Federal do Rio Grande do Sul

O objetivo do trabalho é desenvolver um oscilador em anel, que seja adequada para operação com tensão de alimentação abaixo de 100 mV, que possa ser usado para indústria da Internet-das-Coisas (Internet-of-Things ou IoT), que necessitam que seus circuitos operem sob regime de baixíssimo consumo de potência (ultra-low-power ou ULP), pois realizam suas funções alimentados por pequenas baterias, ou coletando energia do ambiente (energy harvesting ou EH). O uso de EH necessita de um circuito conversor de energia, cujo bloco fundamental é um oscilador que opere em regime de baixíssima tensão de alimentação (ultra-low-voltage ou ULV). A topologia estudada baseia-se no inversor lógico realimentado, do tipo Schmitt-trigger (ST), e que foi modificado através da incorporação de uma polarização de corpo dinâmica (dynamic body-bias ou DBB), aumentando seu ganho e ampliando sua região de histerese, de forma que essa ainda ocorra com tensões de alimentação muito baixas. A metodologia utilizada foi a implementação e simulação destes circuitos na ferramenta Cadence Virtuoso. Planejava-se realizar também atividades experimentais no Laboratório de Caracterização Elétrica (LCE, no DELET/EE/UFRGS), mas foram descartadas devido a pandemia. Usando a ferramenta mencionada, foram projetadas na tecnologia TSMC 180, os circuitos inversores baseados na topologia ST tradicional e na nova com DBB. Foram realizadas simulações elétricas visando a otimização dos inversores, chegando-se ao dimensionamento final dos transistores NMOS ( $L=2\mu\text{m}$  e  $W=4\mu\text{m}$ ) e PMOS ( $L=2\mu\text{m}$  e  $W=20\mu\text{m}$ ). Através de simulações comparativas das duas topologias, com diferentes tensões de alimentação, se observou que a tradicional não apresentava histerese para alimentação de 100 mV, enquanto a topologia nova manteve histerese com 50 mV, comprovando que a modificação é efetiva. O circuito final do oscilador em anel, com 3 células e topologia otimizada, funcionou alimentado com 50 mV, consumindo uma potência de 3,5 pW e resultando numa frequência de aproximadamente 42 Hz.