



<b>Evento</b>	Salão UFRGS 2020: SIC - XXXII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2020
<b>Local</b>	Virtual
<b>Título</b>	Síntese Automática do Leiaute de Redes de Transistores
<b>Autor</b>	VITOR HUGO DA SILVEIRA FUERSTENAU MACIEL
<b>Orientador</b>	RICARDO AUGUSTO DA LUZ REIS

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA

VITOR HUGO DA SILVEIRA FUERSTENAU MACIEL

**Síntese Automática do Leiaute de Redes de Transistores**

Prof. Dr. Ricardo Augusto da Luz Reis  
Orientador

No projeto de um chip, podemos utilizar bibliotecas de células padrão ou gerar células dedicadas ao projeto. Usando uma biblioteca de células, temos poucas opções para otimizar área, atraso e consumo do circuito, além de restringir o uso de portas complexas, que podem auxiliar na redução do número de transistores. Na opção de células dedicadas, podemos gerar as células manualmente, o que exige muito tempo e experiência do leiautista, algo inviável na maioria dos projetos. O nosso objetivo é pesquisar e desenvolver ferramentas de CAD, capazes de gerar automaticamente o leiaute de redes de transistores (células lógicas), em tecnologias recentes como *FullyDepletedSiliconOnInsulator* (FDSOI) e *FinField-EffectTransistor* (FinFET). Com isto, podemos reduzir o número de transistores, ao conseguir gerar o leiaute de qualquer rede otimizada de transistores. A ferramenta Astran foi desenvolvida em nosso grupo de pesquisa na UFRGS, gerando automaticamente leiautes em tecnologias Bulk CMOS de até 45nm. Como o planejado é trabalhar com FDSOI e FinFET, o fluxo de síntese do Astran está sendo utilizado como base para o desenvolvimento de uma nova ferramenta, usando novos algoritmos, como os relacionados a aprendizado de máquina, que estão sendo implementados para o posicionamento e roteamento de transistores. Estamos considerando inicialmente a geração automática de leiaute com regras de projeto 28nm FDSOI STMicroelectronics. Pretendemos ainda considerar algoritmos para otimização em nível de transistor que permitam a transformação de uma rede de portas lógicas em apenas uma porta complexa. No momento, nossa ferramenta de CAD para síntese automática do leiaute encontra-se em estágio inicial de desenvolvimento. Por enquanto, é possível gerar uma pré-visualização do leiaute, com transistores posicionados e roteados, porém sem consideração das regras de projeto FDSOI 28nm. Devemos também comparar a nossa solução com os métodos que usam células padrões.