



|                   |  |
|-------------------|--|
| <b>Evento</b>     | Salão UFRGS 2020: SIC - XXXII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS               |
| <b>Ano</b>        | 2020   |
| <b>Local</b>      | Virtual  |
| <b>Título</b>     | Hot-swapping de Switches Virtuais Programáveis via Reconfiguração Parcial em FPGAs |
| <b>Autor</b>      | PABLO FELIPE ROSA RODRIGUES  |
| <b>Orientador</b> | WEVERTON LUIS DA COSTA CORDEIRO  |

## Resumo - XXXII Salão de Iniciação Científica

Universidade Federal do Rio Grande do Sul (UFRGS)

**Aluno:** Pablo Felipe Rosa Rodrigues

**Orientador:** Weverton Cordeiro

### **Hot-swapping de Switches Virtuais Programáveis via Reconfiguração Parcial em FPGAs**

Tendo em vista a arquitetura de virtualização desenvolvida previamente no projeto, faz-se necessário a busca por um mecanismo capaz de implementar reconfiguração parcial em uma placa FPGA para permitir a troca(hot swap) de switches virtuais programáveis sem a necessidade de reconfiguração total da placa, de forma que tal mecanismo ofereça um melhor aproveitamento dos recursos físicos disponíveis e informações referentes à quantidade de instâncias virtuais suportadas na arquitetura, afim de se obter uma melhor maleabilidade das instâncias virtuais em relação à arquitetura previamente desenvolvida e objetivando facilitar o gerenciamento e a comunicação de grande fluxos de dados em ambientes baseados em redes definidas por software( software defined networking, SDN) e virtualização de funções de rede (network function virtualization, NFV). Assim, foi adicionado na arquitetura um conjunto de módulos escritos em Verilog a fim de garantir os requisitos necessários para a projeção do mecanismo de reconfiguração parcial no software Vivado 2018.2, além da criação de um fluxo de design que incluiu síntese do design, definição de partições reconfiguráveis necessárias para comportar as instâncias virtuais na FPGA, definição de instâncias virtuais ocupadas em cada área, além da implementação do design e geração de *bitstreams*, seguido de simulações para comprovação do funcionamento da arquitetura proposta. Obteve-se por fim, um design capaz de implementar reconfiguração parcial, de forma que para múltiplos switches virtuais executados em paralelo seja possível a troca de determinadas instâncias na placa FPGA sem que haja necessidade de reconfiguração total da placa, possibilitando assim, a operabilidade independente de switches virtuais durante o funcionamento da arquitetura na FPGA. Junto a isso, visando o melhor aproveitamento dos recursos físicos, determinou-se onde posicionar de forma adequada as partições reconfiguráveis que comportam os switches virtuais programáveis na FPGA considerada, para assim comportar a execução em paralelo de um número maior de instâncias.