

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

JULIANO CAVINATO ZANELLI

**Projeto de uma Biblioteca de Células para
Circuitos 3D Monolíticos**

Dissertação apresentada como requisito
parcial para a obtenção do grau de Mestre
em Microeletrônica

Orientador: Prof. Dr. Ricardo Augusto da Luz
Reis
Co-orientador: Dra. Carolina Momo Metzler

Porto Alegre
2020

CIP — CATALOGAÇÃO NA PUBLICAÇÃO

Cavinato Zanelli, Juliano

Projeto de uma Biblioteca de Células para Circuitos 3D Monolíticos / Juliano Cavinato Zanelli. – Porto Alegre: PGMICRO da UFRGS, 2020.

64 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR-RS, 2020. Orientador: Ricardo Augusto da Luz Reis; Co-orientador: Carolina Momo Metzler.

1. Circuitos 3D monolíticos. 2. Dimensionamento de transistores. 3. Biblioteca de células. 4. Síntese Física. 5. Microeletrônica. I. Reis, Ricardo Augusto da Luz. II. Metzler, Carolina Momo. III. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Rui Vicente Oppermann

Vice-Reitora: Prof^a. Jane Fraga Tutikian

Pró-Reitor de Pós-Graduação: Prof. Celso Giannetti Loureiro Chaves

Diretora do Instituto de Informática: Prof^a. Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Prof. Tiago Roberto Balen

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*“If I have seen farther than others,
it is because I stood on the shoulders of giants.”*

— SIR ISAAC NEWTON

AGRADECIMENTOS

Agradeço primeiramente a meu orientador, Dr. Ricardo Reis por ter me dado a oportunidade de fazer o mestrado e todo apoio prestado durante este. A minha co-orientadora Dra. Carolina Metzler por ter me convidado a trabalhar com ela na área de circuitos 3D e sempre ter me apoiado e ajudado durante toda pesquisa.

Agradeço a minha família por ter me prestado apoio durante o período do mestrado. Agradeço em especial minha namorada por estar sempre disponível para conversar e distrair dos problemas.

Agradeço a meus amigos e colegas da UFRGS, Rodrigo Ataide que me ajudou muito durante a pesquisa com as dicas para o Virtuoso e scripts em shell. Ao Elias, que sempre tem uma história engraçada para descontrair. E agradeço a todos os demais colegas que sempre me auxiliaram quando necessitei de algo (Lesley, Filipe, Arthur, Iago, Mateus, Vitor, Brunno, Rodrigo, Fábio, André, Lucas, ...).

Agradeço também aos demais professores que fizeram parte da minha formação pela educação e instrução, os quais me permitiram chegar onde cheguei.

RESUMO

Conforme a tecnologia avança, os dispositivos reduzem de tamanho e as interconexões são responsáveis pela maior parte do atraso do circuito quando comparadas a outros elementos do circuito. Circuitos monolíticos 3D apresentam-se como uma forma de redução do comprimento médio das interconexões, criando camadas de dispositivos e interligando-as por vias verticais de menores tamanhos que as interconexões de circuitos 2D. Este trabalho apresenta um estudo do estado da arte dos circuitos monolíticos 3D e o projeto de uma biblioteca de células monolítica 3D otimizada para o produto atraso-potência. As células são criadas com base no estudo do dimensionamento de transistores e a proporção ótima W_p/W_n . A biblioteca de células proposta possui quinze células. Utiliza-se a biblioteca Mono3D, a qual foi desenvolvida no FreePDK45 pelo laboratório NanoCAS da Universidade de Stony Brook. Após configurar a biblioteca no Virtuoso, utiliza-se a célula inversora da biblioteca, fazendo o estudo de como esta porta é afetada por variações na carga capacitiva de saída, no redimensionamento de suas vias de conexão entre camadas e como os transistores separados em diferentes camadas respondem a variações na tensão de alimentação. O inversor não perde suas características lógicas para os valores testados com as cargas variáveis. O redimensionamento de vias verticais apresentou um ganho de performance para o inversor, mas não apresentou mudança visível para circuitos maiores. Finalmente, quando se dá variação na tensão de alimentação do inversor, os transistores PMOS apresentam uma maior sensibilidade do que os NMOS. Realiza-se o dimensionamento dos transistores de acordo com o produto atraso-potência, obtendo-se uma relação otimizada da proporção W_p/W_n . Finalmente, cria-se a biblioteca de células monolítica 3D para posterior implementação dos circuitos de teste, sendo estes circuitos combinacionais e sequencial. Comparando a biblioteca Mono3D com a nova biblioteca de células, os circuitos simulados utilizando a nova biblioteca apresentaram um ganho médio de 12.3% em performance, com um aumento de 5.7% em consumo de energia. Ainda, para o circuito com maior área testado, o produto atraso-potência deste reduziu em 16%.

Palavras-chave: Circuitos 3D monolíticos. Dimensionamento de transistores. Biblioteca de células. Síntese Física. Microeletrônica.

Design of a Monolithic 3D Standard Cell Library

ABSTRACT

As technology advances, device size reduces and interconnections become the major contributor to the delay of the circuit, when compared with other components. Monolithic 3D circuits propose a way of reducing the average length of interconnects, creating layers of devices and connecting them by vertical vias with smaller length than their 2D counterpart. This work presents the study of the state of the art of monolithic 3D circuits and the design of a monolithic 3D standard cell library for the optimal power-delay product. Cells are designed based in the transistor sizing study and the optimal W_p/W_n ratio. The proposed standard cell library contains fifteen cells. Mono3D must be configured on the EDA environment. Then, using the inverter cell from the library, analysis of how the logic gate behaves for different values of a capacitive load. The third simulation using the inverter cell presents its behavior for an increase in the dimensions of the vertical vias. Finally, the way the cell responds to voltage variation is analyzed. Power and delay grow steadily according to the load. Even then, the inverter cell does not lose its logic properties. When resizing the vertical vias, power and delay reduce for the inverter. Doing the same test for bigger circuits, the difference in circuit parameters is not visible. With voltage variation, the PMOS transistor of the inverter is more sensitive than the NMOS. Gate sizing is done according to the power-delay product, giving an optimized proportion W_p/W_n . Finally, the new monolithic 3D library is created and used for further implementation of combinational and sequential benchmarks. Utilizing the new cell library to implement the benchmarks, they achieved an average increase of 12.3% in performance and 5.7% increase in power consumption. For the biggest, in area, benchmark tested, power-delay product reduced 16%.

Keywords: Monolithic 3D circuits, Transistor Sizing, Standard Cell Library, Physical Synthesis, Microelectronics.

LISTA DE ABREVIATURAS E SIGLAS

CAD	Projeto Auxiliado por Computador (<i>Computer-Aided Design</i>)
DfT	Projeto para teste (<i>Design-for-Test</i>)
DRC	Analisador de regras de leiaute (<i>Design Rule Checker</i>)
EDA	Automação de projeto eletrônico (<i>Electronic Design Automation</i>)
FDA	Função de distribuição acumulada
FDSOI	<i>Fully Depleted Silicon On Insulator</i>
ILD	Dielétrico entre camadas (<i>Inter-Layer Dielectric</i>)
ILV	Via entre camadas para alimentação (<i>Inter-Layer Via</i>)
IoT	Internet das Coisas (<i>Internet of Things</i>)
LVS	Comparador de leiaute e esquemático (<i>Layout Versus Schematic</i>)
MIV	Via de ligação entre camadas para circuitos monolíticos (<i>Monolithic Inter-tier Via</i>)
NMOS	Canal N de Semicondutor Metal-Óxido
PDK	Ferramenta de desenvolvimento de projeto(<i>Process Design Kit</i>)
PDSOI	<i>Partially Depleted Silicon On Insulator</i>
PEX	Extrator de elementos parasitas do leiaute (<i>Parasitics EXtractor</i>)
PMOS	Canal P de Semicondutor Metal-Óxido
SOI	<i>Silicon On Insulator</i>
SPICE	Programa de simulação com ênfase em Circuitos Integrados (<i>Simulation Program with Integrated Circuit Emphasis</i>)
SRAM	Memória de acesso aleatório estática (<i>Static Random Access Memory</i>)
TSV	Via que atravessa silício (<i>Through-Silicon Via</i>)

LISTA DE SÍMBOLOS

<i>As</i>	Arsênio
<i>C</i>	Celsius
<i>F</i>	Farad
<i>f</i>	Femto
<i>Ga</i>	Gálio
<i>Ge</i>	Germânio
<i>In</i>	Índio
<i>J</i>	Joule
<i>m</i>	Metro
μ	Micro/Micrômetro
<i>n</i>	Nano
Ω	Ohms
<i>p</i>	Pico
<i>s</i>	Segundos
<i>V</i>	Tensão
<i>W</i>	Watt
<i>W_n</i>	Largura do canal do transistor tipo N
<i>W_p</i>	Largura do canal do transistor tipo P

LISTA DE FIGURAS

Figura 1.1	Comparativo da evolução do atraso com o nodo tecnológico	13
Figura 1.2	Comparação entre circuitos 2D e 3D.....	13
Figura 1.3	Particionamento a nível de transistor.....	14
Figura 1.4	Fluxograma do trabalho apresentado.....	16
Figura 2.1	Exemplo de circuito monolítico 3D.....	18
Figura 2.2	Tipos de particionamento de circuitos monolíticos 3D	20
Figura 3.1	Inversor 2D e Inversor 3D	25
Figura 4.1	Processo <i>seed window</i>	28
Figura 4.2	Alinhamento e transistores no processo CoolCube TM	29
Figura 5.1	Vistas das camadas inferior, superior e do inversor.....	37
Figura 5.2	Circuito para simulação do inversor com carga variável.....	38
Figura 5.3	Resposta do inversor da Mono3D com carga variável.....	39
Figura 5.4	Alteração em atraso e potência para o inversor	39
Figura 5.5	Esquemático do circuito J1	40
Figura 5.6	Atenuação no sinal devido a distância.....	41
Figura 5.7	Função de distribuição cumulativa para os transistores do inversor.....	42
Figura 5.8	Potência e atraso X proporção W_p/W_n para caso exemplo.....	44
Figura 5.9	Comparativo entre a célula OR2 das duas bibliotecas.....	46
Figura 5.10	Circuito J1.....	47
Figura 5.11	Leiaute do circuito J1	48
Figura 5.12	Circuito c17 do ISCAS' 85.....	49
Figura 5.13	Leiaute do circuito c17	50
Figura 5.14	Circuito s27 do ISCAS' 89.....	50
Figura 5.15	Leiaute do circuito s27	51
Figura A.1	Fluxograma para configuração da Mono3D	60
Figura A.2	Tipos de particionamento de circuitos monolíticos 3D	61

LISTA DE TABELAS

Tabela 2.1	Características de cobre e tungstênio	22
Tabela 3.1	Células base da biblioteca Mono3D	25
Tabela 5.1	Dados básicos utilizados nas simulações	37
Tabela 5.2	Comparativo entre células originais e com MIVs alterados	41
Tabela 5.3	Valores otimizados por simulação exaustiva	43
Tabela 5.4	Largura dos transistores NMOS e PMOS das bibliotecas Mono3D e otimizada.....	45
Tabela 5.5	Comparação entre as células da biblioteca Mono3D com a otimizada para produto atraso-potência.....	46
Tabela 5.6	Comparação entre bibliotecas de células 3D para o circuito J1	49
Tabela 5.7	Comparação entre valores nominais e otimizados para os circuitos c17 e s27	51
Tabela 5.8	Resumo dos resultados para os circuitos J1, c17 e s27	52

SUMÁRIO

1 INTRODUÇÃO	12
1.1 Contribuições.....	15
1.2 Organização da Dissertação.....	17
2 CIRCUITOS 3D MONOLÍTICOS	18
2.1 Circuito monolítico 3D básico.....	18
2.2 Vias de interligação entre camadas	19
2.3 Dielétrico entre camadas	19
2.4 Particionamento	20
2.5 Metal de nível intermediário.....	21
2.6 Vias verticais de alimentação	22
3 BIBLIOTECA MONO3D	24
3.1 Propriedades da biblioteca.....	24
4 ESTADO DA ARTE DOS CIRCUITOS MONOLÍTICOS 3D	27
4.1 Circuitos fabricados.....	27
4.2 Ferramentas de EDA	30
5 CARACTERIZAÇÃO DO INVERSOR E DIMENSIONAMENTO DE TRAN- SISTORES	35
5.1 Elementos necessários para criar uma biblioteca de células	35
5.2 Informações básicas para as simulações	36
5.3 Atraso do inversor com carga variável	38
5.4 Resposta do inversor com incremento nas dimensões dos MIVs.....	40
5.5 Análise de tempo com perturbações no sinal de entrada	41
5.6 Dimensionamento dos transistores por SPICE	42
5.7 Características da biblioteca otimizada pelo produto atraso-potência.....	44
5.8 Comparativo entre a nova biblioteca e a Mono3D.....	47
6 CONCLUSÕES	53
6.1 Trabalhos Futuros.....	55
REFERÊNCIAS	56
APÊNDICE A — INSTALAÇÃO DA BIBLIOTECA MONO3D	60
APÊNDICE B — PUBLICAÇÕES	64

1 INTRODUÇÃO

A miniaturização dos dispositivos de um circuito integrado aumenta a complexidade para a indústria de semicondutores acompanhar a Lei de Moore. Um dos principais motivos para este aumento de complexidade é a proporção de tamanho das conexões entre os contatos e os dispositivos, restringindo o espaço para roteamento em novas tecnologias. De acordo com (IRDS-IEEE, 2018), a partir do ano de 2031 há a possibilidade de circuitos 2D passarem a ser inviáveis, compelindo a indústria a buscar novas alternativas tecnológicas para acompanhar o escalonamento litográfico. Assim, devem-se apresentar alternativas para mitigar o impacto das interconexões no circuito e para a construção de circuitos integrados em nodos tecnológicos futuros.

A redução nas dimensões transversais das interconexões e o aumento do comprimento das mesmas implica diretamente no aumento do atraso e consumo de energia do circuito (TAN; GUTMANN; REIF, 2008). Em 2001, ITRS (ITRS-IEEE, 2001) já indicava que as interconexões impactariam cada vez mais no atraso dos circuitos. A Figura 1.1 exibe um comparativo de como o atraso passa a ser predominante nas interconexões conforme o nodo tecnológico diminui e como o comprimento total das interconexões globais aumenta de acordo com a complexidade do nodo tecnológico.

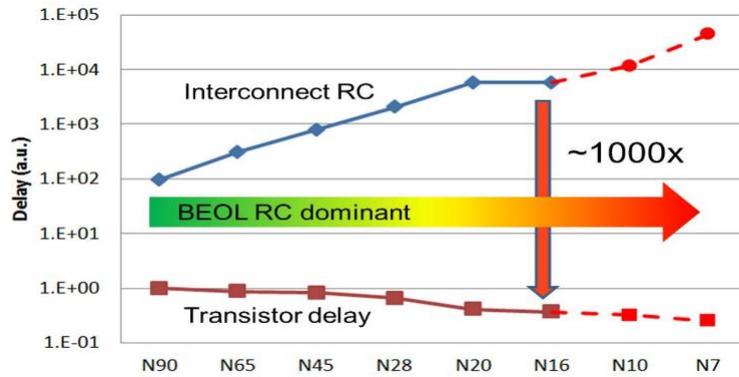
Segundo simulações de extração de parâmetros de (IRDS-IEEE, 2018), os principais limitadores de performance do circuito e consumidores de potência para nodos tecnológicos a partir de 2017 serão os parasitas relacionados as interconexões. Ainda, as demandas de áreas como *big data*, IoT (*Internet-of-Things*) e computação em nuvem, exigem de circuitos um tratamento de grande volume de dados e consumo de energia extremamente baixo, nas dimensões de nJ ou menor (IRDS-IEEE, 2018).

Além das interconexões, ITRS (ITRS-IEEE, 2009) indica que a integração de diferentes tipos de circuitos não-digitais necessários para comunicação com o mundo externo em sistemas como por exemplo, de IoT, não escala da mesma maneira que os dispositivos utilizados em sistemas digitais. Definem-se tais elementos como dispositivos *More than Moore*. Estes componentes fazem a interface entre mundo externo e circuito, podendo variar de sensores a dispositivos micromecânicos, entre outros.

Um estudo do IRDS (IRDS-IEEE, 2018) indica que para suprir as demandas de futuros circuitos, incluindo os *More than Moore*, diferentes tecnologias devem ser abordadas para atingir as demandas crescentes da indústria em performance e redução em área e consumo de energia. Como exemplo, IRDS (IRDS-IEEE, 2018) apresenta a utilização

de outros tipos de metais como condutor, uso de diferentes topologias de transistores e o uso de circuitos integrados 3D.

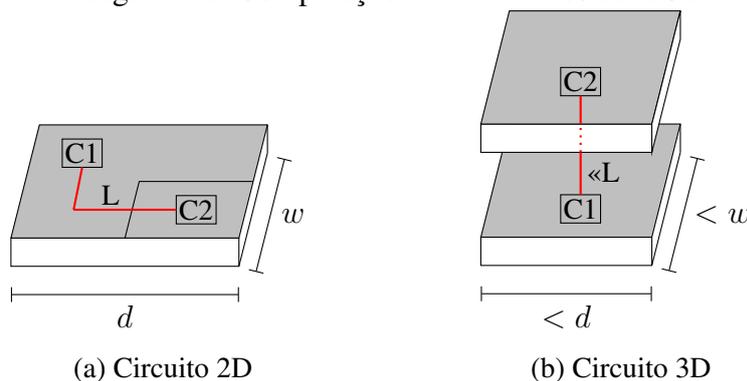
Figura 1.1: Comparativo da evolução do atraso com o nodo tecnológico



Fonte: (YEAP, 2013)

A integração 3D é promissora em alcançar os requisitos de potência e performance limitados pelas interconexões e esta consiste em integrar verticalmente diversos níveis de circuitos. As longas conexões podem ser substituídas por interconexões verticais entre camadas, reduzindo o atraso das interconexões dos circuitos (GARROU; BOWER; RAMM, 2008). A Figura 1.2 exibe a mudança da relação das interconexões de um circuito 2D para um 3D, apresentando como a distância da interconexão L é modificada de um circuito 2D para 3D monolítico. A interconexão L no circuito monolítico 3D tem dimensão menor comparada a de um circuito 2D.

Figura 1.2: Comparação entre circuitos 2D e 3D



Fonte: (TAN; GUTMANN; REIF, 2008)

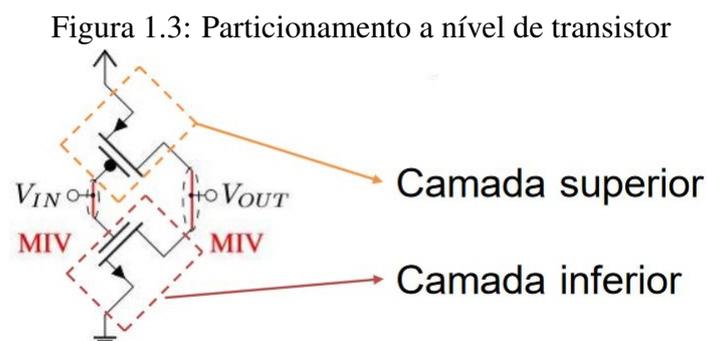
Existem diversas formas de integrar verticalmente dois ou mais circuitos em um único encapsulamento, aqui podemos simplificar e dividir em apenas dois grupos: empilhamento 3D e circuitos 3D monolíticos. Os circuitos 3D empilhados utilizam conexões globais que atravessam as camadas de circuitos. Estas interconexões globais podem ser

por *microbumps* que são pequenas bolas de solda similar ao utilizado em pinos externos e são chamadas de TSV (*Through-Silicon Via*). Durante o processo de fabricação os circuitos são produzidos separados e posteriormente, são interligados por estas interconexões globais. A complexidade no alinhamento dos circuitos pelos TSVs e *microbumps* limitam o processo de fabricação (SOUSA, 2017).

Outra solução para fabricação de circuitos 3D é o circuito monolítico, também chamado de sequencial, onde o circuito é fabricado em um processo contínuo de deposição de camadas uma sob a outra. Os circuitos 3D monolíticos utilizam o mesmo princípio de fabricação dos circuitos planares, acrescentando alguns passos de fabricação a mais como o alinhamento dos transistores que estão separados em diferentes camadas e criação das vias verticais de interconexão (SOUSA, 2017).

Num circuito monolítico 3D, múltiplas camadas de dispositivos são criadas, com transistores em cada camada. Esta integração também apresenta a possibilidade de tipos diferentes de circuitos em diferentes camadas, podendo ser uma solução para circuitos com elementos *More than Moore* (SOUSA, 2017). Além disso, as vias de interligação das camadas em circuitos monolíticos 3D possuem dimensões sub-micrômetras similares as vias de metal do circuito, permitindo uma alta granularidade de vias verticais, diferentemente dos TSVs (SAMAL et al., 2016b).

Circuitos monolíticos 3D podem ser definidos segundo seu particionamento. Separando o circuito em blocos, diferentes blocos funcionais são posicionados nas camadas. O circuito também pode ser separado em portas lógicas, onde células são colocadas em diferentes níveis. E, finalmente, pode-se particionar o circuito por transistores, onde cada camada tem apenas um tipo de transistor. A Figura 1.3 exhibe um exemplo de circuito particionado a nível de transistor, o qual apresenta uma maior quantidade de vias verticais que os outros métodos, e pode ser uma possível solução para o atraso das interconexões em nodos tecnológicos futuros.



Fonte: O Autor

Apesar de não ser um processo completamente maduro para todos tipos de circuitos e apresentar alguns problemas como pontos de excessiva dissipação térmica (SAMAL et al., 2014a) e eletromigração (SAMAL et al., 2016a), os circuitos monolíticos 3D são um tópico em alta no momento pela indústria como possível solução para o problema de escala futura de dispositivos (SAMAL et al., 2016b). Há a possibilidade, segundo o IRDS (IRDS-IEEE, 2018), de que a integração 3D seja necessária a partir de 2031, reduzindo o espaço para a integração 2D.

Autores apresentam diferentes métodos de fabricação para circuitos monolíticos 3D. Wong et al. (WONG et al., 2007) utilizou uma técnica que chamou de *seed window* para interligar as camadas do circuito. Já YU et al. (YU et al., 2016), construiu transistores NMOS com *InGaAs* e PMOS de *Ge* em diferentes níveis. Brunet et al. (BRUNET et al., 2016) deposita camadas na parte inferior do circuito e a interliga com uma camada superior, a qual simula um transistor tipo FDSOI.

Na maior parte dos trabalhos em fabricação de circuitos monolíticos 3D, o fluxo de projeto 3D é adaptado do 2D usando ferramentas de EDA (PENTAPATI; SHIM; LIM, 2019).

Soluções em síntese física devem apresentar maneiras de contornar problemas relacionados aos circuitos monolíticos 3D, como análise em potência e tempos de resposta (FRANZON; MARINISSEN; BAKIR, 2019). Geralmente, trabalhos que utilizam circuitos monolíticos 3D particionam o circuito em portas lógicas, atenuando os caminhos críticos posicionando na camada superior células críticas. Estes trabalhos não isolam os transistores em camadas diferentes, não sendo possível otimização dos transistores em potência e performance individualmente. Já o particionamento a nível de transistor, permite a otimização de cada transistor separadamente.

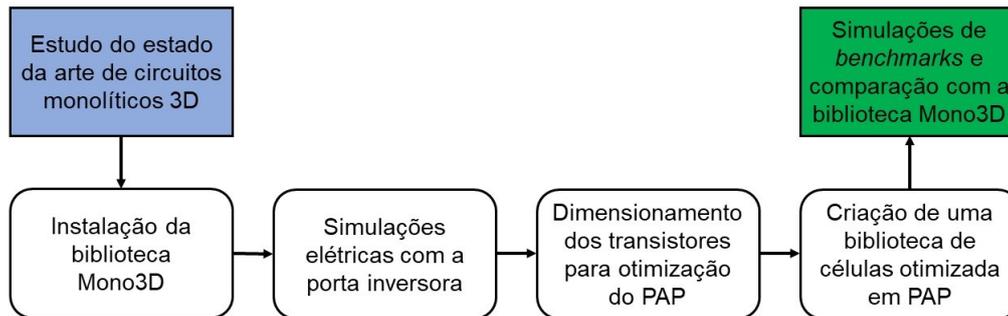
A biblioteca Mono3D (YAN et al., 2017), desenvolvida utilizando a tecnologia de *45nm* do PDK (*Process Design Kit*) acadêmico FreePDK45 apresenta quinze células lógicas e uma de preenchimento de metal. Os elementos parasitas são adaptados para circuitos monolíticos 3D particionados a nível de transistor.

1.1 Contribuições

O fluxo de desenvolvimento do trabalho é dado pelo fluxograma da figura 1.4 e descrito a seguir. Este trabalho apresenta a criação de uma biblioteca de células monolítica 3D otimizada em produto atraso-potência utilizando como base a biblioteca de código

aberto Mono3D (YAN et al., 2017). Inicialmente, foi efetuado um estudo do estado da arte dos circuitos monolíticos 3D. Depois, instalou-se a biblioteca Mono3D para que pudesse ser utilizada no Cadence[®] Virtuoso[®] e realizam-se análises da célula inversora da biblioteca. Posteriormente, otimiza-se o dimensionamento dos transistores NMOS e PMOS com foco no produto atraso-potência.

Figura 1.4: Fluxograma do trabalho apresentado



Fonte: O Autor

A biblioteca de células otimizada é criada de acordo com a proporção W_p/W_n ótima obtida pelo dimensionamento dos transistores da célula inversora levando em conta o produto atraso-potência. Utilizando a nova biblioteca, são simulados circuitos lógicos combinacionais e sequenciais levando em conta seu caminho crítico e os comparando com as células da biblioteca Mono3D original. Todas simulações com células são realizadas utilizando SPICE. Apresenta-se as contribuições deste trabalho:

- Estudo sobre o estado da arte dos circuitos monolíticos 3D.
- Instalação da biblioteca Mono3D.
- Simulação elétrica com diferentes cargas, dimensões de vias e variação na tensão de alimentação para porta inversora.
- Otimização da porta inversora voltada a produto atraso-potência.
- Projeto e desenvolvimento de biblioteca de células monolíticas 3D otimizada em relação ao produto atraso-potência.
- Simulação elétrica comparando as bibliotecas Mono3D e otimizada.

1.2 Organização da Dissertação

O restante do trabalho está organizado como segue. No Capítulo 2 apresenta-se as principais características dos circuitos monolíticos 3D, como tipos de particionamento, características das vias verticais de interligação entre camadas e detalhes sobre a fabricação deste tipo de circuito e alguns exemplos de diferentes autores em fabricação. Este capítulo apresenta a base para o entendimento do funcionamento de circuitos monolíticos 3D. O Capítulo 3 apresenta as propriedades da biblioteca Mono3D e sua configuração na ferramenta de EDA Cadence[®] Virtuoso[®]. Dados como tensão de alimentação, tensão de limiar e modelos dos transistores encontram-se neste capítulo. Além disso, mostra-se como corrigir problemas de leiaute das células que impedem o correto funcionamento da biblioteca.

O Capítulo 4 apresenta os trabalhos relevantes relacionados a circuitos monolíticos 3D, passando por simulações e diferentes métodos de fabricação.

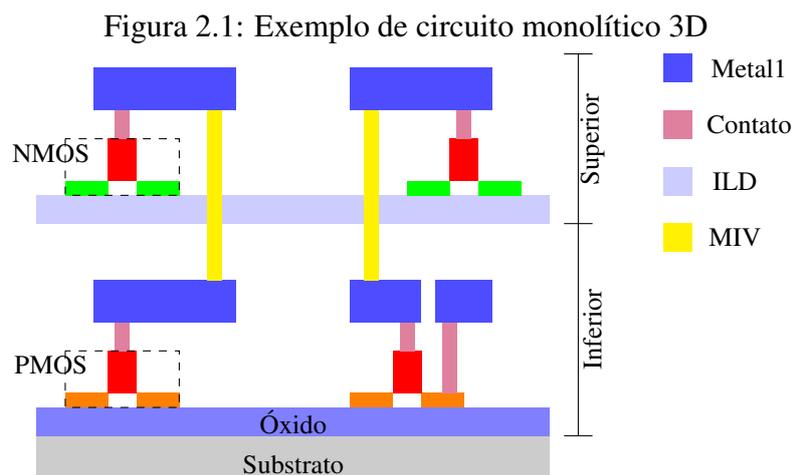
O Capítulo 5 apresenta o desenvolvimento do trabalho e os resultados obtidos. Inicialmente, apresenta-se as simulações com a porta lógica inversora e como esta se comporta com variações relacionadas a seus elementos internos e externos. Cria-se a nova biblioteca de células monolítica 3D de acordo com a proporção W_p/W_n obtida a partir do dimensionamento dos transistores da célula inversora. Depois, circuitos lógicos e sequencial foram criados e comparados entre as bibliotecas Mono3D e otimizada. Os circuitos são comparados levando em conta a performance e a potência. O Capítulo 6 apresenta as conclusões e trabalhos futuros. Finalmente, o apêndice A apresenta um tutorial de como realizar a instalação da biblioteca Mono3D, e o apêndice B apresenta as publicações geradas durante o período do mestrado.

2 CIRCUITOS 3D MONOLÍTICOS

Este capítulo apresenta os conceitos básicos necessários para a compreensão dos circuitos monolíticos 3D. Apresenta-se uma ideia geral de um circuito monolítico 3D. Depois, exibem-se características das vias de interligação entre camadas e as características do dielétrico. O particionamento do circuito é detalhado e demonstra diferentes maneiras de fabricar um circuito monolítico 3D. Finalmente, apresentam-se os desafios relacionados a temperatura, fabricação e desafios relacionados as vias verticais de alimentação.

2.1 Circuito monolítico 3D básico

A principal ideia por trás do circuito monolítico é a criação de camadas de componentes empilhadas uma sobre a outra em um processo de fabricação sequencial (BATUDE et al., 2009a). Os circuitos monolíticos 3D podem ser fabricados de formas diferentes. Porém, todos mantêm o conceito central de deposição de camadas de elementos. A Figura 2.1 apresenta um exemplo de circuito monolítico 3D, com o transistor NMOS na camada superior e o PMOS na camada inferior. Os contatos locais também são apresentados, bem como as vias de interligação entre as camadas inferior e superior (MIV) e o dielétrico que separa ambas camadas (ILD).



Fonte: O Autor

Existem diferentes métodos de fabricação de circuitos monolíticos 3D com diferentes características (WONG et al., 2007; TAN; GUTMANN; REIF, 2008; BATUDE et al., 2009a; YU et al., 2016; SACHID et al., 2017; JIANG et al., 2019). Na maior parte dos circuitos, estes são fabricados em duas camadas e com vias de interligação entre estas.

Segundo (BATUDE et al., 2015), no processo de fabricação CoolCube™ pode-se utilizar qualquer tipo de transistor na construção da camada inferior (FinFET, FDSOI ou *bulk*), mas a camada superior necessariamente deve ser FDSOI, já que o ILD, além de isolar as camadas, funciona como a parte isolante do *Silicon On Insulator*. A ideia central de criação de transistores em duas ou mais camadas é mantida por todos trabalhos.

2.2 Vias de interligação entre camadas

As vias monolíticas entre camadas (do inglês: *Monolithic Inter-tier Vias* - MIVs) conectam efetivamente elementos do circuito monolítico 3D de diferentes níveis. MIVs podem ser aproximadas como um conjunto de vias de um processo de fabricação empilhadas uma sob a outra. Segundo PANTH (2015), MIVs têm altura aproximada de seis vias empilhadas.

É importante ressaltar que a ligação entre camadas realizada por MIVs é feita pelo metal mais ao topo da camada inferior com o metal mais abaixo da camada superior. Portanto, deve-se adicionar contatos, vias e níveis de metais na camada inferior para interligação com a camada superior. Shi et al. (SHI et al., 2016) apresentam um estudo que aponta que para nodos tecnológicos menores, como $14nm$ FinFET, MIVs tem um limite físico em sua largura que deve ser respeitado. Caso as dimensões das MIVs sejam incrementadas acima de um limite, a área do circuito pode aumentar a ponto de ultrapassar a de um circuito 2D. Para os $14nm$, o limite é de $50nm$.

2.3 Dielétrico entre camadas

O dielétrico entre camadas (do inglês: *Inter-Layer Dielectric* - ILD) serve como uma camada de isolamento entre os níveis do circuito e como base do circuito da camada superior. A forma de construção do ILD implica em diferentes densidades de MIVs para o circuito e no tamanho dos mesmos, já que a espessura do dielétrico varia de acordo com o processo de fabricação (SOUSA, 2017). Normalmente, circuitos monolíticos 3D têm sua camada superior construída de forma similar a FDSOI (LEE; LIMBRICK; LIM, 2013). Assim, o ILD funciona como isolante da camada superior.

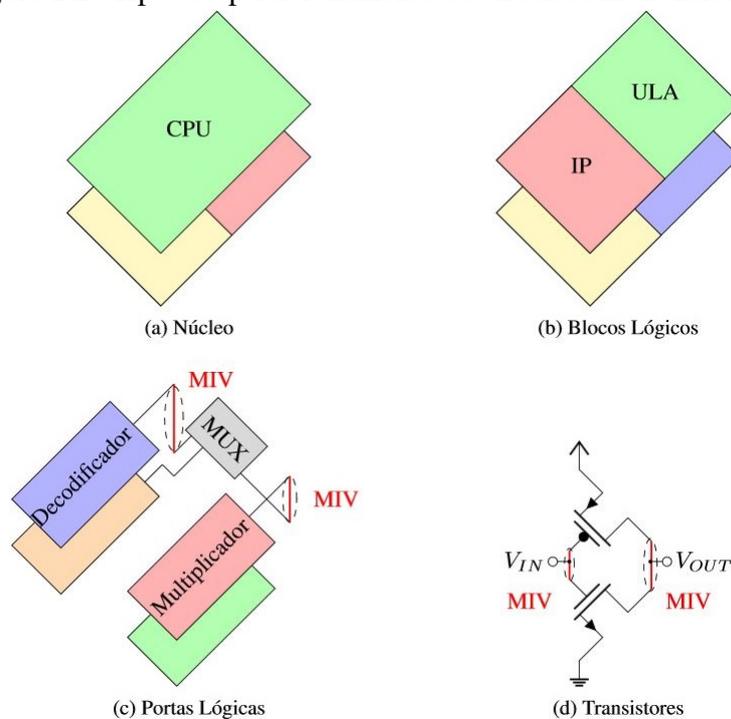
Dependendo da temperatura do processo, a espessura do ILD varia. Garidis et al. (GARIDIS et al., 2015) obteve dielétricos de até $10nm$ de espessura. Embora seja

vantajoso do ponto de vista da altura das MIVs, uma grande redução na espessura do dielétrico pode afetar a qualidade dos dispositivos fabricados. A redução nas dimensões do dielétrico afeta a dissipação de calor do circuito monolítico 3D e a performance dos dispositivos devido a efeitos de acoplamento elétrico (CHANG et al., 2017).

2.4 Particionamento

O projeto de uma biblioteca de células para um circuito monolítico 3D deve levar em conta como o circuito será particionado. Existem quatro métodos de particionamento. Os três principais métodos de particionamento são a divisão do circuito em blocos lógicos (Figura 2.2b), grupos de portas lógicas (Figura 2.2c) e em nível de transistores (Figura 2.2d) (SOUSA, 2017). O método de partição a nível de núcleos, apresentado na Figura 2.2a, não é comum nas referências, já que não há uma grande quantidade de vias verticais. Este método de particionamento não aproveita a redução no tamanho das interconexões dos circuitos monolíticos 3D de forma eficiente. A Figura 2.2 apresenta um exemplo visual de cada um dos quatro tipos de particionamento citados.

Figura 2.2: Tipos de particionamento de circuitos monolíticos 3D



Fonte: O Autor

A decisão de qual tipo de particionamento utilizar impacta diretamente na granularidade das vias verticais no circuito 3D como um todo, implicando no posicionamento

das células e transistores e no congestionamento do circuito (SOUSA, 2017).

Os métodos de partição a nível de núcleo e blocos lógicos apresentam a vantagem do uso de blocos de propriedade intelectual (IPs) já criados, posicionando-os em diferentes níveis e interligando-os por MIVs. Embora reaproveite blocos criados anteriormente, este método não utiliza totalmente as vias verticais dos circuitos monolíticos 3D, tendo uma granularidade de MIVs muito baixa. Assim, nem sempre é possível a otimização das interconexões do circuito.

Os circuitos particionados a nível de portas lógicas podem reutilizar células 2D sem modificações, e apenas posicioná-las e as rotear verticalmente conforme necessário. Posicionando células críticas próximas, pode-se reduzir o caminho crítico do circuito consideravelmente, já que a interligação por MIVs reduz o comprimento das interconexões. Este tipo de particionamento não permite a customização de parâmetros das células separadamente. Há problemas relacionados a temperatura na fabricação que podem se apresentar como obstáculo para este particionamento. Estes problemas são apresentados no item 2.5.

Circuitos monolíticos particionados a nível de transistor dividem os transistores NMOS e PMOS em diferentes camadas do circuito, sendo possível apenas um tipo de transistor por camada. Este método possibilita a otimização de transistores separadamente, i.e., dimensionamento, já que os mesmos estão separados em diferentes níveis. Ainda, o processo de fabricação permite uma melhor aproximação de performance para ambos os tipos de transistores. Também, este método apresenta a maior quantidade de MIVs no circuito. A grande desvantagem é a impossibilidade do reuso de células 2D previamente projetadas e um provável maior congestionamento no circuito devido a MIVs.

Para decidir qual tipo de particionamento utilizar, deve-se analisar a necessidade de projeto. Caso seja necessário o uso de IPs, é necessário o uso da divisão a nível de blocos lógicos. A grande vantagem do particionamento a nível de transistores é a flexibilidade de modificar as características dos transistores PMOS e NMOS separadamente.

2.5 Metal de nível intermediário

A escolha do metal condutor utilizado nos níveis de metal entre as camadas do circuito monolítico 3D afeta diretamente a temperatura de aquecimento em uma das etapas do processo de fabricação do circuito (PANTH et al., 2017). Utilizando cobre, os transistores da camada superior não podem ter uma alta temperatura para evitar que hajam danos

físicos ao cobre, podendo acarretar em defeitos no circuito final. Já utilizando tungstênio, os transistores podem ser aquecidos até uma temperatura maior. Porém, o tungstênio possui uma resistividade aproximadamente três vezes maior que o cobre. A Tabela 2.1 apresenta as características dos dois metais.

Tabela 2.1: Características de cobre e tungstênio

Material	Ponto de Fusão ($^{\circ}C$)	Resistividade $20^{\circ}C$ ($\Omega\mu m$)
Cobre	1085	$1.68E - 02$
Tungstênio	3422	$5.68E - 02$

Dentro do processo de fabricação há a necessidade de aquecer o *wafer* de silício em diversas etapas do processo de fabricação. Por exemplo, no processo de implantação de dopantes no silício, o *wafer* se aproxima dos $1000^{\circ}C$. Dessa maneira, há possibilidade de danificar o metal entre camadas, ocorrendo a perda do circuito.

Deve-se levar em consideração que temperaturas muito elevadas podem degradar, além dos metais entre camadas, os transistores da camada inferior (PANTH, 2015). Considerando transistores PMOS na camada inferior, a degradação destes devido ao processo reduzirá a performance geral do circuito. Ainda, como transistores PMOS são relativamente mais lentos que os NMOS, geralmente, os transistores PMOS são fabricados na camada inferior, possibilitando que os transistores NMOS da camada superior sejam mais lentos.

2.6 Vias verticais de alimentação

Para alimentação do circuito 3D, são necessárias vias que atravessam todo o circuito. Wahby, Dembla e Bakir (WAHBY; DEMBLA; BAKIR, 2013) estudam a criação de tais vias e as chamam de *Inter-Layer Vias* (ILVs). O trabalho afirma que, quanto menores essas vias, maior a performance do circuito, já que a capacitância da ILV reduz quanto menor a espessura do dielétrico.

Wahby, Dembla e Bakir (WAHBY; DEMBLA; BAKIR, 2013) propõe que as ILVs tenham diâmetro entre 100 e $500nm$ e de altura variável para atender a necessidade de alimentação de todo circuito. A quantidade e tamanho das ILVs afeta o congestionamento do circuito, já que as vias de alimentação devem ser conectadas em todas camadas do circuito monolítico 3D.

Samal et al. (SAMAL et al., 2014b) apresenta um estudo sobre as vias de alimentação de um circuito monolítico 3D, fazendo uso de MIVs para roteamento do circuito

da alimentação. Como MIVs são de pequena espessura, o trabalho propõe o uso de uma malha de MIVs para a alimentação. Este fator aumenta o problema de congestionamento do circuito, podendo afetar a quantidade disponível de espaço para MIVs no circuito.

3 BIBLIOTECA MONO3D

A utilização desta biblioteca ocorre pela facilidade de uso da mesma. Apresentam-se as características da biblioteca de células Mono3D, como tensão de alimentação e modelos dos transistores utilizados nas simulações. O apêndice A apresenta a instalação da biblioteca Mono3D no Cadence[®] Virtuoso[®].

3.1 Propriedades da biblioteca

A biblioteca de células Mono3D foi criada no laboratório NanoCAS da *Stony Brook New York University*. A biblioteca suporta desenvolvimento de leiaute customizado e, também, o uso das próprias células para realização de circuitos maiores (YAN et al., 2017). A Mono3D foi desenvolvida utilizando o PDK (*Process Development Kit*) acadêmico de $45nm$, *bulk CMOS FreePDK45* da NCSU (*North Carolina State University*) (NCSU, 2018), onde modelos dos transistores base do PDK foram utilizados e outros arquivos foram modificados para se adaptar as regras de projeto específicas da nova biblioteca. Como este PDK é acadêmico, as células não foram fabricadas. A escolha da biblioteca Mono3D ocorreu devido a mesma ser de código aberto e ser implementada em um PDK também de fácil acesso.

Os modelos de simulação de transistores utilizados na Mono3D são os mesmos disponíveis no PDK. O modelo utilizado em todas células é o modelo VTL (*low threshold*). O valor de $1.1V$ foi atribuído como valor nominal de tensão de alimentação nas simulações das células, com tensão de limiar dos transistores $0.322V$ e $0.3021V$ para NMOS e PMOS respectivamente, e temperatura de $27^{\circ}C$. Ainda, os MIVs possuem como principal característica um diâmetro de $100nm$ e altura de $270nm$ (YAN et al., 2017).

A biblioteca Mono3D utiliza particionamento a nível de transistores. A convenção adotada é a construção de transistores PMOS na camada inferior e transistores NMOS na camada superior. Entre as duas camadas de transistores, há cinco níveis de metal intermediário. No nível superior, são considerados dez níveis de metal, totalizando quinze camadas de metal para roteamento. As camadas de transistores são separadas por um dielétrico entre-camadas de espessura $100nm$. Por fim, a interligação das camadas é realizada pelos MIVs (YAN et al., 2017). A biblioteca é constituída por dezesseis células, apresentadas na Tabela 3.1.

A biblioteca Mono3D modifica arquivos de leiaute e de DRC, LVS e extração de

parasitas. Devido a estas mudanças realizadas pelos autores nos arquivos de configuração do FreePDK45 e do Mentor Calibre, faz-se necessária a reconfiguração do PDK no ambiente de trabalho do Virtuoso[®]. Caso tais configurações não sejam realizadas pelo usuário da biblioteca Mono3D, a mesma não pode ser utilizada levando a não visualização correta das camadas no ambiente de leiaute e erros de simulação pós-leiaute.

Tabela 3.1: Células base da biblioteca Mono3D

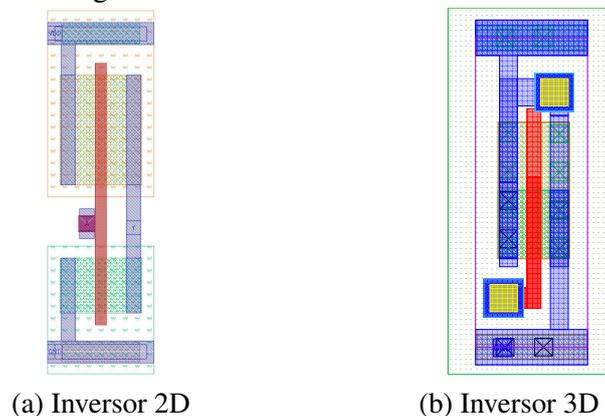
Células Mono3D	
AND2X1	MUX2X1
AOI2X1	NAND2X1
BUFX2	NOR2X1
CLKBUF1	OAI21X1
DFFPSX1	OR2X1
INVX1	XNOR2X1
INVX2	XOR2X1
INVX4	FILL

Fonte: (YAN et al., 2017)

A biblioteca de células Mono3D não tem suporte para vias verticais de alimentação. Cada célula possui uma trilha de metal referente a alimentação. Não há vias verticais destinadas a alimentação na biblioteca Mono3D, sendo este tema não tratado pelos autores da mesma.

O desenvolvimento da biblioteca de células monolítica 3D aberta Mono3D auxilia na simulação de circuitos 3D monolíticos particionados a nível de transistor. A Figura 3.1 apresenta um comparativo de leiaute entre um inversor feito na tecnologia FreePDK45 original e um inversor 3D da biblioteca Mono3D.

Figura 3.1: Inversor 2D e Inversor 3D



Fonte: (YAN et al., 2017)

As cores azul representam os níveis de *metal1* do circuito. Vermelho refere-se ao polisilício. Os polígonos amarelos são as MIVs que interligam as camadas do inversor. O circuito ainda possui contatos das cores verde e branco, para contatos das camadas superior e inferior respectivamente. As áreas ativas dos transistores são das cores laranja e verde, bem como os poços tipo N e tipo P que cobrem toda a área da célula inversora. Todas camadas de desenho que fazem referência a camada inferior foram criadas nos arquivos de configuração da Mono3D pelos autores da própria biblioteca.

A altura da célula do inversor 2D vale $1.453\mu m$ e do 3D $1.135\mu m$. Ambos possuem a mesma largura de $0.41\mu m$.

4 ESTADO DA ARTE DOS CIRCUITOS MONOLÍTICOS 3D

Este capítulo apresenta um resumo do estado da arte dos circuitos monolíticos 3D. O capítulo apresenta resultados de autores que fabricaram circuitos monolíticos 3D com diferentes tipos de materiais e diferentes circuitos, incluindo elementos lógicos, memórias e circuitos para IoT. Apresenta-se elementos relacionados a síntese física de circuitos e os desafios que os circuitos monolíticos 3D oferecem a área de EDA, bem como as soluções adotadas pelos autores.

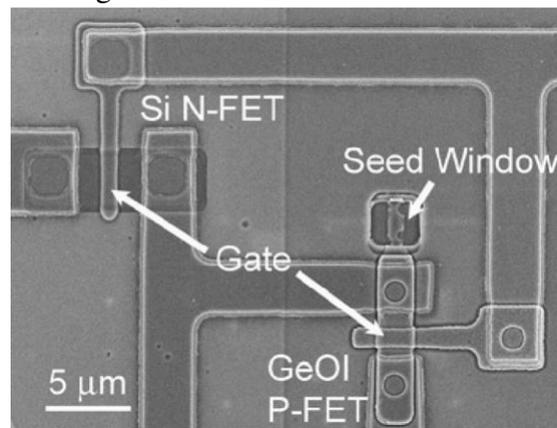
4.1 Circuitos fabricados

A fabricação de circuitos integrados monolíticos 3D ainda não é um processo completamente maduro e apresenta diversos desafios. Batude et al. (BATUDE et al., 2012) exhibe problemas relacionados a temperatura. Tanto os transistores da camada superior quanto os da inferior são afetados pela temperatura do processo, devido ao problema relacionado ao metal intermediário apresentado no item 2.5. Problemas relacionados aos níveis de metal entre camadas fazem com que haja incerteza do tipo de material a ser utilizado nesta região do circuito. Nos próximos parágrafos, alguns métodos de fabricação são apresentados em conjunto com suas características e circuitos testados.

Um dos primeiros processos monolíticos 3D apresentados é o de Wong et al. (WONG et al., 2007), o qual exhibe um processo monolítico 3D que interliga duas camadas de dispositivos por um aperfeiçoamento da técnica *seed hole*. Os autores integram silício na camada inferior e germânio na superior, para formar um inversor 3D e uma célula de memória SRAM, apresentando uma maior densidade de dispositivos e menor dissipação de potência para FPGAs.

O germânio, neste processo, é derretido e posteriormente recristalizado para formar a via vertical que integra as camadas. Este processo é dedicado a FPGAs e memórias SRAM devido a características destes circuitos, que possuem leiautes regulares, facilitando a implementação em um circuito monolítico 3D. A Figura 4.1 apresenta como os transistores de silício e germânio são interligadas pela via vertical criada pelo processo de *seed window*.

Yu et al. (YU et al., 2016) apresenta transistores construídos com *InGaAs* em uma camada e germânio na outra, interligando-as por vias verticais. Os autores analisam uma porta inversora com os dois tipos de transistores construídos em camadas diferentes.

Figura 4.1: Processo *seed window*

Fonte: (WONG et al., 2007)

Primeiro, o PMOS de *Ge* é construído na camada inferior e o NMOS de *InGaAs* na superior. Depois, invertem-se os transistores das camadas. Os autores comparam estes circuitos com transistores de silício em ambas camadas. Em ambos casos, obtiveram uma melhor performance e menor corrente de fuga nos transistores de *Ge* e *InGaAs* comparados aos de silício. Nas simulações, foram observados os mesmos resultados de ganho em performance em simulações para uma porta NAND2. Os autores afirmam que houve ganho na velocidade de leitura de uma célula de memória SRAM 6T.

Panth et al. (PANTH et al., 2017) apresenta um estudo em potência e performance em circuitos monolíticos 3D particionados em blocos. Os autores estudam como a degradação de um nível do circuito afeta estes dados e quais maneiras de contornar este problema para os nodos tecnológicos de 45, 22 e 10nm. Através do desenvolvimento de um fluxo de síntese física e modelagem da degradação dos transistores e interconexões para o nodo de 45nm utilizando uma biblioteca de células 2D da Nangate. Depois, escalam estes modelos para nodos mais baixos. Dependendo do nodo e do material do metal intermediário, transistores mesmo degradados, possuem maior performance do que circuitos 2D.

O processo CoolCube™ apresenta uma alternativa para fabricação de circuitos monolíticos 3D. O mesmo é desenvolvido continuamente e já apresentou resultados que chamaram a atenção da indústria de semicondutores (CHANG et al., 2017). O processo começou em 2009, com Batude et al. (BATUDE et al., 2009b) apresentando a construção de um circuito com transistores NMOS com diferentes materiais na camada inferior e transistores PMOS de *Ge* sobre isolante na superior, com um ILD de 100nm. Os autores utilizaram um PDK de 45nm com transistores CMOS levando em conta os fatores de fabricação, como tamanho dos contatos e restrições da etapa de alinhamento, criando

células e as simulando.

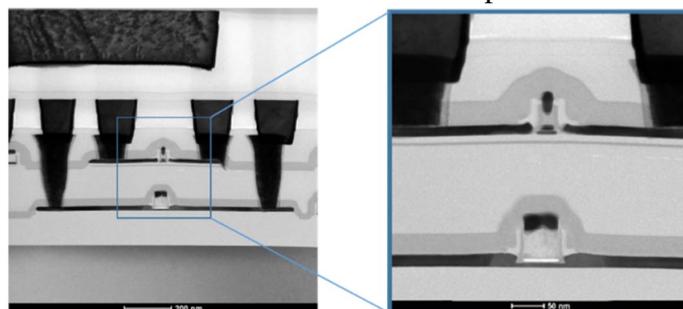
O processo de 2009 continuou a ser desenvolvido, e Batude et al. (BATUDE et al., 2012) apresentou um estudo onde indicou que pode-se obter ILDs de espessura até $10nm$. Porém, deve-se levar em conta que Chang et al. (CHANG et al., 2017) uma redução muito agressiva na espessura do dielétrico pode resultar em uma menor dissipação de calor no circuito monolítico 3D, bem como em acoplamento elétrico entre as camadas de dispositivos, afetando a performance destes. Uma redução muito intensa na espessura do ILD afeta a tensão de limiar dos transistores de ambas camadas devido ao efeito de acoplamento elétrico, podendo chegar até $51mV$ para um ILD de $23nm$ em uma tecnologia de $32nm$ PDSOI (*Partially Depleted Silicon On Insulator*).

Shi et al. (SHI et al., 2016) apresenta problemas relacionados aos MIVs para células de tecnologia $14nm$ FinFET. Os autores utilizam particionamento a nível de transistor e apontam que a largura dos MIVs possui um limite físico de $50nm$ que impacta na área utilizada na célula quando comparada ao 2D, onde MIVs com maior dimensão que a citada podem aumentar a área utilizada e ultrapassar a do 2D.

Já em 2015, Batude et al. (BATUDE et al., 2015) exibiu mais detalhes sobre o processo CoolCube™. O processo apresentou uma solução para fabricação de circuitos 3D utilizando o acoplamento de dois circuitos por *wafer bonding*. Pode-se utilizar qualquer tipo de transistor na camada inferior (FinFET, FDSOI ou *bulk*). Depois, acoplam-se os circuitos e fabrica-se sequencialmente os transistores da camada superior, sendo estes geralmente FDSOI.

Em 2016, Brunet et al. (BRUNET et al., 2016) mostrou pela primeira vez como o CoolCube™ se aplica para uma célula inversora. Os autores utilizam *wafers* SOI de $30cm$, com NMOS sobre PMOS ou vice-versa. Os autores utilizam tungstênio como metal condutor para a camada inferior. A Figura 4.2 apresenta o alinhamento e os transistores em diferentes camadas utilizando este processo.

Figura 4.2: Alinhamento e transistores no processo CoolCube™



Fonte: (BRUNET et al., 2016)

Uma das características do processo de integração sequencial por *wafer bonding* é um melhor processo de alinhamento dos circuitos quando comparados a circuitos empilhados, onde o alinhamento dependia dos TSVs. No processo monolítico, o alinhamento depende apenas das características do *stepper*, já que a camada superior é depositada sequencialmente após esta etapa.

Existem abordagens diferentes que utilizam tipos de materiais menos convencionais, como o grafeno, e soluções que apresentam uma abordagem totalmente nova para o problema. Já em 2017, apresentavam-se circuitos para IoT utilizando integração 3D com intuito de reduzir o consumo de energia total do circuito.

Sachid et al. (SACHID et al., 2017) apresenta uma solução de integração onde não há *wafer bonding* e nem vias verticais de interconexões. Os autores utilizam metais de transição com diferentes tipos de materiais para construção de um circuito de um inversor de alto ganho com transistores NMOS na camada inferior e PMOS na superior, dividindo o contato de porta. Ainda que diferente de outros processos, este processo é monolítico, onde cada camada é depositada sequencialmente.

Materiais como o grafeno podem ser uma solução para a criação de dielétricos entre camadas de espessura mínima. Jiang et al. (JIANG et al., 2019) apresenta um estudo de como materiais 2D podem impactar na construção de circuitos monolíticos 3D. Os autores afirmam que quanto menor as espessuras do ILD e das camadas, melhor é o desempenho e a dissipação de calor do circuito. Utilizando grafeno, pode-se obter interconexões de menores alturas e uma melhor dissipação térmica quando comparado a circuitos monolíticos que não utilizam estes tipos de materiais.

Finalmente, Hsueh et al. (HSUEH et al., 2017) apresentam o primeiro circuito com computação na memória fabricado de forma monolítica. Os autores exibem um circuito com diversas camadas, separando memória, controle e sensores/absorvedores de energia. A memória 9T dos autores apresenta a capacidade de realizar as operações lógicas NAND, OR, XOR e XNOR. O consumo de energia dos transistores é aproximadamente $300\mu A/\mu m$ para uma alimentação de $1V$ e tecnologia de $30nm$.

4.2 Ferramentas de EDA

Os circuitos monolíticos 3D apresentam desafios, também, ao desenvolvimento de ferramentas de EDA, particularmente para circuitos lógicos. As ferramentas de EDA estão num estágio inicial de desenvolvimento para este tipo de circuito. Assim, a evolução

dos circuitos monolíticos 3D depende da qualidade das ferramentas de EDA. A maioria dessas ferramentas adapta o fluxo convencional 2D para o fluxo 3D sequencial. Soluções em síntese física precisam resolver problemas específicos relativos a estrutura 3D, como dissipação de potência e análise de tempos (FRANZON; MARINISSEN; BAKIR, 2019).

As ferramentas atuais de EDA focam em resolvedores de campos eletromagnéticos para análise de interconexões. Tal método tem boa precisão, mas baixa velocidade de execução. Este método depende da precisão dos modelos utilizados na simulação e nos parâmetros de processo da tecnologia, os quais não estão disponíveis para o público geral.

Um dos problemas iniciais relacionados aos circuitos monolíticos 3D é o método de particionamento dos transistores. Liu e Lim (LIU; LIM, 2012) afirmam que as principais vantagens do uso de particionamento a nível de transistor são a menor necessidade do uso de metal para roteamento para camadas específicas e o maior uso de MIVs e a utilização de ferramentas de EDA 2D já existentes para roteamento. Porém, uma desvantagem é a necessidade de projetar todas células de maneira 3D.

Já para o particionamento a nível de portas lógicas, Liu e Lim (LIU; LIM, 2012) mostram que o uso de metais para roteamento é muito mais intenso, utilizando MIVs apenas para interligar partes do circuito. A vantagem deste método é o uso de células 2D já existentes.

Existem problemas de variabilidade relacionados ao particionamento. Ayres et al. (AYRES et al., 2019) exibe um estudo onde um oscilador em anel e uma memória SRAM são particionados de formas diferentes nas camadas de um circuito monolítico 3D. O autor mantém diferentes proporções de elementos nas camadas do circuito e leva em conta variabilidades global e local em simulações SPICE. Quanto mais próxima a quantidade de dispositivos nas duas camadas analisadas, melhores os resultados das simulações. Tal situação contrasta com circuitos planares, onde estes estão sempre ligados as mesmas variações globais.

Para as memórias SRAM, Sousa et al. (SOUSA, 2017) afirma que as principais variações no processo são devidos as dimensões do transistor, deixando de lado as variações globais. O particionamento afeta as variações globais da mesma maneira que o oscilador em anel, mas com um efeito menor. Portanto, circuitos 3D monolíticos devem apresentar novos métodos de análise temporal (SINHA et al., 2016).

Alguns trabalhos apresentam soluções em EDA e otimização de projeto 3D. Mike-tic e Salman (MIKETIC; SALMAN, 2019) apresentam um circuito lógico de criptografia e analisa a distribuição de potência comparando circuitos 2D e 3D, particionado a nível

de transistor e 3D particionado a nível de portas lógicas. Os autores afirmam que, no caso do particionamento a nível de transistor, o roteamento para entrega de potência aos transistores PMOS é complexo, pois os mesmos se encontram na camada inferior do circuito onde poucos níveis de metal para roteamento estão disponíveis. Ambos resultados com circuitos 3D apresentaram melhoria em potência quando comparados ao 2D. O particionamento a nível de transistor teve uma área ocupada menor que o circuito particionado em blocos lógicos.

Lee, Limbrick e Lim (LEE; LIMBRICK; LIM, 2013) apresentam o projeto de uma biblioteca extraíndo os elementos parasitas das células e as simulando com diferentes valores de tempo para a árvore de relógio. Os autores criam células utilizando particionamento em nível de transistor, utilizando como base de comparação para os resultados uma biblioteca de células de $45nm$ 2D da Nangate. Os autores acreditam que, de acordo com seus resultados, espera-se um grande benefício utilizar particionamento a nível de transistor no futuro.

O desenvolvimento da síntese física para circuitos monolíticos 3D está em estágios iniciais. Vivet et al. (VIVET et al., 2018) mostra que as ferramentas não estão preparadas para lidar com circuitos particionados com duas ou mais camadas de área ativa, e portanto, não se pode realizar roteamento através de vias verticais utilizando alguma ferramenta. Além disso, a maior parte das ferramentas apenas adapta o fluxo 2D para o 3D.

Pentapati, Shim e Lim (PENTAPATI; SHIM; LIM, 2019) comparam três métodos para síntese física de circuitos monolíticos 3D e apresenta ideias de como deve ser o fluxo sequencial 3D ideal. O primeiro método reduz o tamanho das células 2D por um fator numérico e as posiciona e legaliza com ferramentas 2D. Cada camada é tratada como se fosse um circuito 2D e, posteriormente, interligam-se as camadas por MIVs.

O segundo método não reduz o tamanho das células, mas reduz a proporção dos parasitas do circuito RC 2D de acordo com um fator para aproximar do valor teórico 3D. Tal redução é feita adotando a premissa de que as células, sendo posicionadas em diferentes camadas, possuem menos elementos parasitas em suas interconexões que células 2D.

O terceiro método apresentado por Pentapati, Shim e Lim (PENTAPATI; SHIM; LIM, 2019) permite o posicionamento inicial das células pelo usuário. Depois, posicionam-se os MIVs e o algoritmo otimiza o posicionamento das células de acordo com um planejamento 2D.

Finalmente, os autores apresenta a ideia do que seria o fluxo de síntese física ideal

para um circuito monolítico 3D. O fluxo deve otimizar camadas e MIVs de acordo com análise de potência e tempos de atraso. O roteamento deve ser feito em ambas camadas ao mesmo tempo, levando em conta o eixo Z. O fluxo deve permitir a adição de *buffers* automaticamente e manualmente em ambas camadas (PENTAPATI; SHIM; LIM, 2019).

Outro problema apresentado por circuitos monolíticos 3D é a entrega dos circuitos de alimentação, principalmente para a camada inferior.

Samal et al. (SAMAL et al., 2014a) é um dos primeiros trabalhos a analisar o problema relativo ao roteamento da alimentação das diferentes camadas de um circuito monolítico 3D. Os autores utilizam os níveis de metal entre camadas para realizar o roteamento. Os autores utilizam grupos de MIVs para alimentação, devido à pequena espessura destas vias. O fato de o metal mais ao topo da camada inferior ser utilizado para interligar os níveis do circuito, aumenta o congestionamento no roteamento da alimentação desta camada.

Shi et al. (SHI et al., 2016) exhibe uma possível solução para roteamento da rede de alimentação no circuito. Utilizando transistores PMOS na camada inferior e NMOS na superior, apenas a tensão de alimentação vai até a camada inferior. O principal problema do projeto é o congestionamento do roteamento devido a redução no número de trilhas que percorrem a célula por causa de seu menor tamanho quando comparada a célula 2D.

Outros problemas também estão presentes nos circuitos monolíticos 3D. Um dos grandes desafios da integração sequencial é a dissipação de calor como, por exemplo, a camada inferior sofre mais com os problemas de calor devido a sua maior distância dos dissipadores externos. Circuitos de teste não são ainda abordados de forma extensa.

Samal et al. (SAMAL et al., 2014b) apresenta um comparativo de efeitos térmicos entre circuitos 3D monolíticos e empilhados (com TSV). Os autores modelam efeitos térmicos a partir de mapas térmicos de um mesmo circuito construído das duas formas. A distância da camada inferior do dissipador de calor e a presença do ILD, fazem com que este nível seja mais quente que o superior. Com estes dados, os autores implementam um algoritmo de *floorplanning* que leva em conta efeitos térmicos e a área do circuito, visando uma redução no comprimento dos fios e no custo de fabricação.

Konery, Kannan e Chakrabarty (KONERU; KANNAN; CHAKRABARTY, 2017) estudam defeitos em MIVs e circuitos DfT (*Design-for-Test*). Uma abordagem para DfT é utilizar um padrão de teste da IEEE utilizado nos circuitos 3D empilhados, onde um registrador controla e observa TSVs. Os autores criam uma nova abordagem de teste e, dependendo do circuito, este método pode ser até 40% mais barato que a abordagem ba-

seada no padrão para circuitos com TSV. É indicado também que as estruturas de teste podem, no futuro, ter sua própria camada dedicada, aproveitando-se da estrutura dos circuitos sequenciais.

Resumindo, alguns aspectos do projeto dos circuito monolíticos 3D precisam ser resolvidos. Além de problemas relacionados a tecnologia como problemas térmicos e de EDA, problemas como eletromigração (SAMAL et al., 2016a) e teste dos circuitos também necessitam de soluções.

5 CARACTERIZAÇÃO DO INVERSOR E DIMENSIONAMENTO DE TRANSISTORES

Este capítulo apresenta os elementos necessários para criar uma biblioteca de células 3D em outra tecnologia e as informações básicas para as simulações realizadas no trabalho. É realizada uma caracterização inicial da célula inversora da biblioteca Mono3D, alterando valores de carga, tensão de entrada e dimensões das MIVs. Apresenta-se o redimensionamento dos transistores da biblioteca Mono3D, criando-se uma nova biblioteca de células com otimização voltada ao produto atraso-potência. Exibe-se os resultados obtidos com as células otimizadas e comparam-se estes resultados aos nominais da biblioteca Mono3D. Finalmente, uma Tabela apresenta de forma resumida os resultados comparando a biblioteca Mono3D e a nova biblioteca de células criada.

5.1 Elementos necessários para criar uma biblioteca de células

Para uma biblioteca de células em outra tecnologia, é necessário o acréscimo de parâmetros nos arquivos de referência da biblioteca. Deve-se incrementar os arquivos de visualização, os de propriedades das camadas e os arquivos referentes a verificação e extração do leiaute com os parâmetros da biblioteca monolítica 3D.

Na adição de novas camadas de desenho, o tipo de particionamento do circuito deve ser levado em conta, já que diferentes tipos de circuitos monolíticos exigem diferentes propriedades para cada camada do circuito.

O arquivo de visualização de camadas (extensão *.drf*) apresenta as características visuais das camadas no ambiente de leiaute do Virtuoso®. São definidas propriedades como cores e formato do desenho das camadas a serem adicionadas ao ambiente de leiaute.

O arquivo de tecnologia (extensão *.tf*) do PDK apresenta as características das camadas de desenho de leiaute. Este arquivo define os fatores básicos para o leiaute como nome, função, regras e definições de medidas para cada camada de desenho e características de regras de leiaute a serem utilizadas como base para a criação de circuitos e para o verificador de regras de leiaute.

Os arquivos de verificação e extração utilizados pelo Mentor Calibre são compostos por três arquivos com regras relacionadas a verificação e extração (extensão *.rul*) e

um arquivo utilizado no LVS (extensão *.inc*) que faz referência ao código numérico das camadas de desenho, o qual é implementado no arquivo de tecnologia do PDK.

Em todos os arquivos citados, deve-se acrescentar dados referentes a novas camadas de desenho que fazem referência ao circuito monolítico 3D necessárias para o projeto de um circuito sequencial 3D na respectiva tecnologia. No caso da biblioteca Mono3D, os autores acrescentaram uma nova camada (*bottom*), utilizando os mesmos valores de referência do FreePDK45, apenas acrescentando os novos elementos do circuito da camada inferior.

Os únicos elementos que não possuem uma referência para ser comparada nos arquivos são os MIVs, onde deve ser adicionada uma camada de desenho completamente nova. Para os MIVs, os autores da biblioteca Mono3D utilizaram características semelhantes a uma pilha de vias do FreePDK45.

A criação de uma biblioteca de células utilizando tal técnica deve levar em conta os elementos parasitas das novas camadas criadas, informação disponível apenas por fabricantes e não disponíveis ao público geral.

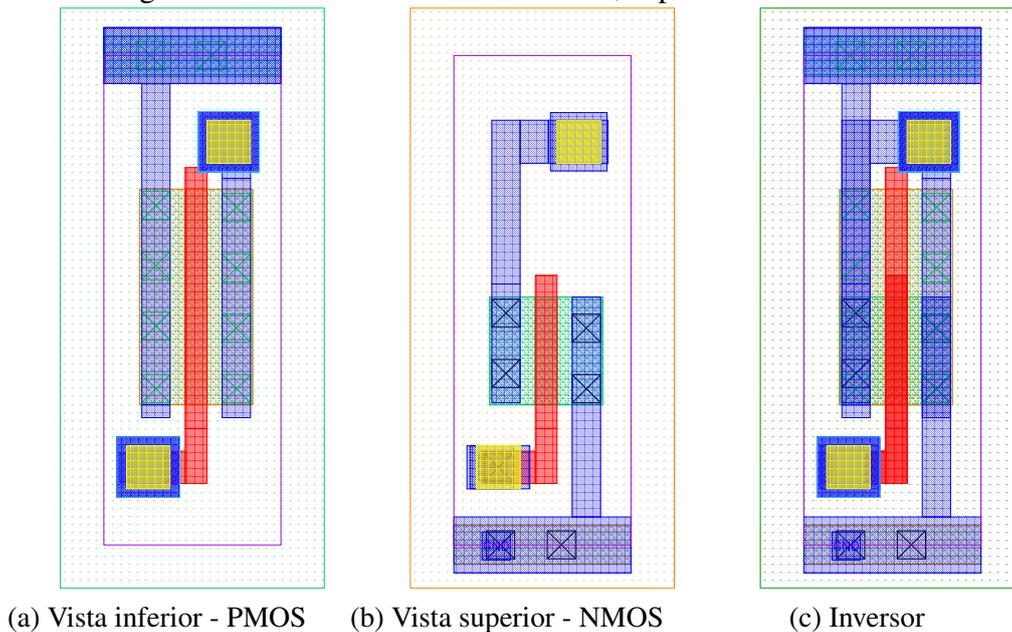
5.2 Informações básicas para as simulações

Inicialmente, analisou-se a porta inversora da biblioteca de células Mono3D. A Figura 5.1 apresenta as vistas separadas referentes ao inversor. A camada inferior da porta lógica, onde estão localizados os transistores PMOS, é apresentada na Figura 5.1a. A camada superior aloja os transistores NMOS e está representada na Figura 5.1b. Finalmente, apresenta-se a vista da porta inversora com as camadas sobrepostas em 5.1c.

Pode-se observar nas Figuras 5.1a e 5.1b as características do circuito monolítico 3D separado em nível de transistores. Ambas camadas possuem áreas ativas dedicadas a seus transistores, bem como polisilício separado. Também, nota-se a separação em diferentes níveis da alimentação e do terra.

Realizaram-se testes iniciais com a porta lógica inversora como forma de verificar o comportamento da célula 3D. Circuitos básicos utilizados em simulações DC e com onda quadrada para análise funcional do inversor apresentaram o comportamento básico esperado do mesmo, sendo uma curva de transferência DC com forma próxima a de um inversor 2D e o inversor corretamente invertendo os sinais de entrada de uma onda quadrada. A Tabela 5.1 apresenta o conjunto básico de dados utilizados nas simulações funcionais e em todas simulações futuras, exceto quando indicado.

Figura 5.1: Vistas das camadas inferior, superior e do inversor



Fonte: (YAN et al., 2017)

Os modelos de transistores utilizados nas simulações são os de alta performance e baixa tensão de limiar do FreePDK45. Estes são os modelos utilizados pelos autores da biblioteca para construir a biblioteca de células e foi adotado também nas simulações SPICE.

Tabela 5.1: Dados básicos utilizados nas simulações

Dado	Valor ou referência
Tensão de Alimentação	1, 1V
Tempo de Subida/Descida	50ps
Período da Onda de Excitação	10ns
Temperatura	27°C
Carga	20fF
Modelo dos Transistores	NMOS_VTL; PMOS_VTL
Esquemático/Leiaute	Cadence® Virtuoso®
DRC, LVS, PEX	Mentor® Calibre
Simulações	Synopsys® HSPICE®

Fonte: O Autor

Foram utilizadas tensão de alimentação de 1, 1V e temperatura de 27°C, sendo a tensão de alimentação do FreePDK45 1, 2V e temperatura de 25°C. Os valores utilizados nas simulações basearam-se na tensão e temperatura nominais utilizadas pelos autores da biblioteca Mono3D. Já os tempos e a carga foram definidos pelo autor. As medições dos tempos de propagação, potência e produto atraso-potência foram realizadas utilizando

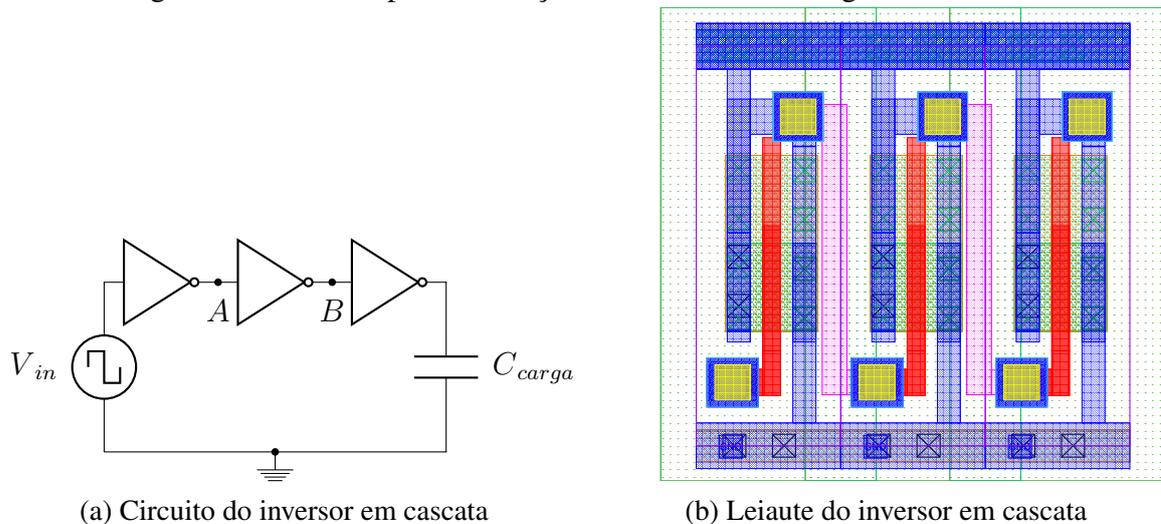
comandos base do SPICE.

O atraso apresentado em todas as simulações é referente à média aritmética entre os atrasos de subida e descida dos circuitos simulados, ou seja, o atraso é dado pela divisão por dois da soma dos atrasos de subida e descida do circuito em análise.

5.3 Atraso do inversor com carga variável

Caracterizou-se a porta inversora da biblioteca Mono3D com variações na carga de saída da mesma. Tal simulação foi realizada utilizando o HSPICE[®] da Synopsys[®], com modelos dos transistores de alta performance e baixa tensão de limiar e com os elementos parasitas do circuito 3D da porta lógica inversora, os quais foram definidos nos arquivos de configuração de extração de parasitas pelos autores da biblioteca Mono3D. A Figura 5.2a apresenta o circuito utilizado na simulação com carga variável.

Figura 5.2: Circuito para simulação do inversor com carga variável



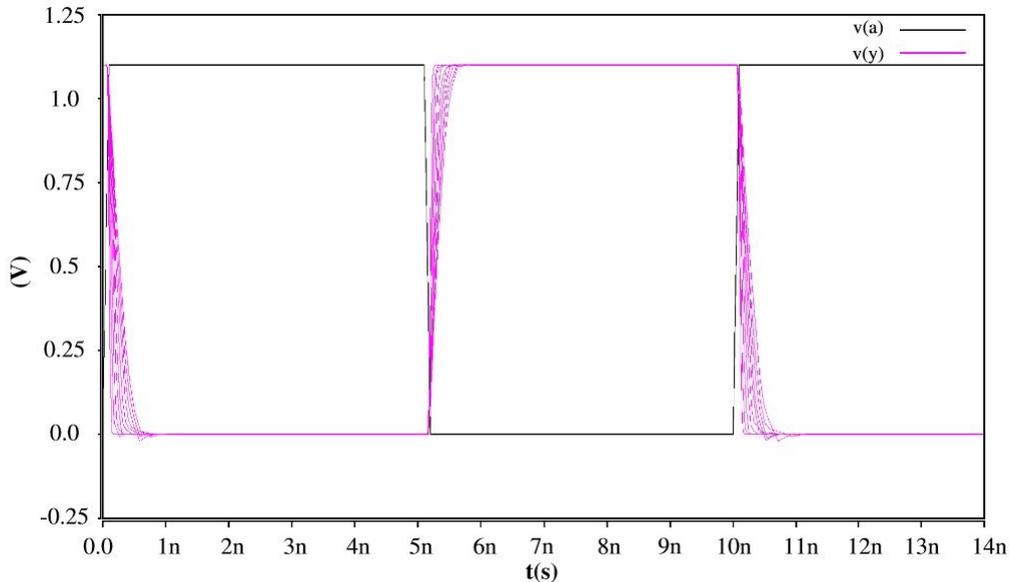
Fonte: O Autor

Os dados obtidos foram coletados utilizando os pontos *A* e *B* da Figura 5.2a como referência. Cada inversor tem sua própria fonte de alimentação, sendo a energia consumida pelo inversor entre os pontos *A* e *B* medida pela sua própria fonte. Este circuito teve seu leiaute realizado colocando três inversores lado a lado e roteando-os de acordo com o esquemático e pode ser visto na Figura 5.2b.

Os dois pontos *A* e *B* foram acrescentados como referência para exibir onde foram realizadas as medições. O uso de três inversores em cascata foi realizado para que as simulações ficassem mais próximas a realidade, para que o sinal de entrada do inversor

entre os pontos A e B não seja uma fonte quadrada ideal. A Figura 5.3 apresenta a simulação que demonstra o comportamento do inversor com valores de carga incrementais.

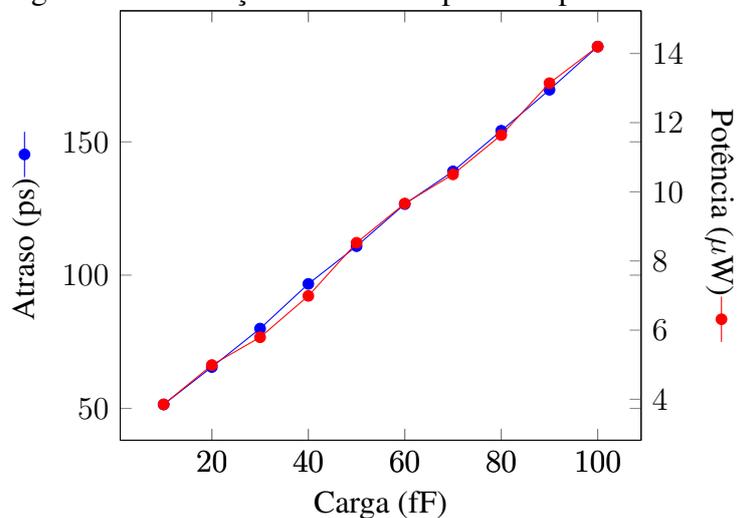
Figura 5.3: Resposta do inversor da Mono3D com carga variável



Fonte: O Autor

Os valores de carga iniciam em $10fF$ e terminam em $100fF$, com incrementos de $10fF$ por etapa de simulação. Não há alteração no funcionamento do inversor e na forma de onda da saída para os valores de carga utilizados na simulação. Também, é possível notar o incremento do atraso em relação a entrada conforme o valor da carga aumenta. Em relação a potência consumida pelo circuito, a Figura 5.4 mostra como atraso e potência crescem de acordo com o valor da carga.

Figura 5.4: Alteração em atraso e potência para o inversor



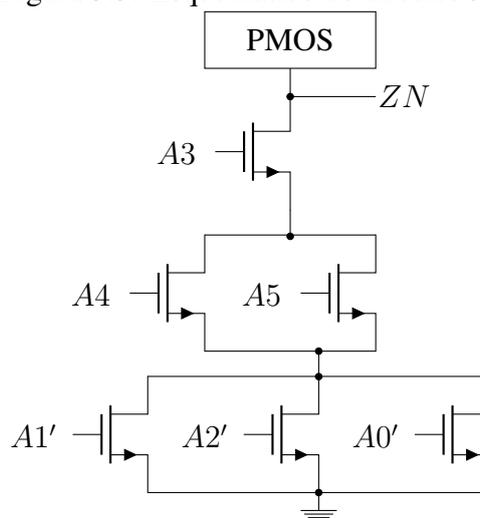
Fonte: O Autor

Percebe-se um incremento tanto em atraso quanto em consumo de energia média de acordo com maiores valores de carga na saída. A carga aumentou dez vezes entre valores inicial e final, sendo que potência e atraso aumentaram em uma proporção aproximada de quatro vezes cada.

5.4 Resposta do inversor com incremento nas dimensões dos MIVs

Nesta simulação, alterou-se as dimensões laterais dos MIVs, mantendo sua altura fixa. Na célula do inversor, foi aumentada a largura dos MIVs de $100nm$ para $140nm$ e o comprimento de um dos MIVs de $100nm$ para $140nm$. A Tabela 5.2 apresenta os resultados simulados para um inversor e o circuito J1, com seu esquemático a nível de transistores apresentado na Figura 5.5.

Figura 5.5: Esquemático do circuito J1



Fonte: O Autor

A escolha dos valores de $100nm$ até $140nm$ ocorreu devido às restrições impostas pelo leiaute das células analisadas. Este foi o limite de aumento das dimensões das MIVs, já que é necessário incrementar as camadas de *metal1* superior e *metal5* inferior para que as regras de desenho estejam de acordo. A área das células permanece a mesma em ambas as simulações, sendo apenas as dimensões das MIVs e dos metais, quando necessário, alteradas.

Alterando os valores de largura e comprimento do MIV para a célula do inversor, obtém-se uma melhora em performance e potência do circuito. Há uma redução de 12.3% no atraso do inversor e 20% na potência dissipada. Já para o circuito J1, composto por três portas OR2 e duas portas AND2, totalizando vinte e três MIVs, não houve mudança

significativa nos valores de atraso e potência.

Tabela 5.2: Comparativo entre células originais e com MIVs alterados

Célula	Tipo de célula	Atraso (ps)	Potência (μW)
INVX1	Original	65, 53	4, 99
	MIV alterado	58, 35	4, 2
J1 (Menor Atraso)	Original	48, 9928	4, 571
	MIV alterado	48, 9982	4, 720
J1 (Menor Potência)	Original	48, 9929	4, 572
	MIV alterado	48, 9981	4, 580

Fonte: O Autor

Foram escolhidos dois casos para o circuito J1, onde escolheram-se os menores valores de atraso entre todas as simulações e os menores valores de potência.

O circuito J1 ocupa uma área aproximadamente dezoito vezes maior quando comparado a apenas uma célula como o inversor e, portanto, a alteração nos valores dos MIVs não impactou os resultados da mesma forma. Ainda, deve-se considerar que, caso necessário, pode-se variar o tamanho de MIVs específicos dentro de um circuito, alterando as características de capacitância e resistência locais do MIV.

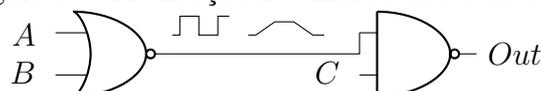
É importante ressaltar que a variação das dimensões dos MIVs realizada foi feita apenas a nível de leiaute, alterando as capacitâncias e resistência dos MIVs no processo de extração de parasitas. Fatores mecânicos e térmicos não foram levados em consideração nesta simulação.

Nem sempre é possível incrementar o tamanho dos MIVs devido a obstáculos nas proximidades. Já a redução do tamanho dos MIVs só pode ser realizada caso as regras de projeto e verificação do PDK sejam alteradas.

5.5 Análise de tempo com perturbações no sinal de entrada

Perturbações no sinal de entrada de uma porta lógica podem ocorrer devido a elementos anteriores a esta presentes no circuito como, por exemplo, outros elementos lógicos e interconexões. A Figura 5.6 apresenta um exemplo de duas portas lógicas separadas por uma interconexão entre ambas que apresenta tamanho considerável.

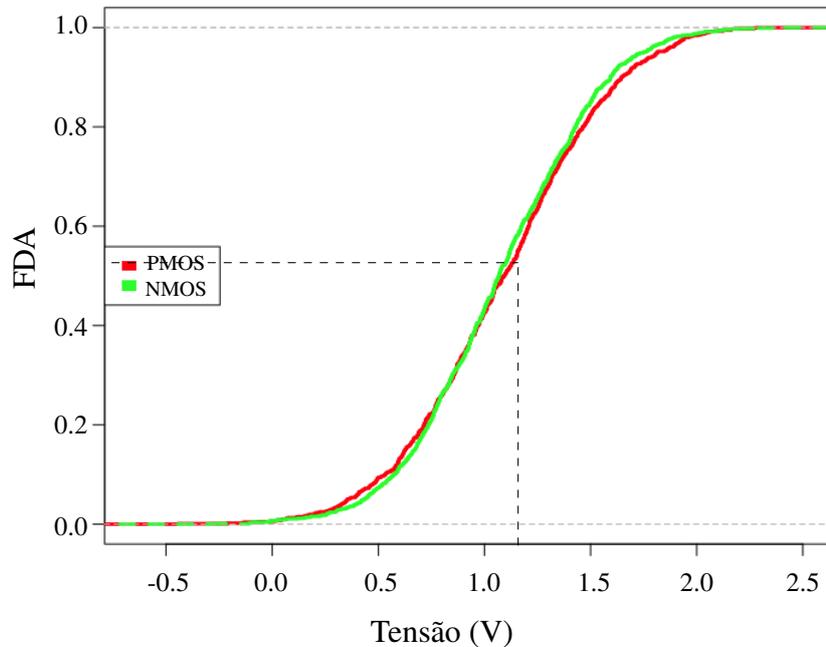
Figura 5.6: Atenuação no sinal devido a distância



Fonte: O Autor

Assim, considerando perturbações de até 20% no valor da tensão de alimentação da porta lógica inversora, obteve-se o comportamento dos transistores do circuito. A Figura 5.7 exibe a curva da função distribuição acumulada (FDA) no eixo vertical e a tensão de alimentação no eixo horizontal para ambos transistores.

Figura 5.7: Função de distribuição cumulativa para os transistores do inversor



Fonte: O Autor

O gráfico representa a probabilidade da tensão nominal dos transistores estarem dentro das faixas de valores da tensão de alimentação com variação de até 20%. As linhas tracejadas vertical e horizontal apresentam o comportamento dos transistores da porta inversora.

Este experimento demonstra como o atraso de propagação do transistor PMOS é mais sensível a variações do sinal de tensão de entrada em relação ao NMOS, principalmente quando a tensão aumenta em relação a alimentação original de 1,1V.

5.6 Dimensionamento dos transistores por SPICE

Como forma de otimização do atraso dos transistores, a porta inversora foi redimensionada. Tomando como base os valores das regras de desenho de leiaute (NCSU, 2018) e as características das células da Mono3D, para se ter no mínimo dois contatos na região ativa do transistor NMOS o menor valor da área ativa dos transistores deve ser $220nm$. Para manter as dimensões da célula inversora fixa e apenas alterar a dimensão

das áreas ativas dos transistores, a máxima altura da região ativa é $790nm$.

Assim, foram variados valores entre 220 e $790nm$ para encontrar valores otimizados para o tempo de atraso, potência e o produto atraso-potência, com carga de $20fF$, levando em conta a proporção Wp/Wn .

Nesta simulação exaustiva, foi fixado o valor da largura do transistor NMOS e variado o valor da largura do PMOS de 10 em $10nm$, abrangendo os valores de $220nm$ até $790nm$. Quando o valor do PMOS atinge o valor máximo de $790nm$, incrementa-se o valor do NMOS em $10nm$ e volta-se o valor do PMOS para o valor inicial de $220nm$. Para cada valor fixo de transistor, são realizadas cinquenta e sete iterações por etapa. Após o incremento em $10nm$ do NMOS e reinício do PMOS para $220nm$, são realizadas novamente cinquenta e sete iterações. Este padrão se repete até que ambos transistores tenham valor máximo.

Como exemplo, quando o transistor NMOS está fixado em $220nm$ e o PMOS atinge o valor máximo estipulado de $790nm$, o valor no NMOS é incrementado para $10nm$ e o PMOS é reiniciado para $220nm$, realizando novamente todas iterações nesta nova etapa.

A simulação se repete até que o NMOS atinja o valor máximo. A Tabela 5.3 exhibe os valores dos resultados das simulações para os valores nominal e otimizados para cada caso, com os menores valores de cada coluna em negrito. O valor nominal adotado na Tabela corresponde ao valor da simulação com os dados da própria biblioteca Mono3D, $250nm$ para NMOS e $500nm$ para PMOS.

Tabela 5.3: Valores otimizados por simulação exaustiva

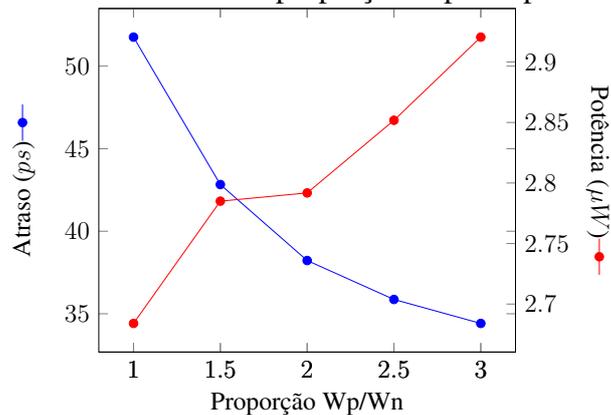
Proporção (Wp/Wn)	Atraso (ps)	Potência (μW)	Produto (fJ)
$2(Nominal)$	38, 2255	2, 7918	0, 1067
0, 987	22,4155	3, 3832	0, 0758
1, 182	53, 2798	2,6055	0, 1388
1, 04	22, 7181	3, 2752	0,0744

Fonte: O Autor

Conforme o valor dos transistores se aproximam de $790nm$, mais rápidos estes são e maior o seu consumo de energia, tendo um ganho de 9% em atraso e um aumento de 5% no consumo quando comparados a proporção Wp/Wn $1,04$ utilizada. Na simulação com menor atraso, os valores das áreas ativas dos transistores NMOS valem $760nm$ e do PMOS $750nm$, ficando próximos ao valor do limite superior da simulação, $790nm$. Da mesma maneira, o valor dos transistores otimizados para consumo de energia são aqueles

com dimensões próximas a $220nm$, apresentando uma redução de 27% no consumo de energia, mas com mais que o dobro do atraso em relação a proporção W_p/W_n escolhida. A Figura 5.8 apresenta o comportamento da célula inversora de maneira geral, para atraso e potência em relação a proporção W_p/W_n .

Figura 5.8: Potência e atraso X proporção W_p/W_n para caso exemplo



Fonte: O Autor

A otimização para o produto atraso-potência foi realizada sem levar em conta a atribuição de um peso para potência ou atraso separadamente. Isto implica em uma otimização não direcionada para maior performance do circuito ou para um menor consumo de energia.

O circuito com maior performance é também o com maior consumo de energia. O circuito com menor consumo é mais lento que os demais. Já o circuito com menor produto atraso-potência apresenta uma performance 1.3% menor que o de melhor performance, consumindo 3.2% a menos de potência que o de melhor performance. Sendo a biblioteca a ser criada otimizada para produto atraso-potência, utilizou-se a relação W_p/W_n de 1,04. Caso deseje-se criar uma biblioteca com menores valores de atraso ou potência, pode-se utilizar as relações W_p/W_n de 0,987 ou 1,182, respectivamente.

5.7 Características da biblioteca otimizada pelo produto atraso-potência

Após a definição da relação W_p/W_n a ser utilizada, conforme a Seção 5.6, uma biblioteca com quinze células otimizada a partir do produto atraso-potência foi criada. As informações sobre treze das quinze células alteradas para construção de outros circuitos com seus respectivos novos tamanhos de transistores NMOS e PMOS podem ser vistos na Tabela 5.4, em conjunto com as informações das células da biblioteca original.

Tabela 5.4: Largura dos transistores NMOS e PMOS das bibliotecas Mono3D e otimizada

Célula	Mono3D		Nova Biblioteca	
	W NMOS (μm)	W PMOS (μm)	W NMOS (μm)	W PMOS (μm)
AND2	0,5	0,5	0,52	0,54
AOI21X1	0,5	0,5	0,48	0,5
BUFX2	0,5	0,5	0,5	0,52
CLKBUF1	0,5	0,5	0,66	0,69
DFD	0,25	0,5	0,58	0,605
INVX1	0,25	0,5	0,66	0,6875
MUX2X1	0,5	0,5	0,59	0,62
NAND2	0,5	0,5	0,5425	0,565
NOR2	0,25	0,5	0,42	0,43
OAI21X1	0,5	0,5	0,54	0,5625
OR2	0,25	0,5	0,39	0,4075
XNOR2X1	0,5	0,5	0,57	0,59
XOR2X1	0,5	0,5	0,555	0,575

Fonte: O Autor

As células INVX2 e INVX4 foram omitidas já que não foram utilizadas em nenhum momento, sendo apenas a célula INVX1 utilizada. O nível de precisão de W_p e W_n apresentados podem ser obtidos através do FreePDK45, o qual permite o leiaute de transistores nos níveis de precisão apresentados.

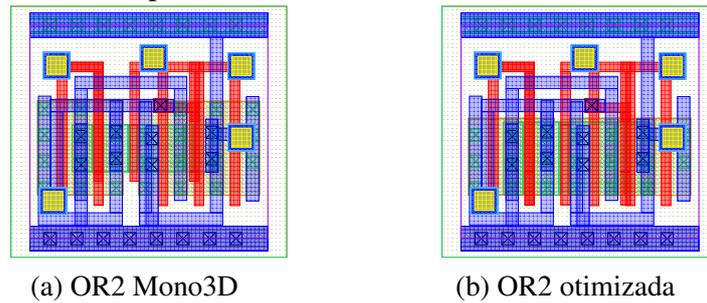
As células originais possuem transistores NMOS e PMOS com largura variável. Alguns transistores no leiaute são menores como, por exemplo, da Tabela 5.4, o transistor NMOS do inversor da saída da porta AND2 que possui $0,25\mu m$ de largura, diferindo dos demais. Como o objetivo da otimização do leiaute das células é apenas modificar a área ativa dos transistores NMOS e PMOS, cada célula deve ser analisada separadamente. Deve-se manter a área original da célula e fazer modificações apenas nas áreas ativas dos transistores. Para tanto, leva-se em consideração as regras de projeto.

Portanto, em casos como a porta lógica OR2, há um incremento no tamanho do transistor NMOS (de $0,25\mu m$ para $0,39\mu m$) e uma redução no tamanho do transistor PMOS (de $0,5\mu m$ para $0,4075\mu m$). Esta redução ocorre devido as restrições das regras de projeto e para que se mantenha a proporção W_p/W_n otimizada de 1,04 para os transistores. A Figura 5.9 apresenta um comparativo dos leiautes da porta OR2 de ambas bibliotecas.

As células mais complexas como, por exemplo, o flip-flop tipo D possuem suas áreas ativas separadas em conjuntos que foram otimizados separadamente resultando em um incremento nas áreas ativas dos transistores NMOS e PMOS.

A Tabela 5.5 apresenta um comparativo de performance e consumo entre as prin-

Figura 5.9: Comparativo entre a célula OR2 das duas bibliotecas



Fonte: O Autor

cipais células utilizadas nos circuitos de teste para as bibliotecas Mono3D e a otimizada, com os valores da nova biblioteca em destaque.

Tabela 5.5: Comparação entre as células da biblioteca Mono3D com a otimizada para produto atraso-potência

Circuito	Proporção (Wp/Wn)	Atraso (ps)	Potência (μW)	PAP (fJ)
INVX1	2	38, 2255	2, 7918	0, 1067
	1, 04	24,5896	3,2085	0,0789
NAND2	1	36, 1949	3, 1353	0, 1134
	1, 04	36,1952	3,1355	0,1135
NOR2	2	41, 0262	3, 2615	0, 1338
	1, 04	40,8758	3,2798	0,134
AND2	1	49, 9244	3, 8099	0, 1902
	1, 04	49,7066	3,7971	0,1887
OR2	2	49, 3309	3, 6387	0, 18
	1, 04	49,1229	3,6335	0,1785

Fonte: O Autor

É notável a diferença de valores para o inversor. Comparando-os com a Tabela 5.3, o mesmo possui diferentes resultados em todos elementos. Isto ocorre pois a simulação que apresenta os maiores valores de atraso, potência e produto atraso-potência foi realizada antes da otimização da célula, enquanto que as simulações com valores em negrito foram realizadas utilizando a proporção Wp/Wn ótima.

Foi realizado um comparativo entre as células da biblioteca Mono3D particionadas a nível de transistor e células 2D. Os autores obtiveram uma melhora de forma geral, quando comparadas todas as células, de 2,2% em atraso e um consumo de energia reduzido em 2,18% (YAN et al., 2017). Não foi possível realizar um comparativo com as células 2D neste trabalho devido ao fato de o FreePDK45 não estar devidamente instalado no ambiente de trabalho utilizado para simulações. Existem pacotes que fazem a conexão dos transistores do leiaute com o esquemático no FreePDK45 que não estavam instalados no servidor utilizado para simulações.

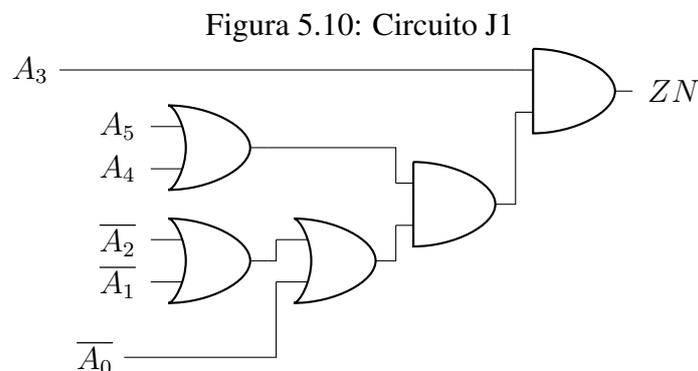
O inversor apresentou o maior aumento em performance, potência e produto atraso-potência quando comparado as outras células. Devido as características da célula do inversor, ela pode ser otimizada de forma mais livre que as outras células. As demais células possuem um leiaute mais complexo que a célula inversora, apresentando maiores obstáculos para que sejam realizadas as otimizações das áreas ativas dos transistores.

Já a célula da porta lógica NAND2 da nova biblioteca obteve resultados muito semelhantes a célula original. Esta célula tem seu leiaute extremamente compactado pelos autores da biblioteca Mono3D quando comparada a outras células. Ainda, seus transistores NMOS e PMOS, inicialmente, possuem tamanho de $500nm$, fazendo com que a célula tenha razão um de largura de transistores.

5.8 Comparativo entre a nova biblioteca e a Mono3D

Como circuitos teste para comparativo entre as biblioteca de células Mono3D e a nova biblioteca criada com foco em otimização do produto atraso-potência, foram utilizados um circuito combinacional nomeado de J1, o circuito combinacional c17 do ISCAS' 85 e o circuito sequencial s27 do ISCAS' 89. Estes circuitos foram escolhidos pois o Fre-ePDK45 não possui ferramenta de posicionamento e roteamento automática configurada no servidor, dificultando a execução do leiaute de circuitos de grande porte.

O circuito J1 representa a equação lógica $(A_3.(A_5 + A_4).(A_1' + A_2' + A_0'))'$. A Figura 5.10 apresenta o circuito lógico J1 utilizado para o primeiro teste comparativo entre as duas bibliotecas de células 3D.

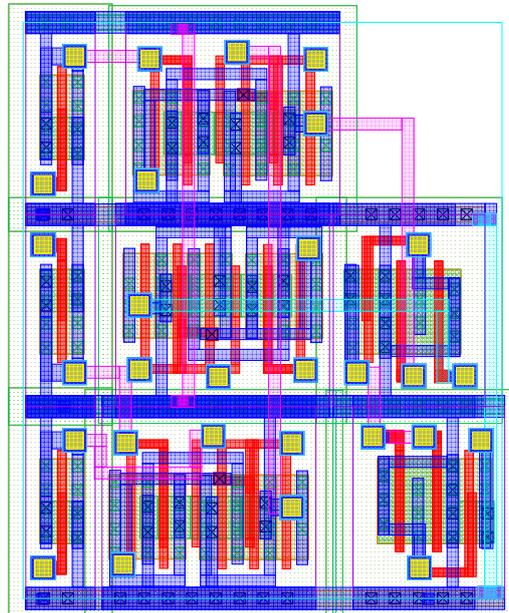


Fonte: O Autor

O leiaute do circuito J1 foi realizado posicionando as células lado a lado e empilhadas, compartilhando as trilhas de alimentação e terra. Este leiaute possui uma área de aproximadamente $8,5\mu m^2$ para ambas as bibliotecas. O roteamento entre as células foi

feito de forma manual utilizando apenas trilhas de metal da camada superior do circuito monolítico 3D. O leiaute do circuito J1 pode ser visto na Figura 5.11.

Figura 5.11: Leiaute do circuito J1



Fonte: O Autor

Após a checagem do leiaute e extração dos elementos parasitas, o circuito foi simulado no SPICE. As simulações levam em conta cada ramo do esquemático do circuito, fazendo iterações percorrendo todos os caminhos possíveis definidos pelos transistores na simulação do circuito.

Nas simulações são analisados os sinais em cada ramo do circuito J1 a nível de transistores da Figura 5.5. Como exemplo, analisou-se inicialmente o ramo composto pelos transistores A3, A4 e A1. Depois, analisou-se o ramo A3, A4 e A2 e assim por diante, até que todos ramos do circuito fossem analisados.

Foram comparadas três situações para cada biblioteca, onde cada uma apresenta os menores valores de atraso, consumo e produto atraso-potência nos ramos do circuito. A Tabela 5.6 mostra comparações das simulações entre a biblioteca Mono3D e a biblioteca otimizada para produto atraso-potência, levando em conta todos caminhos do circuito. Os valores apresentados em negrito para a proporção W_p/W_n de 1,04 na Tabela correspondem aos valores da biblioteca otimizada.

Nos três casos comparados, houve um aumento de performance de aproximadamente 11% e incremento no consumo de energia de 4% para as células da biblioteca otimizada para produto atraso-potência. Ainda, houve uma redução de 7% no produto atraso-potência para a biblioteca otimizada. Todos os casos apresentados para o circuito

J1 fazem parte do caminho crítico do circuito, passando pela entrada A2.

Tabela 5.6: Comparação entre bibliotecas de células 3D para o circuito J1

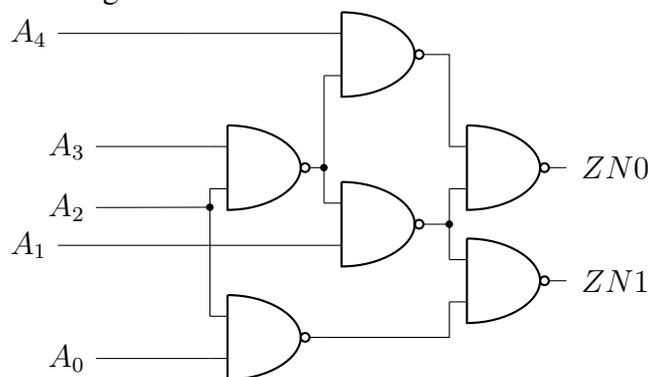
J1	Proporção (W_p/W_n)	Atraso (ps)	Potência (μW)	PAP (fJ)
Atraso	2	129,77	9,84	1,28
	1,04	115,58	10,25	1,19
Potência	2	129,77	9,84	1,28
	1,04	115,58	10,25	1,19
PAP	2	129,77	9,84	1,28
	1,04	115,58	10,25	1,19

Fonte: O Autor

As portas lógicas tiveram uma leve melhora em potência na biblioteca otimizada quando comparadas com a biblioteca Mono3D, de acordo com a Tabela 5.5. Já para o circuito J1, houve um aumento no consumo de potência para a biblioteca otimizada. Isto ocorre devido ao uso dos inversores no circuito J1, que tiveram um consumo de energia incrementado de 15% na biblioteca otimizada.

O circuito c17 pertence ao grupo de *benchmarks* do ISCAS' 85 e é constituído por seis portas lógicas NAND2. A Figura 5.12 apresenta a representação com portas lógicas do circuito c17. A descrição do circuito pode ser consultada em (ISCAS85, 2007).

Figura 5.12: Circuito c17 do ISCAS' 85



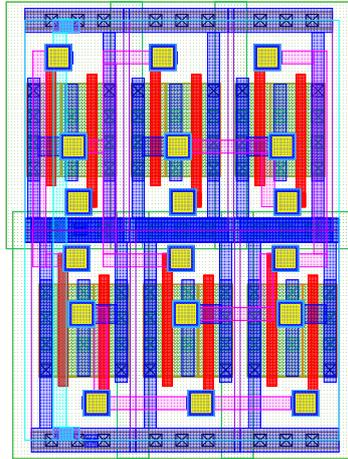
Fonte: O Autor

O esquemático do circuito c17 implementado no Virtuoso[®] utilizando as células das bibliotecas Mono3D e da biblioteca otimizada para produto atraso-potência. O leiaute foi realizado colocando as células NAND2 lado a lado e empilhando-as, compartilhando a trilha de alimentação. Ambos leiautes foram posicionados e roteados manualmente, de maneira que ficassem semelhantes em ambas as bibliotecas. A Figura 5.13 apresenta o leiaute do circuito c17. O leiaute do c17 possui área de $3.8\mu m^2$, tanto para a biblioteca Mono3D quanto para a otimizada.

O circuito s27 faz parte dos *benchmarks* do ISCAS' 89 e é um circuito sequencial

com dez portas lógicas, três flip-flops tipo D, quatro entradas e uma saída. A descrição do circuito s27 a partir da qual o mesmo foi montado, pode ser consultada em (ISCAS89, 2007).

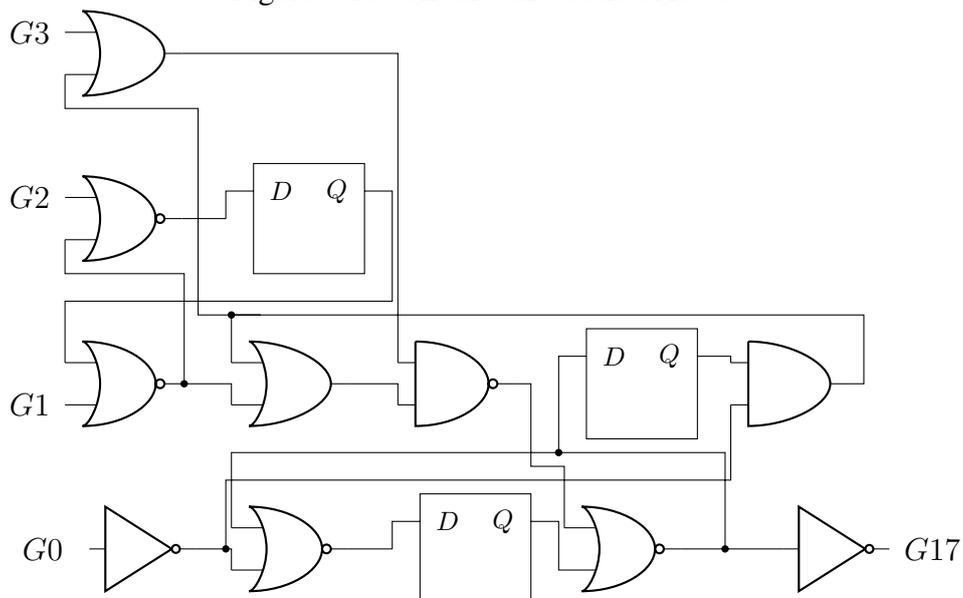
Figura 5.13: Leiaute do circuito c17



Fonte: O Autor

A partir da descrição do circuito s27, o mesmo foi montado manualmente com portas lógicas e o resultado pode ser visto na Figura 5.14. O esquemático do circuito foi montado utilizando as portas lógicas no Virtuoso[®], não sendo realizado a nível de transistor.

Figura 5.14: Circuito s27 do ISCAS' 89

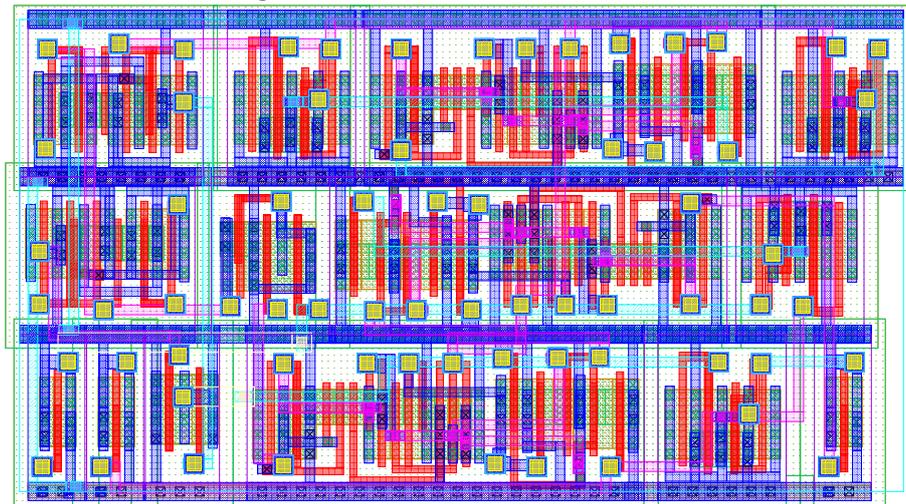


Fonte: O Autor

O leiaute do circuito s27 segue a mesma ideia básica do c17 ou seja, na realização do leiaute, tanto para a biblioteca Mono3D quanto para a otimizada em produto

atraso-potência, posicionaram-se e rotearam-se as células de maneira que ambos leiautes ficassem semelhantes. Também, as trilhas de alimentação foram compartilhadas e as células posicionadas lado a lado. A área total do leiaute do circuito s27 é de $21,4\mu\text{m}^2$, sendo os flip-flops tipo D a maior contribuição para o valor da área. A Figura 5.15 exhibe o leiaute do s27.

Figura 5.15: Leiaute do circuito s27



Fonte: O Autor

Após a checagem do leiaute e extração de parasitas, os circuitos c17 e s27 foram simulados em SPICE. A Tabela 5.7 apresenta um comparativo entre os resultados para ambas as bibliotecas em três casos, com o menor atraso, menor potência e menor produto atraso-potência. Os valores em negritos apresentam os resultados da biblioteca otimizada.

Tabela 5.7: Comparação entre valores nominais e otimizados para os circuitos c17 e s27

Circuito	Proporção (W_p/W_n)	Atraso (ps)	Potência (μW)	PAP (fJ)
c17	2	68,79	6,42	0,442
	1,04	66,69	6,77	0,452
s27	2	78,95	22,65	1,788
	1,04	60,97	24,62	1,502

Fonte: O Autor

Como pode ser visto na Tabela 5.7, o atraso diminuiu e a potência aumentou em ambos os circuitos. Para o circuito c17, o atraso reduziu em aproximadamente 3% e a potência aumentou 5,2%. Embora as simulações tenham sido ajustadas para otimizar o produto atraso-potência, o mesmo teve uma pequena variação para cima para este circuito.

Já no circuito s27, o atraso reduziu em 23% com um aumento de 8% na potência. O produto atraso-potência reduziu 16%. Comparando o circuito s27 com o c17, o s27 possui o dobro dos componentes lógicos e uma área aproximadamente cinco vezes maior.

Tais diferenças podem explicar a melhora significativa do produto atraso-potência quando comparados ambos circuitos.

A Tabela 5.8 resume os resultados obtidos nos três circuitos, separando-os de acordo com a biblioteca, com os resultados da biblioteca otimizada para produto atraso-potência em negrito.

Tabela 5.8: Resumo dos resultados para os circuitos J1, c17 e s27

Circuito	Proporção (W_p/W_n)	Atraso (ps)	Potência (μW)	PAP (fJ)
J1	2	129,77	9,84	1,28
	1,04	115,58	10,25	1,19
c17	2	68,79	6,42	0,442
	1,04	66,69	6,77	0,452
s27	2	78,95	22,65	1,788
	1,04	60,97	24,62	1,502

Fonte: O Autor

Nos três circuitos apresentados na Tabela 5.8, há um aumento na performance e no consumo de energia para a nova biblioteca de células. A variação dos valores depende do tamanho e do tipo do circuito, sendo que o circuito sequencial s27 apresentou o maior ganho de performance e o maior incremento no consumo de energia entre os três circuitos utilizados nas simulações.

6 CONCLUSÕES

Neste trabalho foi realizado um estudo do estado da arte de circuitos monolíticos 3D. Levou-se em conta trabalhos que abordam diferentes métodos de fabricação e ferramentas de EDA. Apresentaram-se os desafios relacionados a fabricação e projeto de circuitos monolíticos 3D, bem como as soluções encontradas para contornar estes problemas.

Os principais desafios relacionados a fabricação são um processo ainda em desenvolvimento, com efeitos térmicos ainda não completamente modelados. *Design-for-Test* também é um desafio para a fabricação, já que não há metodologia definitiva para este tipo de projeto. Os principais desafios em EDA estão relacionados ao fato de que as ferramentas ainda não estão totalmente adaptadas para trabalhar com circuitos monolíticos 3D e suas vias verticais.

Também desenvolveu-se uma biblioteca de células para circuitos monolíticos 3D. Utilizou-se a biblioteca de células lógicas Mono3D da *North Carolina State University* como base para a criação de uma biblioteca de células, com otimização de transistores. Tal biblioteca utiliza o PDK acadêmico FreePDK45 de $45nm$ e seus modelos de transistores, e foi adotada devido a falta de ferramentas de EDA adaptadas aos circuitos monolíticos 3D e ao fato de a Mono3D ser de código aberto.

Inicialmente, instalou-se a biblioteca Mono3D no Cadence[®] Virtuoso[®]. Foram necessárias mudanças em caminhos de arquivos, integração entre arquivos de visualização de camadas para o leiaute e a configuração dos analisadores pós-leiaute. A instalação da biblioteca ocorre para adaptar o ambiente de EDA para a biblioteca de células Mono3D e porque, neste caso, não há suporte nativo do PDK para circuitos monolíticos 3D no ambiente de EDA.

As simulações iniciais realizadas utilizando Synopsys[®] HSPICE[®] apresentam o comportamento da porta inversora em relação as suas propriedades lógicas e características 3D após extração dos parasitas do leiaute da célula. As simulações onde a carga capacitiva da saída do circuito varia exibe como o inversor mantém sua função mesmo com valores de carga incrementais. As simulações com MIVs tendo suas dimensões alteradas para valores maiores mostram como estas vias influenciam circuitos de menor porte e não exibem diferenças visíveis para circuito maiores. Também, apresentou-se como o transistor PMOS é mais sensível a variações na tensão de entrada em relação ao NMOS.

A otimização no tamanho dos transistores ocorreu de acordo com o produto atraso-

potência de forma exaustiva para a porta lógica inversora no HSPICE[®]. A otimização leva em conta as regras básicas de projeto do PDK e mantém como restrição as dimensões da célula, não podendo estas serem alteradas. A otimização não leva em conta apenas atraso ou potência, pois tais células seriam as de maior e menor tamanho de transistores, respectivamente.

Após a obtenção da proporção W_p/W_n ótima para a porta inversora, criou-se uma nova biblioteca de células otimizada. As restrições de layout para a criação da biblioteca dependem de cada célula e das propriedades de layout. Assim, mantendo-se a proporção, os transistores de cada célula são otimizados separadamente. As portas lógicas que compõem a biblioteca de células otimizada são redimensionadas de forma manual, bem como a geração dos layouts para testes. Devido ao FreePDK45 ser um PDK acadêmico, este não possui as mesmas configurações das ferramentas dos PDKs da indústria.

Depois da criação da nova biblioteca de células, implementou-se um circuito lógico e os circuitos c17 e s27 do ISCAS'85 e ISCAS'89, respectivamente, com as portas lógicas da biblioteca Mono3D e com as células otimizadas. As simulações apresentaram uma melhora de âmbito geral em performance nas células otimizadas, com um relativo aumento no consumo de energia.

Comparando a biblioteca de células otimizada e a Mono3D para os circuitos lógicos, houve uma melhora de 11% e 3% na performance com um incremento de 4% e 5.2% no consumo de energia, respectivamente. Já para o circuito sequencial, houve um aumento de performance de 23% com um consumo de energia 8% maior. Já seu produto atraso-potência reduziu em 16%. A diferença nos tamanhos dos circuitos e sua quantidade de elementos implica nestes resultados, sendo que o maior circuito testado, o sequencial, obteve a melhor otimização em performance e produto atraso-potência.

Mesmo sendo produzida em um PDK acadêmico, a biblioteca de células Mono3D é uma solução para criação de células monolíticas 3D particionadas a nível de transistor no ambiente de EDA. Como a biblioteca Mono3D realiza a adaptação do PDK para criação manual de células monolíticas 3D, ela possibilita a futura criação de um fluxo de síntese física com geração de células automatizadas.

Dependendo da aplicação, pode-se escolher utilizar uma biblioteca de células voltada ao consumo de potência ou seja, a Mono3D, ou uma biblioteca com maior performance e melhor produto atraso-potência, sendo esta a biblioteca otimizada.

6.1 Trabalhos Futuros

Inicialmente, implementar uma biblioteca de células com particionamento a nível de transistores totalmente customizada em um PDK industrial como, por exemplo, o de $28nm$ FDSOI. Deve-se realizar a modificação de arquivos do PDK, permitindo a criação de novas camadas no Virtuoso[®] obedecendo as regras de projeto, a implementação dos valores parasitas das novas camadas e a adição das novas regras de projeto no programa de verificação e extração de leiaute. Depois, simular circuitos de teste e comparar os resultados obtidos em performance e potência com os da biblioteca Mono3D e com circuitos 2D criados no mesmo PDK de $28nm$ de forma customizada.

Pode-se apresentar, ainda dentro das células a serem realizadas no PDK de $28nm$, a realização de células 2D e dividi-las em camadas de circuitos monolíticos 3D, comparando a performance entre o particionamento a nível de transistor e de portas lógicas.

Finalmente, na área de EDA existem diversos desafios que podem ser abordados. Como grande parte das ferramentas são adaptadas das 2D e, geralmente, as células não são feitas de forma customizada, a geração automática de células monolíticas 3D utilizando o método de otimização presente no trabalho é uma possibilidade. Tal trabalho deve implementar o posicionamento de transistores em diferentes camadas e seu dimensionamento e o roteamento dos mesmos levando em conta as vias verticais. Também, pode-se analisar o roteamento de circuitos de alimentação das camadas do circuito monolítico 3D para uma biblioteca de células.

A geração de células complexas monolíticas 3D também é um tema interessante, pois pode ser comparada não só com células 2D, como também com células monolíticas 3D particionadas a nível de transistor ou de porta lógica.

O maior obstáculo dos problemas relacionados a EDA são a falta de dados abertos sobre características intrínsecas a fabricação dos circuitos monolíticos 3D. Assim, problemas como dissipação térmica, eletromigração, entre outros, só podem ser levados em conta por fabricantes e não são disponíveis para o público geral, dificultando a alteração de parâmetros dos transistores relativos a fabricação. Apesar destes desafios, pode-se analisar efeitos de variabilidade e radiação em circuitos monolíticos 3D, gerando a possibilidade de novos tipos de leiaute para mitigar estes efeitos.

REFERÊNCIAS

AYRES, A. et al. Variance analysis in 3-d integration: A statistically unified model with distance correlations. **IEEE Transactions on Electron Devices**, IEEE, v. 66, n. 1, p. 633–640, jan 2019. ISSN 1557-9646. DOI: 10.1109/TED.2018.2879680.

BATUDE, P. et al. 3-d sequential integration: A key enabling technology for heterogeneous co-integration of new function with cmos. **IEEE Journal on Emerging and Selected Topics in Circuits and Systems**, IEEE, v. 2, n. 4, p. 714–722, dec 2012. ISSN 2156-3365. DOI: 10.1109/JETCAS.2012.2223593.

BATUDE, P. et al. 3dvlsi with coolcube process: An alternative path to scaling. **2015 Symposium on VLSI Technology (VLSI Technology)**. Kyoto, Japan: IEEE, 2015. p. T48–T49. ISSN 2158-9682. DOI: 10.1109/VLSIT.2015.7223698.

BATUDE, P. et al. Advances in 3d cmos sequential integration. **2009 IEEE International Electron Devices Meeting (IEDM)**. Baltimore, USA: IEEE, 2009. p. 1–4. ISSN 0163-1918. DOI: 10.1109/IEDM.2009.5424352.

BATUDE, P. et al. Geoi and soi 3d monolithic cell integrations for high density applications. **2009 Symposium on VLSI Technology**. Honolulu, USA: IEEE, 2009. p. 166–167. ISSN 2158-9682.

BRUNET, L. et al. First demonstration of a cmos over cmos 3d vlsi coolcube™ integration on 300mm wafers. **2016 IEEE Symposium on VLSI Technology**. Honolulu, USA: IEEE, 2016. p. 1–2. ISSN 2158-9682. DOI: 10.1109/VLSIT.2016.7573428.

CHANG, K. et al. Design automation and testing of monolithic 3d ics: Opportunities, challenges, and solutions: (invited paper). **2017 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. Irvine, USA: IEEE, 2017. p. 805–810. ISSN 1558-2434. DOI: 10.1109/ICCAD.2017.8203860.

FRANZON, P. D.; MARINISSEN, E. J.; BAKIR, M. S. **Handbook of 3D Integration, Volume 4: Design, Test, and Thermal Management**. Germany: Wiley-VCH, 2019. ISBN 978-3-527-69706-9.

GARIDIS, K. et al. Characterization of bonding surface and electrical insulation properties of inter layer dielectrics for 3d monolithic integration. **EUROSOI-ULIS 2015: 2015 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon**. Bologna, Italy: IEEE, 2015. p. 165–168. DOI: 10.1109/ULIS.2015.7063799.

GARROU, P.; BOWER, C.; RAMM, P. **Handbook of 3D Integration: Technology and Applications of 3D Integrated Circuits**. Germany: Wiley-VCH Verlag GmbH and Co. KGaA, 2008. DOI: 10.1002/9783527623051. ISBN 9783527320349.

HSUEH, F. et al. Tsv-free finfet-based monolithic 3d+-ic with computing-in-memory sram cell for intelligent iot devices. **2017 IEEE International Electron Devices Meeting (IEDM)**. San Francisco, USA: IEEE, 2017. p. 12.6.1–12.6.4. ISSN 2156-017X. DOI: 10.1109/IEDM.2017.8268380.

IRDS-IEEE. **International Roadmap for Devices and Systems: More Moore**. 2018. <https://irds.ieee.org/images/files/pdf/2018/2018IRDS_MM.pdf>.

ISCAS85. **c17 Benchmark**. 2007. <<http://pld.ttu.ee/~maksim/benchmarks/iscas85/bench/c17.bench>>. Acesso em: jul 2019.

ISCAS89. **s27 Benchmark**. 2007. <<http://www.pld.ttu.ee/~maksim/benchmarks/iscas89/bench/s27.bench>>. Acesso em: jul 2019.

ITRS-IEEE. **International Technology Roadmap for Semiconductors: Interconnect**. 2001. <<https://www.semiconductors.org/wp-content/uploads/2018/08/2001Interconnect.pdf>>.

ITRS-IEEE. **International Technology Roadmap for Semiconductors: More-than-Moore**. 2009. <http://www.itrs2.net/uploads/4/9/7/7/49775221/irc-itrs-mtm-v2_3.pdf>.

JIANG, J. et al. Ultimate monolithic-3d integration with 2d materials: Rationale, prospects, and challenges. **IEEE Journal of the Electron Devices Society**, IEEE, v. 7, p. 878–887, jun 2019. ISSN 2168-6734. DOI: 10.1109/JEDS.2019.2925150.

KONERU, A.; KANNAN, S.; CHAKRABARTY, K. A design-for-test solution for monolithic 3d integrated circuits. **2017 IEEE International Conference on Computer Design (ICCD)**. Boston, USA: IEEE, 2017. p. 685–688. ISSN 1063-6404. DOI: 10.1109/ICCD.2017.119.

LEE, Y.; LIMBRICK, D.; LIM, S. K. Power benefit study for ultra-high density transistor-level monolithic 3d ics. **2013 50th ACM/EDAC/IEEE Design Automation Conference (DAC)**. Austin, USA: IEEE, 2013. p. 1–10. ISSN 0738-100X. E-ISBN: 978-1-4503-2071-9.

LIU, C.; LIM, S. K. A design tradeoff study with monolithic 3d integration. **13th International Symposium on Quality Electronic Design (ISQED)**. Santa Clara, USA: IEEE, 2012. p. 529–536. ISSN 1948-3295. DOI: 10.1109/ISQED.2012.6187545.

MIKETIC, I.; SALMAN, E. Power and data integrity in monolithic 3d integrated simon core. **2019 IEEE International Symposium on Circuits and Systems (ISCAS)**. Sapporo, Japan: IEEE, 2019. p. 1–5. ISSN 2158-1525. DOI: 10.1109/ISCAS.2019.8702438.

NANOCAS. **NanoCAS Lab at Stony Brook**. 2020. <<https://nanocas.ece.stonybrook.edu/mono3d/>>.

NCSU. **FreePDK45**. 2018. <<https://www.eda.ncsu.edu/wiki/FreePDK45:Contents>>. Acesso em: dez 2018.

PANTH, S. et al. Tier degradation of monolithic 3-d ics: A power performance study at different technology nodes. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, IEEE, v. 36, n. 8, p. 1265–1273, aug 2017. ISSN 0278-0070. DOI: 10.1109/TCAD.2017.2681064.

PANTH, S. A. **Physical Design Methodologies for Monolithic 3D ICS**. Thesis (PhD) — Georgia Institute of Technology, may 2015.

PENTAPATI, S.; SHIM, D. E.; LIM, S. K. Logic monolithic 3d ics: Ppa benefits and eda tools necessary **ACM Great Lakes Symposium on VLSI**. Tysons Corners, USA: [s.n.], 2019. DOI: 10.1145/2966986.2967043.

SACHID, A. et al. High-gain monolithic 3d cmos inverter using layered semiconductors. **Applied Physics Letters**, AIP Publishing, v. 111, p. 222101, 11 2017. DOI: 10.1063/1.5004669.

SAMAL, S. K. et al. Tier partitioning strategy to mitigate beol degradation and cost issues in monolithic 3d ics. **2016 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. Austin, USA: IEEE, 2016. p. 1–7. ISSN 1558-2434. DOI: 10.1145/2966986.2967080.

SAMAL, S. K. et al. Monolithic 3d ic vs. tsv-based 3d ic in 14nm finfet technology. **2016 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)**. Burlingame, USA: IEEE, 2016. p. 1–2. DOI: 10.1109/S3S.2016.7804405.

SAMAL, S. K. et al. Fast and accurate thermal modeling and optimization for monolithic 3d ics. **2014 51st ACM/EDAC/IEEE Design Automation Conference (DAC)**. San Francisco, USA: IEEE, 2014. p. 1–6. ISSN 0738-100X. DOI: 10.1145/2593069.2593140.

SAMAL, S. K. et al. Full chip impact study of power delivery network designs in monolithic 3d ics. **2014 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. San Jose, USA: IEEE, 2014. p. 565–572. ISSN 1558-2434. DOI: 10.1109/ICCAD.2014.7001406.

SHI, J. et al. On the design of ultra-high density 14nm finfet based transistor-level monolithic 3d ics. **2016 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)**. Pittsburgh, USA: IEEE, 2016. p. 449–454. ISSN 2159-3477. DOI: 10.1109/ISVLSI.2016.94.

SINHA, D. et al. Generation and use of statistical timing macro-models considering slew and load variability. **2016 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)**. Austin, USA: IEEE, 2016. p. 1–6. ISSN 1558-2434. DOI: 10.1145/2966986.2967043.

SOUSA, A. A. de. **3D Monolithic Integration: Performance, Power and Area Evaluation for 14nm and Beyond**. Thesis (PhD) — Université Grenoble Alpes, 2017.

TAN, C. S.; GUTMANN, R. J.; REIF, L. R. **Wafer Level 3-D ICs Process Technology**. USA: Springer, 2008.

VIVET, P. et al. Monolithic 3d: an alternative to advanced cmos scaling, technology perspectives and associated design methodology challenges. **2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS)**. Bordeaux, France: IEEE, 2018. p. 157–160. ISSN null. DOI: 10.1109/ICECS.2018.8617955.

WAHBY, W.; DEMBLA, A.; BAKIR, M. Evaluation of 3dics and fabrication of monolithic interlayer vias. **2013 IEEE International 3D Systems Integration Conference (3DIC)**. San Francisco, USA: IEEE, 2013. p. 1–6. DOI: 10.1109/3DIC.2013.6702378.

WONG, S. et al. Monolithic 3d integrated circuits **2007 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)**. Hsinchu, Taiwan: IEEE, 2007. p. 1–4. ISSN 1524-766X. DOI: 10.1109/VTSA.2007.378923.

YAN, C. et al. Open source cell library mono3d to develop large-scale monolithic 3d integrated circuits. **2017 IEEE International Symposium on Circuits and Systems (ISCAS)**. Baltimore, USA: IEEE, 2017. p. 1–4. ISSN 2379-447X. DOI: 10.1109/ISCAS.2017.8050945.

YEAP, G. Smart mobile socs driving the semiconductor industry: Technology trend, challenges and opportunities **2013 IEEE International Electron Devices Meeting**. [S.l.: s.n.], 2013. p. 1.3.1–1.3.8.

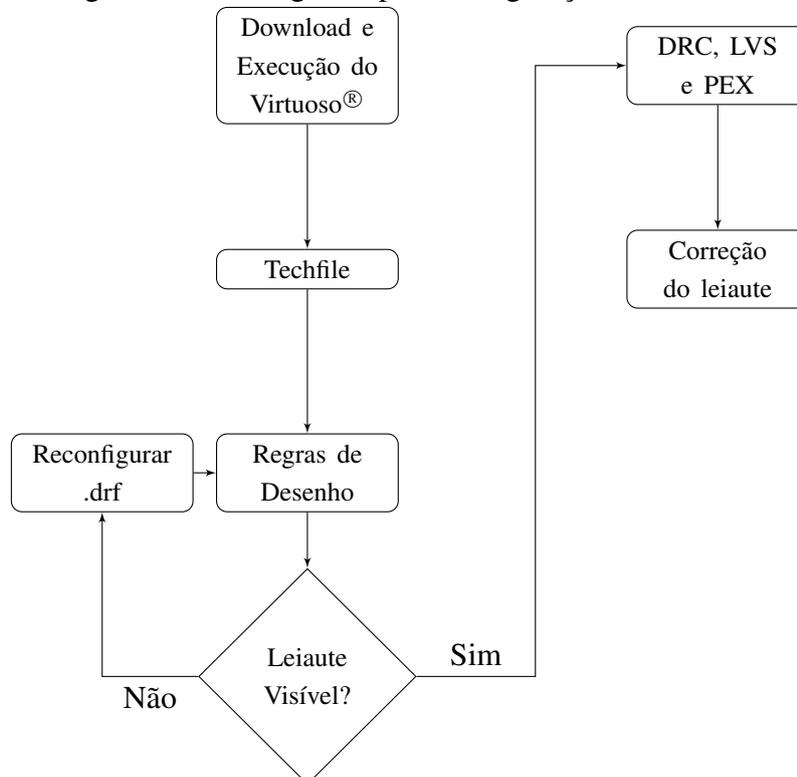
YU, K. et al. Evaluation of monolithic 3-d logic circuits and 6t srams with ingaas-n/ge-p ultra-thin-body mosfets. **IEEE Journal of the Electron Devices Society**, IEEE, v. 4, n. 2, p. 76–82, mar 2016. ISSN 2168-6734. DOI: 10.1109/JEDS.2016.2524567.

APÊNDICE A — INSTALAÇÃO DA BIBLIOTECA MONO3D

Este apêndice foi elaborado como um tutorial para instalação da biblioteca Mono3D no Virtuoso[®], já que não há suporte para circuitos monolíticos 3D nativo.

Após obter a biblioteca no site do laboratório NanoCAS (NANOCAS, 2020) e executar o Virtuoso[®], deve-se configurar os arquivos de tecnologia (.tf), de regras de camadas de desenho do leiaute (.drf), e os arquivos de regras de projeto para simulação e extração do leiaute (.rul). O fluxograma da Figura A.1 detalha uma ordem para configuração do Virtuoso[®] para uso com a Mono3D.

Figura A.1: Fluxograma para configuração da Mono3D



Fonte: O Autor

Para iniciar a configuração do Virtuoso[®], abrir a janela exposta na Figura A.2c seguindo os passos (a) e (b). Deve-se encontrar o arquivo com extensão .tf na pasta da Mono3D. Uma biblioteca será criada automaticamente para referenciar este arquivo da tecnologia.

Após a configuração do .tf, cria-se uma nova biblioteca no Virtuoso[®] que servirá como referência para as células da Mono3D. Ajusta-se o caminho desta biblioteca recém criada em *Edit/Library Path* no gerenciador de bibliotecas do Virtuoso[®] apontando o caminho da pasta que contém todas as células da biblioteca Mono3D.

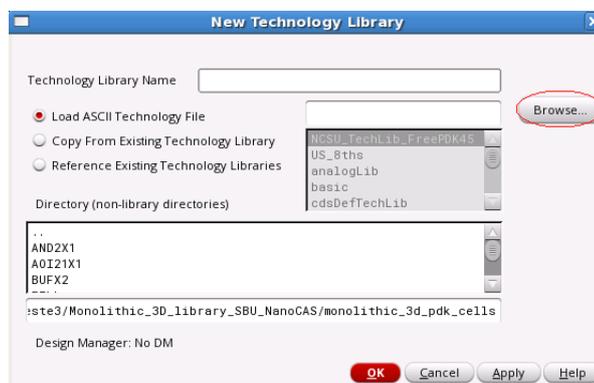
Figura A.2: Tipos de particionamento de circuitos monolíticos 3D



(a) Janela Inicial



(b) Janela de gerenciamento de tecnologia



(c) Seleção do arquivo

Fonte: O Autor

De volta a janela de gerenciamento de tecnologia (A.2b) selecionar a opção *Attach*. A vinculação do arquivo de tecnologia com a biblioteca de células é feita selecionando a biblioteca criada para armazenar as células com a criada como referência para o arquivo .tf.

Usando a Figura A.2a como referência, selecionar *Display Resource Manager* e, na nova janela, *Merge*. Nesta janela, devem ser adicionados os arquivos de desenho das camadas do leiaute. Como houveram mudanças no arquivo do PDK, deve-se integrar o arquivo do FreePDK45 com o arquivo da biblioteca Mono3D.

Estes passos configuram a biblioteca para uso do esquemático ao leiaute. Todas camadas devem ser visíveis no ambiente de leiaute do Virtuoso[®], incluindo as customizadas da Mono3D. Como o FreePDK45 utiliza o Mentor Calibre para análise do circuito e extração de parasitas, este deve ser configurado para ser utilizado.

Como a biblioteca Mono3D possui suas próprias características, novas regras de DRC, LVS e PEX foram criadas para o pós-leiaute. Assim, a configuração dos três elementos deve ser realizada. Os três devem ter seu caminho de arquivo apontados para a pasta que contém os arquivos de regras (.rul) da biblioteca Mono3D. Também, deve-se modificar a linha que contém o caminho dos arquivos dentro dos arquivos de regras utilizando um editor de texto e apontando estes arquivos para os devidos locais. No LVS, a opção *Export from schematic viewer* deve ser marcada pelo usuário.

No leiaute de cada célula, quando há execução de DRC, ocorre falha e o erro de que não existe um componente interno da biblioteca que interliga as camadas do circuito no leiaute. Este componente com problema não foi encontrada dentro dos arquivos da Mono3D. A falta deste componente impossibilita o funcionamento das células e cabe ao usuário da biblioteca Mono3D corrigir esta falha. Este erro está ligado aos MIVs e seus níveis de metal intermediário. O usuário deve, então, substituir os elementos falhos do leiaute de acordo com o circuito.

Para substituir as camadas com erros de um leiaute, inicialmente detecta-se qual o tipo de camada a ser trocada na célula que está sendo analisada. Os nomes dos elementos que estão sem referência e apresentam erro de verificação no leiaute são listados nos itens *a* e *b*.

(a) poly_btm_M5_btm

(b) M1_btm_M5_btm

Estes erros fazem referência à interligação entre as camadas inferior e superior do circuito monolítico 3D da biblioteca de células Mono3D. O método de correção dos erros de verificação causados por estes elementos substitui o erro *a* por uma pilha de vias e metal iniciando na camada *poly_btm* e terminando na camada *M5_btm*, interligando a porta do transistor da camada inferior com o *metal5* da camada inferior. Já o erro *b* deve ser substituído por uma pilha de vias e metal iniciando na camada *M1_btm* e terminando na camada *M5_btm*, interligando os níveis de *metal1* e *metal5* da camada inferior.

Em ambos os casos deve-se ainda acrescentar um MIV em conjunto com a pilha de vias e metais para cada elemento trocado, caso não exista um MIV previamente no local do erro no leiaute.

Os elementos parasitas da biblioteca Mono3D foram adaptados do FreePDK45 original. Após o incremento de todos os arquivos com as informações sobre as novas camadas do circuito monolítico 3D, o PDK está adaptado a criação de células monolíticas.

Tal configuração permite a criação de células customizadas pelo projetista. A adaptação de células 2D para 3D deve ser feita manualmente, caso necessário. A biblioteca de células Mono3D cobre apenas o particionamento a nível de transistor.

APÊNDICE B — PUBLICAÇÕES

As publicações apresentadas em ordem cronológica neste apêndice ocorreram durante o período decorrido no mestrado.

J. C. Zanelli, R. Reis. “**Automatic Cell Generation by Transistor P&R**”, 2018 IEEE 55th Design Automation Conference (DAC), San Francisco, California, 2018. Pôster, como parte do programa Richard Newton.

J. C. Zanelli, C. Metzler and R. Reis, “**Gate Sizing for Power-Delay Optimization at Transistor-level Monolithic 3D-Integrated Circuits**”, 2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS), San Jose, Costa Rica, 2020, pp. 1-4, doi: 10.1109/LASCAS45839.2020.9069042.

J. C. Zanelli, C. Metzler and R. Reis, “**Power-Delay Optimized Logic Cell Library for Monolithic 3D-Integrated Circuits**”, 2020 XXXV Simpósio Sul de Microeletrônica (SIM 2020), Evento Online, Abril 2020.