

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

FÁBIO GUSTAVO ROSSATO GOMES DA SILVA

IMPACTO DA VARIABILIDADE PVT EM SOMADORES
CONSTRUÍDOS COM XORS

Dissertação apresentada como requisito parcial
para obtenção do grau de Mestre em
Microeletrônica

Prof. Dr. Ricardo Augusto da Luz Reis
Orientador

Abril 2020

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Rossato Gomes da Silva, Fábio Gustavo

Impacto da Variabilidade PVT em Somadores Construídos com XORs / Fábio G. R. G. da Silva – 2020.

121 f.: il.

Orientador: Ricardo Augusto da Luz Reis

Coorientador: Cristina Meinhardt

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2019.

1. Microelectronics 2. Circuit-level design 3. PVT variability 4. Confiabilidade 5. FinFET

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Rui Vicente Opperma

Vice-Reitora: Profª. Jane Fraga Tutikian

Pró-Reitor de Pós-Graduação: Prof. Celso Giannetti Loureiro Chaves

Diretora do Instituto de Informática: Profª. Carla Maria Dal Sasso Freitas

Coordenador do PPGC: Prof. Tiago Roberto Balen

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

RESUMO

A operação de soma é a mais usada em Unidades Lógicas e Aritméticas (ULA). A ULA é a unidade mais importante no processamento de dados. Em sistemas digitais, é desejado um somador completo com baixo consumo de energia e um alto desempenho. O somador completo faz parte do caminho crítico em sistemas computacionais, ele pode ser implementado de diversas maneiras, a maioria delas tendo como seu principal sub-circuito a porta lógica OU-exclusivo (XOR). Consequentemente, o estudo de somadores completos compostos por combinações de portas lógicas XOR é de grande valia para pesquisas na literatura. Melhorias nos módulos aritméticos pode reduzir significativamente o consumo de potência dos sistemas, mas em tecnologias nanométricas é necessário considerar o impacto da variabilidade. Esse trabalho tem como objetivo analisar projetos de somadores completos que quando submetidos aos efeitos de variabilidade devem ser robustos, ter um bom desempenho e mostrar bons resultados em consumo de energia, quando estão operando em tensão nominal e em tensão de quase limiar. Além disso, foi utilizada uma técnica chamada de célula de desacoplamento (Dcell) visando uma alternativa para a redução da variabilidade de processo. Esse trabalho analisa e compara 4 somadores tradicionais e 9 somadores completos construídos através de 3 blocos lógicos, dos quais 2 deles são substituídos por portas lógicas XOR, em uma tecnologia FinFET de 7nm. Foi observado que circuitos somadores que foram construídos usando a XOR da família lógica CMOS, especialmente no segundo bloco, obtiveram piores resultados de desempenho e consumo energético. Somadores operando em tensão nominal são cerca de 80% mais robustos quanto ao impacto da variabilidade de processo no consumo máximo. A operação em quase limiar implica em uma alta sensibilidade no desempenho e consumo, alcançando mais de 300% nos piores casos. Em relação à variabilidade de processo, foi verificado um aumento de sensibilidade de cerca de 40% no desempenho quando foram utilizadas a XOR V5 e a XOR V8 no segundo bloco dos somadores quando operando em tensão nominal. Para a operação em tensão de quase limiar o uso da metodologia proposta nesse trabalho mostrou ser uma boa opção para alcançar uma maior robustez quanto ao consumo dos circuitos. Considerando o uso da Dcell, na operação em tensão nominal, foi verificado uma redução no desempenho juntamente com uma redução na variabilidade. O melhor caso foi o somador FAV5V8 que para um aumento de 20% no atraso, obteve uma redução de 20% na variabilidade. Em relação ao consumo, houve uma redução de 16% na potência dinâmica, juntamente com uma redução de quase 30% na variabilidade, como o que ocorreu com o somador FAV8V1. Foi possível observar casos de redução da variabilidade em mais de 40% com um pequeno aumento no consumo dinâmico. O uso dessa técnica teve um alto impacto nos resultados de circuitos que operavam em tensão de quase limiar, chegando em alguns casos a mais de 40% de redução do desempenho para uma pequena redução na variabilidade. Quanto ao consumo, nesse caso, os somadores tradicionais foram os menos afetados, e novamente o uso da XOR V8 no segundo bloco para construção dos somadores mostrou ser uma boa opção para aumento da robustez dos circuitos.

Palavras-chave: Tecnologias Nanométricas; MOSFET; FinFET; Somadores Completos; Portas Lógicas XOR; Variabilidade PVT; Tensão de Quase Limiar; Células de Desacoplamento, Microeletrônica.

ABSTRACT

The sum operation is the most used in the Arithmetic and Logic Units (ALU). In digital systems, a complete adder with low energy consumption and high performance is desired. The full adder is part of the critical path in computer systems. It can be implemented in several ways, most of them having the OR-exclusive logic gate (XOR) as its main sub-circuit. Consequently, the study of full adders composed of combinations of XOR logic gates has a great value in the literature. Improvements in arithmetic modules can significantly reduce the power consumption of systems, however, in nanometric technologies it is necessary to consider the impact of variability. This work aims to analyse designs of full adders considering variability effects, comparing performance and energy consumption when operating at nominal voltage and also at near threshold voltage. In addition, a technique called decoupling cell (Dcell) was used to provide an alternative for reducing process variability. This work analyses and compares four traditional adders and nine adders built using three logic blocks, where two of them are replaced by XOR logic gates, in a 7nm FinFET technology. It was observed that full adders that were built using the XOR of the CMOS logic family, especially in the second block, had worse results in performance and energy consumption. Full adders operating at nominal voltage regime are about 80% more robust in terms of the impact of process variability on maximum consumption. The near threshold operation implies a high sensitivity in performance and consumption, reaching more than 300% in the worst cases. Regarding the process variability, there was an increase in sensitivity of about 40% in performance when the XOR V5 and XOR V8 were used in the second block of the adder when operating at nominal voltage. For the voltage operation of near threshold, the use of the methodology proposed in this work demonstrate to be a good option to achieve greater robustness regarding the consumption of the circuits. Considering the use of Dcell, in the operation at nominal voltage, a reduction in performance was verified together with a reduction in variability. The best case was the adder FAV5V8 which for a 20% increase in delay, obtained a reduction of 20% in variability. In relation to dynamic consumption, there was a 16% reduction in power, together with a reduction of almost 30% in variability, as occurred with the FAV8V1 adder. It was possible to observe cases of reduced variability by more than 40% with a small increase in dynamic consumption. The use of this technique had a high impact on the results of circuits operating at near threshold voltage, in some cases reaching more than 40% reduction in performance for a small reduction in variability. For consumption, in this case, the traditional full adders were the least affected, and again the use of the XOR V8 in the second block for the construction of the adder proved to be a good option for increasing the robustness of the circuits.

Keywords: Nanometric Technologies; MOSFET; FinFET; Full Adders; XOR Logic Gates; PVT Variability; Near Threshold Voltage; Decoupling Cells, Microelectronics.

LISTA DE ABREVIações E ACRÔNIMOS

3T	Transistor de Três Terminais
4T	Transistor de Quatro Terminais
ASAP7	<i>7-nm Predictive Process Design Kit</i>
BTI	<i>Bias Temperature Instability</i>
CAD	<i>Computer-Aided Design</i>
CI	Circuito Integrado
CIN	<i>Carry In</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
COUT	<i>Carry Out</i>
CPL	<i>Complementary Pass-transistor Logic</i>
Dcell	<i>Decoupling Cell</i>
DFM	<i>Design for Manufacturability</i>
FDP	Função Densidade de Probabilidade
FET	<i>Field-Effect Transistor</i>
FinFET	<i>Fin-Shaped Field Effect Transistor</i>
GER	<i>Gate Edge Roughness</i>
HFA	<i>Half Full Adder</i>
H _{fin}	Altura do fin
IDS	Corrente entre dreno e fonte
ITRS	<i>International Technology Roadmap for Semiconductors</i>
LER	<i>Line Edge Roughness</i>
L _{fin}	Comprimento do fin
MC	Monte Carlo
MEP	<i>Minimum Energy Point</i>
MGG	<i>Metal Gate Granularity</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
NBTI	<i>Negative Bias Temperature Instability</i>
NFET	N-channel Field-Effect Transistor
NMOS	<i>N-channel Metal Oxide Semiconductor</i>
NT	<i>Near-Threshold</i>
PDK	<i>Process Design Kit</i>

PDP	<i>Power-Delay-Product</i>
PFET	<i>P-channel Field-Effect Transistor</i>
PMOS	<i>P-channel Metal Oxide Semiconductor</i>
PTL	<i>Pass-Transistor Logic</i>
PTM	<i>Predictive Technology Model</i>
PVT	<i>Process, Voltage e Temperature</i>
RDD	<i>Random Distribution of Discrete Dopants</i>
SEE	<i>Single Event Effect</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
SPICE	<i>Simulation Program with Integrated Circuits Emphasis</i>
ST	<i>Schmitt Triggers</i>
TFA	<i>Transistor Function Full Adder</i>
TG	<i>Trasmission Gate</i>
TGA	<i>Transmission Gate Full Adder</i>
TPHL	Tempos de propagação <i>high-to-low</i>
TPLH	Tempos de propagação <i>low-to-high</i>
ULA	Unidade Lógica Aritmética
VCC	Tensão de alimentação
VDD	Tensão de alimentação
VLSI	<i>Very Large System Integration</i>
Vth	Tensão de limiar
Vth0	Tensão de limiar zero
W	Largura do canal do transistor
WF	<i>Work-Function</i>
WFF	<i>Work-Function Fluctuation</i>
XNOR	Célula lógica que representa a função booleana $(A \odot B)$
XOR	Célula lógica que representa a função booleana $(A \oplus B)$

LISTA DE FIGURAS

Figura 1-1 – Estrutura de avaliação do circuito	14
Figura 2-1 – Implementação do circuito somador completo utilizando portas lógicas	18
Figura 2-2 – Porta lógica ou-exclusivo XOR	19
Figura 2-3 – Portas Lógicas XOR	21
Figura 2-4 – Estrutura de avaliação do circuito e circuito escolhido para o bloco 3.....	23
Figura 2-5 – Arquitetura Mirror CMOS de um somador completo	24
Figura 2-6 – Arquitetura Híbrida de um somador completo	24
Figura 2-7 – Arquitetura TGA de um somador completo	25
Figura 2-8 – Arquitetura TFA de um somador completo	26
Figura 2-9 – Diagrama esquemático do somador completo híbrido com 13 transistores	27
Figura 2-10 – Novo somador completo usando portas lógicas XNOR-XOR	27
Figura 2-11 – Esquemático do somador completo de 1-bit usando uma XOR de 4 transistores e um multiplexador de 2 transistores	28
Figura 2-12 – Esquemático do somador completo proposto	28
Figura 2-13 – Esquemático do somador completo projetado baseado em portas lógicas XOR/XNOR de 4 transistores	29
Figura 2-14 – Esquemático do Schmitt Triggers proposto	30
Figura 3-1 – Variação locais e variações globais	33
Figura 3-2 – Variação da frequência de operação e corrente de fuga	34
Figura 3-3 – Exemplos de defeitos aleatórios provocados por partículas de impurezas ..	35
Figura 3-4 – Diferenças entre o leiaute desejado e o obtido após a litografia	36
Figura 3-5 – Variações encontradas na borda da grade e do fin.....	37
Figura 3-6 – Características atômicas de transistores nas tecnologias MOSFET de 22nm e 4.2nm	38
Figura 3-7 – Variações na espessura do óxido	38
Figura 3-8 – Granularidade (1) de polisilício na grade e (b) no metal da grade.....	39
Figura 3-9 – Estrutura geométrica de um transistor 3T FinFET	40
Figura 3-10 – Estrutura de um FinFET.....	41
Figura 3-11 – Vista superior e em corte-transversal de um FinFET 3T.....	41
Figura 3-12 – Imagem térmica dos pontos de alta temperatura em um chip.....	43
Figura 3-13 – Resultados de atraso e variabilidade de processo FinFET x CMOS Bulk.	46
Figura 3-14 – Impacto da variabilidade de processo no desempenho	47
Figura 3-15 – Impacto da varibilidade de processo no pior caso do consumo estático	47
Figura 3-16 – Célula de Desacoplamento.....	48
Figura 4-1 – Fluxograma de tarefas realizadas	51
Figura 4-2 – Circuitos lógicos XOR e Cout	52
Figura 4-3 – Circuito de avaliação dos somadores	53
Figura 4-4 – Ponto Mínimo de Energia	55
Figura 4-5 – MEPs (marcado pelos pontos) de uma cadeia de 20 inversores FinFETs de 5nm com diferentes fatores de atividades.....	55
Figura 4-6 – Circuito de avaliação dos somadores com adição da Dcell	57
Figura 5-5-1 – Tempo de propagação máximo e médio dos somadores, saída Cout, nominal	59
Figura 5-5-2 – Tempo de propagação máximo e médio dos somadores, saída Soma, nominal	60

Figura 5-5-3 – Potência máxima dos somadores, saída Cout, nominal.....	61
Figura 5-5-4 – Potência máxima dos somadores, saída Soma, nominal	61
Figura 5-5-5 – Tempos de propagação máximo e médio dos somadores, saída Cout, NT	62
Figura 5-5-6 – Tempo de propagação máximo e médio dos somadores, saída Soma, NT	63
Figura 5-5-7 – Potência máxima dos somadores, saída Cout, NT.....	63
Figura 5-5-8 – Potência máxima dos somadores, saída Soma, NT	64
Figura 5-5-9 – Impacto da variabilidade de processo no atraso para saída Soma, normalizados pelo somador Mirror, nominal	65
Figura 5-5-10 – Impacto da variabilidade de processo na potência para a saída Soma, nominal	66
Figura 5-5-11 – Impacto da variabilidade de processo na potência para a saída Soma, normalizados pelo somador Mirror, nominal	66
Figura 5-5-12 – Tempo de propagação médio considerando variabilidade de temperatura, saída Cout, nominal	67
Figura 5-5-13 – Impacto da variabilidade de temperatura no atraso, saída Cout, nominal	68
Figura 5-5-14 – Impacto da variabilidade de temperatura na potência, saída Cout, nominal	68
Figura 5-5-15 – Tempo de propagação médio considerando variabilidade de tensão, saída Soma, nominal	69
Figura 5-5-16 – Impacto da variabilidade de tensão no atraso, saída Soma, nominal	70
Figura 5-5-17 – Impacto da variabilidade de tensão na potência, saída Soma, nominal ..	70
Figura 5-5-18 – Impacto da variabilidade de processo no atraso, saída Cout, normalizados pelo somador Mirror, NT.....	71
Figura 5-5-19 – Impacto da variabilidade de processo na potência, saída Cout, normalizados pelo somador Mirror, NT	72
Figura 5-5-20 – Tempo de propagação médio considerando variabilidade de temperatura, saída Soma, NT.....	73
Figura 5-5-21 – Tempo de propagação médio considerando variabilidade de temperatura, saída Soma, NT.....	73
Figura 5-5-22 – Impacto da variabilidade de temperatura na potência, saída Soma, NT..	74
Figura 5-5-23 – Tempo de propagação médio considerando variabilidade de tensão, saída Soma, NT.....	75
Figura 5-5-24 – Impacto da variabilidade de tensão no atraso, saída Soma, NT	75
Figura 5-5-25 – Impacto da variabilidade de tensão na potência, saída Soma, NT	76
Figura 5-5-26 – Tempo de propagação com variabilidade de processo, saída Soma, nominal	77
Figura 5-5-27 – Potência com variabilidade de processo, saída Cout, nominal.....	78
Figura 5-5-28 – Tempo de propagação com variabilidade de processo, saída Cout, NT ..	79
Figura 5-5-29 – Potência com variabilidade de processo, saída Soma, NT	79
Figura 5-5-30 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Soma, nominal.....	81
Figura 5-5-31 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, nominal.....	82
Figura 5-5-32 – Nominal - Resumo do impacto do uso da Dcell.....	83
Figura 5-5-33 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Cout, NT	84
Figura 5-5-34 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, NT.....	85

Figura 5-5-35 – NT - Resumo do impacto do uso da Dcell.....86

LISTA DE TABELAS

Tabela 2-1 – Tabela verdade do circuito somador completo.....	18
Tabela 2-2 – Tabela verdade XOR	19
Tabela 2-3 – Portas lógicas XOR	20
Tabela 2-4 – Comparação dos trabalhos relacionados com os somadores avaliados neste trabalho	32
Tabela 4-1 – Resumo dos parâmetros para ASAP7.....	53
Tabela 5-1 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Soma, nominal.....	81
Tabela 5-2 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, nominal.....	82
Tabela 5-3 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Cout, NT.....	84
Tabela 5-4 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, NT.....	85

SUMÁRIO

RESUMO	3
ABSTRACT	4
LISTA DE ABREVIACÕES E ACRÔNIMOS	5
LISTA DE FIGURAS	7
LISTA DE TABELAS	10
SUMÁRIO	11
1 INTRODUÇÃO	13
2 SOMADORES COMPLETOS	17
2.1 Portas lógicas ou-exclusivo (XOR)	18
2.2 Somadores construídos com blocos	22
2.3 Somadores tradicionais	23
2.3.1 Mirror CMOS	23
2.3.2 Híbrido	24
2.3.3 TGA	25
2.3.4 TFA	25
2.4 Trabalhos relacionados	26
3 VARIABILIDADE	33
3.1 Variabilidade de processo	33
3.1.1 Variabilidade de processo em FinFET	39
3.2 Variabilidade de tensão e temperatura	42
3.3 Avaliação da variabilidade do processo de manufatura	43
3.4 Portas lógicas XOR sob efeitos de variabilidade	45
3.5 Mitigação dos efeitos de variabilidade	47
4 METODOLOGIA	50
4.1 Considerações sobre a potência e experimentos NT.....	53
4.2 Análise da variabilidade	56
4.3 Adição de células DC para mitigação de variabilidade.....	57
5 RESULTADOS	58
5.1 Caracterização elétrica nominal dos somadores.....	58
5.2 Caracterização elétrica NT dos somadores	62
5.3 Caracterização elétrica considerando efeitos de variabilidade PVT operando com tensão nominal	64
5.3.1 Atraso e consumo sob variabilidade de processo	64
5.3.2 Atraso e consumo sob variabilidade de temperatura	67
5.3.3 Atraso e consumo sob variabilidade de tensão	69
5.4 Caracterização elétrica considerando efeitos de variabilidade PVT operando com tensão de quase limiar	71
5.4.1 Atraso e consumo sob variabilidade de processo	71
5.4.2 Atraso e consumo sob variabilidade de temperatura	72
5.4.3 Atraso e consumo sob variabilidade de tensão	74
5.5 Caracterização elétrica considerando a adição de células de desacoplamento nas saídas dos circuitos	76
5.5.1 Nominal – Atraso sob variabilidade de processo, Dcell, SOMA	76
5.5.2 Nominal – Consumo sob variabilidade de processo, Dcell, SOMA.....	77
5.5.3 NT – Atraso sob variabilidade de processo, Dcell, Cout.....	78

5.5.4	NT – Consumo sob variabilidade de processo, Dcell, SOMA	79
5.6	Comparação dos somadores quanto às metodologias utilizadas	80
5.6.1	Nominal - Avaliação do impacto no atraso do uso da Dcell	80
5.6.2	Nominal - Avaliação do impacto no consumo do uso da Dcell	81
5.6.3	Nominal – Resumo da avaliação do impacto do uso da Dcell	83
5.6.4	NT - Avaliação do impacto no atraso do uso da Dcell	83
5.6.5	NT - Avaliação do impacto no consumo do uso da Dcell	84
5.6.6	NT – Resumo da avaliação do impacto do uso da Dcell	86
6	CONCLUSÕES	87
6.1	Trabalhos Futuros	89
	REFERÊNCIAS	90
	APÊNDICE A	98
	APÊNDICE B	103

1 INTRODUÇÃO

A evolução tecnológica permite a integração de um número cada vez maior de transistores em uma mesma área de um circuito integrado (CI). Possibilitando, assim, um aumento nas suas funcionalidades e no seu desempenho. Contudo, o aumento da complexibilidade dos sistemas eletrônicos cresce proporcionalmente, trazendo consigo diversos problemas que precisam ser explorados de modo a reduzir seus impactos sobre os sistemas computacionais e eletrônicos.

O projeto dos sistemas computacionais geralmente busca a otimização do mesmo quanto à área, atraso e potência. Entretanto, embora as novas tecnologias colaborem para o aumento do desempenho e um maior fator de integração, as mesmas introduzem muitos desafios aos projetistas de sistemas digitais. Essa grande evolução da tecnologia ocasionou o surgimento de efeitos adversos ao funcionamento do circuito. Sendo assim, efeitos como variabilidade, envelhecimento e aumento da sensibilidade a falhas devem ser considerados em projetos com nanotecnologias (BECKETT, 2002).

O principal problema associado à variabilidade é a incerteza do funcionamento correto das operações do circuito em termos de desempenho e potência. Não há garantia de que o circuito que é projetado irá operar em uma determinada frequência ou irá se comportar como o esperado após a sua manufatura. É estimado que, para as futuras tecnologias, as fontes de variabilidade aumentem, acarretando a redução da previsibilidade de desempenho e afetando diretamente a operação dos circuitos nanométricos (GUPTA, 2003).

Por exemplo, este impacto compromete o funcionamento esperado de sistemas computacionais, onde a Unidade Lógica e Aritmética (ULA) é responsável pelo processamento aritmético de dados, realizando diversas operações em um sistema digital. A principal operação realizada dentro da ULA é a adição, devido à grande frequência em que ocorre. Somadores completos são unidades funcionais essenciais de todo circuito computacional, e são os responsáveis por esse tipo de operação, sendo assim parte do caminho crítico dos sistemas.

O somador completo é geralmente composto por portas lógicas XOR. Conseqüentemente, as características elétricas dessas portas lógicas são muito importantes, visto que as mesmas afetam diretamente o desempenho final dos sistemas. Além disso,

essas portas lógicas também são componentes essenciais em circuitos multiplexadores, comparadores, geradores de paridade e detectores de erros, por exemplo (WANG et al., 1994).

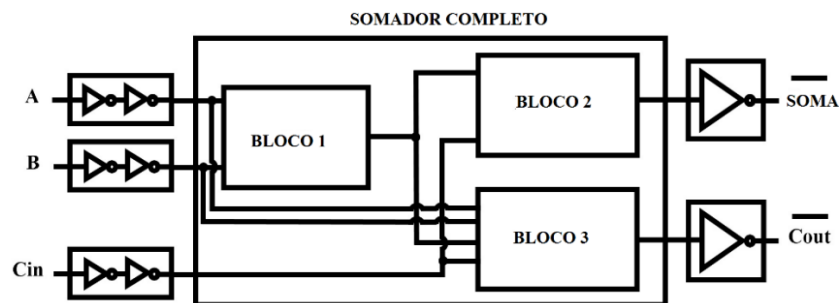
O grande número de possibilidades para implementação da porta lógica XOR permite também muitas maneiras diferentes de implementação do somador completo, como alternativa para circuitos somadores tradicionais, como por exemplo, o somador tradicional CMOS, híbrido, *Transmission Gate Full Adder* (TGA), Transistor Function Full Adder (TFA). É possível construir somadores usando XORs como blocos internos (SINGH, 2014), (ALLURI et al., 2016), (TAMANG et al., 2016). De acordo com a Figura 1.1, somadores completos podem ser construídos alocando as portas lógicas XOR nos blocos 1 e 2, gerando assim o resultado da Soma que está representado pelas Equações 1.1 e 1.2, e o bloco 3 implementa o circuito padrão para a geração do Carry Out (Cout), conforme descrito na Equação 1.3.

$$H = A.\bar{B} + \bar{A}.B \rightarrow A \text{ xor } B \quad (1.1)$$

$$\text{Soma} = H.\bar{Cin} + \bar{H}.Cin \rightarrow H \text{ xor } Cin \quad (1.2)$$

$$\text{Cout} = A.\bar{H} + Cin.H \quad (1.3)$$

Figura 1-1–Estrutura de avaliação do circuito



Fonte: Elaborado pelo autor

A criação de somadores completos com circuitos XORs é realizada através da metodologia mostrada na Figura 1.1. 9 diferentes arranjos são explorados, destacando as suas vantagens e desvantagens, e comparando com os somadores tradicionais (tradicional CMOS, híbrido, TFA e TGA). Para obter uma comparação justa dos resultados, o mesmo circuito foi utilizado para o bloco 3 em todas as abordagens.

O principal objetivo desse trabalho é alcançado seguindo os seguintes passos:

- avaliar portas lógicas XORs;
- escolher as que se destacaram no passo anterior;

- criar somadores com as 3 portas lógicas escolhidas;
- comparar os 9 somadores gerados com os somadores tradicionais (tradicional CMOS, híbrido, TGA, TFA);
- avaliar todos os somadores quanto à variabilidade de processo, tensão e temperatura, além da operação com tensão de quase limiar;
- avaliar os somadores aplicando técnicas de mitigação da variabilidade de processo;
- realizar a comparação entre todos os somadores considerando todos os cenários que foram propostos.

Logo, o principal objetivo desse trabalho é avaliar circuitos somadores construídos com portas lógicas XOR como alternativa aos somadores tradicionais, considerando os efeitos de variabilidade. Visando atingir este objetivo, este trabalho considera o uso de 3 portas lógicas XOR, usando-as de diferentes modos para criação de somadores completos. Esses somadores serão submetidos a efeitos de variabilidade de processo, tensão e temperatura, além de serem avaliados quando operam em tensão reduzida, adotando neste trabalho a tensão de quase limiar (*near-threshold*). Sendo possível avaliá-los e também compará-los, para identificar quais características dos circuitos XOR que compõem os blocos internos do circuito somador que apresentam comportamentos relevantes para lidar com os desafios de projeto nanométrico. Para cada simulação e cenário diferentes, serão coletados dados de desempenho e potência dinâmica, com e sem variabilidade. Ao fim, os somadores serão comparados entre si e com os somadores clássicos, verificando assim em qual situação cada um apresentou vantagem sobre os demais.

Os efeitos de variabilidade em circuitos somadores completos clássicos estão sendo investigados recentemente, mostrando alta sensibilidade a variabilidade de processo. Alguns trabalhos exploram o uso de Schmitt Trigger para reduzir o impacto da variabilidade nestes circuitos (DOKANIA, 2015) (TOLEDO et al., 2018) (MORAES et al., 2018). Entretanto, as técnicas adotadas nestes trabalhos apresentam elevados impactos no atraso e potência. Diferentemente destes trabalhos, para lidar com os efeitos de variabilidade, nosso trabalho também apresenta uma avaliação destes somadores com uma técnica conhecida como Decoupling Cells (Dcell). Esta técnica foi criada inicialmente para melhorar os ruídos e também para redução de falhas, somente após ela foi testada para mitigação dos efeitos da variabilidade do processo de fabricação. (ANDJELKOVIC et al., 2018) (ZIMPECK, 2019).

Este trabalho está organizado da seguinte maneira: O Capítulo 2 trata sobre os somadores completos, trazendo informações do seu funcionamento, os mais utilizados e propostas de construção de arquiteturas com portas lógicas XOR. O Capítulo 3 apresenta uma fundamentação teórica, trazendo conceitos sobre variabilidade de processo, tensão, temperatura e as técnicas de simulação de variabilidade a nível de transistores. O Capítulo 4 descreve a metodologia desenvolvida no trabalho. As análises dos resultados são apresentadas no Capítulo 5. Por fim, no Capítulo 6 estão as conclusões obtidas no trabalho. Devido ao alto volume de dados gerados por este trabalho, as Tabelas omitidas nos resultados são apresentadas no Apêndice B.

2 SOMADORES COMPLETOS

O circuito somador é uma parte muito importante para o funcionamento de qualquer sistema eletrônico, onde sua função é implementar a soma de bits. A função da célula somadora em si, além de complexa, ela é realizada muitas vezes, o processador precisa ter acesso a esse circuito diversas vezes, sendo perceptível o quão importante ela é para o funcionamento do sistema. O somador é a base de outras operações aritméticas, tais como subtração, multiplicação e divisão e por isso, é a principal célula da ULA de sistemas computacionais.

Um meio somador é capaz de realizar a soma de um bit A com um bit B, mas de nada adianta somar apenas dois bits. Como já diz o nome, ele é apenas um meio somador e é preciso mais alguma coisa para torná-lo completo. É necessário associar este somador com outros, podendo assim realizar a soma de quantos bits forem necessários. Para isso, mais uma entrada é adicionada, que é responsável por receber o bit de *carry out* (Cout) do bit somador menos significativo, chamada de *carry in* (Cin). Sendo assim, o somador completo é formado por três entradas e duas saídas: Soma e Cout, que é responsável pela propagação do 1 para o próximo estágio do somador de n -bits (PEDRONI, 2010). A Tabela 2.1 representa a Tabela verdade do somador completo.

A partir da Tabela verdade, as funções booleanas para representar a saída Soma e Cout são apresentadas nas Equações 2.1 e 2.2 respectivamente, onde “ \oplus ” representa a função lógica XOR, “ \cdot ” representa a função lógica AND e “+” representa a função lógica OR. Na Figura 2.1 é apresentada uma implementação do somador completo utilizando portas lógicas.

$$Soma = A \oplus B \oplus Cin \quad (2.1)$$

$$Cout = (A \cdot B) + (A \oplus B) \cdot Cin \quad (2.2)$$

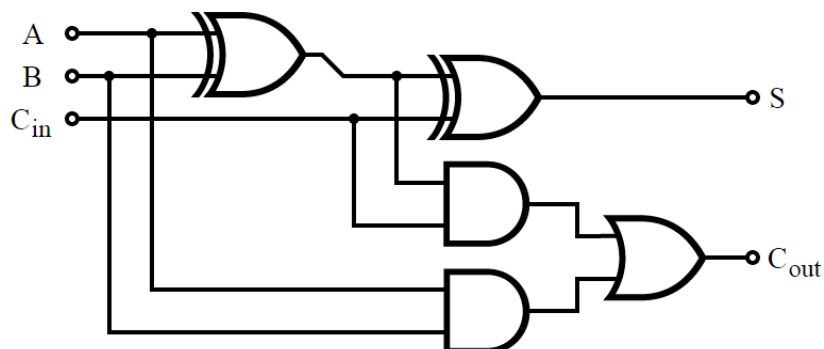
Pode-se observar que o somador completo é composto por portas lógicas XOR, tanto na função de Soma como na função de Cout. Assim, a implementação da função XOR torna-se relevante no projeto de somadores completos.

Tabela 2-1 – Tabela verdade do circuito somador completo

Entradas			Saídas	
A	B	Cin	Soma	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Fonte: Elaborado pelo autor

Figura 2-1 – Implementação do circuito somador completo utilizando portas lógicas



Fonte: adaptado de (FLOYD, 2007)

2.1 Portas lógicas ou-exclusivo (XOR)

A função ou-exclusivo (XOR) é o sub-circuito mais utilizado para o projeto de células somadoras. Além disso, ela é amplamente utilizada em sistemas digitais e está presente na maioria dos circuitos digitais. Portas lógicas XOR também são componentes essenciais em circuitos comparadores, geradores de paridade e detectores de erros, por exemplo (WANG et al., 1994). Conseqüentemente, as características elétricas da porta lógica XOR são muito importantes porque afetam significativamente o desempenho final desses sistemas.

Conforme mostrado na Tabela 2.2, a saída da porta lógica XOR só é verdadeira quando as suas entradas são diferentes entre si, isto é, uma entrada verdadeira e uma falsa. Geralmente, ela é representada pelo símbolo \oplus . Consequentemente, $F = A \oplus B$ é a representação para a função lógica XOR de duas entradas, A e B. A porta XOR é frequentemente utilizada como detector de paridade.

Figura 2-2 – Porta lógica ou-exclusivo XOR



Fonte: Elaborado pelo autor

Tabela 2-2 – Tabela verdade XOR

Entradas		Saída
A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

Fonte: Elaborado pelo autor

Diversos arranjos de transistores implementam a função lógica XOR (YANG et al., 2013) (ALLURI et al., 2016) (NASERI,2018). A maioria das propostas exploram conceitos de duas famílias lógicas: a lógica CMOS tradicional, nominada neste trabalho como V1. As versões XOR V2, V3 e V4, conforme Figura 2.3 também seguem a lógica CMOS, com topologias complementares. A lógica de transistores de passagem PTL é explorada nas versões XOR V5 a V20, também ilustradas na Figura 2.3.

A família lógica CMOS é comumente utilizada no projeto de bibliotecas células padrão. Ela explora o conceito de planos complementares chamados de *pull-up* e *pull-down*, apresentando alta imunidade a ruído e boa capacidade de condução de corrente (WESTE, 2011).

A lógica PTL explora o uso de transistores de passagem. Para muitas funções lógicas, o estilo PTL é capaz de atingir implementações com a área menor do que a lógica

CMOS (NISHIZAWA et al., 2013). Entretanto, o uso de portas PTL em cascata compromete as características elétricas do sistema.

Muitos pesquisadores propuseram topologias que usam a combinação dessas duas famílias lógicas com o intuito de explorar as melhores características de cada uma delas (WANG et al., 1994) (WESTE, 2011) (NISHIZAWA et al., 2013) (BUI et al., 2002) (BUI et al., 2000) (MISHRA et al., 2010). Considerando a grande diversidade de arranjos de transistores que implementam a função lógica XOR, é importante a verificação do comportamento desses diferentes arranjos para o mesmo modelo de simulação.

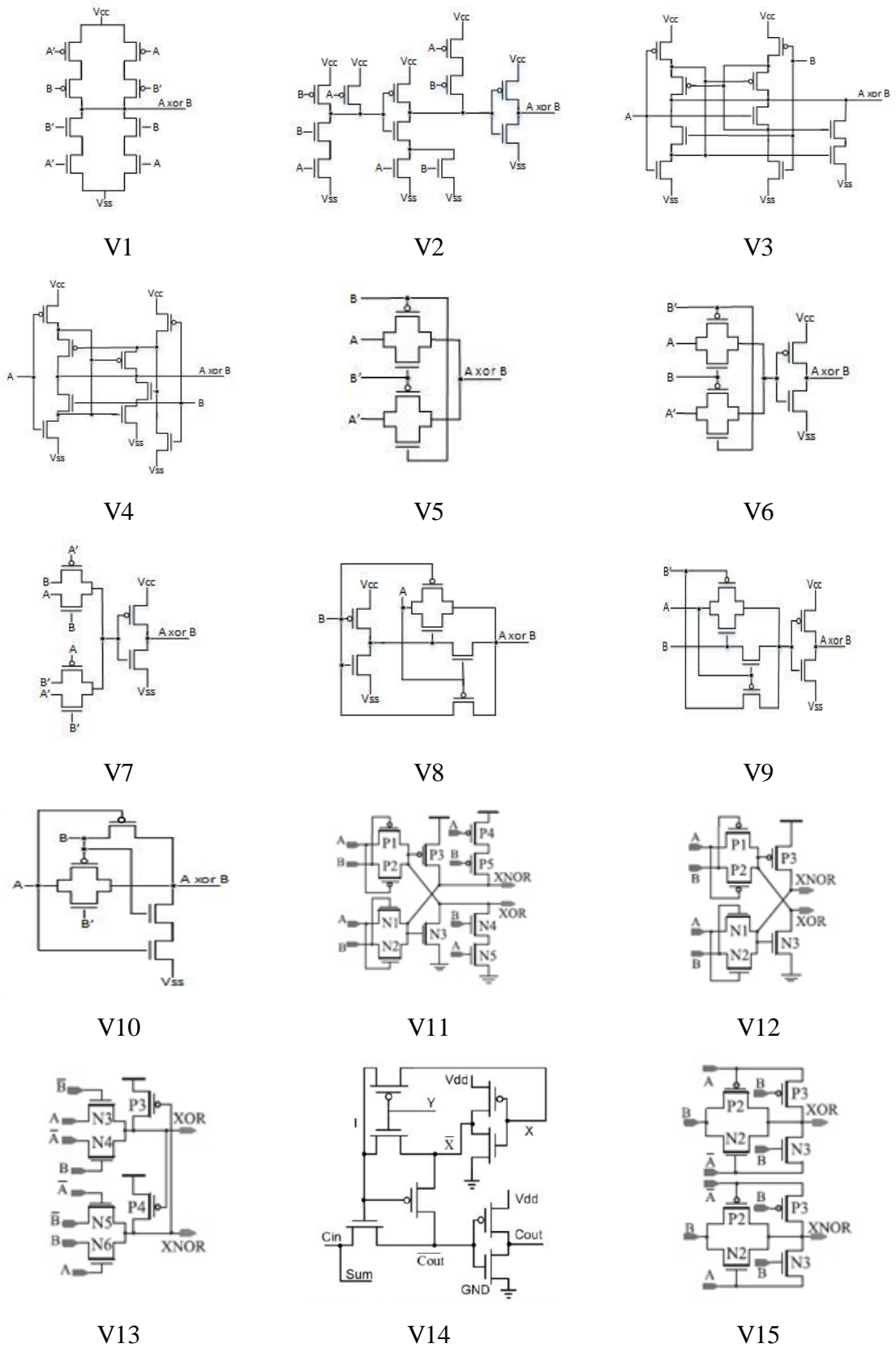
Diferentes implementações dessas funções podem ser obtidas dependendo de como os transistores são arranjados e o tipo de lógica adotada. Devido às características da função lógica XOR, as soluções que exploram os conceitos de transistor de passagem tendem a ter um número reduzido de transistores, conforme mostrado na Tabela 2.3. Entretanto, os seus sinais tendem a ser mais suscetíveis a ruído (CHOWDHURY et al., 2008).

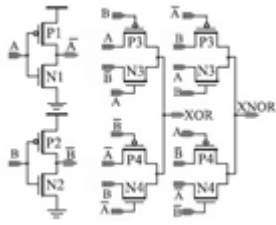
Tabela 2-3 – Portas lógicas XOR

XOR	Família Lógica	# Transistores	XOR	Família Lógica	# Transistores
V1	CMOS	12	V11	PTL	10
V2	CMOS	12	V12	PTL	6
V3	CMOS	10	V13	PTL	10
V4	CMOS	9	V14	PTL	10
V5	PTL	8	V15	PTL	12
V6	PTL	10	V16	PTL	8
V7	PTL	10	V17	PTL	8
V8	PTL	6	V18	PTL	8
V9	PTL	8	V19	PTL	3
V10	PTL	7	V20	PTL	10

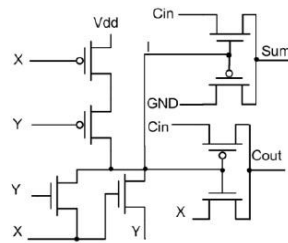
Fonte: Elaborado pelo autor

Figura 2-3 – Portas Lógicas XOR

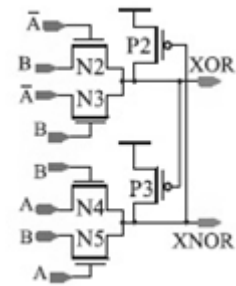




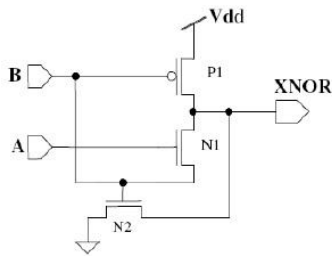
V16



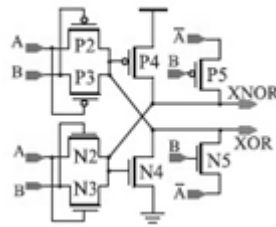
V17



V18



V19



V20

Fonte: Elaborado pelo autor

2.2 Somadores construídos com blocos

Conforme visto na Figura 2.3, muitos trabalhos implementam diferentes topologias para função lógica XOR. Os comportamentos desses novos arranjos são investigados para novas tecnologias sob situações críticas, por exemplo, ambientes radioativos, operação em baixa tensão e os desafios atuais dos projetos nano tecnológicos (GOTAM et al., 2017) (KUMAR et al., 2017) (RAVALI et al., 2017) (DE AGUIAR et al., 2017) (DA SILVA et al., 2016). O grande número de possibilidades de implementar a porta lógica XOR permite também diversas maneiras de implementar somadores completos, como por exemplo, o tradicional, o híbrido e os que podem ser construídos utilizando circuitos XOR como blocos internos (SINGH, 2014) (ALLURI et al., 2016) (TAMANG et al., 2016) (WAIRYA et al., 2011).

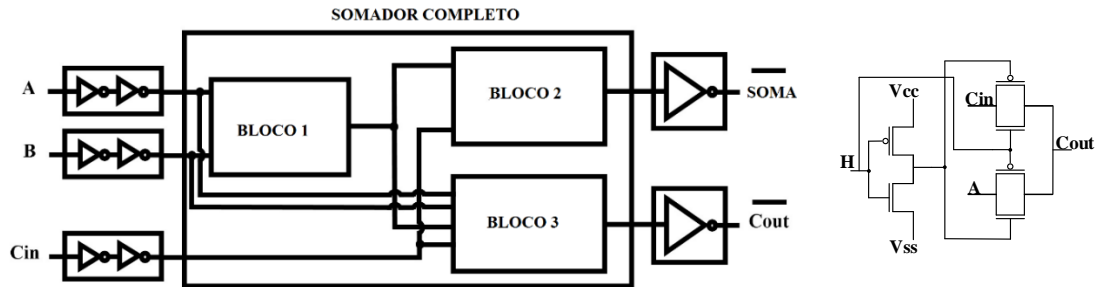
De acordo com a Figura 2.4 também mostrada no capítulo de Introdução, somadores completos devem ser construídos alocando as portas lógicas XOR nos blocos 1 e 2, gerando assim o resultado da Soma que está representado pelas equações (2.1) e (2.2), e o bloco 3 implementa o circuito padrão para o *Carry Out*, conforme descrito na equação (2.3).

$$H = A \cdot \bar{B} + \bar{A} \cdot B \rightarrow A \text{ xor } B \quad (2.1)$$

$$Soma = H.\overline{Cin} + \overline{H}.Cin \rightarrow H \text{ xor } Cin \quad (2.2)$$

$$Cout = A.\overline{H} + Cin.H \quad (2.3)$$

Figura 2-4 – Estrutura de avaliação do circuito e circuito escolhido para o bloco 3



Fonte: Elaborado pelo autor

Essa é a abordagem adotada neste trabalho para construir somadores completos com circuitos XOR, explorando os diferentes arranjos e avaliando as vantagens e desvantagens dos somadores gerados, além da comparação com somadores tradicionais dispostos na literatura. Com o intuito de obter uma comparação justa dos resultados, o mesmo circuito foi utilizado para o bloco 3 em todas as abordagens. Foram testados outros circuitos para o bloco 3, porém o circuito escolhido foi o que apresentou melhores resultados quanto ao consumo e ao desempenho.

2.3 Somadores tradicionais

Na literatura existem diversas formas para implementação dos somadores completos (DEVADAS, 2017) (KUMAR et al., 2017). Este trabalho explora quatro arquiteturas tradicionais desses somadores. As arquiteturas foram escolhidas devido ao seu grande uso em trabalhos recentes (GERA, 2012) (APHALE et al., 2016) (AMES et al. 2016) (TOLEDO et al., 2018). As arquiteturas tradicionais escolhidas para comparação e avaliação foram a Mirror CMOS, a híbrida, a TFA e TGA.

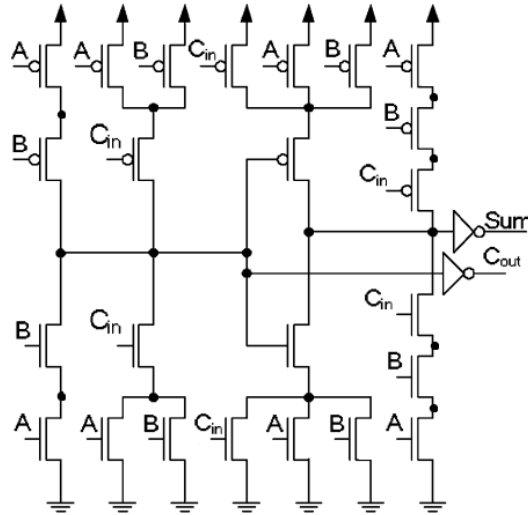
2.3.1 Mirror CMOS

A arquitetura de somador Mirror CMOS, baseada na família lógica CMOS, é considerada a arquitetura de somador padrão mais tradicional. A sua principal característica é possuir os seus 28 transistores dispostos em redes pull-up e pull-down logicamente complementares. Esta arquitetura é apresentada na Figura 2.5.

A sua capacidade de condução e sua robustez são as principais vantagens dessa arquitetura, sendo algo muito relevante quando se trabalha com tecnologias nanométricas

e tensão baixas. Entretanto, a capacitância de entrada alta e a rede pull-up que torna o circuito mais lento, são suas principais desvantagens (NAVI et al., 2009).

Figura 2-5 – Arquitetura Mirror CMOS de um somador completo



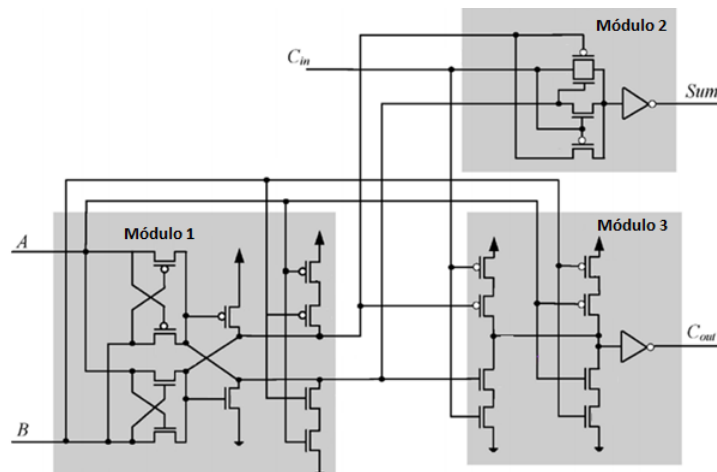
Fonte: (NAVI et al., 2009)

2.3.2 Híbrido

O somador híbrido é o resultado da união dos somadores Mirror CMOS e CPL, de acordo com (CHANG et al., 2005). Sua principal característica é, devido a sua composição por essas duas famílias lógicas, otimizar o seu desempenho e consumo de energia, utilizando um total de 26 transistores. Na Figura 2.6 é possível ver a lógica CMOS no módulo 3 e a família lógica PTL nos demais blocos.

Essa arquitetura apresenta um sinal forte na saída e trabalha bem em baixas tensões. Porém, ela também possui uma alta capacitância de entrada para algumas combinações de entrada (NAVI et al., 2009).

Figura 2-6 – Arquitetura Híbrida de um somador completo

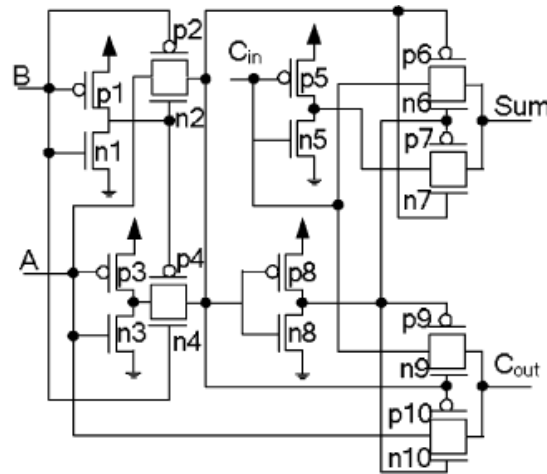


Fonte: (CHANG et al., 2005)

2.3.3 TGA

O somador *Transmission Gate Full Adder* (TGA) tem como característica básica o uso da teoria do *transmission gate*, que é um tipo particular de transistor que consiste basicamente em um transistor NMOS e um PMOS conectados em paralelo (CHANG et al., 2005). Esse somador não apresenta muitos problemas com relação a operação em baixas tensões, sendo essa sua principal vantagem. Entretanto, a falta de capacidade de condução o faz perder muito desempenho quando usado em cascata (NAVI et al., 2009). Na Figura 2.7 é mostrada a arquitetura TGA de um somador completo com 20 transistores.

Figura 2-7 – Arquitetura TGA de um somador completo

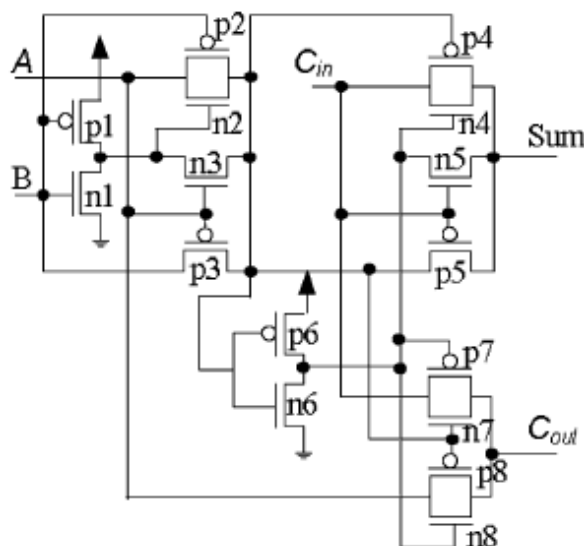


Fonte: (CHANG et al., 2005)

2.3.4 TFA

O somador *Transistor Function Full Adder* (TFA) têm 16 transistores e é baseado na teoria da função de transmissão. Quase toda lógica faz uso de *transmission gate*, com exceção da parte dos inversores que utiliza caminhos *pull-up* e *pull-down* bem definidos. Ele possui implementações eficientes para XORs e XNORs. Seu principal ponto negativo, assim como o TGA, o TFA possui uma baixa capacidade de condução e uma grande queda de desempenho quando usado em cascata, fazendo-se uso na maioria das vezes de *buffers* adicionais na saída desse tipo de somador (NAVI et al., 2009). Na Figura 2.8 é apresentada a arquitetura TFA de um somador completo.

Figura 2-8 – Arquitetura TFA de um somador completo



Fonte: (CHAN et al., 2005)

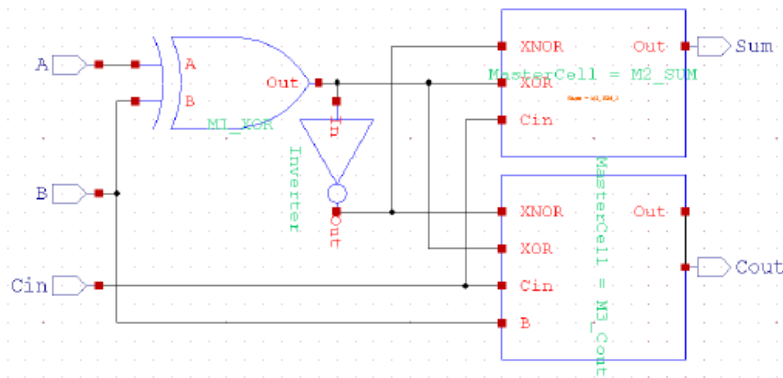
2.4 Trabalhos relacionados

Neste trabalho, buscou-se trabalhos relacionados em dois grandes grupos: 1) trabalhos que exploram a construção de somadores, e 2) trabalhos que consideram a variabilidade em somadores.

2.4.1 Somadores

A metodologia do uso de portas lógicas XORs para criação de somadores é explorada em outros trabalhos recentes. A Tabela 2.4 mostra a comparação entre as metodologias adotadas nos trabalhos descritos nessa seção. Em (JIE et al., 2016), um somador de 4bits utilizando tecnologia CMOS foi projetado, conforme mostrado na Figura 2.9. Além de um somador completo híbrido de 1bit (HFA) utilizando 13 transistores com um novo circuito de SOMA como bloco base para o somador completo de 4-bits. Quatro HFAs são cascadeados juntos e cada HFA é construído a partir desses módulos. Uma porta XOR de 3 transistores é o primeiro bloco. O segundo é um novo circuito de Soma usando somente 4 transistores para gerar a Soma do HFA. O terceiro módulo é um circuito especial de carregamento com uma entrada vindo do primeiro módulo e algumas entradas para gerar o carregamento de saída do HFA. O consumo médio do HFA proposto foi extremamente baixo, 2,09uW, e obteve um atraso moderadamente baixo, 250ps. Neste trabalho foi utilizada uma tecnologia CMOS de 250nm.

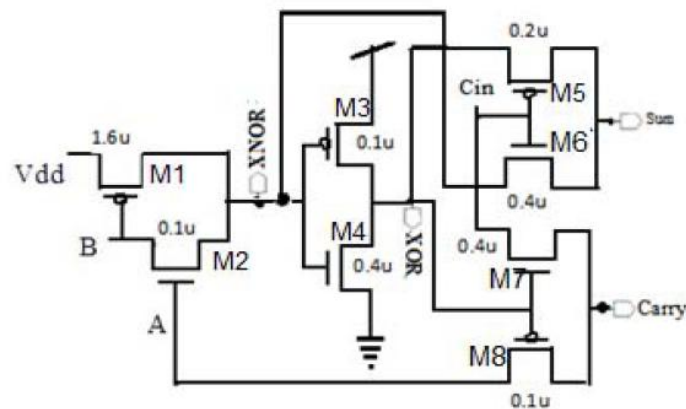
Figura 2-9 – Diagrama esquemático do somador completo híbrido com 13 transistores



Fonte: (JIE et al., 2016)

A Figura 2.10 mostra que em (KUMAR et al., 2017) foi proposto uma XOR-XNOR com 4 transistores e um circuito somador completo de 8T. O circuito somador proposto projetado por vários estilos lógicos em nível de transistor foi elaborado para ser comparado em desempenho e consumo, e com um menor número de transistores. O novo circuito proposto obteve um menor PDP, $5pw*ns$, e um melhor desempenho na área do silício comparado com os demais somadores já existentes que foram simulados nesse trabalho, $20,01ns$. Para este trabalho foi utilizada um modelo de parâmetro de 90nm.

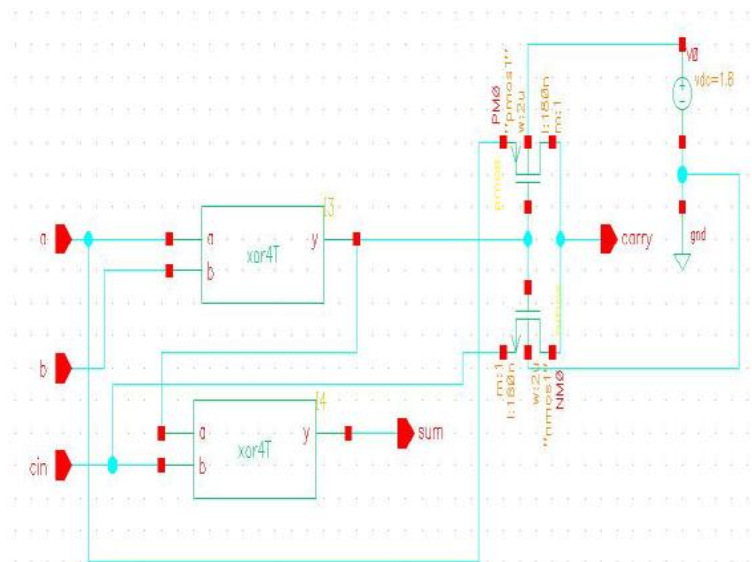
Figura 2-10 – Novo somador completo usando portas lógicas XNOR-XOR



Fonte: (KUMAR et al., 2017)

Para (SINGH et al., 2014) foi dada continuidade a uma metodologia para o projeto de um somador completo de 1bit usando uma nova proposta para uma porta lógica XOR de 4 transistores, conforme mostrado na Figura 2.11. A saída Soma é gerada usando 2 portas XORs e a saída Cout é gerada com o uso de um multiplexador de 2 transistores. Como resultado, foi obtido um somador formado por 10 transistores. Neste trabalho foi utilizada uma tecnologia de 180nm.

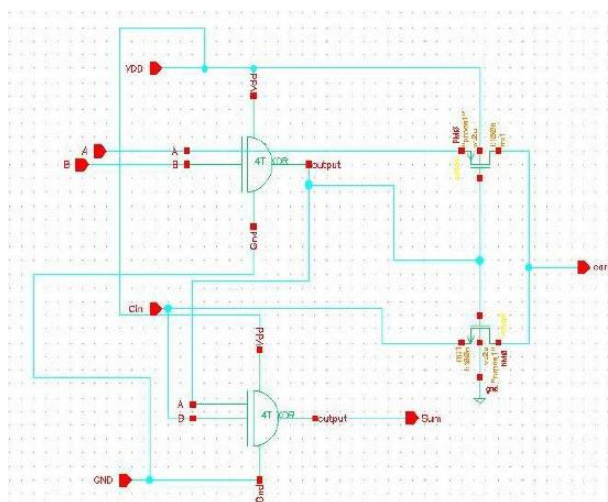
Figura 2-11 – Esquemático do somador completo de 1-bit usando uma XOR de 4 transistores e um multiplexador de 2 transistores



Fonte: (SINGH; SHARMA, 2014)

O trabalho de (TAMANG et al, 2016) tem o enfoque na criação de um somador completo usando portas lógicas XORs, conforme mostrado na Figura 2.12. Ele opera em região abaixo do limiar (0,2V) e seus resultados mostraram que o dispositivo funciona perfeitamente sem afetar sua funcionalidade mantendo o consumo, desempenho e PDP em um nível otimizado. Para este trabalho foi utilizada uma tecnologia de dispositivo de 180nm.

Figura 2-12 – Esquemático do somador completo proposto

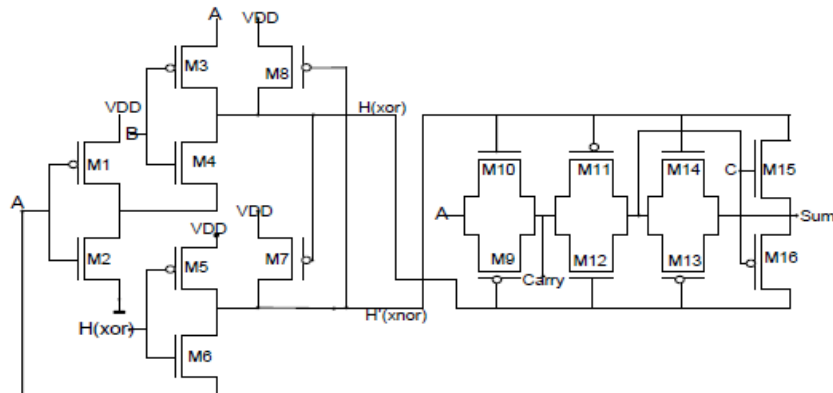


Fonte: (TAMANG et al, 2016)

A Figura 2.13 mostra que em (WAIRYA et al, 2011) um somador completo foi projetado baseado em portas lógicas XOR/XNOR de 4 transistores. Essa técnica ajuda a

reduzir o consumo e melhorar o desempenho enquanto mantem baixa complexidade no projeto lógico. Através de simulações, foi possível observar a superioridade dos somador projetado em relação aos tradicionais Mirror, TG e híbrido, em termos de consumo, atraso e produto atraso/consumo (PDP) em baixa tensão. Para esse trabalho foi utilizado a tecnologia UMC de 180nm.

Figura 2-13 – Esquemático do somador completo projetado baseado em portas lógicas XOR/XNOR de 4 transistores



Fonte: (WAIRYA S. et al, 2011)

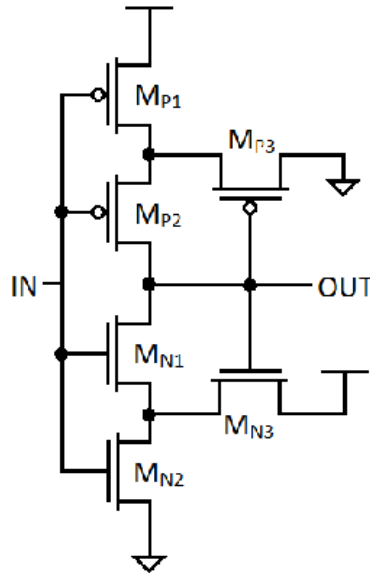
2.4.2 Impacto da variabilidade em somadores

A revisão literária retorna poucos trabalhos que também exploram variabilidade em nível de circuito, sendo pouco aplicados em somadores. Em (AMES et al, 2015) foram avaliadas as características de atraso e potência de cinco diferentes arquiteturas de somadores completos, considerando os aspectos de variabilidade de processo, tensão e temperatura. Foi possível perceber que cada um dos somadores investigados obteve características com vantagens e desvantagens em relação aos dados de atraso e potência para esses tipos de variabilidades. Para esse trabalho foi utilizado um modelo preditivo de alto desempenho de 32nm.

Dentre estes trabalhos, destaca-se o trabalho (DOKANIA, 2015) onde é feita uma análise do desempenho de vários somadores, de topologias mais conhecidas e algumas pouco conhecidas, quanto aos efeitos de variabilidade de processo, tensão e temperatura, para a verificação de funcionalidade e robustez. Este trabalho introduz a aplicação de inversores *Schmitt Trigger* (ST) para mitigar variabilidade em circuitos somadores. Foi possível observar que as topologias que fizeram uso da técnica proposta obtiveram melhor desempenho em termos de variabilidade, e podem ser uma alternativa para as tecnologias atuais. Entretanto, o trabalho não descreve as consequências da inserção de *Schmitt*

Triggers nos somadores, conforme mostrado na Figura 2.14. Para esse trabalho foi utilizada uma tecnologia de 16nm CMOS.

Figura 2-14 – Esquemático do *Schmitt Triggers* proposto



Fonte: (DOKANIA, 2015)

Em (TOLEDO et al., 2018) é avaliada as vantagens e desvantagens do uso da técnica chamada *Schmitt Trigger* em somadores Mirror CMOS, Híbrido, TGA e TFA com o inversor *Schmitt Trigger*, observando o impacto da variabilidade de processo, temperatura e tensão quanto ao desempenho e consumo de energia. Os resultados indicam que existe a possibilidade de redução do impacto da variabilidade de processo, tensão e temperatura, com penalidades nos atrasos e no consumo de energia. Este trabalho usa uma tecnologia de 16nm CMOS.

Em (MORAES et al., 2018) também é explorado o mesmo conceito do uso da técnica *Schmitt Trigger*. Entretanto, este trabalho utiliza essa técnica para reduzir o impacto gerados pelas variações na função trabalho (*Work Function Fluctuations – WFF*) de dispositivos FinFET, fazendo a substituição dos inversores internos por inversores do tipo *Schmitt Trigger*. Os dois últimos trabalhos demonstraram o custo em consumo de energia gerado pela inserção de *Schmitt Trigger* em somadores. Neste trabalho a tecnologia adotada foi a mesma que no nosso trabalho, FinFET de 7nm da biblioteca ASAP7.

2.4.2 Comparação com trabalhos relacionados

Além do uso de portas lógicas para criação dos somadores, os pontos abordados na Tabela 2.4 são muito importantes e podem ser comparados entre este trabalho e os demais apresentados anteriormente. A Tabela 2.4 mostra um resumo dos trabalhos relacionados

quanto aos quesitos: tecnologia utilizada, comparação com os somadores clássicos, quais blocos lógicos foram utilizados, se houve avaliação em tensão de quase limiar (NT) e se houve avaliação considerando os efeitos de variabilidade, além do uso de alguma técnica de mitigação do impacto causado pela variabilidade. Quanto à tecnologia, esse trabalho utiliza uma tecnologia FinFET de 7nm, enquanto a maioria dos trabalhos abordam o uso da tecnologia CMOS 16nm-250nm. A comparação com somadores clássicos e o uso de portas lógicas para a criação dos somadores são muito importantes pois mostram o quanto a metodologia apresentada pode tornar os circuitos somadores mais eficientes. Por fim, as abordagens em tensão de quase limiar e considerando variabilidade são de grande valia, visto que são fatores que influenciam diretamente na eficiência dos circuitos somadores. Entretanto, durante esta pesquisa, não foram encontrados trabalhos que avaliassem o impacto da variabilidade em circuitos somadores compostos por portas lógicas CMOS. Foram encontrados poucos trabalhos que adotaram outras técnicas de mitigação do impacto da variabilidade aplicada a circuitos somadores. Deste modo, o trabalho realizado nesta dissertação se difere dos anteriores ao explorar os efeitos da variabilidade em circuitos compostos por blocos lógicos e aplicar a técnica de *Decoupling Cells* para mitigar os efeitos de variabilidade de processo tanto nos somadores propostos como nos somadores clássicos da literatura. Este trabalho se difere no que diz respeito à quantidade de avaliações realizadas, considerando todos os itens apresentados, além de apresentar uma técnica para redução dos efeitos de variabilidade de processo.

Tabela 2-4 – Comparação dos trabalhos relacionados com os somadores avaliados neste trabalho

Trabalho	Tecnologia	Comparação com somadores clássicos	Blocos lógicos	Técnica de mitigação	Avaliação do NT	Avaliação de variabilidade
JIE L. S.	CMOS 250nm	Não	XOR 3T XOR/X NOR	Não	Não	Não
KUMAR R.	CMOS 90nm	Não	XOR/X NOR 4T	Não	Não	Não
SINGH K. N.	CMOS 180nm	Não	XOR 4T	Não	Não	Não
TAMANG D.	CMOS 180nm	Não	XOR 4T	Não	ST (<i>Sub-threshold</i>)	Não
WAIRYA S.	CMOS 180nm	Mirror, TG e Híbrido	XOR/ XNOR 4T	Não	Não	Não
DOKANIA V.	CMOS 16nm	Híbrido, TG e TF	Não	Schmitt Trigger	Sim	Sim
TOLEDO S.	CMOS 16nm	Mirror, Híbrido, TG e TF	Não	Schmitt Trigger	Não	Sim
MORAES L.	FinFET 7nm	Mirror, Híbrido, TG e TF	XOR 4T	Schmitt Trigger	Não	Sim
AMES S.	CMOS 32nm	Mirror, CPL, TG, TF e Híbrido	Não	Não	Não	Sim
PROPOSTA	FinFET 7nm	Mirror, TG, TF e Híbrido	3 versões de XOR CMOS e PTL	Decoupling Cell	Sim	Sim

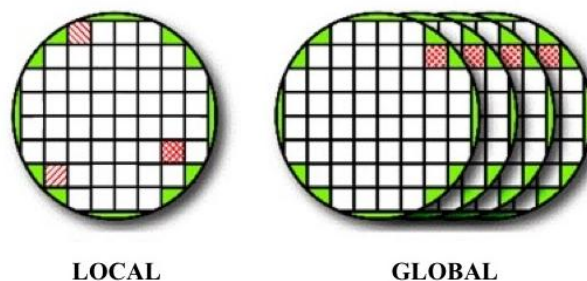
Fonte: Elaborado pelo autor

3 VARIABILIDADE

Com a contínua redução das dimensões dos dispositivos e suas interconexões, e com o aumento da escala de integração de dispositivos em uma mesma área, as características elétricas de dispositivos em tecnologias nanométricas estão mais sensíveis aos efeitos de variações, sejam variações ocorridas no processo de fabricação ou degradações existentes durante a utilização destes dispositivos.

Variabilidade do processo de fabricação são as diferenças físicas dos parâmetros e das interconexões dos dispositivos que definem o comportamento do circuito no que diz respeito aos valores desejados inicialmente para o projeto. Variações nos parâmetros físicos e nas interconexões (comprimento do canal, largura do canal, espessura do óxido da grade, largura e espessura do fio) resultam em oscilações no comportamento das características elétricas dos dispositivos (corrente de condução, tensão de limiar, resistência do fio e capacitância). Essas oscilações produzem variações no desempenho ao nível da grade (atraso da grade, atraso do fio e consumo), que se transformam em variações no desempenho ao nível de circuito e sistema (GERVACIO; CHAMPAC, 2018). As variações no processo podem ser divididas em duas classificações, são elas, sistemáticas e não sistemáticas. As variações não sistemáticas podem ser classificadas em globais (*inter-die*) e locais (*intra-die*), conforme mostrado na Figura 3.1.

Figura 3-1 – Variação locais e variações globais



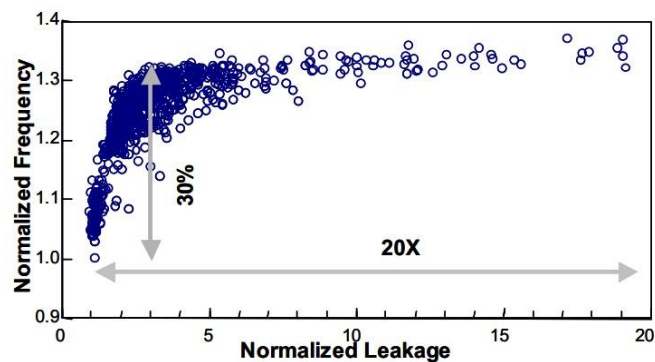
Fonte: Modificado de (ZIMPECK, 2019)

3.1 Variabilidade de processo

Em um processo de fabricação existem diversas etapas, qualquer diferença nas especificações de alguma delas pode acarretar mudanças comportamentais e físicas dos transistores. Os desafios de projeto em tecnologias nanométricas estão associados

principalmente aos limites da resolução do processo litográfico (ORSHANSKY et al., 2008). A Figura 3.2 ficou clássica na área de variabilidade por ilustrar a variação na frequência de operação e na corrente de fuga de um conjunto de circuitos de um mesmo processador projetado e fabricado pela Intel, onde foi utilizada a tecnologia de 180nm. É possível ver variações excedendo 30% para a frequência e a corrente de fuga apresentando valores numa faixa de amplitude de oscilações de 20 vezes de diferença entre o maior e o menor valor observado. Estas variações foram observadas em um projeto de fabricação da Intel, onde foi utilizada a tecnologia de 180nm (BORKAR et al., 2003).

Figura 3-2 – Variação da frequência de operação e corrente de fuga



Fonte: (BORKAR et al., 2003)

O processo de fabricação de circuitos integrados em tecnologias nanométricas vem alterando o projeto físico dos circuitos, criando assim regras mais complexas de layout e exigindo o uso de uma ampla faixa de segurança na concepção dos blocos para que seja possível lidar com uma maior variabilidade do processo. A redução do tamanho dos transistores trouxe consigo novas fontes de variação no processo de fabricação de circuitos integrados, tornando assim cada vez mais difícil o controle da variabilidade. A variabilidade vem afetando todas as gerações de circuitos e diminuindo a previsibilidade de desempenho dos circuitos nanométricos, afetando diretamente a operação do circuito.

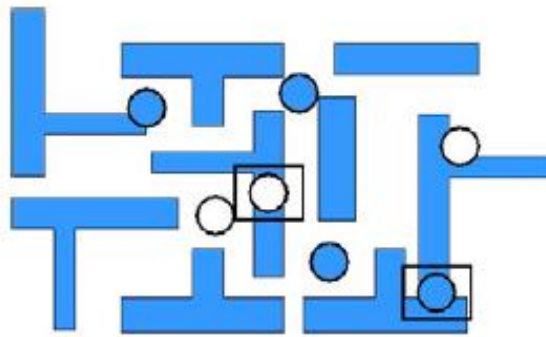
Durante o processo de fabricação de circuitos podem ocorrer três tipos principais de defeitos que são responsáveis pela redução do rendimento (*yield*) (ABERCROMBIE, 2005): defeitos aleatórios, paramétricos e sistemáticos.

Defeitos aleatórios são provocados por partículas de impurezas que se depositam no chip durante o processo de fabricação ou nas máscaras, provocando curtos-circuitos ou circuitos abertos. A Figura 3.3 ilustra alguns exemplos destes defeitos provocados através de partículas de impureza, acarretando assim em curtos-circuitos, pontos de

materiais indesejados e interrupções nas áreas projetadas. Esses tipos de defeitos eram as principais causas dos defeitos encontrados em tecnologias antigas. Com a redução de escala a taxa de defeitos aleatórios permaneceu constante, mesmo com as melhorias nas qualificações das salas limpas.

Defeitos paramétricos ocorrem quando todos os elementos de um chip estão funcionando corretamente, entretanto não correspondem aos requisitos da especificação do projeto, como desempenho ou potência. Este tipo de defeito é o resultado de interconexões parasitas e cresce com a redução de escala das tecnologias.

Figura 3-3 – Exemplos de defeitos aleatórios provocados por partículas de impurezas



Fonte: (ABERCROMBIE, 2005)

Defeitos sistemáticos estão relacionados com o leiaute e as variações no processo de fabricação, tais como as variações mecânicas, litográficas e do plasma na corrosão. Alguns exemplos de defeitos sistemáticos são: a diferença entre as alturas de um metal entre regiões do chip, efeito conhecido como planaridade (SAWICKI, 2005) ou variações *in-die* (ROBERTSON, 2003), o acúmulo de carga entre componentes de interconexão durante a fabricação (efeito antena), vias abertas e a eletromigração. Os defeitos sistemáticos podem ser compensados com o uso de algumas técnicas de resolução, mas o leiaute projetado pode limitar a aplicação das principais técnicas de resolução, principalmente quando são utilizadas as mínimas distâncias possíveis.

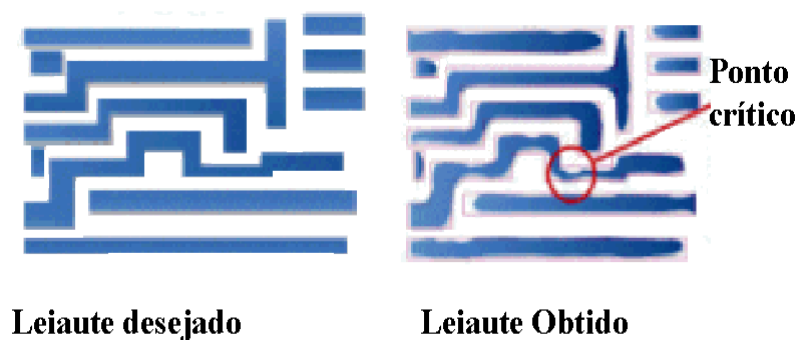
As variações no processo de fabricação, além de serem decorrentes dos defeitos do processo de fabricação, podem ser divididas em dois grupos: a variação entre pastilhas de um mesmo projeto e as variações internas nas pastilhas. A variação entre pastilhas é a diferença de valor de um parâmetro entre pastilhas idênticas. Estas diferenças podem ser de chip para chip, de *wafer* para *wafer* ou de lote para lote. Está principalmente relacionada com as propriedades dos equipamentos, ao posicionamento do *wafer* e com a temperatura do processo. A variação interna nas pastilhas pode ocorrer no *wafer* ou ser

dependente dos padrões de leiaute. Por exemplo, as flutuações na dopagem do canal ou na espessura do óxido do *gate*. Essa variação tem ligação com a posição da pastilha na *wafer*, sendo pastilhas vizinhas mais similares que pastilhas distantes. Esses dois tipos de variação apresentam componentes de defeitos randômicos e sistemáticos (GUPTA, 2003).

A principal origem de variações no processo são variações na litografia e flutuação dos dopantes. Essas variações físicas são observadas em algumas características elétricas, como tensão de limiar, afetando assim diretamente o desempenho e o consumo de energia do circuito (JOHANSSON, 2004).

A Figura 3.4 ilustra os efeitos indesejáveis da variação ótica no processo de litografia de um circuito integrado. É possível visualizar que as linhas totalmente preenchidas do leiaute desejado dificilmente são obtidas. Os resultados são linhas com cantos arredondados, imperfeições no traçado e, principalmente, pontos críticos onde foram aplicadas as larguras mínimas permitidas. Da mesma forma que no ponto crítico destacado na Figura 3.4, onde quase não há deposição de material suficiente para manter a continuidade da conexão.

Figura 3-4 – Diferenças entre o leiaute desejado e o obtido após a litografia



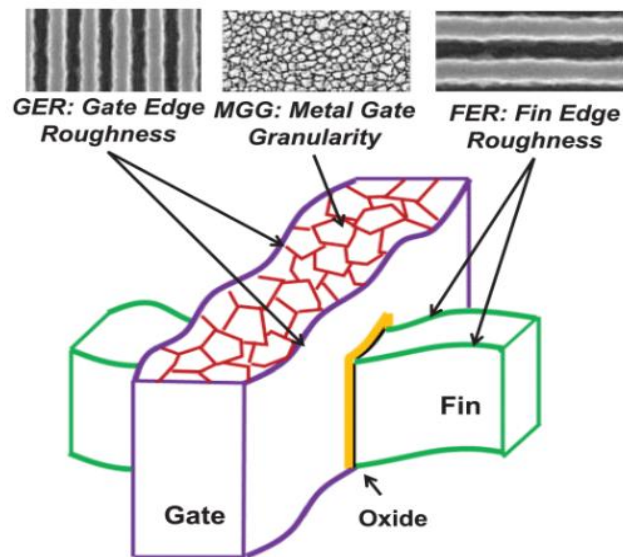
Fonte: (ROBERTSON, 2003)

A estrutura dos transistores é afetada pela variabilidade de processo, alterando assim as propriedades elétricas de um circuito. As fontes de variações que afetam a eficiência dos dispositivos são: aspereza da borda da linha (LER), distribuição aleatória de dopantes (RDD), variação na espessura do óxido e a granularidade na grade (BROWN et al., 2010). Dadas suas importâncias, estas quatro fontes serão exploradas a seguir:

- a) Aspereza da borda da linha (LER): Outra importante fonte de variabilidade que afeta as dimensões críticas do transistor. A etapa de litografia ótica faz uso de fontes de luz com comprimentos de onda muito maiores que as especificações

mínimas da tecnologia, ocasionando assim a LER. Esta grande variação nas dimensões críticas quando aplicada na grade (*Gate Edge Roughness – GER*) ou do fin (*Fin Edge Roughness – FER*), como mostrado na Figura 3.5, altera o tamanho de canal de um transistor MOS variando a corrente I_{DS} e a tensão de limiar. Afetando assim, consideravelmente as propriedades elétricas de um transistor MOS e prejudicando assim o desempenho do dispositivo.

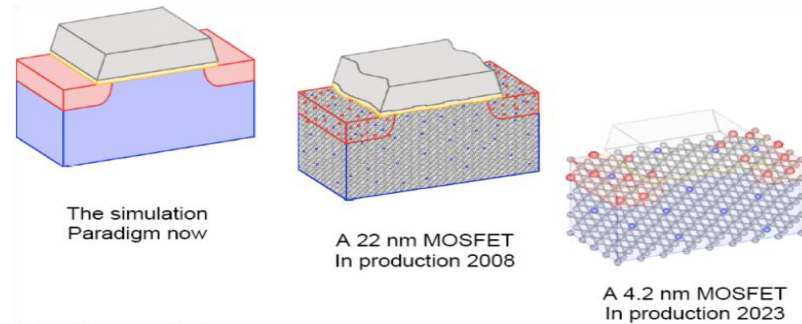
Figura 3-5 – Variações encontradas na borda da grade e do fin



Fonte: (JIANG et al., 2016)

- b) Distribuição Aleatória de Dopantes (RDD): A RDD é considerada uma das maiores fontes de variabilidade nos transistores em tecnologias sub-90nm (CROON et al., 2004). Ela tem relação com a redução da escala de tamanho dos transistores. A quantidade de dopantes na região de depleção de um MOSFET vem diminuindo, como mostrado na Figura 3.6. Em relação ao comportamento discreto dos átomos dopantes, há uma flutuação estatística aleatória da quantidade de dopantes com um dado volume ao redor da média de dopantes, resultando assim em variações na tensão nominal (MIZUNO et al., 1994). Variações tendem a aumentar com a redução da tecnologia devido à redução do comprimento e largura do canal do transistor, que se opõe ao aumento da tensão nominal.

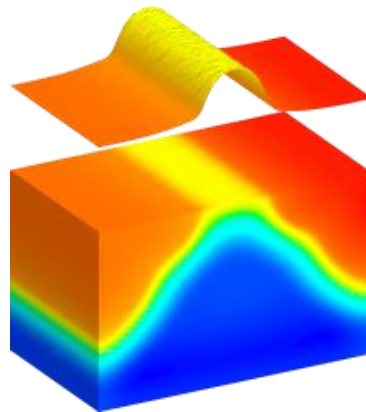
Figura 3-6 – Características atômicas de transistores nas tecnologias MOSFET de 22nm e 4.2nm



Fonte: (SINNOT, 2015)

- c) Variação na espessura do óxido: Na tecnologia MOSFET abaixo de 90nm, a interface entre o silício/silício-dióxido e o silício-dióxido/polissilício causa variações na espessura do óxido da grade (MANDAL, 2011), como mostra a Figura 3.7. Consequentemente, essa variação reduz o desempenho de todo circuito.

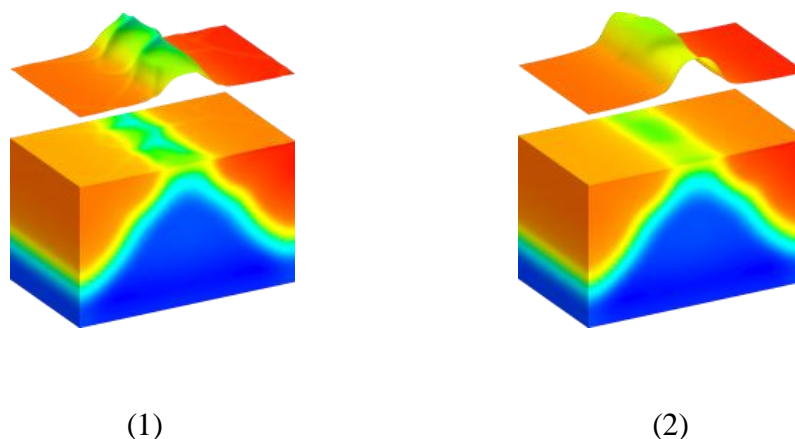
Figura 3-7 – Variações na espessura do óxido



Fonte: (GSS, 2015)

- d) Granularidade na grade: a granularidade de polissilício na grade, representada na Figura 3.8.1, é uma importante fonte de variabilidade devido ao aumento da difusão. A granularidade no metal da grade, representada na Figura 3.8.2, é também uma importante fonte de variabilidade desde a adoção de grades feitas com metais *high-k*, resultando em variações randômicas da tensão de limiar na região da grade.

Figura 3-8 – Granularidade (1) de polissilício na grade e (b) no metal da grade



Fonte: (GSS, 2015)

3.1.1 Variabilidade de processo em FinFET

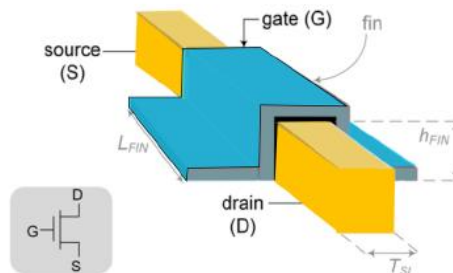
Durante muito tempo a tecnologia *bulk* CMOS clássica, conhecida como transistor planar, foi utilizada na manufatura de circuitos integrados, contribuindo para a redução do dimensionamento dos transistores. Segundo o relatório da *International Technology Roadmap for Semiconductors* (ITRS, 2011), a tecnologia CMOS *bulk* necessita controlar os efeitos de canal curto por meio da alta dopagem do canal, efeitos esses que aumentam a corrente de fuga e degradam a mobilidade de cargas. Com a redução da escala de fabricação, os limites físicos da tecnologia CMOS já foram alcançados e devido a esses desafios, novas tecnologias estão sendo propostas. As tecnologias MOSFET de múltiplas portas são as mais cotadas para substituição da CMOS *bulk* clássica, por possuírem melhor controle dos efeitos de canal curto (KING, 2005). A tecnologia FinFET é uma das que se destacam em aplicações industriais devido ao seu processo de fabricação ser similar ao da tecnologia CMOS *bulk* (CHAU, 2006).

Essas novas tecnologias trazem novas oportunidades, mas também novos desafios, tais como, variações geométricas, atenuação da flutuação aleatória dos dopantes, planarização químico-mecânica, contato de resistência, entre outros (HENDERSON, 2013). Variabilidade tem sido um dos maiores desafios para o avanço da tecnologia CMOS. Devido a essa variabilidade, cada circuito poderá se comportar de maneiras diferentes, como grande variação em desempenho e consumo de energia anormal. Além disso, pode acelerar a degradação do circuito e tornar o circuito inapropriado para a proposta inicial.

FinFETs são transistores não planares cuja principal característica é canal condutor ser envolto por silício, chamado de fin, formando o corpo do dispositivo, conforme mostrado na Figura 3.9. O transistor possui um eletrodo no seu topo e dois outros eletrodos nos lados do corpo de silício. A grade do topo do transistor possui um comprimento do canal L_G e uma largura W_{Si} . O tamanho do fin em um dispositivo FinFET (medido na direção da fonte para o dreno) determina o comprimento do canal efetivo do dispositivo. Na Figura 3.10 é possível ver o fin vertical, que consiste em uma difusão fonte/dreno, contornada pela grade, separados pelo óxido da grade. De acordo com a Figura 3.11, as dimensões físicas do fin são a altura H_{Fin} , espessura do silício T_{Si} e o comprimento L_{Fin} . Nessa estrutura a largura do canal W_{Min} é o dobro da altura do fin (HUANG et al., 1999).

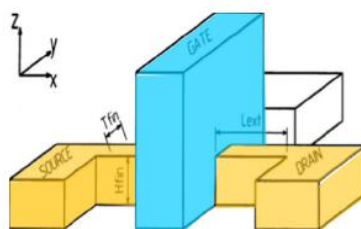
O transistor FinFET explora novas tecnologias de processo e inovações materiais, incluindo silício expandido, alto k (constante dielétrica) no gate, eletrodos de metal da grade e fonte/dreno epitaxial, ou seja, compostos por uma camada de filme muito fino, com material semiconductor não dopado depositado entre as seções do transistor para isolar uma das outras. O uso de eletrodos de metal elimina a depleção do polisilício e aumenta o desempenho do transistor. Além disso, o uso de eletrodos de metal com função trabalho perto da lacuna também permite redução da concentração na dopagem do substrato, aumentando assim a mobilidade de cargas do transistor e o desempenho geral do transistor. O resultado é um transistor não planar que pode ter 30% de aumento na condução de corrente do NMOS e 60% de aumento na condução de corrente do PMOS quando otimizado (KAVALIEROS et al., 2006).

Figura 3-9 – Estrutura geométrica de um transistor 3T FinFET



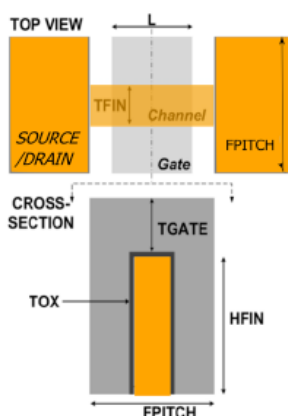
Fonte: (ALIOTO, 2011)

Figura 3-10 – Estrutura de um FinFET



Fonte: (CHOI et al., 2007)

Figura 3-11 – Vista superior e em corte-transversal de um FinFET 3T



Fonte: (SINHA et al., 2012)

A análise do impacto da variabilidade de processo no comportamento de modelos 3D FinFET em tensão sub limiar e regiões de saturação mostraram que, mesmo que a distribuição aleatória de dopantes (RDD) é a maior causa de variabilidade no substrato de tecnologias CMOS, a contribuição do RDD para a tecnologia FinFET é significativamente reduzida devido à baixa dopagem de canal (AUTH et al., 2012). Entretanto, existe uma alta correlação entre variabilidade em corrente Ion e flutuação na tensão de limiar na presença de granularidade da grade de metal (MGG) (DADGOUR et al., 2008). Em um processo de fabricação ideal, dispositivos com grade em metal têm suas grades produzidos com um único metal uniformemente alinhado. Contudo, no processo de fabricação real, as grades de metal dos dispositivos são geralmente produzidas usando metais com diferentes funções de trabalho (WF), aleatoriamente alinhados, o que implica em uma alta flutuação da função trabalho. Essa granularidade no metal da grade impacta na função trabalho da grade. Flutuações na função trabalho são causadas pela dependência da função trabalho do metal com a orientação dos seus grãos (MUKHOPADHYAY et al., 2018).

3.2 Variabilidade de tensão e temperatura

Variações na fonte de alimentação, na frequência de chaveamento e na temperatura dos circuitos afetam a tensão de limiar dos dispositivos durante o seu funcionamento. (VISWESWARIAH, 2003) (BHAVNAGARWALA et al., 2001). A análise e estimativa dessa variabilidade são essenciais para o desenvolvimento da tecnologia e o projeto dos sistemas em nodos nanométricos.

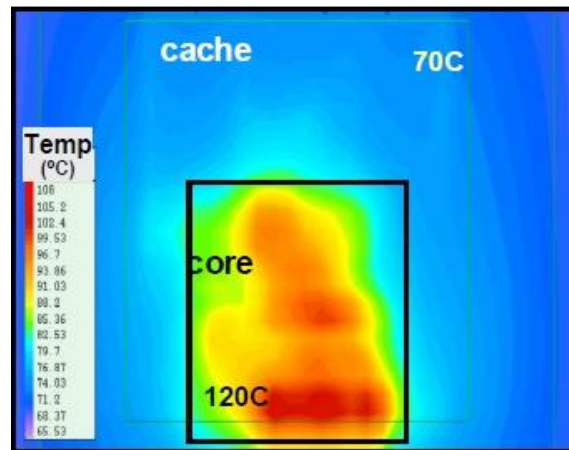
A tensão limiar tem relação direta com o sistema de potência dos circuitos, afetando assim o desempenho do sistema. Além disso, essa tensão influencia na corrente de saturação dos transistores. A variabilidade na tensão de alimentação afeta diretamente o tempo de propagação dos circuitos. Exemplificando, quando a tensão é alta, ocorre a redução dos atrasos, deixando assim os circuitos lógicos mais rápidos. A tensão de alimentação não é constante em um chip, porém, a relação tensão/atraso é exponencial para uma grande faixa de valores. A resistência não nula das redes de conexões das linhas de alimentação gera quedas de tensão. A autoindutância da alimentação é um fator contribuinte para as quedas de tensão (JOHANSSON, 2004).

O desempenho e as interconexões dos circuitos são influenciados pela temperatura. Variações na temperatura entre os blocos de uma mesma área podem causar perda de desempenho e falhas lógicas ou funcionais (BORKAR et al., 2003). A redução do desempenho do sistema através do aumento do tempo de propagação do circuito e da redução da corrente de dreno do transistor, é devido a uma elevação na temperatura. A temperatura nas junções de semicondutores que formam o transistor pode exceder significativamente a temperatura ambiente (WESTE, 2011).

A tensão de alimentação (V_{dd}) é geralmente associada ao consumo de energia dos sistemas. Entretanto, o desempenho do sistema também é afetado pela tensão de alimentação. A corrente de saturação do transistor é dependente da tensão de alimentação. O atraso da porta lógica é dependente da corrente de saturação. Conseqüentemente, a tensão de alimentação afeta também o atraso de propagação das portas lógicas. Tensões mais altas reduzem o atraso de propagação, deixando assim as células mais rápidas. Essa relação tem comportamento exponencial para grandes variações de tensão. Além disso, tensão de alimentação não é constante em um chip, ocorrem quedas de tensão devido à resistência não nula dos fios de alimentação. A elevada indutância dos canais de alimentação também contribui para que haja essas quedas de tensão (JOHANSSON, 2004).

Variações na temperatura através dos blocos de comunicação de um mesmo chip podem causar problemas no desempenho, que podem gerar falhas funcionais ou lógicas (BORKAR et al., 2003). A corrente de dreno no transistor diminui com o aumento da temperatura, aumentando assim o atraso da porta lógica e conseqüentemente reduzindo o desempenho do sistema. A temperatura de junção (temperatura que há formação das junções nos semicondutores) podem exceder significativamente a temperatura máxima ambiente. Geralmente os sistemas comerciais são verificados para operar com temperaturas de junção até 125°C (WESTE, 2011). Sendo assim, a variabilidade de temperatura afeta o desempenho dos dispositivos e suas interconexões. A Figura 3.12 demonstra pontos de alta temperatura em um processador. Nela é possível perceber uma diferença de aproximadamente 50°C em uma mesma área de um chip.

Figura 3-12 – Imagem térmica dos pontos de alta temperatura em um chip



Fonte: (BORKAR et al., 2003)

3.3 Avaliação da variabilidade do processo de manufatura

Para entender a variabilidade foram criadas diversas técnicas para estimar os efeitos das diferentes fontes de variabilidade nas características elétricas de potência e desempenho dos circuitos nanométricos. As técnicas de projeto para fabricação (*Design for Manufacturability* – DFM) são desenvolvidas para lidar com essas restrições. Para isso, modelagem estatística é a técnica mais utilizada, sendo dividida em: modelagem numérica e analítica.

Modelos analíticos para o efeito de variações randômicas dos parâmetros de processo no atraso de portas lógicas digitais são apresentados em (CAO, 2005) (ABU-RAHMA, 2008) (STEVANOVIC, 2009) (HARISH et al., 2007) (MUTLU, 2005)

(KOTHAPALLI, 1995) (WOLFE, 2003) (ZHANG et al., 2003) (AVCI et al., 2005) (JANAKIRAMAN et al., 2010) (MANDAL, 2011).

Entretanto, a técnica mais utilizada para modelar e analisar os efeitos da variabilidade de processo é através do método estatístico de Monte Carlo (MC). A técnica de Monte Carlo é um método de simulação estatística que utiliza amostragens aleatórias para simular comportamentos. Essa técnica é utilizada em diversas aplicações em áreas como: engenharia, física e matemática (HROMKOVIC, 2001). Tendo sido utilizada há bastante tempo como um método numérico universal para aproximar soluções, quando se tem uma função complexa para ser analisada (ZABARAS, 2007).

O sistema a ser analisado deve ser descrito em função de uma distribuição de probabilidade (FDP). Em seguida, o método de Monte Carlo realiza as amostragens aleatórias com base na distribuição conhecida. Este processo é repetido diversas vezes e o resultado esperado é então obtido através de técnicas estatísticas, como, por exemplo, média, desvio padrão, variância, sobre um determinado número de iterações (NASSER, 2012).

Diante de um problema envolvendo incertezas, a técnica de Monte Carlo para aproximar a solução consiste nos seguintes passos:

- a) Modelagem do problema definindo uma distribuição de probabilidade para representar o comportamento de cada uma de suas incertezas;
- b) Criação de valores aleatórios aderentes à distribuição de probabilidade de cada incerteza do problema;
- c) Cálculo do resultado determinístico substituindo as incertezas pelos valores gerados, obtendo assim, uma observação do problema;
- d) Repetição dos passos a e b até obter-se uma amostra com o tamanho desejado de realizações;
- e) Agregação e manipulação os resultados da amostra de forma a obter uma estimativa da solução do problema.

A adoção da técnica de Monte Carlo é dada para simular as variações de processo e permitir a análise de circuitos em nível elétrico, durante o fluxo de síntese. Esta técnica faz com que diferentes parâmetros do processo sejam modelados estatisticamente e seus efeitos nas características elétricas dos circuitos sejam avaliados. A técnica pode ser aplicada aos parâmetros geométricos ou elétricos dos dispositivos.

Quando a variabilidade geométrica de processo é avaliada, investiga-se o efeito das alterações nas principais dimensões dos transistores, tais como largura do canal (W), comprimento do canal (L), espessura do óxido, dentre outras. Esta análise envolve diversos parâmetros e a análise de mais de um parâmetro variando de forma estatística deve considerar a correlação na modelagem da distribuição de probabilidade de cada parâmetro que for variado em conjunto.

Outra abordagem adotada é a modelagem de forma estatística do efeito destas variações nos parâmetros geométricos e, também, nos parâmetros elétricos do dispositivo, por exemplo, na tensão de limiar ou na função trabalho de dispositivos da grade de metal. Os efeitos das variações geométricas nos parâmetros elétricos são modelados com uma distribuição normal, também conhecida como Gaussiana.

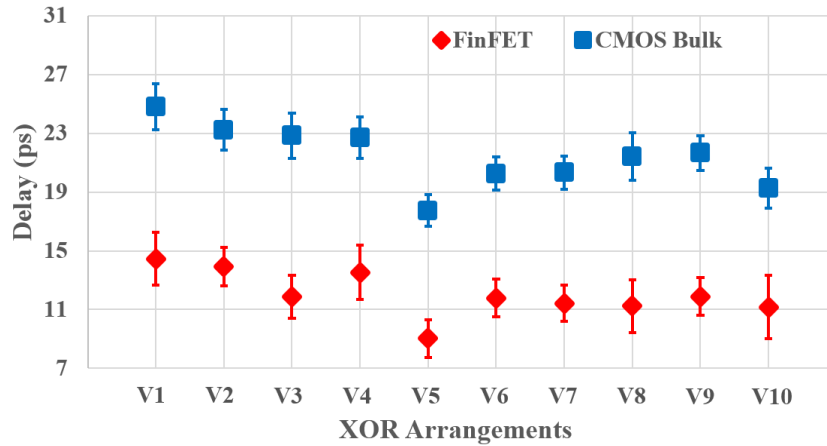
A Gaussiana é considerada a distribuição de probabilidade mais importante para estes experimentos. É inteiramente descrita por seus parâmetros de média e desvio padrão e, conhecendo-se estes valores, é possível determinar qualquer probabilidade em uma distribuição normal. A média refere-se ao centro da distribuição e o desvio padrão ao espalhamento ou achatamento da curva (BUSSAB, 2004).

3.4 Portas lógicas XOR sob efeitos de variabilidade

Os efeitos de variabilidade em portas lógicas XOR já foram previamente estudados pelos autores em (DA SILVA et al., 2016). Neste trabalho, houve uma comparação de diversos arranjos de portas lógicas XOR sob efeitos de variabilidade PVT em duas diferentes tecnologias de dispositivo de 16nm: CMOS *Bulk* e FinFET. Esse trabalho visava como objetivo identificar qual dessas duas tecnologias lidava melhor com os efeitos de variabilidade PVT, considerando tanto desempenho quanto características de potência. Dez diferentes portas lógicas XOR foram avaliadas nesse trabalho. Os resultados mostraram que diferentes arranjos têm comportamentos distintos quando submetidos aos efeitos da variabilidade. A tecnologia FinFET mostrou uma melhoria de mais de 40% quanto ao desempenho para variação de processo em relação a CMOS *Bulk*. Por outro lado, a tecnologia CMOS *Bulk* foi de 2 a 2,5 vezes mais robusta para esse tipo de variabilidade, conforme mostrado na Figura 3.13, onde os quadrados e losangos representam os valores da média e as barras representam as variações sobre o valor da média. Considerando as diferentes condições que esses circuitos integrados foram

submetidos, os resultados proveram dados interessantes para que pudéssemos identificar as melhores portas lógicas para a construção dos somadores.

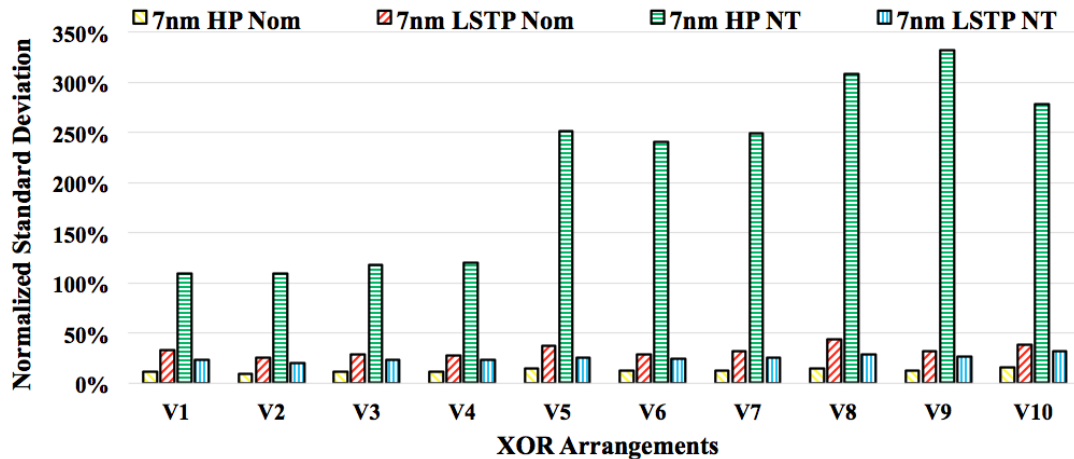
Figura 3-13 – Resultados de atraso e variabilidade de processo FinFET x CMOS Bulk



Fonte: (DA SILVA et al., 2016)

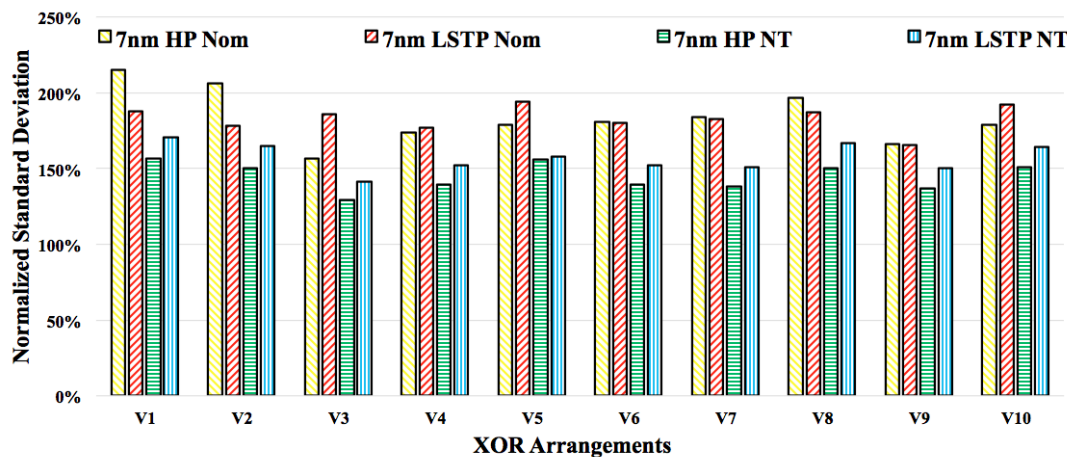
De acordo com (DA SILVA et al., 2018), foi realizada uma análise e comparação de portas lógicas XORs em duas tecnologias de dispositivos diferentes, além da operação em tensão de quase limiar. As tecnologias comparadas foram FinFET de 7nm para alto desempenho e FinFET de 7nm para baixa potência. Para a simulação nominal, foi utilizado 0,7V de tensão de alimentação tanto para a tecnologia de alto desempenho quando de baixa potência. Entretanto, para a simulação em tensão de quase limiar foram utilizadas tensões de alimentação diferentes, 0,35V para a tecnologia de alto desempenho e 0,55V para a tecnologia de baixa potência. Conforme mostrado nas Figuras 3.14 e 3.15, sob o efeito de variabilidade de processo, a XOR V1 apresentou o maior valor em média de consumo total e a XOR V8 foi a mais sensível em todos os casos avaliados. O consumo estático foi o fator mais afetado pela variação de processo, conforme mostrado na Figura 3.14. Os circuitos V1, V5 e V8 foram as células com menor consumo estático para todas as tecnologias avaliadas. As XOR V3, V6 e V7 apresentaram os piores resultados para potência estática. A diferença entre a XOR V8 e V3 chega a valores superiores a 30%. Além disso, a XOR V1 alcançou valores maiores que 200% nessa mesma análise.

Figura 3-14 – Impacto da variabilidade de processo no desempenho



Fonte: Elaborado pelo autor

Figura 3-15 – Impacto da variabilidade de processo no pior caso do consumo estático



Fonte: Elaborado pelo autor

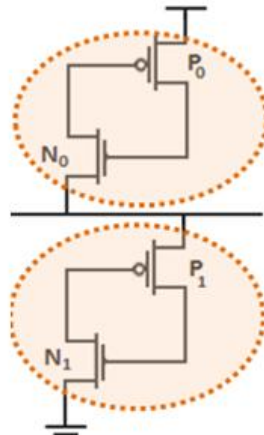
3.5 Mitigação dos efeitos de variabilidade

Existem poucos trabalhos na literatura que apresentam alternativas a nível de circuito para mitigar os efeitos de variabilidade. Dentre as técnicas, destacam-se o uso de circuitos tradicionais para redução dos efeitos de ruídos ou para mitigação de efeitos de radiação em circuitos, tais como *Schmitt Trigger* (ST) e *Decoupling Cells* (Dcell). Em (ZIMPECK, 2019), é apresentada uma comparação entre estas técnicas, demonstrando o potencial da adição das células de desacoplamento nas saídas dos circuitos, onde com um pequeno aumento da área, desempenho e consumo do circuito, foi obtido uma redução significativa do efeito da variabilidade, tornando os circuitos mais robustos. Sendo assim, foi considerado importante o estudo do uso das células de desacoplamento neste trabalho,

sendo avaliado o impacto de adoção desta técnica de mitigação de variabilidade nos circuitos construídos.

A adição de células de desacoplamento é o método capacitivo mais comumente utilizado em alguns projetos industriais para garantir uma alta imunidade aos ruídos nas linhas de alimentação e nas linhas de sinais. As células de desacoplamento são conectadas na porta de saída do transistor, e são compostas por dois transistores arranjados no modo acoplamento cruzado, conforme mostrado na Figura 3.16.

Figura 3-16 – Célula de Desacoplamento



Fonte: Adaptado de (ZIMPECK, 2019)

Essas células aumentam a capacitância no nodo de saída, aumentando assim a carga crítica para produzir o pulso SET, e fazendo com que esse nodo seja menos susceptível ao impacto de partículas energéticas. Em (ANDJELKOVIC et al., 2018), essa técnica foi utilizada para filtrar os pulsos SET gerados por partículas de baixa energia em um conjunto de portas lógicas projetadas usando a biblioteca digital IHP's 130-nm *bulk* CMOS com a injeção de falhas através de uma corrente dupla exponencial a nível de SPICE.

Além disso, células de desacoplamento conduzem corrente para as portas durante a comutação, protegendo os circuitos de distúrbios causados pelas variações de processo. Para obter melhores resultados com o uso dessa técnica, duas células de desacoplamento são recomendadas no projeto, onde uma delas célula é conectada entre a saída e a linha de alimentação enquanto a outra é alocada entre a saída e a linha de terra. Como a inserção de células de desacoplamento é um método capacitivo, células de desacoplamento maiores contribuem ainda mais para a atenuação da variabilidade de processo e falhas

oriundas da radiação. A desvantagem dessa técnica está relacionada com o aumento da área e consumo de energia devido a adição de quatro transistores no projeto.

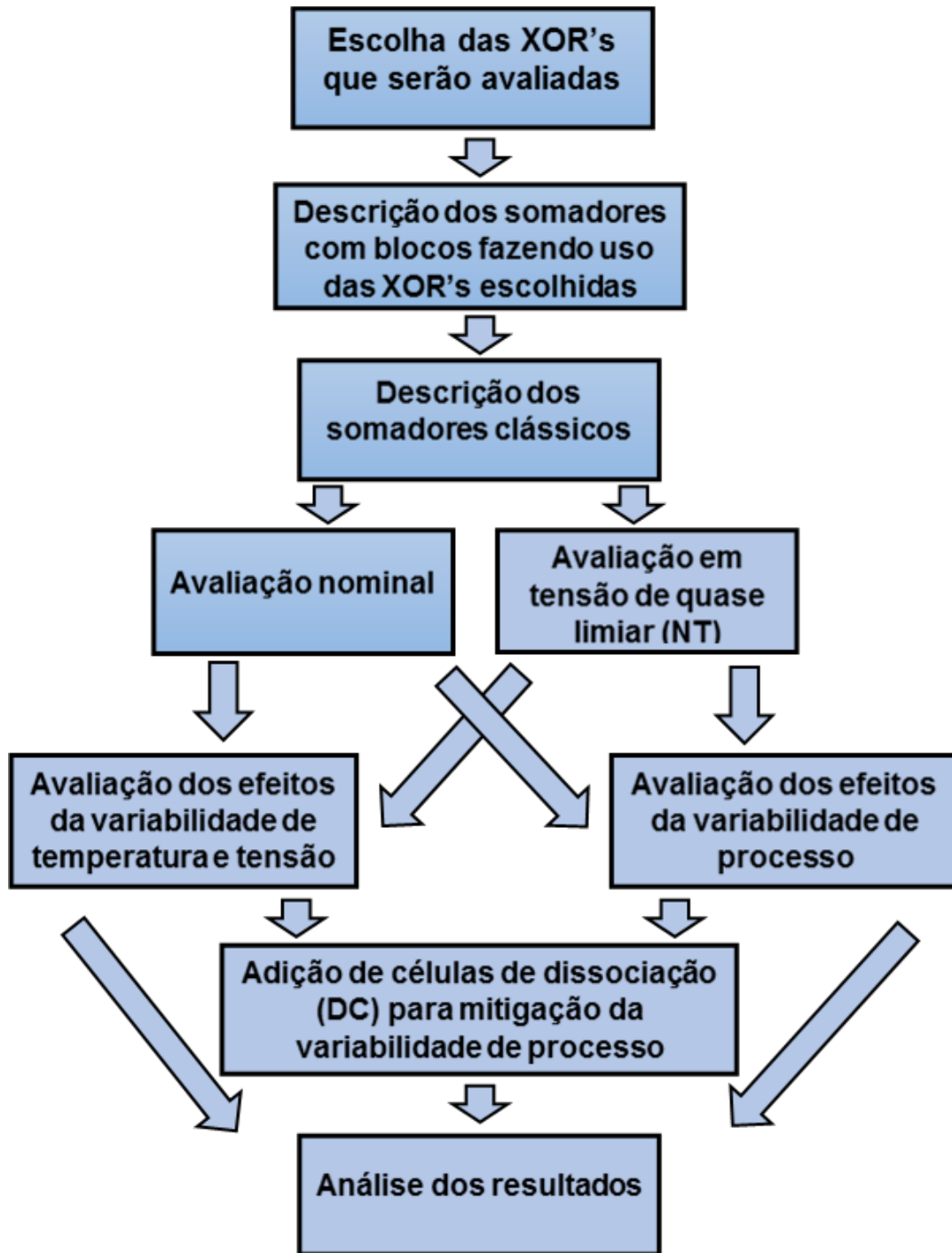
4 METODOLOGIA

O objetivo do trabalho é avaliar somadores compostos por diferentes combinações de portas lógicas XOR e como a escolha do circuito da porta XOR influencia o projeto, observando o impacto de efeitos nanométricos, como variabilidade. Para isso, este trabalho apresenta os resultados de comparação de alguns circuitos somadores construídos com portas XORs quanto ao atraso, potência e impacto da variabilidade em condições de operação nominal e em operação *near-threshold* (NT). Após, este trabalho define a metodologia para avaliar estes somadores e outros identificados na literatura, explorando a composição de somadores completos compostos por portas lógicas CMOS.

A Figura 4.1 mostra o fluxograma de tarefas que foi seguido nesse trabalho. Inicialmente, a avaliação experimental inicia na escolha de três diferentes arranjos de portas lógicas XOR para serem usados na construção dos somadores completos. Essa escolha foi baseada nos resultados do impacto da variabilidade de processo nas portas lógicas XOR apresentadas em (DA SILVA et al., 2018), dando preferência para as portas lógicas que tiveram melhores resultados quando submetidas aos efeitos de variabilidade de processo, tensão e temperatura. Após, foram escolhidos somadores clássicos para fazer a comparação, sendo definidos como somadores base para a avaliação os somadores híbrido, *Mirror*, TFA e TGA por serem os explorados nos trabalhos relacionados (DOKANIA, 2015) (TOLEDO et al., 2018)(MORAES et al., 2018).

Para todos os somadores, foram realizadas simulações em tensão nominal e em NT. Foram também aplicados efeitos de variabilidade de processo, tensão e temperatura em todos os circuitos avaliados. Foi também utilizada a técnica de adição de células de desacoplamento nas saídas dos somadores em bloco e clássicos, para conseguir mitigar os efeitos de variabilidade. Por fim, houve a comparação quanto ao atraso, potência e robustez à variabilidade para todos os circuitos.

Figura 4-1 – Fluxograma de tarefas realizadas



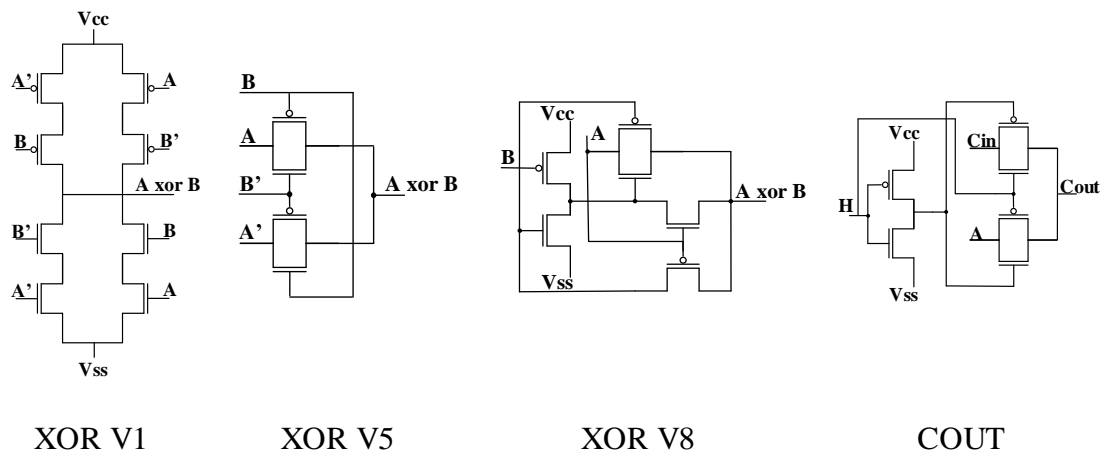
Fonte: Elaborado pelo autor

As versões de XOR e o circuito do Cout são apresentados na Figura 4.2. Esses circuitos apresentaram os melhores resultados quando a variabilidade, atraso e potência, respectivamente, obtidos da avaliação prévia de circuitos de XOR (DA SILVA et al., 2016) (DA SILVA et al., 2018). A primeira é a versão de porta lógica XOR mais comum em bibliotecas padrão de células comerciais. Esse arranjo explora o conceito de planos

complementares, *pull-up* e *pull-down*, da família lógica CMOS, apresentando baixa sensibilidade para ruídos e boa capacidade de condução. Os demais circuitos XOR exploram o conceito de transistor de passagem, sendo que ambos podem ser implementados utilizando uma área menor do que a lógica CMOS (KUMAR, 2017), (RAVALI et al., 2017), (DA SILVA et al., 2016), (DE AGUIAR et al., 2017), (MISHRA et al., 2010). Entretanto, os respectivos sinais de saída tendem a ser mais sensíveis para ruídos (NISHIZAWA et al., 2013).

Essas três topologias de XOR são alocadas nos blocos 1 e 2, juntamente com o circuito do bloco 3, formando assim as 9 versões de somadores completos avaliados nesse trabalho. Para identificar as células formadas em cada versão, os somadores foram nomeados com o seguinte padrão FABloco1Bloco2, onde bloco 1 e bloco 2 indicam o circuito XOR adotado. Por exemplo, FAV8V1 adota a XOR V8 para o bloco 1 e a XOR V1 para o bloco2.

Figura 4-2 – Circuitos lógicos XOR e Cout



Fonte: Elaborado pelo autor

Foi investigado o comportamento dos somadores completos projetados, considerando a operação em tensão nominal (0,7V) e quase limiar (0,35V), juntamente com efeitos de variabilidade de processo. Foi adotada a tecnologia 7-nm FinFET PDK desenvolvido pela ASU com parceria da ARM Ltd: a ASAP7 RVT (CLARK et al., 2016). A Tabela 4.1 mostra os parâmetros chave e dimensões dos dispositivos da ASAP7 (CLARK et al., 2016).

As células somadoras projetadas são caracterizadas eletricamente com extensivas simulações através da ferramenta HSPICE. Para todas as simulações foram utilizados 2

inversores de tamanho mínimo para cada entrada (A, B e Cin) e um FanOUT4 nas saídas (Cout e Soma) para simular um cenário mais realista como uma capacitância de um estágio posterior, conforme mostrado na Figura 4.3. Com o objetivo de reduzir o consumo de energia, para todos os circuitos somadores foram considerados o número mínimo de *fins* em paralelo, isto é, $N_{fin} = 1$ (ZIMPECK et al., 2016). O mesmo dimensionamento de transistor foi adotado para os transistores PFET e NFET porque dispositivos multigate mostram melhor desempenho e otimização de atrasos quando os circuitos usam o mesmo número de *fins* para ambos os tipos de transistores (KLEEBERGER et al., 2013).

Figura 4-3 – Circuito de avaliação dos somadores



Fonte: Elaborado pelo autor

Tabela 4-1 – Resumo dos parâmetros para ASAP7

Parâmetros do Dispositivo	Valor	
Largura da porta	21nm	
Espessura do Fin	6,5nm	
Altura do Fin	32nm	
Espessura do Óxido	2,1nm	
Dopagem do Canal	$1 \times 10^{22} \text{ m}^{-3}$	
Dopagem Fonte/Dreno	$2 \times 10^{26} \text{ m}^{-3}$	
Função Trabalho	NFET	4,3720 eV
	PFET	4,8108 eV

Fonte: (CLARK et al., 2016)

4.1 Considerações sobre a potência e experimentos NT

A potência pode ser dividida em potência estática e potência dinâmica (curto circuito e de chaveamento) (CHANDRAKASAN et al., 1992). A potência estática é configurada pela corrente de fuga existente através do transistor MOS. A potência de

curto circuito ocorre quando a fonte de alimentação e o aterramento estão diretamente conectados. Por exemplo, no inversor CMOS, a corrente de curto circuito ocorre quando os transistores PMOS e NMOS estão ambos em modo de condução, durante as transições. Finalmente, a carga e descarga das capacitâncias parasitas produzem o consumo de energia capacitiva, que é chamado de consumo de energia dinâmico.

Muitas técnicas exploram o conceito da redução da tensão de alimentação para algumas células, reduzindo assim a potência dinâmica. A ideia pode ser observada analisando os fatores que influenciam a potência dinâmica mostrada na Equação 4.1 onde α é atividade de chaveamento, C é a capacitância de carregamento, f é a frequência de operação, e V é a tensão de alimentação.

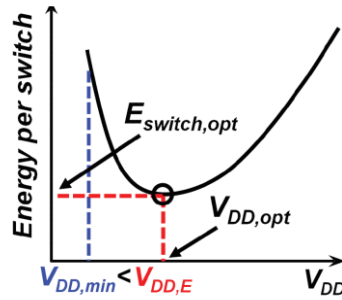
$$P_{dyn} = \alpha \cdot C \cdot f \cdot V^2 \quad (4.1)$$

Podemos ver que a potência dinâmica tem uma relação quadrática com a tensão de alimentação V . A potência de curto circuito e capacitiva também aumentam com o aumento do V_{dd} . Em alguns casos particulares, como os circuitos CMOS, a potência capacitiva é proporcional ao quadrado da tensão aplicada. Por essa razão, a redução da tensão diminui o consumo total de potência. A penalidade causada por essa técnica é a degradação do desempenho do circuito. Consequentemente, o método mais efetivo para reduzir a potência é a redução da tensão. Os circuitos continuam funcionais quando operam com tensão abaixo da tensão de limiar, principalmente dispositivos multigates que apresentam melhor controle sobre os efeitos de canal curto. A comparação dos comportamentos de regimes em tensão de alimentação quase ideal, sub limiar e quase limiar indica o grande potencial do uso de dispositivos multigates, dissipando potência ordens de magnitude menor do que circuitos de inversão forte normais quando operando em regime de tensão de alimentação super limiar (XIE et al., 2014).

O ponto mínimo de energia (MEP) é a tensão de alimentação que resulta no mínimo consumo de energia, esse comportamento tem sido provado e observado em regimes de tensão quase limiar, conforme mostrado na Figura 4.3 (CHEN et al., 2018). O comportamento dos circuitos operando em tensão quase limiar tem como resultado a redução do consumo de energia ao custo da degradação do desempenho do circuito. Existe uma relação quadrática inversamente proporcional entre (XIE et al., 2014) a tensão de alimentação e o consumo de energia. No exemplo mostrado em Figura 4.4, é possível observar o consumo de energia de uma cadeia de 20 inversores construída com dispositivos FinFET de 5nm com diferentes tensões de alimentação. É também possível

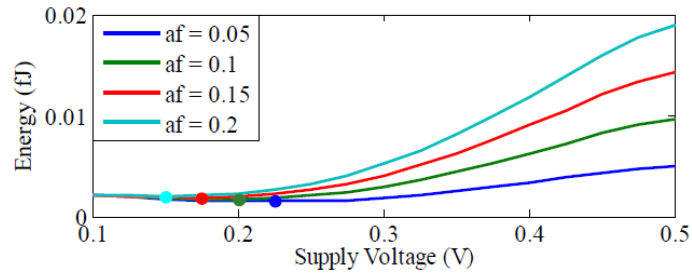
observar que o ponto mínimo de energia para operações típicas nesses circuitos ocorre perto de 0,2V, o que é menor do que a tensão de limiar de dispositivos FinFET (0,2V~0,25V) (XIE et al., 2014).

Figura 4-4 – Ponto Mínimo de Energia



Fonte: (CHEN et al., 2018)

Figura 4-5 – MEPs (marcado pelos pontos) de uma cadeia de 20 inversores FinFETs de 5nm com diferentes fatores de atividades



Fonte: (XIE et al., 2014)

De acordo com a relação entre tensão e as características elétricas discutida na Equação 4.2, o comportamento do consumo de energia reduz com a redução da tensão e mostra também como a redução da tensão impacta no desempenho do circuito. Consequentemente, isso colabora para nossa escolha de usar como tensão nominal e tensão quase limiar valores como 0,7V e 0,35V, respectivamente. A tensão de quase limiar é definida pela tensão mínima para garantir o funcionamento correto do circuito e a sua validação lógica para todos os circuitos com uma restrição na degradação da frequência de operação.

Foram medidas as potências máximas, médias e mínimas para cada fonte presente no circuito durante o espaço de tempo da simulação. Essas fontes foram divididas em: VCC para a alimentação do primeiro inversor, VCCin para a alimentação do segundo inversor e consequentemente dos sinais de entrada, VCCbloco para a alimentação do bloco da célula somadora, e por fim, VCCout para alimentação do inversor da saída. Os

valores de consumo do VCC_{in} e do VCC_{bloco} foram somados para a obtenção da potência total.

O consumo estático é medido quando o circuito não está operando, ou seja, quando os sinais não mudam de nível lógico. Para cada combinação de sinais foi obtido um valor de consumo estático de cada fonte, VCC_{in} , VCC , VCC_{bloco} e VCC_{out} .

4.2 Análise da variabilidade

O parâmetro mais afetado na tecnologia para a tecnologia FinFET é a função trabalho (MEINHARDT et al., 2014). Consequentemente, para avaliar a variabilidade de processo, o efeito de flutuações na função trabalho é explorado através de simulações estatísticas de Monte Carlo modelando a variável função trabalho do metal da grade como uma distribuição Gaussiana com 3 sigmas e 3% de desvio. Cinco mil simulações foram executadas para cada somador construído (GARROS et al., 2018). Ambos os tipos de dispositivos N-P podem ter sofrido diferentes variações, devido a não correlação entre os dois tipos de dispositivos.

As medidas de propagação de atraso, potência e energia consumida são feitas para todos os arcos temporais da Soma e do Cout para cada tensão de alimentação proposta. Os resultados observados são o atraso médio e máximo, a potência total máxima e média e a energia consumida. Para todos os casos é computado o desvio padrão normalizado (σ/u) como métrica para representar quão sensíveis os circuitos são aos impactos da variabilidade de processo.

A avaliação de temperatura neste trabalho considera o intervalo de 0°C até 125°C , que são os valores mais utilizados no projeto de células para bibliotecas voltadas ao fluxo *standard cell*. Dentro deste intervalo de temperatura, são considerados 6 pontos: 0°C , 25°C , 50°C , 75°C , 100°C e 125°C .

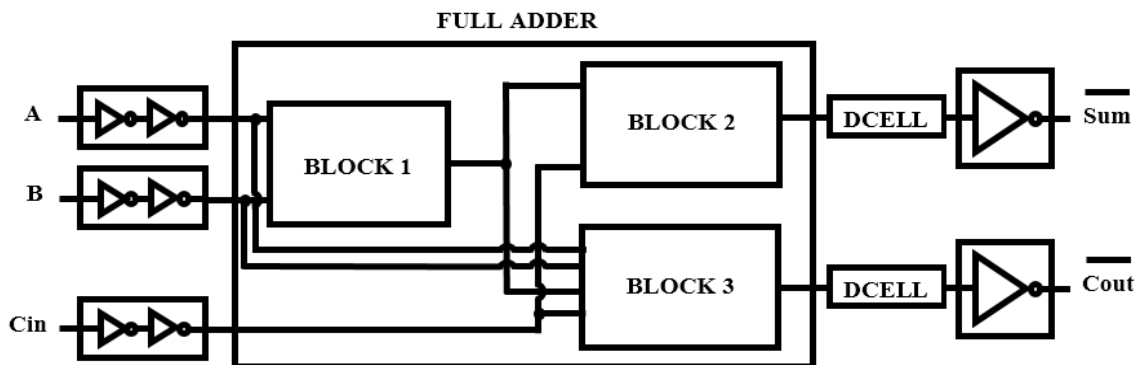
No projeto de uma biblioteca de células voltado para o fluxo *standard cell*, o impacto de variações na tensão é frequentemente medido através da sensibilidade da potência e desempenho em torno de 10% do valor nominal (0,7V) e do valor de quase limiar (0,35V) da fonte de alimentação (V_{dd}). Desta maneira, para simulação nominal foi considerada a faixa de tensão de 0,63V até 0,77V, e, para NT, foi observado o comportamento para as tensões de 0,315V até 0,385V.

As variabilidades de processo, tensão e temperatura foram simuladas individualmente, ou seja, sempre que um tipo de variabilidade foi considerado, os outros parâmetros foram fixados.

4.3 Adição de células DC para mitigação de variabilidade

A Figura 4.6 mostra onde foram adicionadas as células de desacoplamento. Para este trabalho foi verificado que com o uso das células de desacoplamento para cada saída do circuito Soma e Cout foram obtidos os melhores resultados quanto à redução dos efeitos de variabilidade de processo, visto que esse tipo de variabilidade é o que mais afeta os circuitos. Quanto ao dimensionamento, os transistores das células de desacoplamento foram dimensionados com 3 *fins*, tanto para os transistores do tipo P quando para os do tipo N (ZIMPECK, 2019).

Figura 4-6 – Circuito de avaliação dos somadores com adição da Dcell



Fonte: Elaborado pelo autor

5 RESULTADOS

Os resultados obtidos a partir da metodologia descrita anteriormente servem para permitir a avaliação dos circuitos somadores. Treze diferentes arquiteturas de somadores, dentre as tradicionais e as que foram construídas por redes de XORs, foram descritas, simuladas e comparadas sob efeitos de variabilidade. Foi realizada a validação lógica e simulação elétrica de todos os circuitos somadores. Após as simulações, foram considerados para a análise os valores de: máximo, mínimo, média, desvio padrão e desvio padrão normalizado pela média dos atrasos e consumo dinâmico. Além disso, foram avaliadas as saídas da Soma e Cout, entretanto, somente para a caracterização elétrica nominal e NT serão apresentados os valores de potência e atraso para as duas saídas. Nas análises de variabilidade, devido à grande quantidade de dados, é analisado sempre a saída com o pior caso. Os circuitos completos dos somadores construídos com portas lógicas XOR estão disponíveis no Apêndice A. Tabelas e gráficos adicionais estão disponíveis no Apêndice B, complementando a análise. Os resultados foram organizados em seis partes:

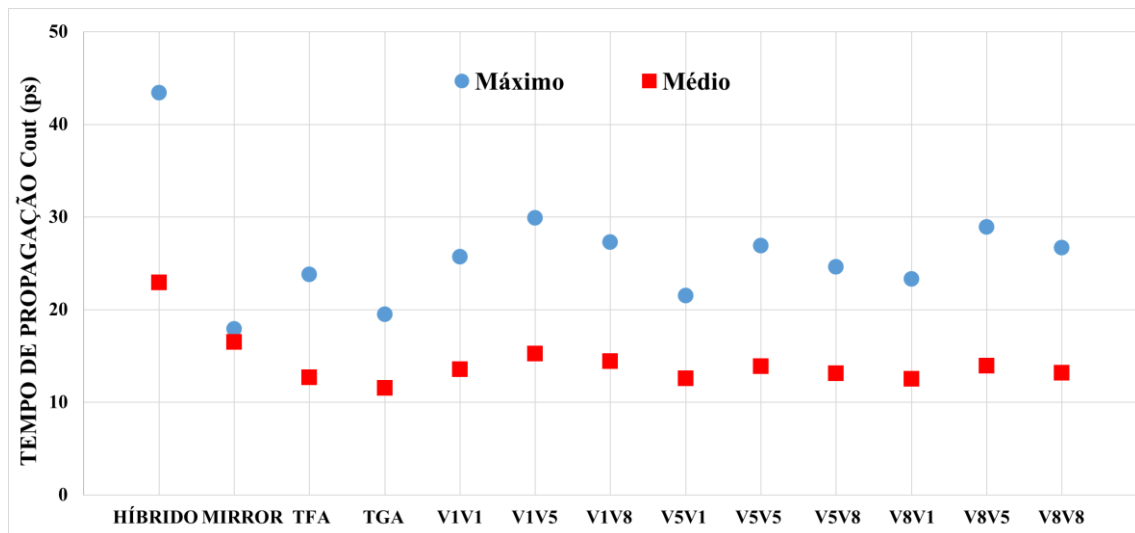
1. caracterização elétrica nominal dos circuitos;
2. caracterização elétrica NT dos circuitos;
3. caracterização elétrica considerando efeitos de variabilidade PVT operando com tensão nominal;
4. caracterização elétrica considerando efeitos de variabilidade PVT operando com tensão de quase limiar;
5. caracterização elétrica considerando a adição de células de desacoplamento nas saídas dos circuitos, para redução dos efeitos de variabilidade de processo;
6. comparação dos somadores quanto às metodologias utilizadas.

5.1 Caracterização elétrica nominal dos somadores

A Figura 5.1 mostra resultados de atraso dos somadores, para a saída Cout, operando em tensão nominal e sem estarem sob o efeito de variabilidade. Dentre os somadores construídos por blocos de portas lógicas XOR, vale destacar a versão FAV5V1 que obteve o menor atraso tanto para média (12,5ps) quanto para o máximo (21,5ps). Por

outro lado, o somador FAV1V5, obteve os piores resultados médios (15,2ps) e máximo (29,9ps). Considerando os somadores tradicionais, vale destacar o alto valor de atraso do somador híbrido quando considerando o valor máximo de atraso (22,9ps), e o bom desempenho do somador Mirror que obteve resultados semelhantes tanto para a média de atraso (16,5ps) quanto para o máximo (17,9ps). O somador TGA obteve o melhor atraso médio (11,5ps), cerca de 50% menor do que o somador híbrido. Além disso, foi possível observar que, quando a XOR V1 é utilizada no segundo bloco, o somador tende a ter um atraso menor. Quando a XOR V5 é utilizada no segundo bloco, o somador tende a ter um atraso maior do que os demais, se comportando assim tanto para os valores médios quando para os máximos.

Figura 5-5-1 – Tempo de propagação máximo e médio dos somadores, saída Cout, nominal

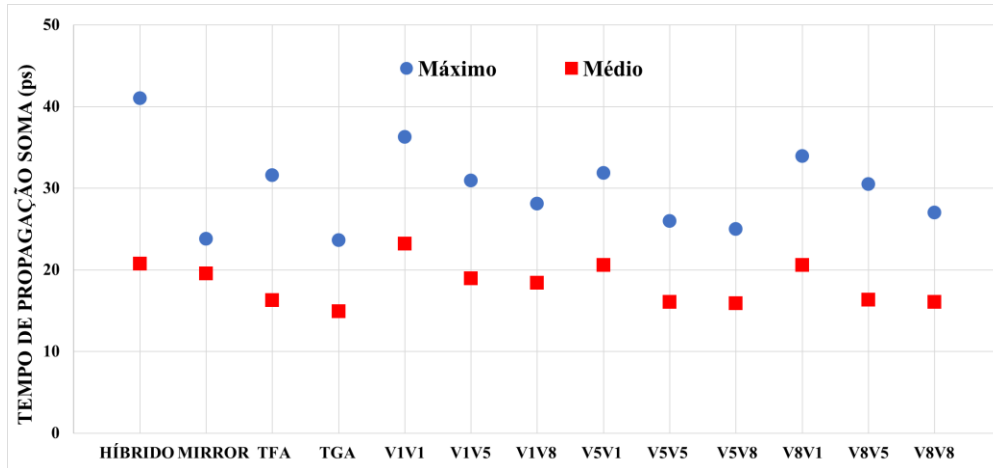


Fonte: Elaborado pelo autor

A Figura 5.2 mostra os resultados dos atrasos dos somadores, da saída Soma, operando em tensão nominal e sem estarem sob o efeito de variabilidade. O somador clássico TGA obteve os menores valores para média e máximo, (14,9ps) e (23,6ps), respectivamente. O somador híbrido obteve o maior valor de atraso máximo. Quanto aos somadores formados por portas lógicas XOR, os destaques negativos ficaram para os que tem a XOR V1 no segundo bloco, por exemplo FAV1V1, que obteve (36,6ps) de atraso máximo. Esse comportamento pode ser associado ao uso da XOR V1 em ambos os blocos totalizando um número maior de transistores. Os somadores com a porta lógica XOR V8 no segundo bloco obtiveram um atraso menor do que os demais, como por exemplo, o FAV5V8 com (15,9ps) de atraso médio, sendo 30% mais rápido do que o FAV1V1. Esse

comportamento pode ser explicado devido a XOR V8 fazer o uso de *pass-transistor* e também *transmission gate*, técnicas utilizadas para tornar os circuitos mais rápidos.

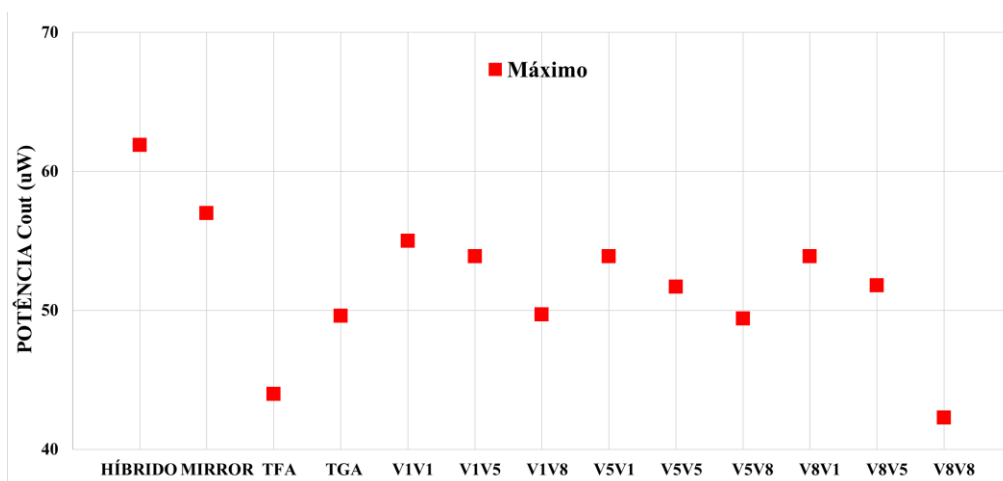
Figura 5-5-2 – Tempo de propagação máximo e médio dos somadores, saída Soma, nominal



Fonte: Elaborado pelo autor

A comparação dos somadores quanto à máxima potência dinâmica da saída Cout, pode ser observada na Figura 5.3. O principal destaque é o somador FAV8V8 que obteve o menor consumo mesmo quando comparado com os somadores tradicionais (42,3uW), consumindo pouco menos do que o somador TFA (44uW). Como esperado, devido ao maior número de transistores, os somadores tradicionais híbrido e Mirror obtiveram os maiores valores de consumo: (61,9uW) e (57uW) respectivamente. Foi possível observar um comportamento semelhante ao do atraso, onde os somadores que têm a porta lógica XOR V1 no segundo bloco obtiveram um consumo maior que os demais. Por outro lado, os que possuem a porta lógica XOR V8 no segundo bloco obtiveram um consumo significativamente menor que os demais.

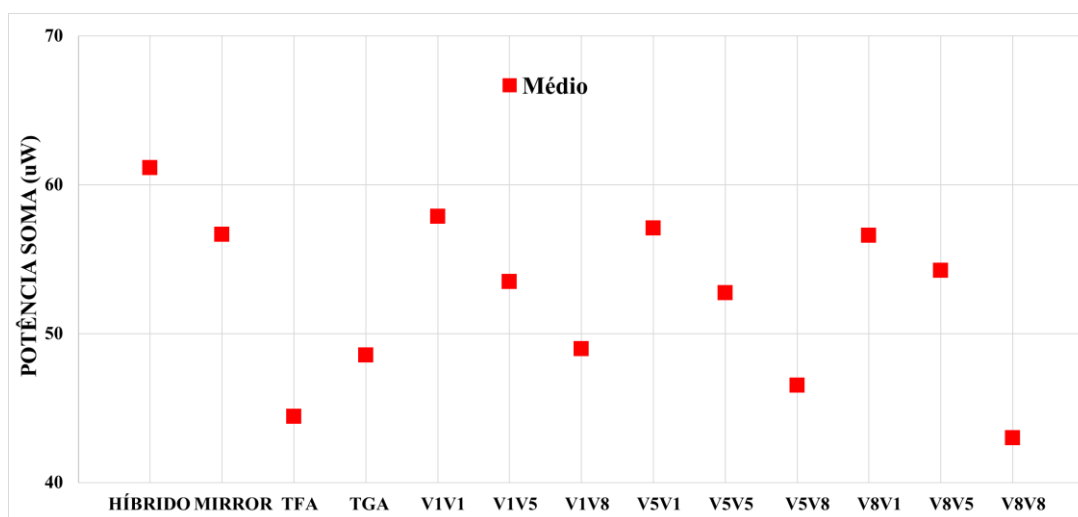
Figura 5-5-3 – Potência máxima dos somadores, saída Cout, nominal



Fonte: Elaborado pelo autor

Quanto à potência dinâmica máxima da saída SOMA, ilustrada na Figura 5.4, os resultados foram muito semelhantes com os mostrados na Figura 5.3 para a saída Cout. O somador FAV8V8, foi o principal destaque positivo, obtendo o menor consumo mesmo quando comparado com os somadores tradicionais (43uW) e consumindo pouco menos do que o somador TFA (44,4uW). Os somadores tradicionais híbrido e Mirror obtiveram os maiores valores de consumo: (61,1uW) e (56,7uW), respectivamente. Também foi possível observar um comportamento semelhante ao do atraso, onde os somadores que têm a porta lógica XOR V1 no segundo bloco obtiveram um consumo maior que os demais, sendo maior que 4% quando comparado com a XOR V5 no segundo bloco, e maior que 18% quando comparado com a XOR V8 no segundo bloco.

Figura 5-5-4 – Potência máxima dos somadores, saída Soma, nominal

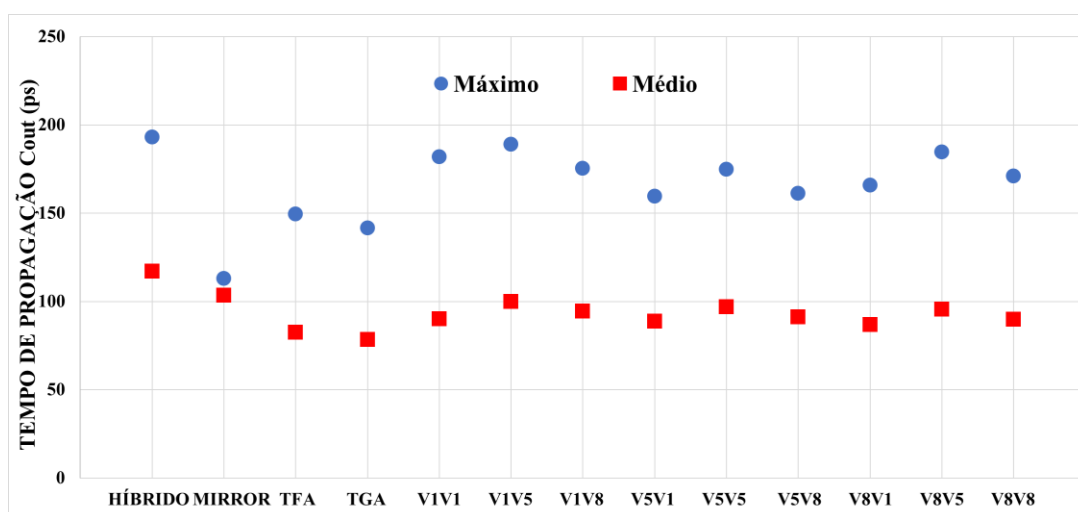


Fonte: Elaborado pelo autor

5.2 Caracterização elétrica NT dos somadores

A Figura 5.5 mostra resultados de atraso dos somadores, para a saída Cout, operando em tensão de quase limiar e sem estarem sob o efeito de variabilidade. Quanto aos valores de atraso máximo, os destaques positivos e negativos foram dos somadores clássicos, sendo o atraso de (193ps) do somador híbrido o mais alto e o atraso de (113ps) do somador Mirror o mais baixo. Quanto aos somadores construídos com blocos de XORs, o uso da XOR V5 no segundo bloco não é uma boa opção, como por exemplo, o FAV1V5 com (189ps) de atraso médio. Como destaque positivo, temos o somador TGA que obteve os menores valores de atraso médio (78,2ps).

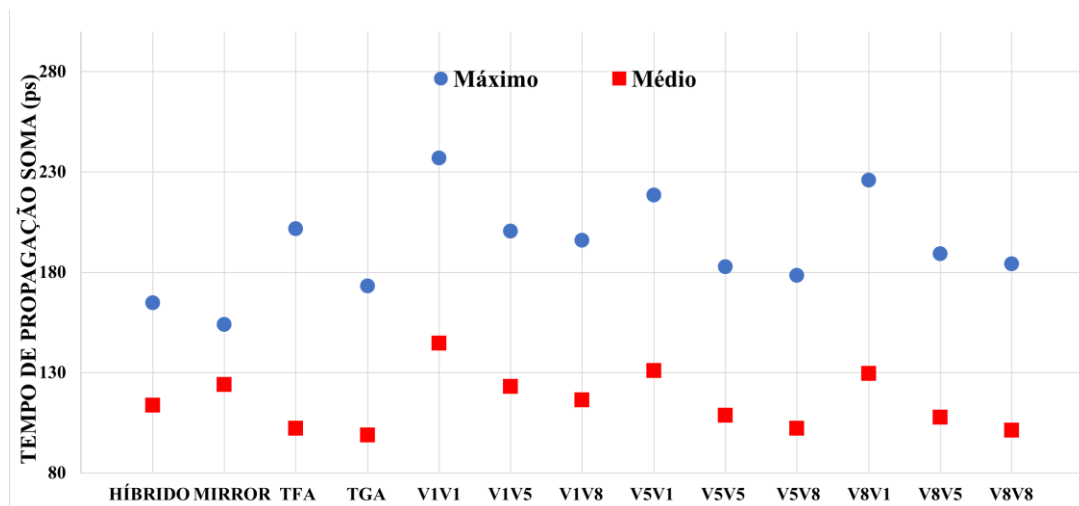
Figura 5-5-5 – Tempos de propagação máximo e médio dos somadores, saída Cout, NT



Fonte: Elaborado pelo autor

O comportamento da saída Soma foi muito semelhante ao da saída Cout. A Figura 5.6 mostra resultados de atraso dos somadores, da saída Soma, operando em tensão de quase limiar e sem estarem sob o efeito de variabilidade. O somador clássico TGA obteve os menores valores para média (98,9ps) e o somador Mirror obteve o menor atraso considerando os valores máximos (154ps). Os destaques negativos ficaram para os somadores que possuem a porta lógica XOR V1 dentro do segundo bloco, tanto para os valores médios quanto para os máximos, por exemplo, FAV1V1 teve média de (144ps) e máximo de (237ps). Os somadores FAV5V8 e FAV8V8 obtiveram resultados semelhantes ao atraso do somador TGA.

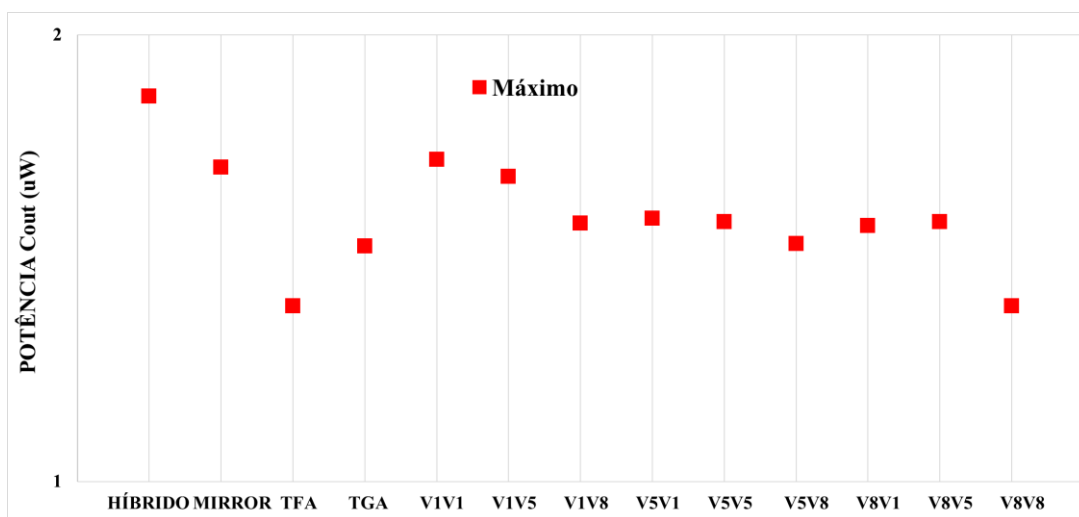
Figura 5-5-6 – Tempo de propagação máximo e médio dos somadores, saída Soma, NT



Fonte: Elaborado pelo autor

A comparação dos somadores quanto à potência dinâmica máxima da saída Cout operando em tensão de quase limiar, pode ser observada na Figura 5.7. Os somadores obtiveram o mesmo comportamento observado nas simulações quando estavam operando com tensão nominal, diferenciando-os apenas nos menores valores para consumo. O principal destaque continuou sendo o somador FAV8V8 que obteve o menor consumo (1,41uW) mesmo quando comparado com os somadores tradicionais, consumindo pouco menos do que o somador TFA (1,42uW). Os somadores tradicionais híbrido e Mirror obtiveram os maiores valores de consumo, (1,9uW) e (1,7uW), respectivamente. Os somadores que possuem a porta lógica XOR V8 no segundo bloco obtiveram um consumo de 10% a 20% menor que os demais.

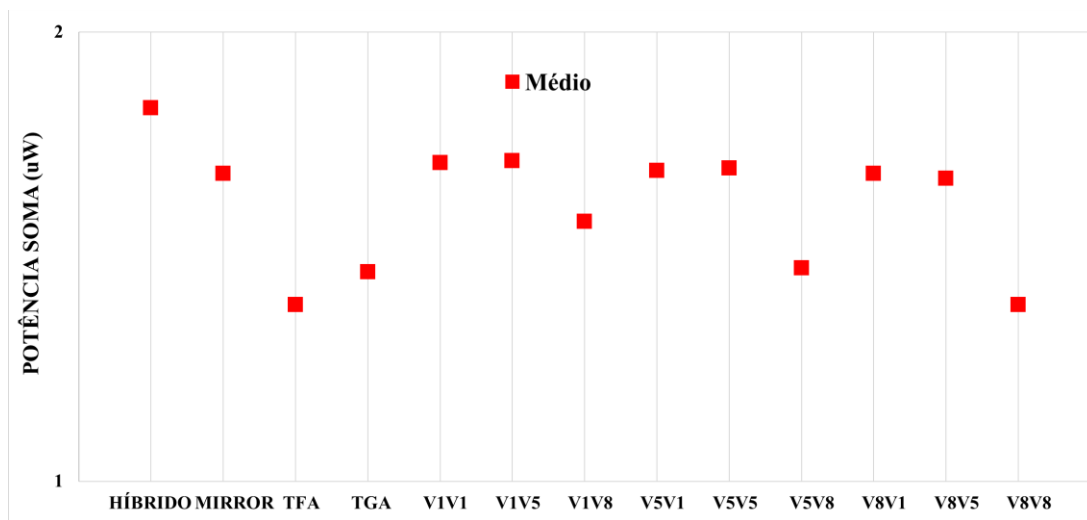
Figura 5-5-7 – Potência máxima dos somadores, saída Cout, NT



Fonte: Elaborado pelo autor

Os resultados seguiram muito semelhantes para a saída Soma em tensão de quase limiar, como pode ser observado na Figura 5.8. O somador FAV8V8, foi o principal destaque positivo, onde obteve o menor consumo dinâmico mesmo quando comparado com os somadores tradicionais (1.40uW), também consumindo pouco menos do que o somador TFA (1,42uW). Os somadores tradicionais híbrido e Mirror obtiveram os maiores valores de consumo, (1,8uW) e (1,7uW), respectivamente. Foi possível observar um comportamento semelhante ao do atraso, onde os somadores que têm a porta lógica XOR V1 no segundo bloco obtiveram um consumo maior que os demais.

Figura 5-5-8 – Potência máxima dos somadores, saída Soma, NT



Fonte: Elaborado pelo autor

5.3 Caracterização elétrica considerando efeitos de variabilidade PVT operando com tensão nominal

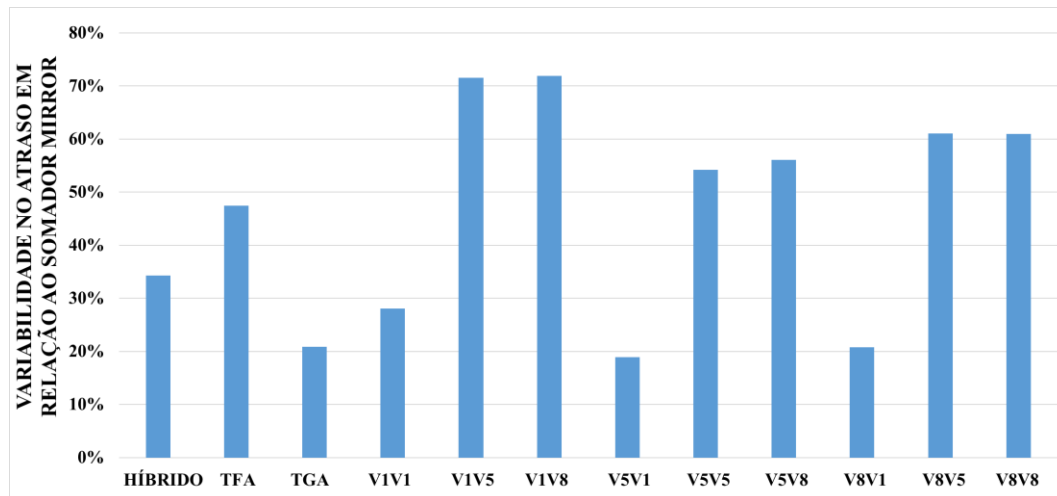
A seguir serão mostrados os resultados de atraso e potência dinâmica dos somadores considerando o impacto da variabilidade de processo, tensão e temperatura, considerando inicialmente a operação em tensão nominal. A partir daqui será apresentado apenas o pior caso entre Cout e Soma, sendo esse o mais relevante para a análise dos resultados. O restante dos dados está disponível no Apêndice B.

5.3.1 Atraso e consumo sob variabilidade de processo

Os efeitos da variabilidade de processo na saída Soma são apresentados na Figura 5.9. O somador Mirror foi o mais robusto, ou seja, com a menor variação de 11,5%. Devido a isso, os resultados foram normalizados por esse somador. Os somadores FAV1V5 e o FAV1V8 foram os mais sensíveis ao impacto desse tipo de variabilidade,

ambos com variação de 72% a mais do que o somador Mirror. Entre os somadores construídos com portas XORs, foi possível observar um padrão de acordo com a XOR que foi utilizada no segundo bloco. Por exemplo, observa-se um aumento de 40% de sensibilidade quando são usadas a XOR V5 e XOR V8 no segundo bloco, ao invés da XOR V1, quando comparados com o somador Mirror.

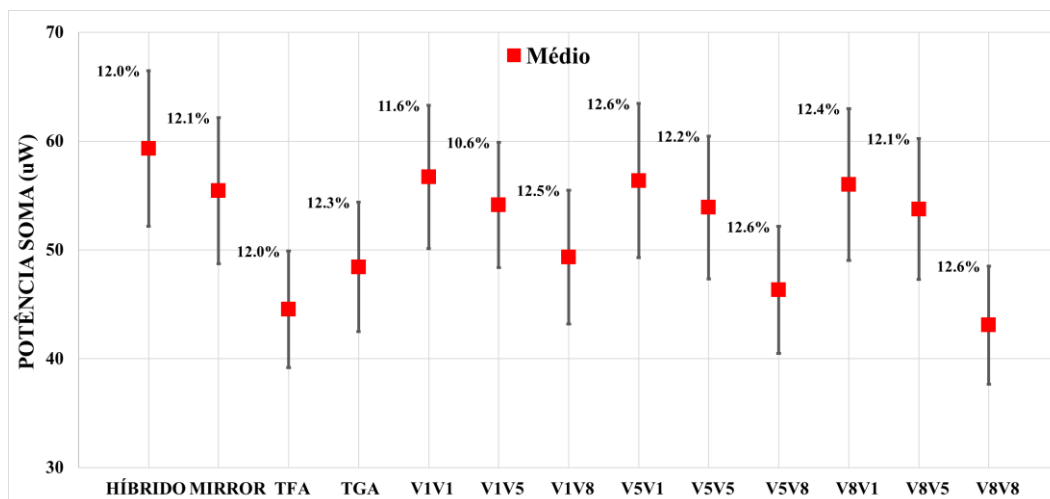
Figura 5-5-9 – Impacto da variabilidade de processo no atraso para saída Soma, normalizados pelo somador Mirror, nominal



Fonte: Elaborado pelo autor

A Figura 5.10 mostra o consumo dinâmico máximo e a variação provocada nos somadores devido a variabilidade de processo. Os somadores que usam o XOR V1 no segundo bloco obtiveram os maiores valores de consumo, (63,2uW), (63,4uW) e (63uW), enquanto o uso da XOR V8 no segundo bloco obteve os menores valores de consumo, (55,5uW), (52,1uW) e (48,5uW), quando comparados os somadores construídos com portas lógicas XOR. Com relação à variabilidade, com exceção dos somadores que possuem a XOR V1 no primeiro bloco, todos os outros obtiveram sensibilidade semelhante, em torno de 12%. O FAV1V5 foi o mais robusto, com a menor variação 10,6%.

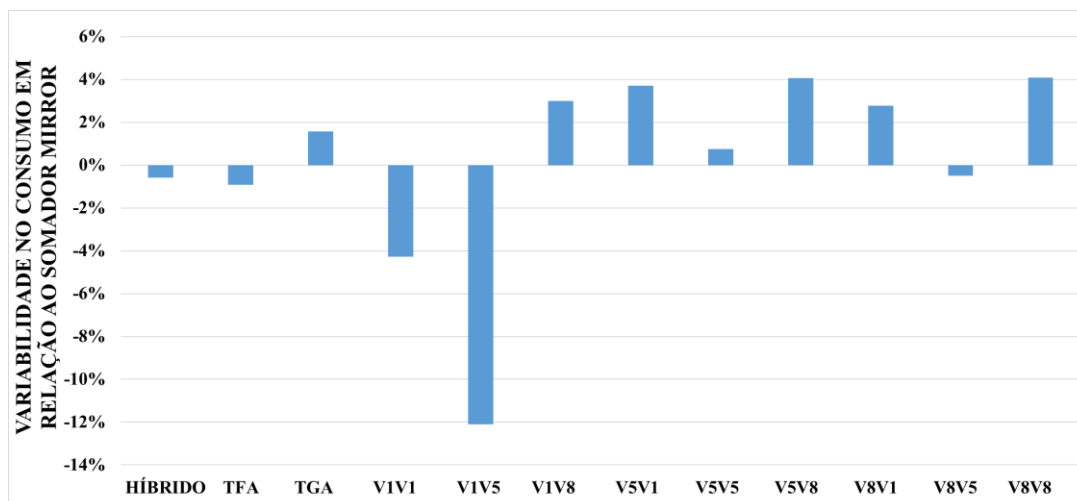
Figura 5-5-10 – Impacto da variabilidade de processo na potência para a saída Soma, nominal



Fonte: Elaborado pelo autor

A Figura 5.11 mostra a variação provocada nos somadores devido à variabilidade de processo quando comparados com o somador Mirror. Os somadores FAV1V1 e FAV1V5 foram mais robustos do que o somador Mirror, tendo as maiores reduções de 4% a 12% na sensibilidade à variabilidade, respectivamente. Os somadores que utilizaram a XOR V8 no segundo bloco foram mais sensíveis quando comparados com o somador Mirror, como por exemplo, o FAV5V8 e FAV8V8 com pouco mais de 4% de variação.

Figura 5-5-11 – Impacto da variabilidade de processo na potência para a saída Soma, normalizados pelo somador Mirror, nominal

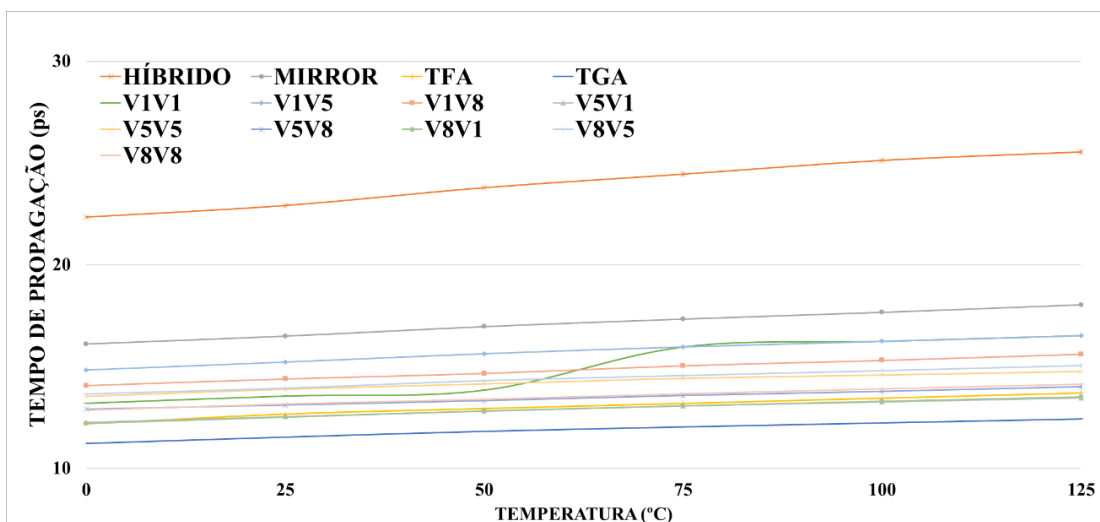


Fonte: Elaborado pelo autor

5.3.2 Atraso e consumo sob variabilidade de temperatura

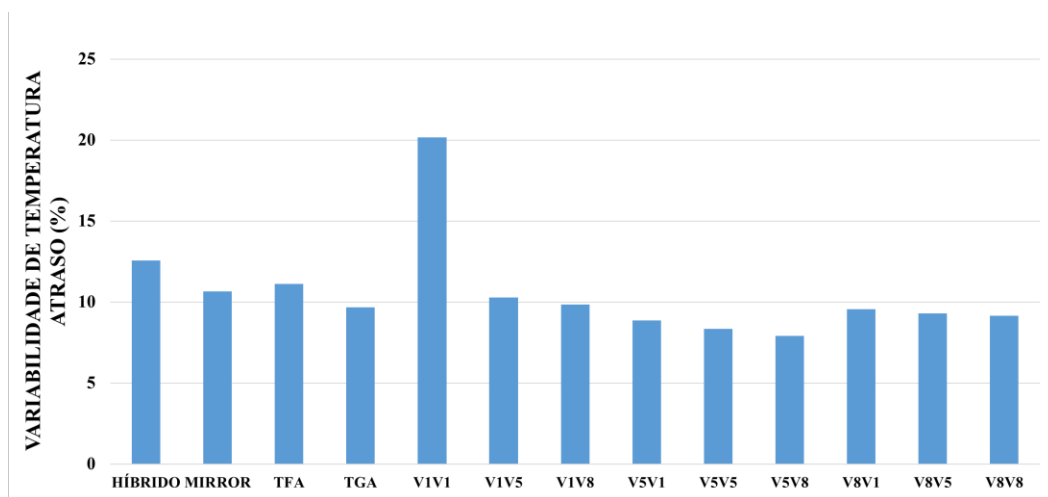
A Figura 5.12 mostra o comportamento do atraso dos somadores conforme o aumento da temperatura de operação. Como esperado, com o aumento da temperatura ocorre também o aumento de atraso. O somador híbrido obteve os maiores valores médios de atraso para todas as temperaturas, variando de (22,3ps) a (25,5ps). O somador TGA obteve os menores valores, com atrasos entre (11,2ps) e (13,7ps). Ainda considerando os valores de média, vale destacar o aumento de 14% que o somador FAV1V1 obteve quando a temperatura foi de 50°C para 75°C. Para a variabilidade o valor apresentado é a relação do menor valor pelo maior valor obtido. Os resultados são representados na Figura 5.13. Com exceção do FAV1V1, com 20,1% de variação, os demais somadores construídos com blocos de XORs foram mais robustos, com destaque para FAV5V8 que obteve a menor variação de 7,9%.

Figura 5-5-12 – Tempo de propagação médio considerando variabilidade de temperatura, saída Cout, nominal



Fonte: Elaborado pelo autor

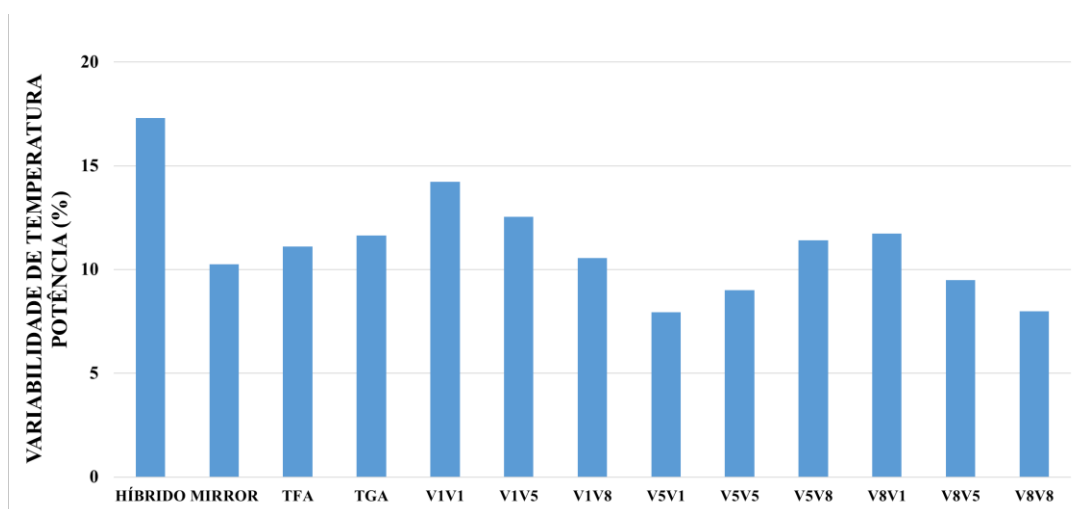
Figura 5-5-13 – Impacto da variabilidade de temperatura no atraso, saída Cout, nominal



Fonte: Elaborado pelo autor

O comportamento do consumo dinâmico da saída Cout dos somadores conforme o aumento da temperatura de operação é apresentado na Figura 5.14. O gráfico de cada somador apresentado é a relação do menor valor de consumo com o maior valor de consumo. Como esperado, com o aumento da temperatura ocorre também a redução do consumo. O somador híbrido foi o mais sensível com a maior variação de 17%, além de obter os maiores valores de consumo máximo, com valores entre (65,4uW) e (55,8uW). Os somadores FAV5V1 e FAV8V8 foram os mais robustos com a menor variação de 7,9% devido a temperatura. Os menores valores para consumo máximo foram alcançados por FAV8V8, com potências entre (42,6uW) e (39,5uW).

Figura 5-5-14 – Impacto da variabilidade de temperatura na potência, saída Cout, nominal

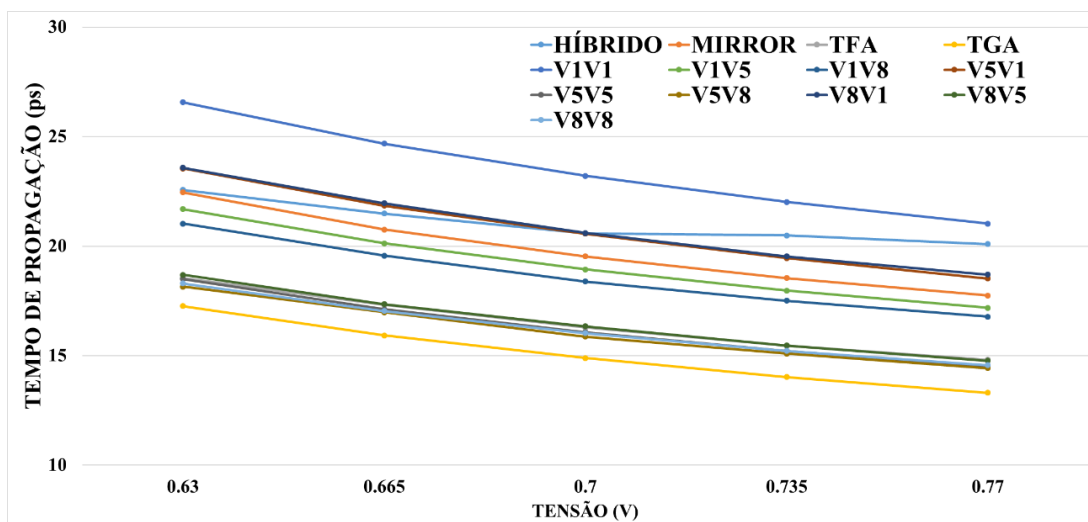


Fonte: Elaborado pelo autor

5.3.3 Atraso e consumo sob variabilidade de tensão

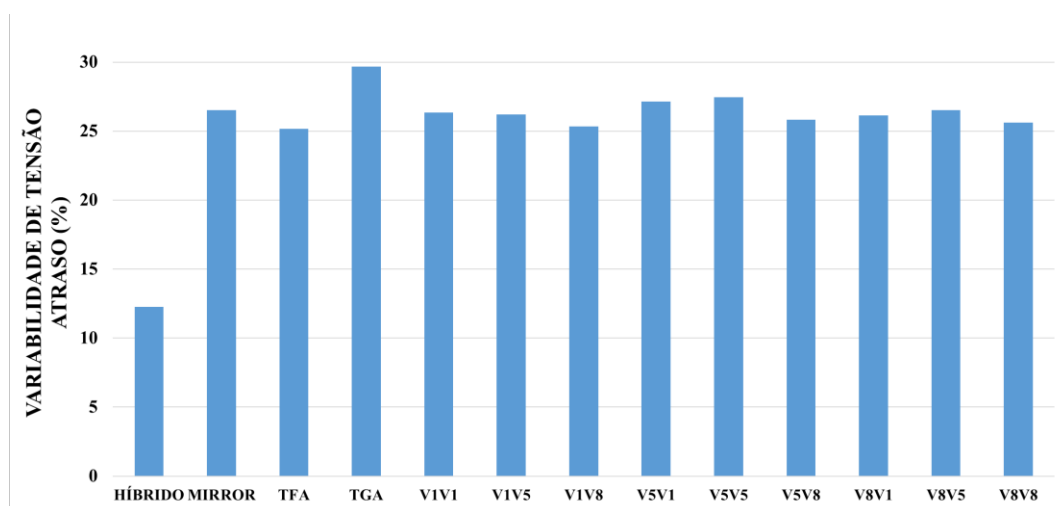
Para a saída SOMA, o somador FAV1V1 obteve os maiores valores médios de atraso para todas as tensões, oscilando entre (26,5ps) e (21ps). O somador TGA obteve os menores valores de atraso, entre (17,2) ps e (13,3ps), conforme mostrado na Figura 5.15. Para a variabilidade, o valor apresentado é a relação do menor valor com o maior valor obtido. Os resultados são representados na Figura 5.16. O somador híbrido foi o mais robusto com a menor variação de apenas 12,2%. O uso da XOR V8 no segundo bloco trouxe uma robustez maior para os circuitos, sendo o FAV1V8 o mais robusto de todos os construídos com blocos de XORs com 25,3% de variação. O somador TGA foi o mais sensível com quase 30% de variação.

Figura 5-5-15 – Tempo de propagação médio considerando variabilidade de tensão, saída Soma, nominal



Fonte: Elaborado pelo autor

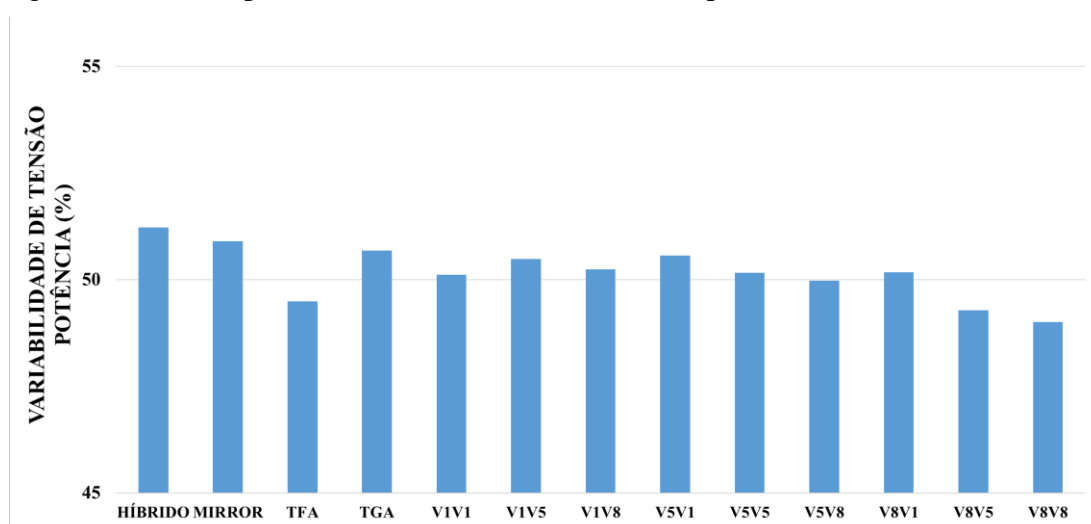
Figura 5-5-16 – Impacto da variabilidade de tensão no atraso, saída Soma, nominal



Fonte: Elaborado pelo autor

Como esperado, com o aumento da tensão ocorre também um aumento do consumo dinâmico. A Figura 5.17 mostra os resultados para a saída Soma considerando uma relação entre o menor valor de consumo e o maior valor de consumo. Observando essa saída, o somador híbrido foi o mais sensível à variabilidade de tensão, com a maior variação de 51,2%, e obteve os maiores valores para consumo máximo com variações de (40,3uW) a (82,2uW). O somador com os menores valores para potência foi FAV8V8 com resultados entre (29,7uW) e (58,3uW), e ele também foi o mais robusto, sendo 49% a menor variação no pior caso.

Figura 5-5-17 – Impacto da variabilidade de tensão na potência, saída Soma, nominal



Fonte: Elaborado pelo autor

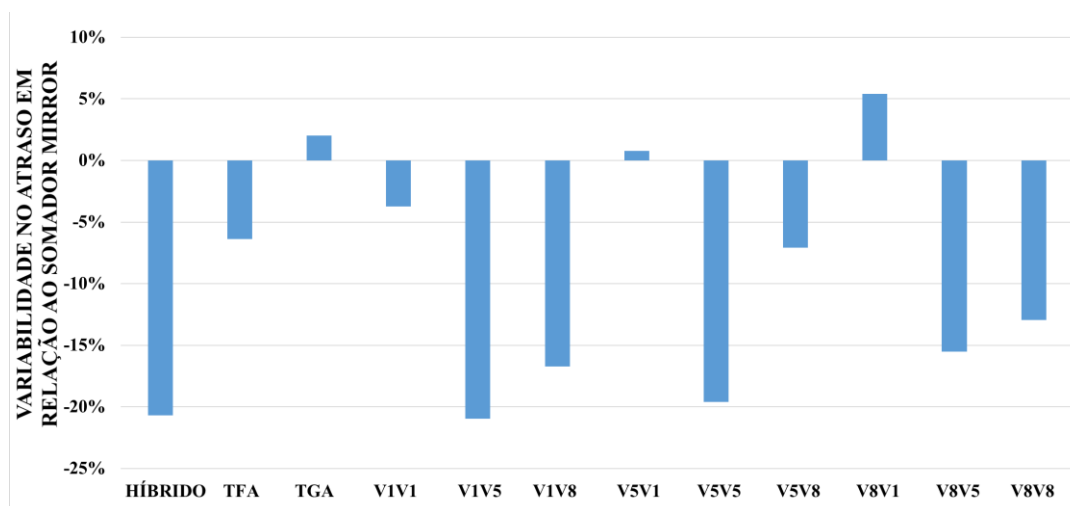
5.4 Caracterização elétrica considerando efeitos de variabilidade PVT operando com tensão de quase limiar

A seguir serão mostrados os resultados de atraso e potência dinâmica dos somadores considerando o impacto da variabilidade de processo, tensão e temperatura. Além disso, os circuitos serão analisados também quando operam em tensão de quase limiar.

5.4.1 Atraso e consumo sob variabilidade de processo

A Figura 5.18 mostra o desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado quando comparado com o somador Mirror. Uma pequena parte dos somadores obteve uma sensibilidade à variabilidade de processo maior do que a do somador Mirror. Foi possível observar que os somadores que foram mais sensíveis tinham a porta XOR V1 implementada no segundo bloco, como é o caso dos somadores FAV5V1 e o FAV8V1, sendo 1% e 6% mais sensíveis, respectivamente. Além disso, os somadores que tinham a porta XOR V5 no segundo bloco se mostraram mais robustos do que os demais, como por exemplo, o somador FAV1V5 e o FAV5V5 com as menores variações 21% e 19%, respectivamente. Para os somadores tradicionais, o TGA é mais sensível que o somadores Mirror, com 2% de variabilidade, enquanto o somador híbrido é boa opção aumentando a robustez em 21% comparado ao Mirror.

Figura 5-5-18 – Impacto da variabilidade de processo no atraso, saída Cout, normalizados pelo somador Mirror, NT



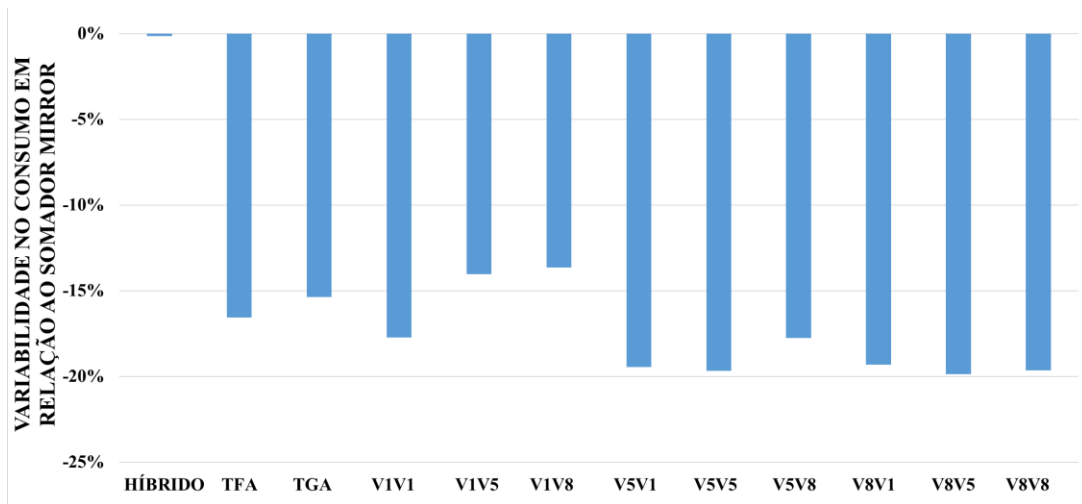
Fonte: Elaborado pelo autor

A Figura 5.19 mostra a potência dinâmica e a variação provocada nos somadores devido à variabilidade de processo. Os resultados foram normalizados pelo somador Mirror. Foi interessante observar que com exceção do somador híbrido todos os outros

somadores foram mais robustos que o somador Mirror, ou seja, obtiveram uma variação menor.

Os somadores com a XOR V1 no primeiro bloco são boas opções considerando esse tipo de variabilidade. Os demais somadores apresentaram variações entre 18% e 20%. Para os valores de média, o somador FAV1V1 foi o que obteve o maior consumo com cerca de (2,2uW). O somador TFA obteve o menor valor de consumo, com (1,7uW), mais de 30% a menos que o FAV1V1. Foi possível observar o projeto de somadores com portas XORs é uma boa opção quanto à robustez para variabilidade de processo, chegando nos piores casos a 55% de variação.

Figura 5-5-19 – Impacto da variabilidade de processo na potência, saída Cout, normalizados pelo somador Mirror, NT



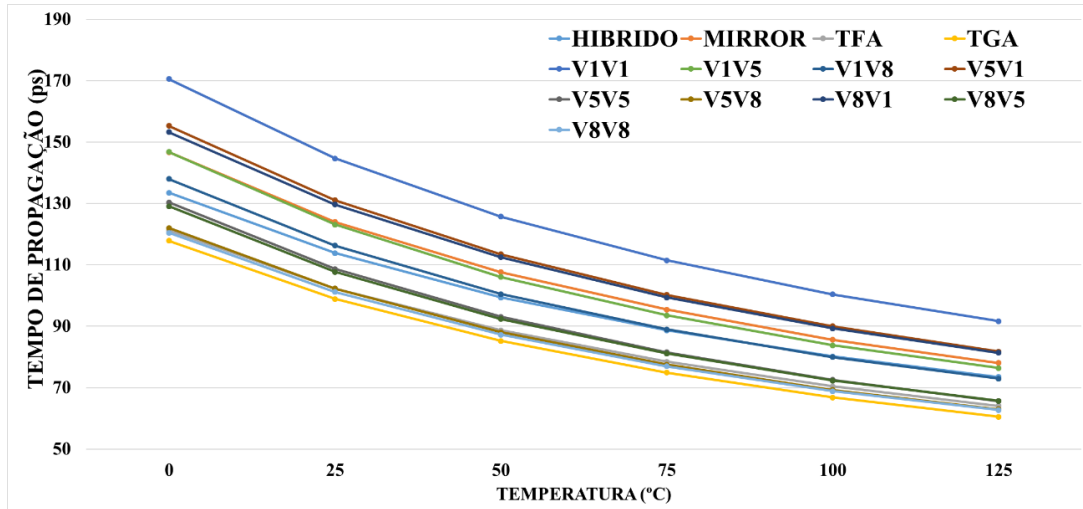
Fonte: Elaborado pelo autor

5.4.2 Atraso e consumo sob variabilidade de temperatura

A Figura 5.20 mostra o comportamento do atraso dos somadores conforme o aumento da temperatura de operação. O somador FAV1V1 obteve os maiores valores médios de atraso para todas as temperaturas, variando de (170,6ps) a (91,6ps). Enquanto o somador TGA obteve os menores valores, com atrasos entre (117,9ps) e (60,5ps). Em relação à variabilidade, os resultados são representados na Figura 5.21 onde é mostrada a relação entre o menor e o maior valor obtido. Todos os somadores ficaram entre 80-100% de variação. O somador híbrido foi o que apresentou menor variação, com 81,7%. O somador FAV5V5 foi o mais sensível, com uma variação de quase 100% no atraso de acordo com a temperatura adotada. Com isso foi possível observar que o uso da XOR V5

no segundo bloco trouxe uma sensibilidade à variabilidade de temperatura maior para os circuitos.

Figura 5-5-20 – Tempo de propagação médio considerando variabilidade de temperatura, saída Soma, NT



Fonte: Elaborado pelo autor

Figura 5-5-21 – Tempo de propagação médio considerando variabilidade de temperatura, saída Soma, NT

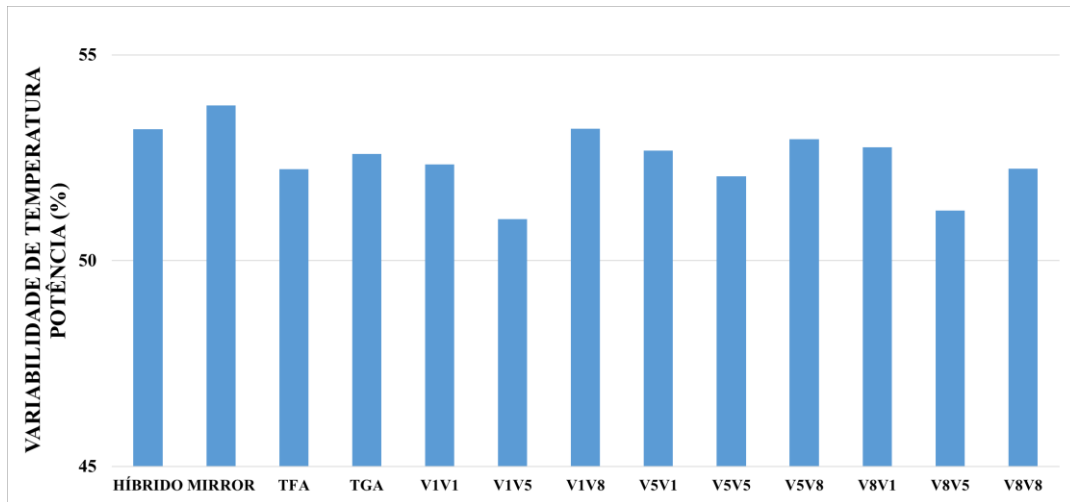


Fonte: Elaborado pelo autor

A Figura 5.22 mostra o comportamento da potência dinâmica da saída Soma dos somadores conforme o aumento da temperatura de operação. O somador Mirror foi o mais sensível à variabilidade de temperatura, com 53,7% de variabilidade. Porém, os maiores valores para consumo máximo foram do somador híbrido, com potências entre (1,5uW) e (3,2uW). Assim como para a saída Cout, observando a saída Soma, os somadores com os menores valores de potência foram o FAV8V8 e o TGA, com potências entre (1,1uW)

e (2,3uW). O somador FAV1V5 foi o mais robusto, com a menor variação de apenas 51%.

Figura 5-5-22 – Impacto da variabilidade de temperatura na potência, saída Soma, NT



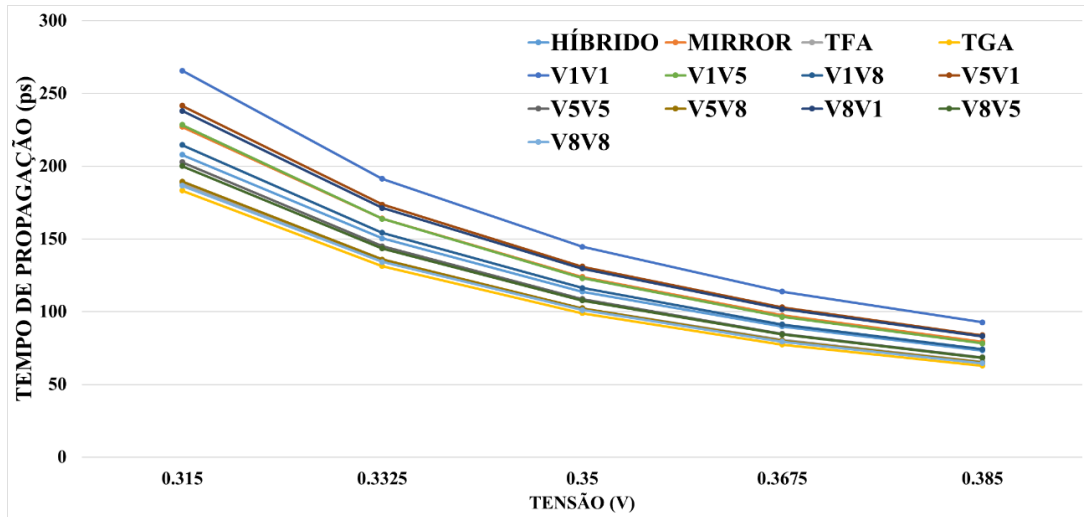
Fonte: Elaborado pelo autor

5.4.3 Atraso e consumo sob variabilidade de tensão

A Figura 5.23 mostra o comportamento do atraso dos somadores conforme a variação de +/-10% da tensão nominal de operação. O somador FAV1V1 obteve os maiores valores médios de atraso para todas as tensões, variando de (265,7ps) a (92,8ps). Já o somador TGA obteve os menores valores, com tensões variando entre (183,3ps) e (62,9ps).

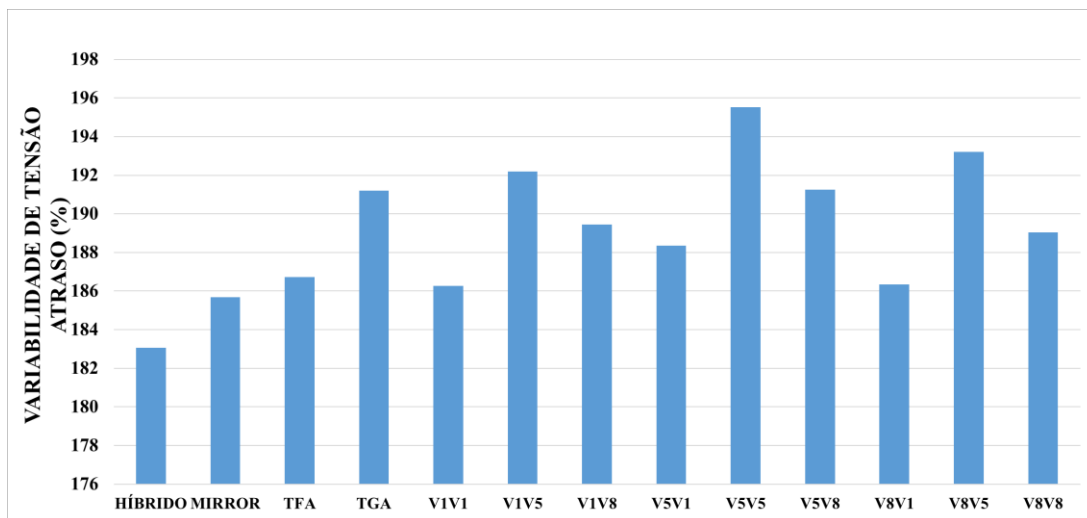
Em relação à variabilidade, os resultados são representados na Figura 5.24. Observa-se que a variabilidade devido à tensão, considerando apenas 10% de oscilação, tem grande impacto nos valores de atraso e potência. O somador Híbrido com 183% de variação apresentou resultados similares aos encontrados com o uso da XOR V1, com uma pequena redução. O uso da XOR V1 no segundo bloco reduziu o impacto da variabilidade de tensão nestes circuitos, sendo o FAV1V1 o circuito que apresentou menor oscilação entre todos os construídos com blocos de XORs, seguido pelo FAV8V1 com 186,2% e 186,3% de variação, respectivamente. O somador FAV5V5 foi o mais sensível com 195,5% de variação.

Figura 5-5-23 – Tempo de propagação médio considerando variabilidade de tensão, saída Soma, NT



Fonte: Elaborado pelo autor

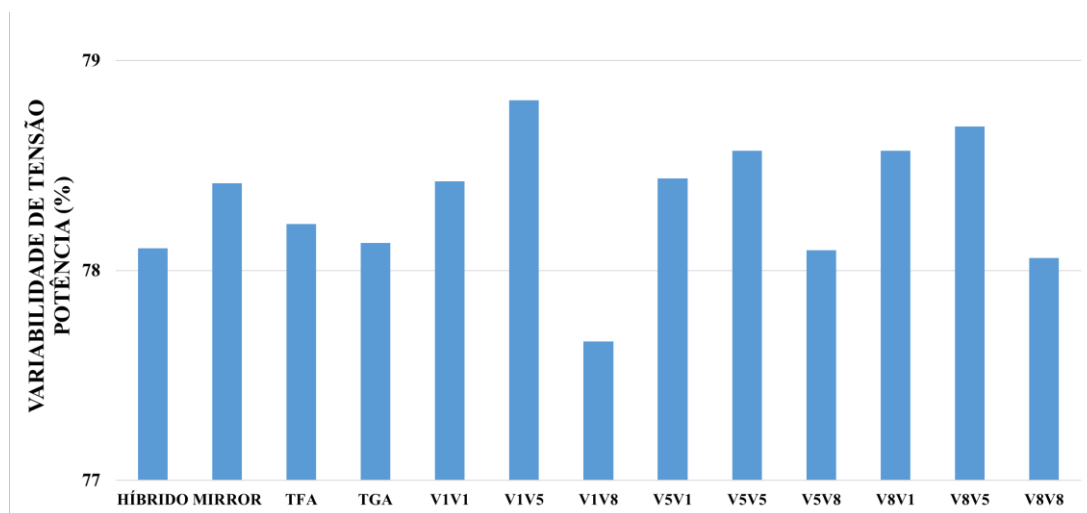
Figura 5-5-24 – Impacto da variabilidade de tensão no atraso, saída Soma, NT



Fonte: Elaborado pelo autor

A Figura 5.25 mostra o comportamento do consumo da saída Soma dos somadores conforme a variação de +/-10% na tensão nominal de operação. Embora os circuitos tenham tido uma variação alta, cerca de 80%, a diferença entre o circuito menos sensível e o circuito mais sensível foi de apenas 1,1% de variação, podendo assim, considerar que os resultados são similares. O somador com os maiores valores para consumo máximo foi o híbrido, com potências entre (0,8uW) e (3,6uW). Os somadores com os menores valores de potência foram o TFA e o FAV8V8 com potências entre (0,5uW) e (2,6uW).

Figura 5-5-25 – Impacto da variabilidade de tensão na potência, saída Soma, NT



Fonte: Elaborado pelo autor

5.5 Caracterização elétrica considerando a adição de células de desacoplamento nas saídas dos circuitos

Conforme foi observado nos resultados apresentados anteriormente, a variabilidade de processo tem um grande impacto no atraso e consumo dos somadores, principalmente quando os circuitos estão operando em tensão de quase limiar. A seguir serão mostrados os resultados de atraso e consumo dinâmico dos somadores quando consideramos a adição de células de desacoplamento nas saídas dos circuitos. Essa técnica foi utilizada para redução do impacto da variabilidade de processo. Abaixo serão apresentados resultados dos somadores somente com a adição das Dcells, e na próxima seção serão apresentados resultados comparativos que mostram o quão eficiente foi o uso dessa técnica.

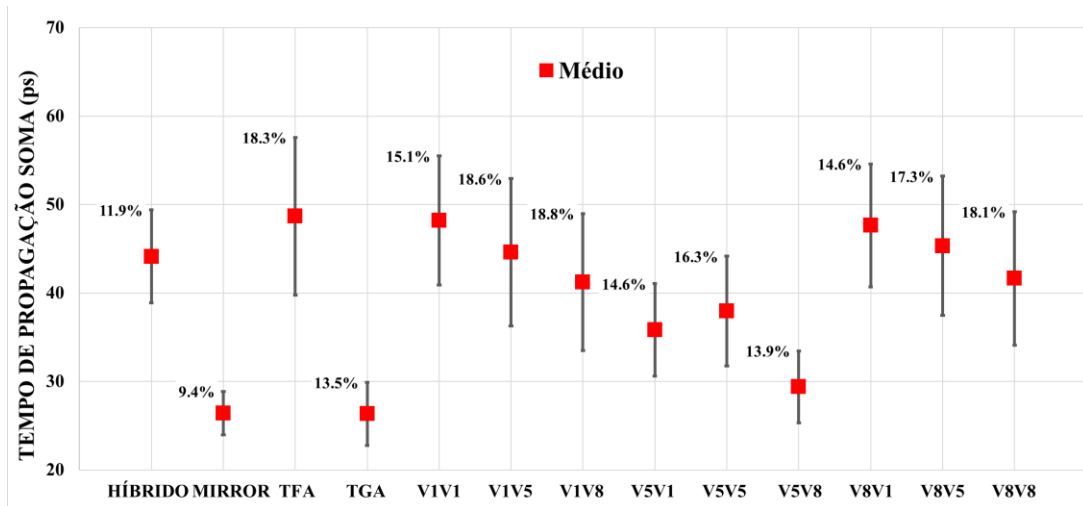
5.5.1 Nominal – Atraso sob variabilidade de processo, Dcell, SOMA

A Figura 5.26 mostra os valores médios de atraso para todos os somadores, quando operando sob efeito da variabilidade de processo após a adição da célula de desacoplamento nas saídas, além do desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado. Na operação em tensão nominal, os piores efeitos foram observados quanto ao desempenho da saída SOMA.

Os resultados para a saída Cout estão disponíveis no Apêndice B. Os somadores Mirror foi o mais robusto, com a menor variação de 9,4%, enquanto os somadores FAV1V5 e o FAV1V8 foram os mais sensíveis a esse tipo de variabilidade, com 18,6%

e 18,8% de variação, respectivamente. Para os valores médios de atraso, vale destacar o bom desempenho dos somadores Mirror, TGA e FAV5V8 que obtiveram menos de (30ps) de atraso. Por outro lado, com quase (50ps) de atraso ficaram os somadores TFA, FAV1V1 e FAV8V1.

Figura 5-5-26 – Tempo de propagação com variabilidade de processo, saída Soma, nominal



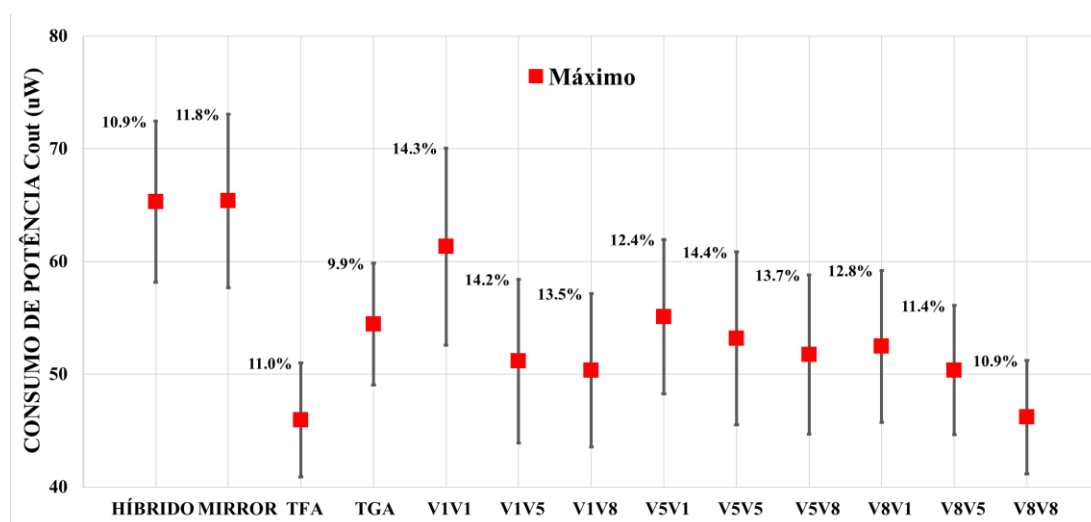
Fonte: Elaborado pelo autor

5.5.2 Nominal – Consumo sob variabilidade de processo, Dcell, SOMA

A Figura 5.27 mostra o consumo dinâmico máximo e a variação provocada nos somadores devido a variabilidade de processo considerando o uso de células de desacoplamento nas saídas. Diferentemente, na operação em tensão nominal, os piores efeitos foram observados quanto à potência para a saída SOMA.

O somador TGA foi o mais robusto de todos, com a menor variação de apenas 9,9%. O que obteve a maior sensibilidade para esse tipo de variabilidade foi o FAV5V5, com 14,4% de variação. Para os valores de média, o somador Mirror seguido pelo somador híbrido foram os que obtiveram os maiores valores de consumo com cerca de (65,3uW). Os somadores TFA e o FAV8V8 obtiveram os menores valores de consumo, sendo (45,9uW) e (46,2uW), respectivamente.

Figura 5-5-27 – Potência com variabilidade de processo, saída Cout, nominal



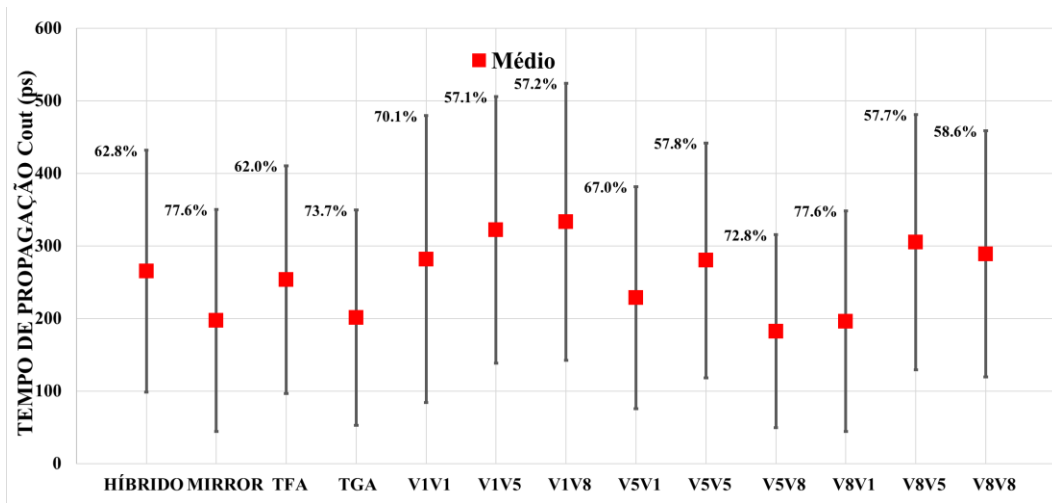
Fonte: Elaborado pelo autor

5.5.3 NT – Atraso sob variabilidade de processo, Dcell, Cout

A Figura 5.28 mostra os atrasos médios para todos os somadores operando em NT considerando a saída Cout quando operando sob efeito da variabilidade de processo após a adição da célula de desacoplamento nas saídas, além disso, é mostrado também o desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado.

O somador FAV1V5 foi o mais robusto, com a menor variação de 57,1%, enquanto o Mirror juntamente com o FAV8V1 foram os mais sensíveis a esse tipo de variabilidade, com 77,6% de variação. Quanto ao atraso dos somadores, os destaques ficaram para os somadores construídos por blocos de XORs, sendo o somador FAV5V8 o mais rápido e o somador FAV1V8 o mais lento, com (182,4ps) e (333,4ps) de atraso, respectivamente.

Figura 5-5-28 – Tempo de propagação com variabilidade de processo, saída Cout, NT

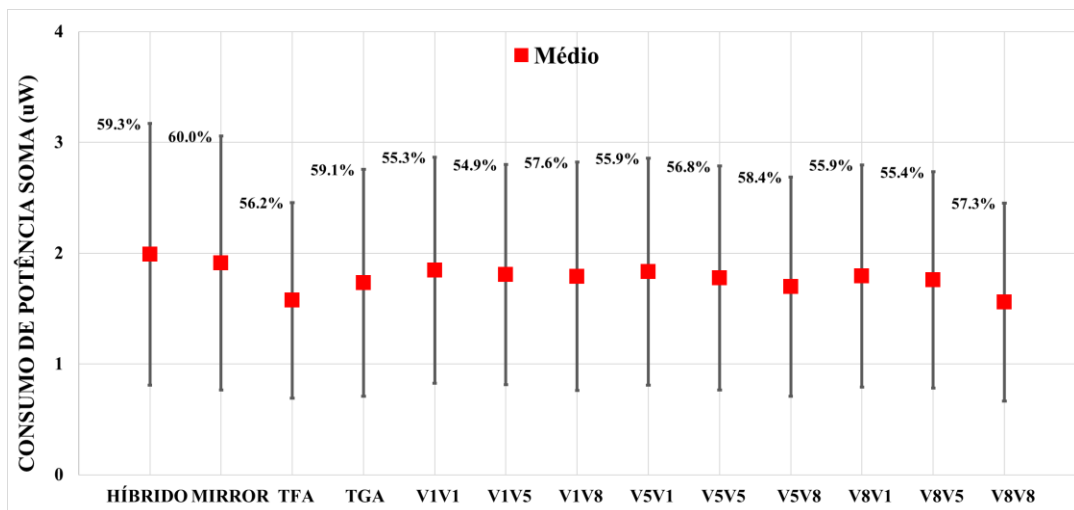


5.5.4 NT – Consumo sob variabilidade de processo, Dcell, SOMA

A Figura 5.29 mostra o consumo máximo e a variação provocada nos somadores operando em NT, devido à variabilidade de processo, considerando o uso de células de desacoplamento nas saídas. Os resultados são apresentados para a saída SOMA.

Os somadores híbrido e Mirror obtiveram os maiores valores de consumo, aproximadamente (1,9uW). Os menores valores de consumo, são do somador FAV8V8 e do somador TFA com (1,5uW). Com relação à variabilidade, o somador FAV1V5 foi o mais robusto com a menor variação de 54,9%, enquanto o mais sensível foi o somador Mirror com a maior variação de 60%.

Figura 5-5-29 – Potência com variabilidade de processo, saída Soma, NT



Fonte: Elaborado pelo autor

5.6 Comparação dos somadores quanto às metodologias utilizadas

A seguir serão mostrados os resultados comparativos dos somadores quando consideramos a adição de células de desacoplamento nas saídas dos circuitos. Aqui é possível observar que, na maioria dos casos, o uso da célula de desacoplamento é uma boa opção quando o objetivo do projeto é a redução do impacto da variabilidade de processo. Quando os circuitos operaram em tensão nominal, a saída Soma foi a mais afetada, tanto para o atraso quanto para consumo dinâmico. Por outro lado, considerando o uso da tensão de quase limiar a saída mais afetada para o atraso foi o Cout enquanto para o consumo foi a saída Soma. O valor de delta mostrado nas tabelas a seguir é a relação do valor de atraso ou potência sem o uso da DCELL sobre com o uso da DCELL. Portanto, valores positivos significam que com o uso da DCELL houve um aumento do valor de média ou desvio em relação ao não uso da DCELL. O restante das Tabelas e Figuras serão apresentados no Apêndice B.

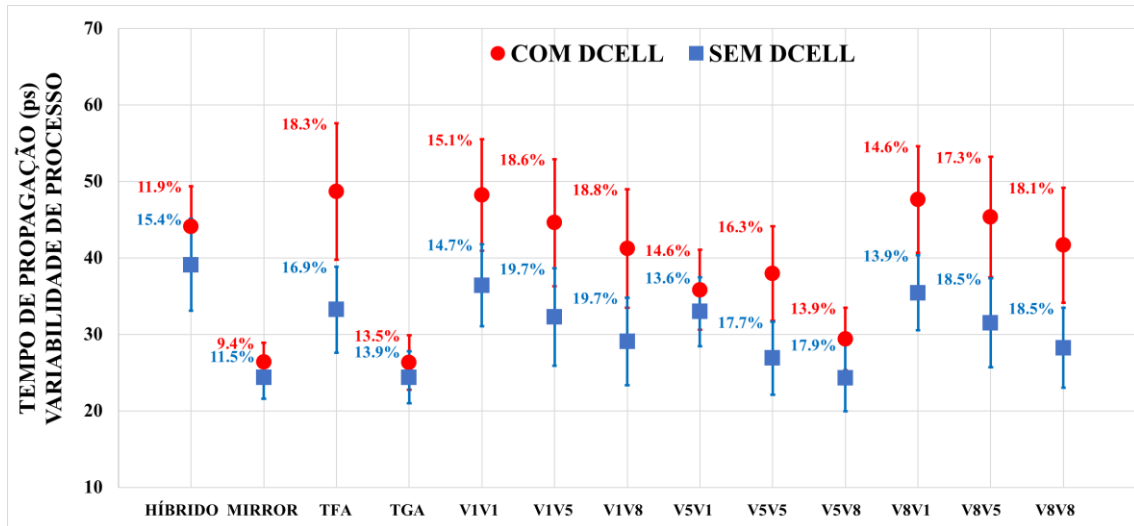
5.6.1 Nominal - Avaliação do impacto no atraso do uso da Dcell

A Figura 5.30 e a Tabela 5.1 mostram a influência do uso de células de desacoplamento nas saídas dos circuitos quanto ao atraso. Quando a célula foi adicionada, houve um aumento no atraso dos circuitos. Porém, em compensação, na maioria dos casos, houve também uma redução considerável na sensibilidade dos circuitos sob variabilidade de processo.

Considerando todos os somadores avaliados, os mais tradicionais híbrido e Mirror obtiveram um pequeno aumento no atraso e um grande ganho de robustez com a adição da Dcell. Os somadores ficaram aproximadamente 12,89% e 8,35% mais lentos, e 22,60% e 18,21% mais robustos, respectivamente.

Para os somadores construídos com portas lógicas XOR, o FAV5V8 foi o que obteve os melhores resultados com o uso da Dcell, obtendo uma redução de 22,33% na sua sensibilidade a variabilidade de processo, com uma contrapartida de um aumento de 20,82% nos atrasos. É possível observar que, para casos como TFA, FAV1V8, FAV5V5, FAV8V5 e FAV8V8, o uso da Dcell resultou em um aumento do atraso de mais de 40% enquanto reduziu a sensibilidade à variabilidade de processo em 6% nos melhores casos.

Figura 5-5-30 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Soma, nominal



Fonte: Elaborado pelo autor

Tabela 5-1 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Soma, nominal

SOMADOR	NOMINAL ATRASO SOMA			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	39,09	44,13	12,89	15,40	11,92	-22,60
MIRROR	24,38	26,41	8,35	11,47	9,38	-18,21
TFA	33,23	48,69	46,52	16,92	18,28	8,03
TGA	24,39	26,33	7,95	13,86	13,52	-2,50
V1V1	36,41	48,20	32,37	14,69	15,12	2,91
V1V5	32,27	44,61	38,23	19,68	18,64	-5,29
V1V8	29,07	41,24	41,86	19,72	18,80	-4,63
V5V1	32,96	35,83	8,69	13,65	14,57	6,79
V5V5	26,88	37,96	41,22	17,68	16,31	-7,79
V5V8	24,32	29,38	20,82	17,90	13,90	-22,33
V8V1	35,44	47,65	34,48	13,86	14,58	5,20
V8V5	31,49	45,34	43,95	18,48	17,34	-6,13
V8V8	28,24	41,66	47,50	18,47	18,09	-2,02

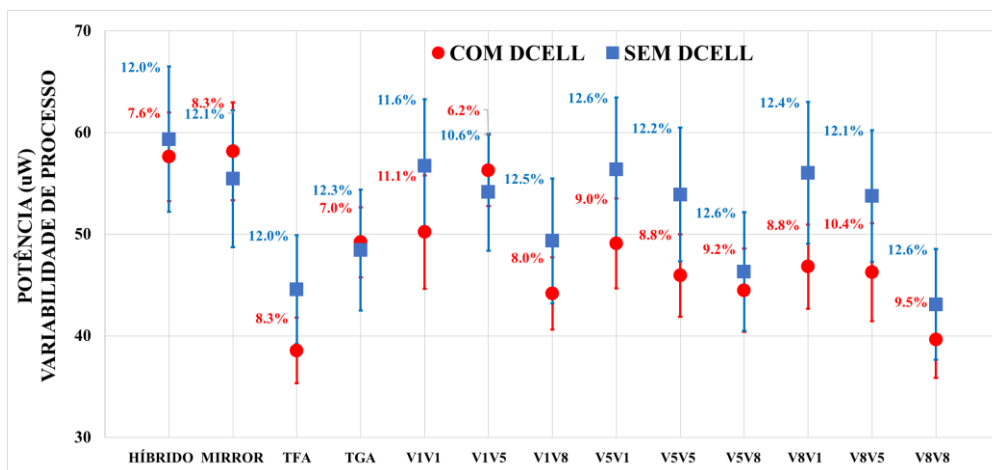
Fonte: Elaborado pelo autor

5.6.2 Nominal - Avaliação do impacto no consumo do uso da Dcell

De acordo com a Figura 5.31 e a Tabela 5.2 foi possível observar que a adição da Dcell trouxe benefícios para todos os somadores avaliados, dado que quando a célula foi adicionada houve uma redução no consumo dos circuitos, além de um aumento considerável na robustez dos circuitos sob variabilidade de processo, ou seja, uma redução do impacto da variabilidade.

O destaque fica para o somador FAV8V1 que teve uma redução de 16,43% no consumo e uma redução de 29,03% quanto à sensibilidade a esse tipo de variabilidade. Somadores como o Mirror, TGA e FAV1V5 tiveram pequeno aumento no consumo. Entretanto, obtiveram uma grande redução da sensibilidade quando a variabilidade de processo com 43,15% e 41,38%, respectivamente. O somador que foi menos influenciado foi o FAV1V1 com uma redução de apenas 4,29% na sua sensibilidade à variabilidade de processo.

Figura 5-5-31 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, nominal



Fonte: Elaborado pelo autor

Tabela 5-2 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, nominal

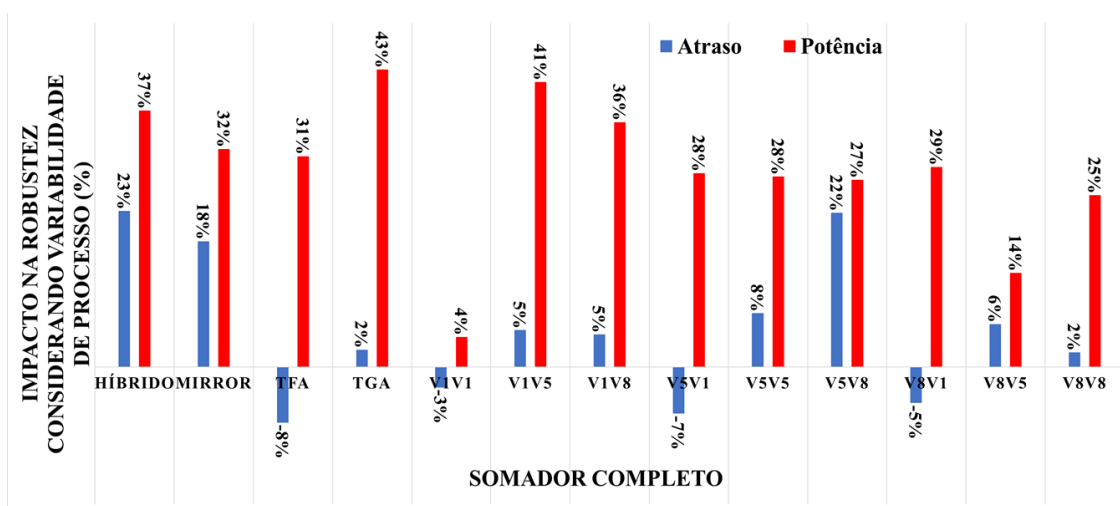
SOMADOR	NOMINAL CONSUMO SOMA			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	59,34	57,63	-2,88	12,04	7,56	-37,18
MIRROR	55,45	58,15	4,87	12,11	8,28	-31,61
TFA	44,56	38,56	-13,44	12,00	8,33	-30,55
TGA	48,44	49,21	1,59	12,30	6,99	-43,15
V1V1	56,72	50,22	-11,46	11,59	11,09	-4,29
V1V5	54,14	56,28	3,96	10,64	6,24	-41,38
V1V8	49,34	44,17	-10,47	12,47	8,04	-35,53
V5V1	56,37	49,09	-12,92	12,56	9,03	-28,10
V5V5	53,90	45,94	-14,77	12,20	8,83	-27,64
V5V8	46,32	44,49	-3,94	12,60	9,18	-27,13
V8V1	56,03	46,82	-16,43	12,44	8,83	-29,03
V8V5	53,76	46,26	-13,96	12,05	10,41	-13,55
V8V8	43,10	39,63	-8,05	12,60	9,46	-24,93

Fonte: Elaborado pelo autor

5.6.3 Nominal – Resumo da avaliação do impacto do uso da Dcell

A Figura 5.32 mostra resumidamente os resultados de atraso e consumo obtidos pela adição da Dcell. Quanto ao atraso, poucas topologias não obtiveram resultados melhores quando a Dcell foi adicionada, sendo o caso do somador tradicional TFA e de todas as arquiteturas que fizeram uso da XOR V1 no segundo bloco do somador. Entretanto, casos como o somador híbrido, Mirror e o FAV5V8 obtiveram uma melhora de aproximadamente 20% na redução do impacto da variabilidade. Quanto ao consumo, com exceção do somador FAV1V1, todas as outras arquiteturas obtiveram uma redução considerável do impacto da variabilidade no consumo, obtendo na maioria dos casos mais de 25% de redução, e chegando em mais de 40% para o somador TGA e FAV1V5.

Figura 5-5-32 – Nominal - Resumo do impacto do uso da Dcell



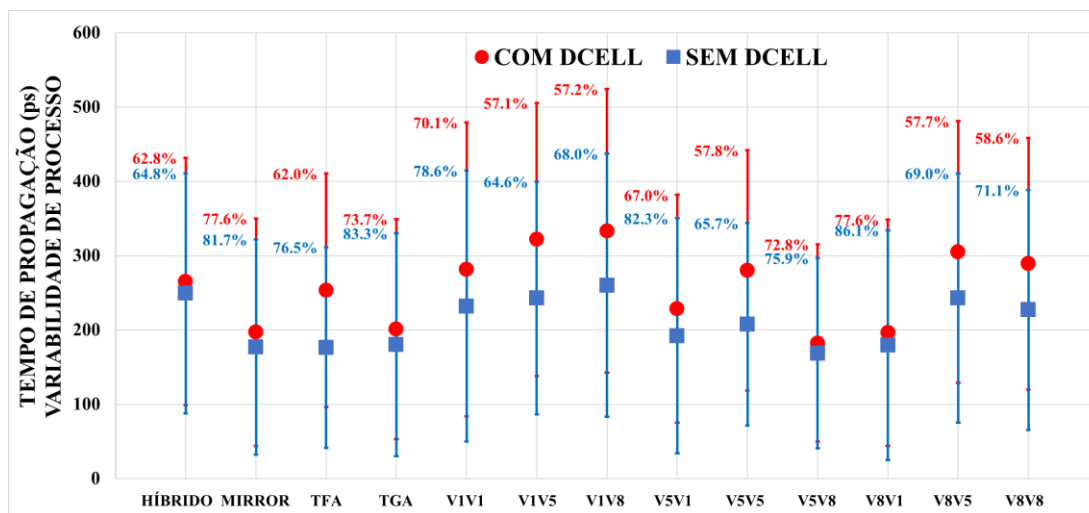
Fonte: Elaborado pelo autor

5.6.4 NT - Avaliação do impacto no atraso do uso da Dcell

Na Figura 5.33 e na Tabela 5.3 foi possível observar que para todos os somadores houve uma redução na sensibilidade à variabilidade de processo mesmo com os circuitos operando em tensão de quase limiar. Com exceção dos somadores híbrido, FAV5V8 e FAV8V1, o uso da Dcell teve um alto impacto no atraso dos demais, chegando em um aumento de 43% no caso do TFA. Os somadores que obtiveram a maior redução do impacto da variabilidade foram TFA, FAV5V1 e FAV8V8, com mais de 17%.

Comparando com os resultados nominais, observou-se que em média o uso do Dcell teve um resultado melhor de 4% no pior caso e 19% no melhor caso quando os circuitos estão operando em tensão de quase limiar (NT).

Figura 5-5-33 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Cout, NT



Fonte: Elaborado pelo autor

Tabela 5-3 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao atraso, saída Cout, NT

SOMADOR	QUASE LIMIAIR (NT) ATRASO COUT					
	μ (ps)			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	249,36	265,15	6,33	64,80	62,80	-3,08
MIRROR	177,15	197,13	11,28	81,69	77,63	-4,96
TFA	176,52	253,52	43,62	76,47	61,95	-18,98
TGA	180,08	201,15	11,70	83,33	73,68	-11,58
V1V1	232,05	281,77	21,43	78,63	70,15	-10,79
V1V5	242,99	321,97	32,51	64,57	57,08	-11,60
V1V8	260,29	333,47	28,12	68,03	57,23	-15,88
V5V1	192,15	228,52	18,93	82,32	67,01	-18,60
V5V5	207,51	280,07	34,97	65,67	57,76	-12,04
V5V8	168,67	182,47	8,18	75,90	72,79	-4,10
V8V1	179,65	196,28	9,26	86,12	77,57	-9,92
V8V5	243,16	305,02	25,44	69,02	57,69	-16,41
V8V8	227,01	289,12	27,36	71,12	58,64	-17,55

Fonte: Elaborado pelo autor

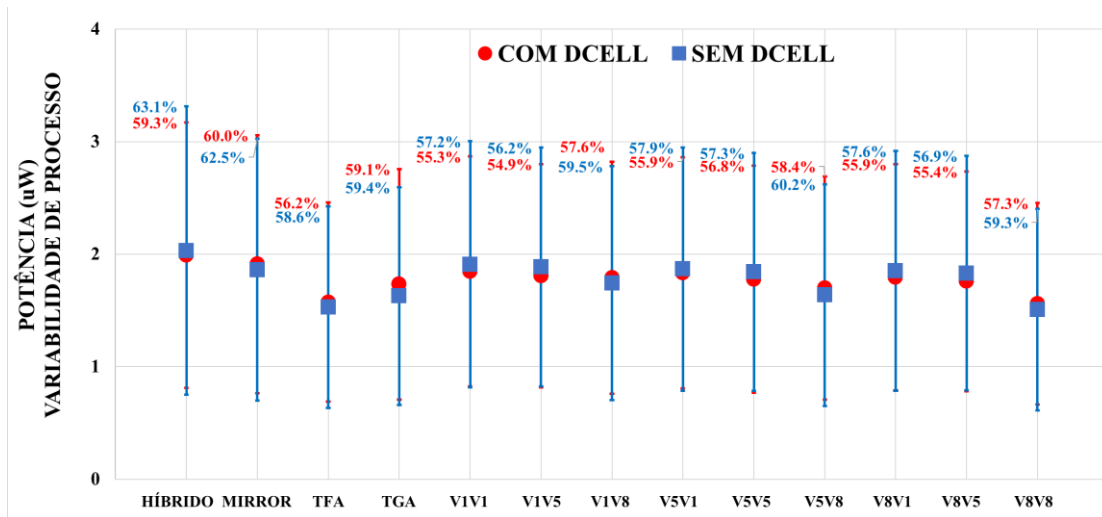
5.6.5 NT - Avaliação do impacto no consumo do uso da Dcell

Quanto ao consumo, quando os somadores estão operando em tensão de quase limiar, esta foi a abordagem menos impactada pela adição da Dcell. Entretanto, para todos os somadores houve um aumento na robustez dos circuitos, tendo em alguns casos um pequeno aumento no atraso dos mesmos, conforme é possível observar na Figura 5.34 e na Tabela 5.4.

Os somadores tradicionais híbrido, Mirror e TGA foram os que obtiveram a maior redução na sensibilidade, com 6,02%, 4,10% e 4,17%, respectivamente.

Quanto aos somadores construídos com blocos de portas lógicas XOR, vale destacar que os que fizeram uso da XOR V8 no segundo bloco tiveram uma redução maior na sensibilidade quanto à variabilidade de processo, com cerca de 3% de redução. Entretanto, foram esses circuitos os únicos que obtiveram um aumento no consumo, quando comparadas com as demais que utilizaram a metodologia de construção dos somadores com as portas lógicas XOR.

Figura 5-5-34 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, NT



Fonte: Elaborado pelo autor

Tabela 5-4 – Influência do uso da Dcell para redução do impacto da variabilidade de processo quanto ao consumo, saída Soma, NT

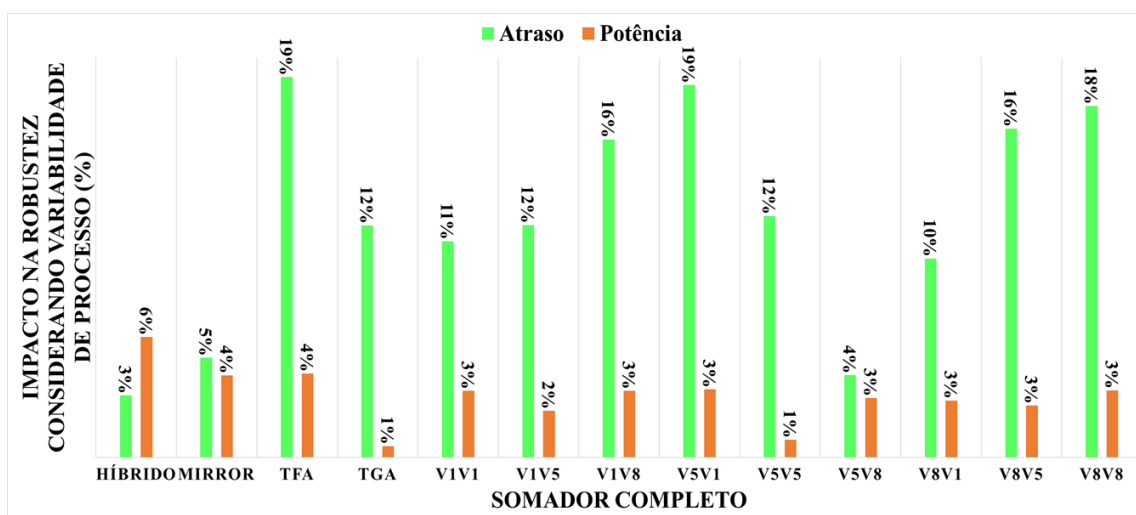
SOMADOR	QUASE LIMAR (NT) CONSUMO SOMA		
	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	2,03	1,99	-2,07
MIRROR	1,86	1,91	2,61
TFA	1,53	1,57	2,96
TGA	1,63	1,73	6,49
V1V1	1,91	1,85	-3,32
V1V5	1,89	1,81	-4,16
V1V8	1,74	1,79	2,77
V5V1	1,87	1,83	-1,80
V5V5	1,84	1,78	-3,58
V5V8	1,64	1,70	3,73
V8V1	1,85	1,79	-3,02
V8V5	1,83	1,76	-3,98
V8V8	1,51	1,56	3,43

Fonte: Elaborado pelo autor

5.6.6 NT – Resumo da avaliação do impacto do uso da Dcell

A Figura 5.35 mostra resumidamente os resultados de atraso e consumo obtidos pela adição da Dcell. Foi possível observar uma melhoria para todos os somadores, tanto para o atraso quanto para o consumo. Para o atraso, vale destacar alguns somadores que atingiram uma redução de quase 20% no impacto da variabilidade, como é o caso do somador TFA, do FAV5V1 e do FAV8V8. Quanto ao consumo, os somadores obtiveram uma melhoria menos significativa. Os somadores construídos a partir da metodologia proposta obtiveram cerca de 3% de redução no impacto da variabilidade. O destaque ficou para os somadores tradicionais híbrido e Mirror que atingiram mais de 5% de melhoria.

Figura 5-5-35 – NT - Resumo do impacto do uso da Dcell



Fonte: Elaborado pelo autor

6 CONCLUSÕES

Este trabalho investiga o comportamento de somadores completos em uma tecnologia de 7nm operando em regimes de tensão nominal e de tensão de quase limiar. O processo para construção desses somadores completos é constituído de 3 blocos lógicos internos, em 2 desses blocos foram utilizadas portas lógicas XOR e no terceiro foi utilizado um circuito padrão para todos os somadores avaliados. A escolha de qual XOR e em onde ela será alocada é muito importante e amplamente discutida ao longo do texto.

Considerando a operação em tensão de quase limiar, conforme esperado, gerou uma grande redução no consumo total devido à relação quadrática entre a tensão nominal e a potência dinâmica. Por outro lado, existe uma degradação considerável no atraso e que deve ser considerada no projeto de circuitos integrados.

Circuitos construídos com topologias de XOR da família lógica CMOS, XOR V1, especialmente quando alocadas no segundo bloco, obtiveram resultados piores tanto para o atraso quanto em consumo dinâmico. A XOR V5 e XOR V8 alocadas no segundo bloco, formam um somador que juntamente com o TGA obtiveram bons resultados quanto ao atraso. Quanto ao consumo, a porta lógica XOR V8 alocada no segundo bloco é uma boa opção para operação em tensão nominal e em tensão de quase limiar. Vale destacar o somador FAV8V8 que obteve os menores valores de consumo para ambos os casos.

Variabilidade de processo, tensão e temperatura também são consideradas nesse trabalho. A variabilidade é um aspecto muito importante para ser considerado na construção dos somadores completos. Somadores operando em tensão nominal são cerca de 80% mais robustos quanto ao impacto da variabilidade de processo no consumo máximo comparado com os circuitos operando em tensão de quase limiar. A operação em quase limiar implica em uma alta sensibilidade no atraso e consumo, alcançando mais de 300% em casos críticos. Em relação à variabilidade de processo, foi verificado um aumento de sensibilidade de cerca de 40% no atraso quando foram utilizadas a XOR V5 e a XOR V8 no segundo bloco dos somadores, quando operando em tensão nominal. Para a operação em tensão de quase limiar, o projeto de somadores com portas lógicas XOR é uma boa opção para alcançar uma maior robustez quanto ao consumo dos circuitos.

Quanto à variabilidade de temperatura, conforme esperado, com o aumento da temperatura ocorreu uma redução no atraso e um aumento no consumo quando os circuitos operavam em tensão nominal. Além do somador tradicional TGA, somadores como FAV5V8 para atraso e FAV8V8 para consumo, foram mais robustos que os demais para a variação na temperatura. Para a tensão de quase limiar, o somador híbrido e o FAV8V8 são boas opções, enquanto o somador FAV5V5 é o mais sensível para esse caso. Conforme esperado, o aumento da tensão trouxe consigo um aumento no atraso, e um aumento no consumo. A variabilidade de tensão mostrou resultados semelhantes para operação em tensão nominal, valendo destacar o uso da XOR V8 no segundo bloco para obtenção de maior robustez nos circuitos, especialmente para o somador FAV8V8.

Para a redução da variabilidade de processo, foi aplicada a técnica que consiste na adição de uma célula de desacoplamento nas saídas dos circuitos. Quanto à operação em tensão nominal, foi verificado uma redução no atraso junto com uma redução na variabilidade, sendo o melhor caso encontrado para o somador FAV5V8 que, embora tenha um aumento de 20% no atraso, obteve uma redução de 20% na variabilidade. Em relação ao consumo, houve uma redução de 16% na potência, juntamente com uma redução de quase 30% na variabilidade, como o que ocorreu com o somador FAV8V1. Foi possível observar casos de redução da variabilidade em mais de 40% com um pequeno aumento no consumo.

Foi realizada uma comparação com os demais trabalhos relacionados referente ao comportamento dos somadores clássicos sob efeitos de variabilidade. As semelhanças foram: em (TOLEDO, 2018) e (MORAES, 2018) o somador Mirror foi o somador mais robusto à variabilidade quanto ao atraso, enquanto o TGA foi o mais sensível à variabilidade quanto ao consumo. Em (MORAES, 2018) foi observado que o somador TFA teve maior sensibilidade à variabilidade em relação ao atraso. No trabalho de (DOKANIA, 2015) os somadores não seguiram o mesmo comportamento, ou seja, os somadores mais sensíveis e mais robustos não foram os mesmos. Além disso, foi realizada uma comparação quanto à aplicação de técnicas para mitigar o impacto da variabilidade nos somadores clássicos, no caso dos trabalhos relacionados foi utilizada a técnica chamada *Schmitt Trigger*. Em (TOLEDO, 2018) e (MORAES, 2018) quanto ao atraso, o somador TFA não obteve redução no impacto da variabilidade. Para o consumo, todos os somadores obtiveram redução no impacto da variabilidade, sendo que o somador TGA

obteve a maior redução. Em (MORAES, 2018), foi verificado uma redução no impacto da variabilidade semelhante a que foi apresentada nesse trabalho, em torno de 35%. Em (DOKANIA, 2015), todos os somadores obtiveram redução no impacto da variabilidade, porém obtiveram comportamentos diferentes.

O uso dessa técnica teve um alto impacto nos resultados de circuitos que operavam em tensão de quase limiar, chegando em alguns casos a mais de 40% de redução do atraso para uma pequena redução na variabilidade. Quanto ao consumo, nesse caso, os somadores tradicionais foram os menos afetados. Novamente, o uso da XOR V8 no segundo bloco para construção dos somadores é uma boa opção para reduzir os efeitos da variabilidade nos circuitos.

Considerando as diferentes condições exploradas, a importância desse trabalho é ressaltada com o conjunto de informações sobre somadores construídos com portas lógicas XOR. Foi observado que, para muitos casos explorados, os somadores que utilizaram a metodologia proposta são boas escolhas para projetos mais eficientes. Sendo assim, o projetista tem um conjunto de dados que permite uma melhor decisão sobre quais e onde os circuitos XOR serão usados para requisitos de uma aplicação específica, explorando as vantagens e desvantagens de cada somador construído.

6.1 Trabalhos Futuros

Existe uma série de outras possibilidades de novos experimentos e cenários de testes que podem ser feitos a partir desse trabalho. Primeiramente, a criação de novos somadores considerando diversas outras topologias de portas lógicas XORs existentes, além da comparação com outras técnicas para criação de somadores completos.

A avaliação de tolerância a falhas também poderia ser considerada futuramente, verificando assim quais somadores, metodologias ou técnicas de mitigação de variabilidade seriam mais apropriadas para que os circuitos se tornem mais robustos a falhas. Outra possibilidade é a comparação da técnica do uso de células de desacoplamento para mitigação da variabilidade de processo com outras técnicas de mitigação da variabilidade de processo. Finalmente, esse trabalho pode ser usado como base para desenvolver uma biblioteca de células para projetos digitais, visto que ele avalia diferentes formas de implementações de somadores completos além da análise da confiabilidade dos mesmos.

REFERÊNCIAS

- ABERCROMBIE, D.; FERGUNSON, J.; “**Design for Manufacturing: What Designers, Need to Know About the Changes in Yield Management**”, 2005. Disponível em www.techonline.com/community/ed_resource/tech_paper/37674.
- ABU-RAHMA, M. H.; ANIS, M.; “A Statistical Design-Oriented Delay Variation Model Accounting for Within-Die Variations”, **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)**, [S,l], vol. 27, no. 11, pp. 1983-1995, Nov. 2008, doi: 10.1109/TCAD,2008,2006096.
- ALIOTO, M.; “Comparative Evaluation of Layout Density in 3T, 4T and MT FinFET Standard Cells”, **IEEE Trans. On Very Large Scale Integration (VLSI) Systems**, vol. 19, no. 5, Mai, 2011.
- ALLURI, S.; DASHARATHA, M.; NAIK, B.R.; REDDY, N.S.S.; “Design of Low Power High Speed Full Adder Cell with XOR/XNOR Logic Gates”, **International Conference on Communication and Signal Processing**, India, pp. 1481-1493, Abr 6-8, 2016.
- AMES, S. O.; Et al.; “Investigating PVT variability effects on full adders.” **26th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS)**, Bremen, Alemanha, pp. 155-161, Set 2016.
- AMES, S. O.; ZANANDREA, V.; “Impacto da variabilidade PVT em Somadores na Tecnologia de 32 nanômetros”; **Trabalho de conclusão do curso de Engenharia de Computação**, Universidade Federal do Rio Grande, Rio Grande, 2015.
- ANDJELKOVIC, M. S.; Et al.; “Use of Decoupling Cells for Mitigation of SET Effects in CMOS Combinational Gates”, **25th IEEE International Conference on Electronics Circuits and Systems (ICECS)**, pp. 361-364, 2018.
- APHALE, S. S.; FAKIR, K.; KODAGALI, S.; MANDE, S. S.; "Analysis of various adder circuits in deep submicron process", **International Conference on Automatic Control and Dynamic Optimization Techniques (ICACDOT)**, Pune, pp. 307-311, 2016.
- AGARWAL, A.; BLAAUW, D.; ZOLOTOV, V.; SUNDARESWARAN, S.; ZHAO, M.; GALA, K.; PANDA, R.; “Path-Based Statistical Timing Analysis Considering Inter- and Intra-Die Correlations”, **Computer Science**, Jan 2002.
- AUTH, C.; ALLEN, C.; BLATTNER, A.; Et al.; “A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high-density mim capacitors”, **Symposium on VLSI Technology (VLSIT)**, pp. 131–132, 2012.
- AVCI, M.; BABAC, M. Y.; YILDIRIM, T.; “Neural network based MOSFET channel length and width decision method for analogue integrated circuits”, **International Journal of Electronics**, [S,l], vol. 92, no. 5, pp. 281-293, Mai 2005, doi: 10.1080/00207210500128570.
- BARTELINK, D.; “Statistical metrology—At the root of manufacturing control”, *J. Vac. Sci. Technol. B*, vol. 12, pp. 2785–2794, 1994, Diferrent XOR Gates”, **10th Microelectronics Students Forum**, pp. 1-4, 2010.

BARTRA, W.E.C.; “Ferramentas para a Simulação de Falhas Transientes”, **Dissertação de Mestrado PGMicro**, Porto Alegre, UFRGS, 2011.

BAUMANN, R. C.; “Radiation-induced soft errors in advanced semiconductor technologies”. Publicado em: **IEEE Transaction on Device and Materials Reliability**, vol. 5, no. 3, pp. 305-316, 2005.

BECKETT, P.; "A fine-grained reconfigurable logic array based on double gate transistors", **IEEE International Conference on Field-Programmable Technology**, 2002, doi: 10.1109/FPT.2002.1188690.

BHAVNAGARWALA, A. J.; Et al.; “The impact of intrinsic device fluctuations on CMOS SRAM cell stability”, **IEEE Journal of Solid-State Circuits**, vol. 36, no. 4, pp. 658-665, Abr. 2001.

BORKAR, S.; Et al.; “Parameter variations and impact on circuits and microarchitecture”, **Design Automation Conference (DAC)**, pp. 338-342, 2003, doi: 10.1109/DAC.2003.1219020.

BROWN, A. R.; et al.; “Impact of metal gate granularity on threshold voltage variability: A full-scale three-dimensional statistical simulation study”, **IEEE Electron Device Letters**, vol. 31, no. 11, pp. 1199-1201, Nov. 2010.

BUI, H. T.; AL-SHERAIDAH, A. K.; WANG, Y.; “New 4-Transistor XOR and XNOR Designs”, **2nd IEEE Asia Pacific Conference on ASICs**, pp(25-28), Ago 2000.

BUI, H. T.; WANG, Y.; JIANG, Y.; “Design and Analysis of Low-Power 10-Transistor Full Adders Using Novel XOR-XNOR Gates”, **IEEE Transactions on Circuits and Systems**, vol. 49, nº 1, pp. 25-30, Jan 2002.

BUSSAB, W.; MORETTIN, P.; **Estatística Básica**, 5, ed, São Paulo: Saraiva, 2004.

CAO, Y.; CLARK, L. T.; “Mapping statistical process variations toward circuit performance variability: an analytical modeling approach”, **42nd Design Automation Conference (DAC)**, [S,1], pp. 658-663, Jun 2005, doi: 10.1109/DAC.2005.193893.

CHANDRAKASAN, A.P.; SHENG, S.; BRODERSEN, R.W.; "Low-power CMOS digital design", **IEEE Journal of Solid-State Circuits**, vol. 27, no. 4, pp. 473-484, Abr 1992.

CHANG, C. H.; GU, J.; ZHANG, M.; “A review of 0.18um full adder performances for tree structured arithmetic circuits”. **Very Large Scale Integration (VLSI) Systems, IEEE Transactions**, pp. 686 – 695, 2005.

CHAU, S. R.; “Integrated CMOS Tri-Gate Transistors”, Paving The Way Yo Future Technology Generations, **Technology@Intel Magazine**, pp. 1-7, Ago 2006.

CHEN, C.; HUANG, Q.; ZHU, J.; WANG, Z.; ZHAO, Y.; JIA, R.; GUO, L.; HUANG, R.; “New Insights Into Energy Efficiency of Tunnel FET With Awareness of Source Doping Gradient Variation”, **IEEE Transactions on Electron Devices**, vol. 65, no. 5, pp. 2003–2009, Mai 2018.

CHOI, J.; JAYATHI, M.; ROY, K.; “The effect of process variation on device temperature in finFET circuits”. **IEEE/ACM International Conference on Computer-Aided Design**, 2007, doi: 10.1109/ICCAD.2007.4397355.

- CHOWDHURY, S. R.; BANERJEE, A.; ROY, A.; SAHA, H.; "A High Speed 8 Transistor Full Adder Design Using Novel 3 Transistor XOR Gates", **World Academy of Science**, Engineering and Technology, 2008.
- CLARK, L. T.; Et al.; "Asap7: A 7-nm finfet predictive process design kit. Microelectronics", **Microelectronics Journal**, pp. 105-115., Jul 2016, doi: 10.1016/j.mejo.2016.04.006.
- CROON, J. A.; et al; "Physical modeling and prediction of the matching properties of MOSFETs", **European Solid-State Device Research Conference (ESSDERC)**, [S.L.], pp. 193-196, Set 2004, doi: 10.1109/ESSDER.2004.1356522.
- DA SILVA, F. G. R. G.; MEINHARDT, C.; BUTZEN, P. F.; "PVT Variability Analysis of FinFET and CMOS XOR Circuits at 16nm", **International Conference Electronic Circuit and Systems (ICECS)**, Dez 2016.
- DA SILVA, F. G. R. G.; MEINHARDT, C.; REIS, R. A. L.; "Impact of Near-Threshold and Variability on 7nm FinFET XOR Circuits", **International Conference Electronic Circuit and Systems (ICECS)**, 2018.
- DADGOUR, H.; DE, V.; BANERJEE, K.; "Statistical Modeling of Metal-Gate Work-Function Variability in Emerging Device Technologies and Implications for Circuit Design", **International Conference on Computer-Aided Design (ICCAD)**, 2008.
- DE AGUIAR, Y. Q.; MEINHARDT, C.; REIS, R. A. L.; "Radiation sensitivity of XOR topologies in multigate technologies under voltage variability", **IEEE LASCAS**, 2017.
- DEVADAS, M.; KISHORE, K. L.; "Design topologies for low power cmos full adder", **International Conference on Inventive Systems and Control (ICISC)**, pp. 1-4, 2017.
- DOKANIA, V.; ISLAM, A.; "Circuit-level design technique to mitigate impact of process, voltage and temperature variations in complementary metal-oxide semiconductor full adder cells". **IET Circuits, Devices & Systems**, [S.L.], vol. 9, no. 3, pp. 204-212, Mai 2015.
- FLOYD, T.L.; "Sistemas Digitais Fundamentos e Aplicações", 9ª edição, **Porto Alegre: Bookman**, 2007.
- GARROS, X.; LAURENT, A.; SUBIRATS, A.; FEDERSPIEL, X.; VINCENT, E.; REIMBOLD, G.; "Characterization and modeling of dynamic variability induced by bti in nano-scaled transistors", **Microelectronics Reliability**, pp. 100–108, Jan 2018, doi: 10.1016/j.microrel.2017.11.025.
- GERA, R. J.; HOE, D. H. K.; "An evaluation of CMOS adders in deep submicron processes," **44th Southeastern Symposium on System Theory (SSST)**, Jacksonville, FL, EUA, pp. 123-129, Mar 2012.
- GERVACIO, J. G.; CHAMPAC, V. "Timing Performance of Nanometer Digital Circuits Under Process Variations", **Springer**, Abr 2018, isbn: 978-3-319-75464-2.
- GOTAM, S.; KUMAR, R.; SINGH, V.; "A new full-adder design using XNOR-XOR circuit", **International Conference on Emerging Trends in Computing and Communication Technologies**, pp. 1-5, Nov 2017.
- GSS, **Case Study: Statistical Variability in an Example 22nm FinFET**, Disponível em: <http://www.goldstandardsimulations.com/GSS_22nm_FinFET_case_study.pdf>, Acesso em: 23 Nov 2015.

GUPTA, P.; KAHNG, A. B.; “Manufacturing-aware physical design”, **International Conference on Computer-Aided Design (ICCAD)**, [S,l], pp. 681-687, Nov 2003, doi: 10.1109/ICCAD,2003,159753.

HARISH, B. P.; BHAT, N.; PATIL, M. B.; “On a Generalized Framework for Modeling the Effects of Process Variations on Circuit Delay Performance Using Response Surface Methodology”, **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)**, [S,l], vol. 26, no. 3, pp. 606-614, Mar 2007, doi: 10.1109/TCAD,2006,883910.

HENDERSON, C. L.; “Failure analysis techniques for a 3D world”, **Microelectronics Reliability**, Vol. 53, i. 9-11, pp. 1171-1178, Set 2013, doi: 10.1016/j.microrel.2013.06.022.

HOLTJ, T.; et al.; “Compact Model for Short-Channel Junctionless Accumulation Mode Double Gate MOSFETs”, **IEEE Transactions on Electron Devices**, [S,l], vol. 61, no. 2, pp. 288-299, Fev 2014, doi: 10.1109/TED,2013,2281615.

HROMKOVIC, J.; “Algorithms for hard problems: introduction to combinatorial optimization, randomization, approximation, and heuristics”, New York, USA: **Springer-Verlag**, 2001.

HUANG, X.; et al., "Sub 50-nm FinFET: PMOS", **IEDM '99. Technical Digest. International**, Electron Devices Meeting, pp. 67-70, 1999, doi: 10.1109/IEDM.1999.823848,

HUANG, X.; Et al.; "Sub 50-nm FinFET: PMOS," **Electron Devices Meeting, IEDM '99. Technical Digest. International**, pp. 67-70, 1999, doi: 10.1109/IEDM.1999.823848.

ISLAM, A.; IMRAN, A.; HASAN, M.; “Variability Analysis and FinFET-based Design of XOR and XNOR Circuit”, in **Int. Conf. on Computer & Communication Technology**, pp. 239- 245, 2011.

ITRS, “**International technology roadmap for semiconductors**,” 2011, disponível em: <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Ex-ecSum.pdf>.

JANAKIRAMAN, V.; BHARADWAJ, A.; VISVANATHAN, V.; “Voltage and Temperature Aware Statistical Leakage Analysis Framework Using Artificial Neural Networks”, **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)**, [S,l], vol. 29, no. 7, pp. 1056-1069, Jul 2010, doi: 10.1109/TCAD,2010,2049059.

JIANG, X. et al., Device-level characterization approach to quantify the impacts of different random variation sources in FinFET technology, **IEEE Electron Device Letters**, vol. 37, n. 8, Ago 2016, doi: 10.1109/LED.2016.2581878.

JIE, S.; RUSLAN, L.; HAWA, S.; “A 2x2 bit Vedic multiplier with different adders in 90nm CMOS technology”, **AIP Conference Proceedings**. 2017, doi: 1883. 020017. 10. 1063 /1.5002035.

JOHANSSON, A.; “Investigation of typical 0,13 µm CMOS technology timing effects in a complex digital system on-chip”, **Dissertação (Mestrado em Física Aplicada e Engenharia Elétrica)**, Linköping University, Düsseldorf, 2004.

KAVALIEROS, J.; DOYLE, B.; DATTA, S.; DEWEY, G.; DOCZY, M.; JIN, B.; LIONBERGER, D.; METZ, M.; RACHMADY, W.; RADOSAVLJEVIC, M.; SHAH, U.; ZELICK, N.; CHAU, R.; "Tri-Gate Transistor Architecture with High-k Gate Dielectrics, Metal Gates, and Strain Engineering", **VLSI Technology Digest of Technical Papers**, pp. 62-63, Jun 2006.

KING, T. J.; "FinFETs for nanoscale CMOS digital integrated circuits", em **Proc. Int. Conf. Computer-Aided Design**, pp. 207-210, Nov 2005.

KLEEBERGER, V. B.; GRAEB, V. H.; SCHLICHTMANN, U.; "Predicting future product performance: Modeling and evaluation of standard cells in Finfet technologies", **Design Automation Conference (DAC)**, 2013.

KOTHAPALLI, G.; "Artificial neural networks as aids in circuit design", **Microelectronics Journal**, [S,l], vol. 26, no. 6, pp. 569-578, Set 1995, Elsevier BV, Mai 2009, doi: 10,1016/0026-2692(95)00019-E.

KUMAR, K. R.; REDDY, P. M.; SADANANDAM, M.; KUMAR, A. S.; RAJU, M.; "Design of 2T XOR gate based full adder using GDI technique," **2017 International Conference on Innovative Mechanisms for Industry Applications**, pp. 10-13, Fev 2017.

KUMAR, P.; SHARMA, R. K.; "A new energy efficient full adder design for arithmetic applications." **4th International Conference on Signal Processing and Integrated Networks (SPIN)**, pp. 555-560, Noida, Índia, Fev 2017.

MANDAL, S.; PANDIT, S.; "Statistical Simulation and Modeling of Nano-scale CMOS VCO Using Artificial Neural Network", **International Conference on VLSI Design**, [S,l], pp. 94-99, Jan 2011, doi: 10,1109/VLSID,2011,28.

MEINHARDT, C.; ZIMPECK, A. L.; REIS, R.; "Impact of gate workfunction fluctuation on FinFET standard cells", **IEEE International Conference on Electronics, Circuits and Systems (ICECS)**, 2014.

MISHRA, S. S.; AGRAWAL, K. A.; NAGARIA, R. K.; "A Comparative Performance Analysis of Various CMOS Design Techniques for XOR and XNOR Circuits", **Int. Journal on Emerging Technologies**, Jan 2010.

MIZUNO, T.; OKUMTURA, J.; TORIUMI, A.; "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs", **IEEE Transactions on Electron Devices**, [S,l], vol. 41, no. 11, pp. 2216-2221, Nov 1994, doi: 10,1109/16,333844.

MORAES, L. B.; Et al.; "Evaluation of variability using Schmitt trigger on full adders layout", **Microelectronics Reliability Journal**, Set 2018.

MUKHOPADHYAY, S.; LEE, Y. H.; LEE, J. H.; "Time-zero-variability and bti impact on advanced finfet device and circuit reliability", **Microelectronics Reliability**, pp. 226-231, 2018.

MUTLU, A. A.; RAHMAN, M.; "Statistical methods for the estimation of process variation effects on circuit operation", **IEEE Transactions on Electronics Packaging Manufacturing**, [S,l], vol. 28, no. 4, pp. 364-375, Out 2005, doi: 10,1109/TEPM,2005,856534.

- NASERI, H.; TIMARCHI, S.; "Low-Power and Fast Full Adder by Exploring New XOR and XNOR Gates", **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, vol. 26, no. 8, pp. 1481-1493, Ago 2018.
- NASSER, R. B.; "McCloud Service Framework: Arcabouço para Desenvolvimento de Serviços Baseados na Simulação de Monte Carlo na Cloud", **Dissertação (Mestrado em Informática)** – Pontifícia Universidade Católica do Rio de Janeiro, Rio de Jan 2012.
- NASSIF, S. R.; "Process Variability at the 65nm node and beyond", **IEEE Custom Integrated Circuits Conference**, San Jose, USA, pp. 1-8, 2008, doi: 10,1109/CICC,2008,4672005.
- NAVI, K.; MAEEN, M.; FOROUTAN, V.; TIMARCHI, S.; KAVEHEI, O.; "A novel low-power full-adder cell for low voltage". **The VLSI Journal Integration**, [S.L.], vol. 42, no. 4, pp. 457-467, Set 2009.
- NISHIZAWA, S.; ISHIHARA, T.; ONODERA, H.; "Analysis and Comparison of XOR Cell Structures for Low Voltage Circuit Design", **IEEE 14th Int. Symposium on Quality Electronic Design**, pp. 703-709, 2013.
- O'BRYAN, M.V.; "Single Event Effects – NASA Radition Effects & Analysis". **Disponível em: <http://radhome.gsfc.nasa.gov/radhome/see.htm>**. Acesso em: Out 2014.
- ORSHANSKY, M.; NASSIF, S.; BONING, D.; "Design for Manufacturability and Statistical Design: A Constructive Approach", [S,l.]: **Springer US**, 2008.
- PEDRONI, V.A.; "Eletrônica Digital Moderna e VHDL". **Rio de Janeiro: Campus**, 2010.
- RAVALI, K.; VIJAY, N. R.; JAGGAVARAPU, S.; SAKTHIVEL, R.; "Low power XOR gate design and its applications", **Fourth International Conference on Signal Processing, Communication and Networking**, pp. 1-4, Mar 2017.
- ROBERTSON, C.; "Challenges of Silicon Modeling in Nanometer Designs." **Mentor Graphics Corp. Technical Publication**, 2003. Disponível em www.mentor.com/techpapers/abstracts/mentorpaper_18773.cfm, Abr 2003.
- SAWICKI, J.; "Achieving Better DFM: EDA Tools Pave the Way to Improved Yield.", **EDA Tech Fórum**, pp. 28-32, Jun 2005.
- SINGH, N. K.; SHARMA, P. K.; "A novel 4T XOR based 1-bit full adder design", **International Conference for Convergence for Technology**, Abr 2014.
- SINHA, S.; YERIC, G.; CHANDRA, V.; CLINE, B.; CAO, Y.; "Exploring sub-20nm FinFET design with predictive technology models" **Design Automation Conference (DAC)**, 2012.
- SINNOTT, R, NanoCMOS Device, **Circuit and System Simulations**, Disponível em: <<http://www.cnx.org>>, Acesso em: 23 nov, 2015.
- STEVANOVIC, I.; MCANDREW, C. C.; "Quadratic Backward Propagation of Variance for Nonlinear Statistical Circuit Modeling", **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)**, [S,l.], vol. 28, no. 9, pp. 1428-1432, Set 2009, doi: 10,1109/TCAD,2009,2023194.

TAMANG, D.; PANDEY, V.; SINGH, N. K.; "A sub-threshold operation of XOR-based energy efficient full adder", **International Conference on Communication and Signal Processing (ICCSPP)**, Abr 2016.

TOLEDO, S. P.; Et al.; "Pros and Cons of schmitt trigger inverters to mitigate PVT variability on full adders", **IEEE International Symposium on Circuits and Systems (ISCAS)**, 2018.

VELAZCO, R.; FOUILLAT, P.; REIS, R. A. L.; "Radiation Effects on Embedded Systems". **Publicado por Springer**, 2007.

VISWESWARIAH, C.; "Death, taxes and failing chips", **Design Automation Conference (DAC)**, pp. 343-347, 2003.

WAIRYA, S.; SINGH, G.; VISHANT; NAGARIA, R. K.; TIWARI, S.; "Design Analysis of XOR (4T) based Low Voltage CMOS Full Adder Circuit", **International Conference On Current Trends In Technology**, pp. 382-481, Dez 08-10, 2011.

WANG, J. M.; FANG, S. C.; FENG, W. S.; "New Efficient Designs for XOR and XNOR Functions on the Transistor Lever", **IEEE journal of solid-state circuits**, vol. 29, no. 7, pp. 708-786, Jul 1994.

WESTE, N. H. E.; HARRIS, D.; "CMOS VLSI design: A circuit and systems perspective", 4ª Edição, 2011.

WOLFE, G.; VEMURI, R.; "Extraction and use of neural network models in automated synthesis of operational amplifiers", **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)**, [S,L], vol. 22, no. 2, pp. 198-212, Feb 2003, doi: 10.1109/TCAD,2002,806600.

WU, K.; Et al.; "A New Fault Injection Method for Evaluation of Combining SEU and SET Effects on Circuit Reliability", **IEEE International Symposium on Circuits and Systems (ISCAS)**, pp. 602-605, 2014.

XIE, Q.; LIN, X.; WANG, Y.; DOUSTI, M. J.; SHAFAEI, A.; GHASEMI-GOL, M.; PEDRAM, M.; "5nm FinFET Standard Cell Library Optimization and Circuit Synthesis in Near-and Super-Threshold Voltage Regimes," **IEEE Computer Society Annual Symposium on VLSI**, Jul. 2014.

YANG, Z.; JAIN, A.; LIANG, J.; HAN, J.; LOMBARDI, F.; "Approximate XOR/XNOR-based Adders for Inexact Computing", **13th IEEE International Conference on Nanotechnology Beijing**, China, pp. 690-693, Ago 5-8, 2013.

ZABARAS, N.; SANKARAN, S.; "An Information-Theoretic Approach to Stochastic Materials Modeling", **IEEE Computing in Science and Engineering (CiSE)**, [S,L], vol. 9, no. 2, pp. 30-39, Mar 2007, doi: 10.1109/MCSE,2007,24.

ZHANG, Q. J.; GUPTA, K. C.; DEVABHAKTUNI, V. K.; "Artificial neural networks for RF and microwave design: from theory to practice", **IEEE Transactions on Microwave Theory and Techniques**, [S,L], vol. 51, no. 4, pp. 1339-1350, Abr 2003, doi: 10.1109/TMTT,2003,809179.

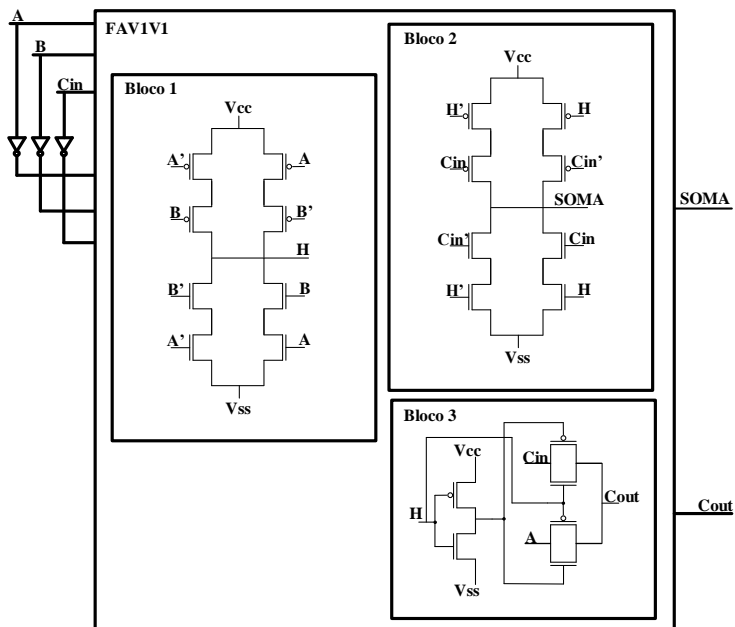
ZIMPECK, A. L.; MEINHARDT, C.; POSSER, G.; REIS, R.; "FinFET Cells with Different Transistor Sizing Techniques against PVT variations", **IEEE International Symposium on Circuits and Systems (ISCAS)**, pp. 45-48, 2016, doi: 10.1109/ISCAS.2016.7527166.

ZIMPECK, A. L.; “Circuit-Level Approaches to Mitigate the Process Variability and Soft Errors in FinFET Logic Cells”, **Tese de Doutorado em Ciência da Computação PPGC**, UFRGS, 2019.

APÊNDICE A

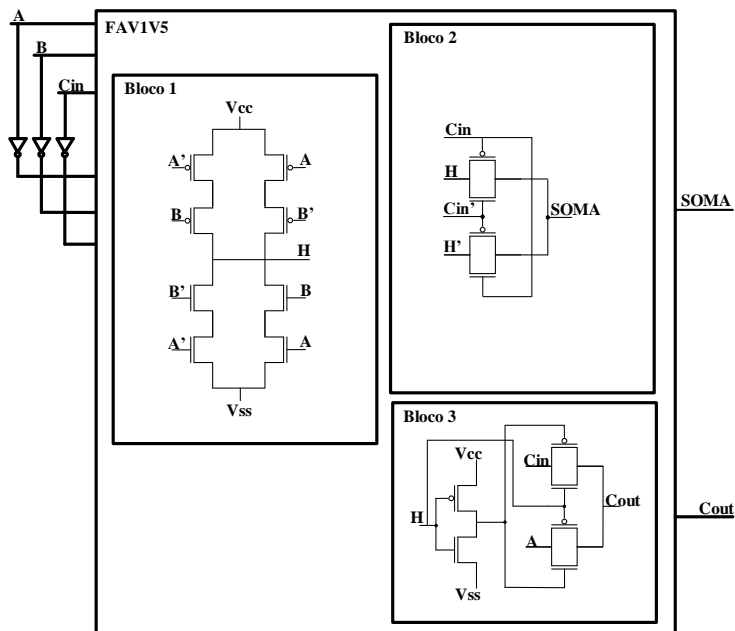
Este apêndice apresenta os circuitos formados por portas lógicas XOR que foram avaliados nesse trabalho.

Figura 1 – Somador FAV1V1



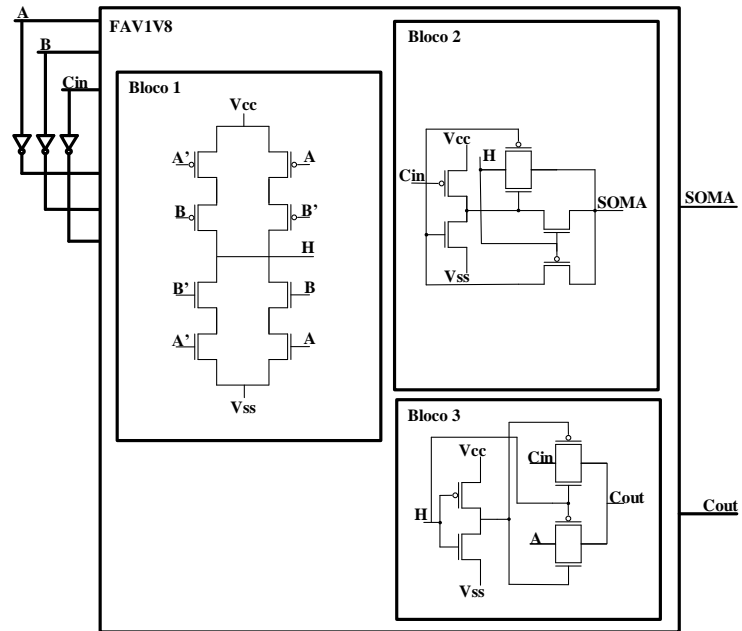
Fonte: Elaborado pelo autor

Figura 2 – Somador FAV1V5



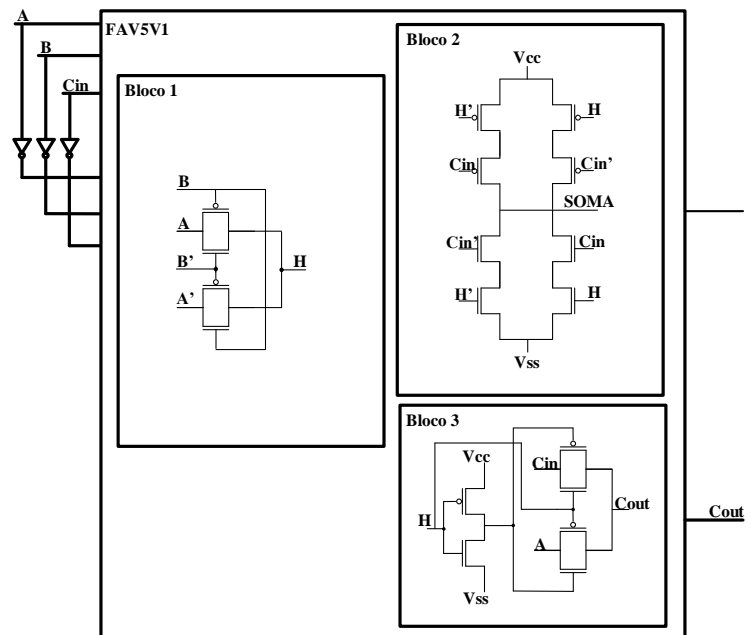
Fonte: Elaborado pelo autor

Figura 3 – Somador FAV1V8



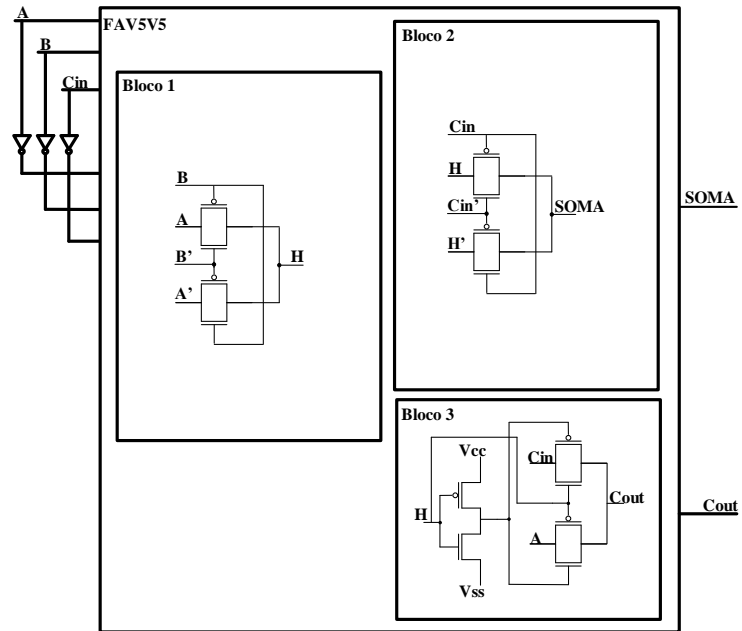
Fonte: Elaborado pelo autor

Figura 4 – Somador FAV5V1



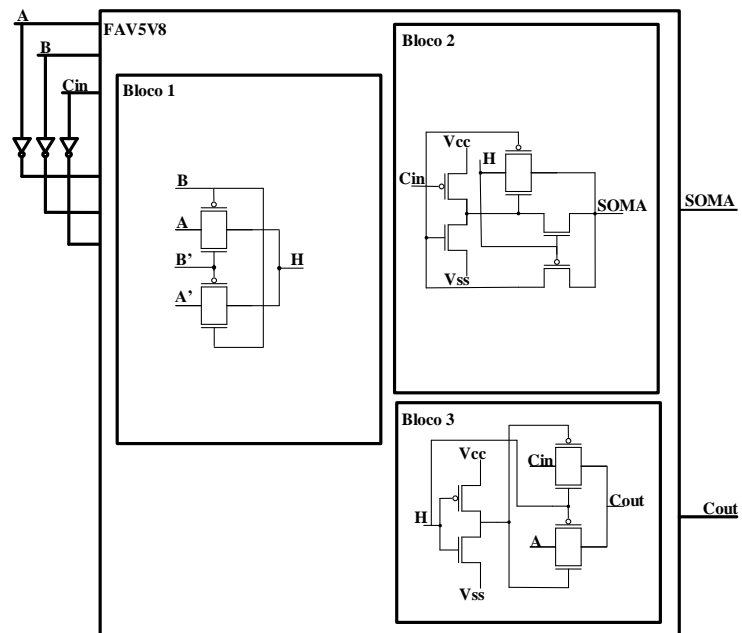
Fonte: Elaborado pelo autor

Figura 5 – Somador FAV5V5



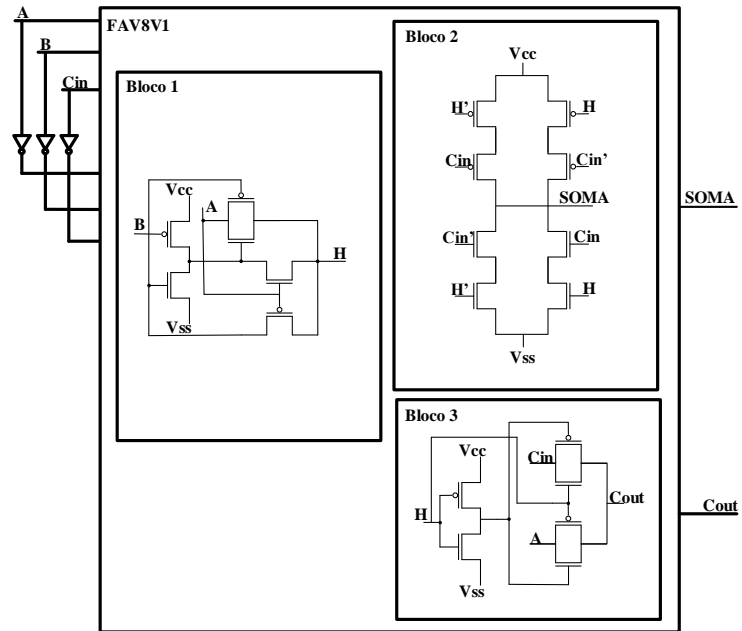
Fonte: Elaborado pelo autor

Figura 6 – Somador FAV5V8



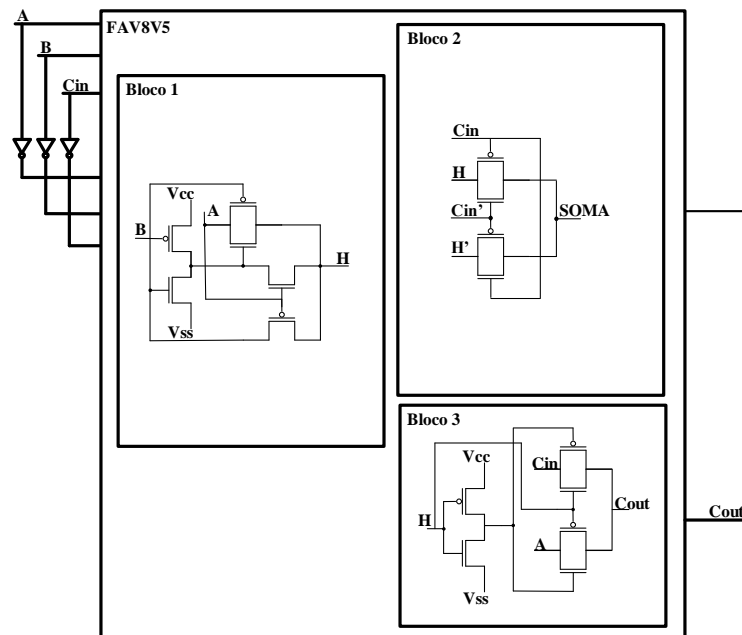
Fonte: Elaborado pelo autor

Figura 7 – Somador FAV8V1



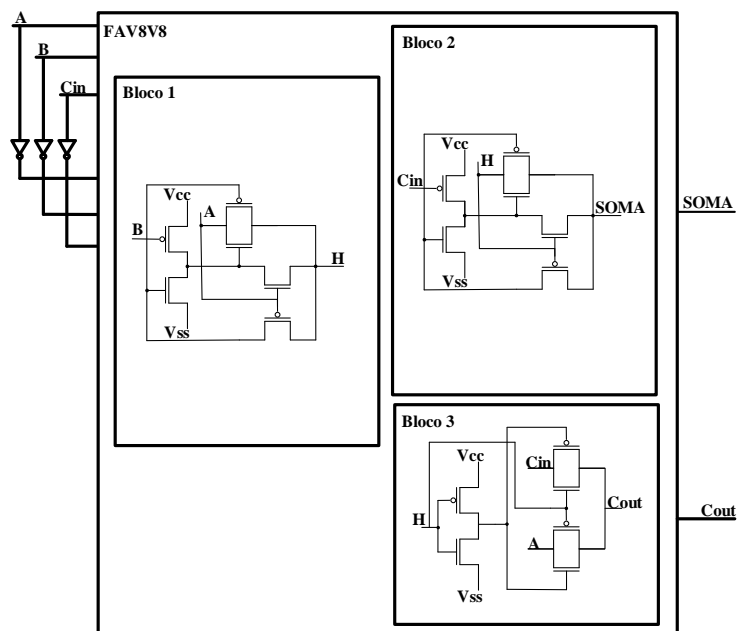
Fonte: Elaborado pelo autor

Figura 8 – Somador FAV8V5



Fonte: Elaborado pelo autor

Figura 9 – Somador FAV8V8



Fonte: Elaborado pelo autor

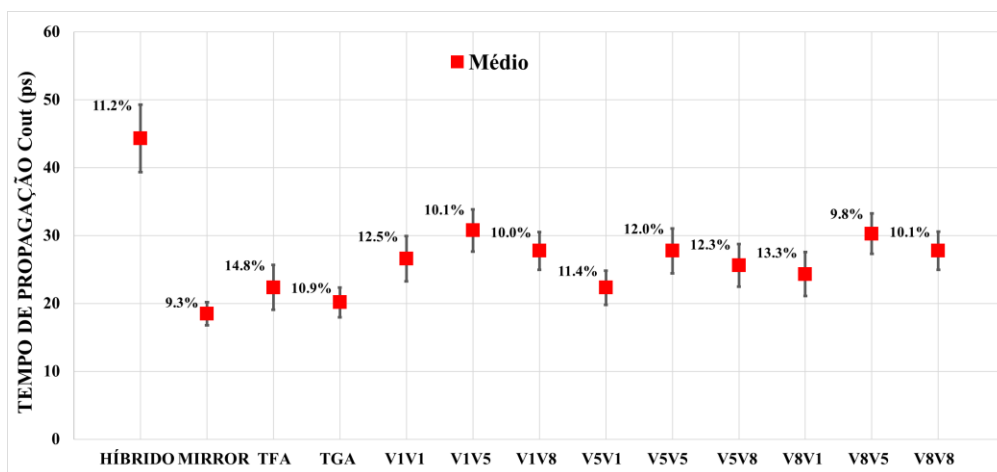
APÊNDICE B

Devido ao grande volume de dados resultantes dos experimentos realizados, somente os resultados mais relevantes foram adicionados no texto. Entretanto, para completude do documento, este Apêndice apresenta os dados complementares e as análises realizadas.

Efeito da variabilidade de processo no desempenho

A Figura 1 abaixo mostra os valores médios para todos os somadores quando operando sob efeito da variabilidade de processo. Além disso, é mostrado também o desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado. Os somadores Mirror foi o mais robusto, com variabilidade de 9,3%, enquanto o TFA foi o mais sensível a esse tipo de variabilidade, com 14,5% de variação. Quanto aos somadores construídos com a metodologia proposta nesse trabalho, a XOR V1 no segundo bloco se mostrou um boa opção para um melhor desempenho, porém ela torna os circuitos mais sensíveis quanto à variabilidade de processo na maioria dos casos, por exemplo, FAV1V1 e FAV8V1. O somador mais robusto construído a partir de blocos de XORs foi o FAV8V5 com 9,8% de variação.

Figura 1 - Tempo de propagação com variabilidade de processo, saída Cout

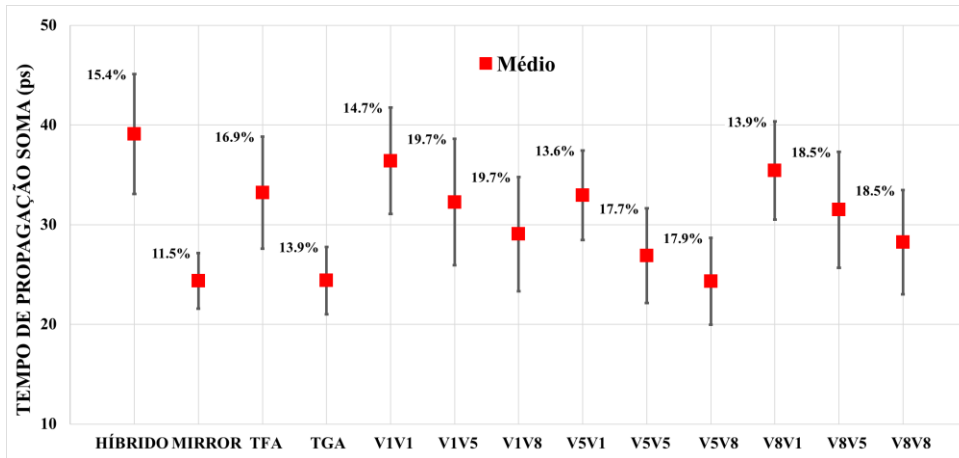


Fonte: Elaborado pelo autor

Os efeitos da variabilidade de processo na saída Soma são apresentados na Figura 2. O somador Mirror foi o mais robusto, com variabilidade de 11,5%, enquanto os FAV1V5 e o FAV1V8 foram os mais sensíveis a esse tipo de variabilidade, ambos com

19,7% de variação. Para os somadores construídos com portas XORs, foi possível observar um padrão de acordo com a XOR que foi utilizada no segundo bloco. Por exemplo, observa-se um aumento de 25% de sensibilidade quando são usadas a XOR V5 e XOR V8 no segundo bloco, ao invés da XOR V1. Um comportamento inverso ocorre com os valores de média, onde o uso da XOR V5 no segundo bloco reduz em até 23% o atraso, e o uso da XOR V8 reduz em até 36% o valor de atraso.

Figura 2 - Tempo de propagação com variabilidade de processo, saída Soma

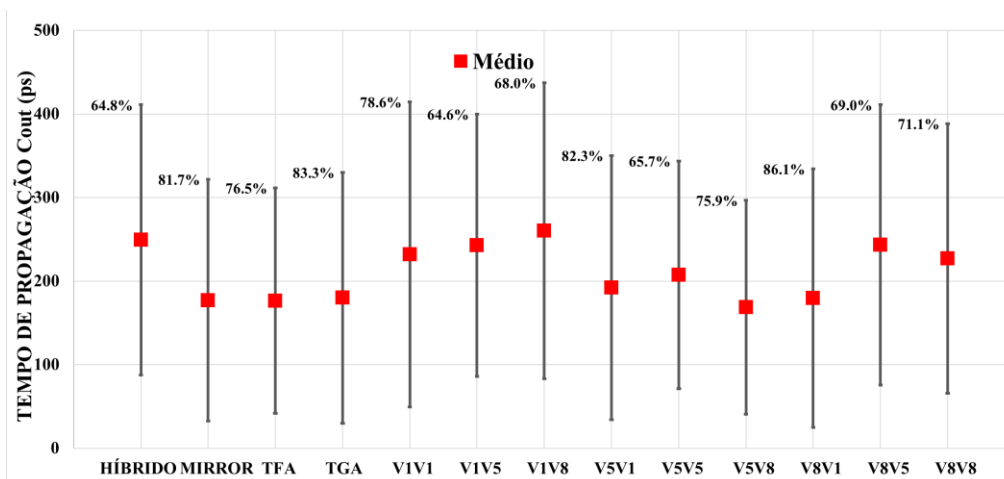


Fonte: Elaborado pelo autor

Efeito da variabilidade de processo no desempenho NT

A Figura 3 abaixo mostra os valores médios de atraso considerando a saída Cout para todos os somadores quando operando sob efeito da variabilidade de processo. Além disso, é mostrado também o desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado. O somador FAV1V5 foi o mais robusto, com variabilidade de 64,6%, enquanto o FAV8V1 foi o mais sensível a esse tipo de variabilidade, com 86,1% de variação. Quanto aos somadores construídos com a metodologia proposta nesse trabalho, a XOR V1 no segundo bloco é uma boa opção para um melhor desempenho, porém ela torna os circuitos mais sensíveis quanto à variabilidade de processo na maioria dos casos, por exemplo, FAV5V1 e FAV8V1.

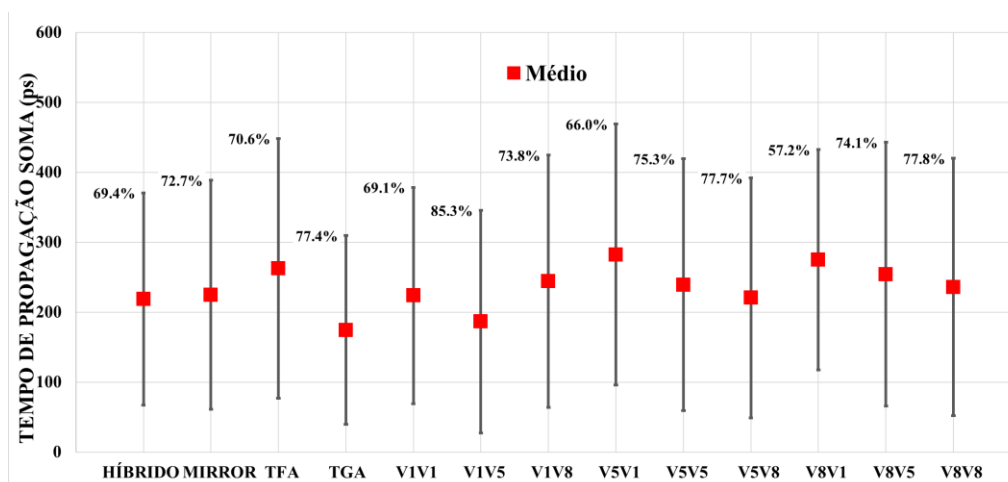
Figura 3 - Tempo de propagação com variabilidade de processo, saída Cout



Fonte: Elaborado pelo autor

Os resultados para a saída SOMA são apresentados na Figura 4. O somador FAV8V1 foi o mais robusto, com variabilidade de 57,2%, enquanto os FAV5V8 e o FAV8V8 foram os mais sensíveis a esse tipo de variabilidade, ambos com 77,7% e 77,8% de variação, respectivamente. O somador mais rápido foi o TGA com 174,5ps de atraso, enquanto o mais lento foi o somador FAV5V1 com 282,5ps de atraso médio.

Figura 4 - Tempo de propagação com variabilidade de processo, saída Soma



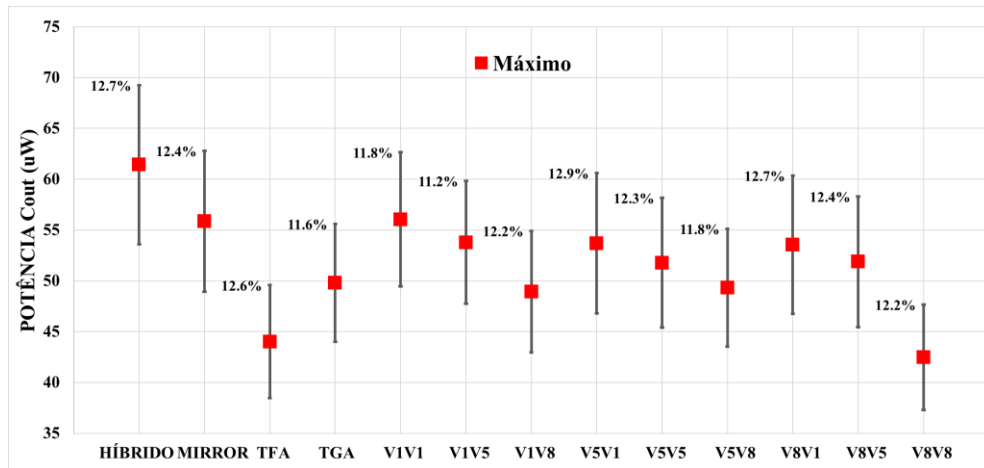
Fonte: Elaborado pelo autor

Efeito da variabilidade de processo na potência

A Figura 5 mostra a máxima potência e a variação provocada nos somadores devido a variabilidade de processo. O somador FAV1V5 foi o mais robusto de todos, com apenas 11,2% de variação, por outro lado, a troca da porta XOR V1 pela XOR V5 tornou o somador FAV5V1 o mais sensível de todos com 12,9% de variabilidade. Para os valores

de média, o somador híbrido foi o que obteve o maior consumo com cerca de 62uW de consumo. Os somadores FAV8V8 e o TFA obtiveram os menores valores de consumo, sendo 48uW e 49uW, respectivamente.

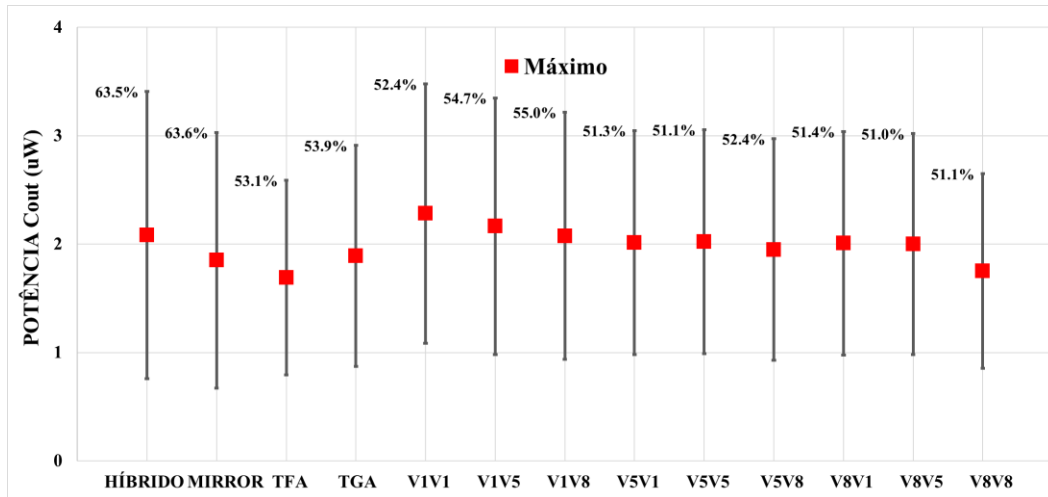
Figura 5 - Impacto da variabilidade de processo na potência considerando os arcos de atraso para a saída Cout



Fonte: Elaborado pelo autor

A Figura 6 mostra a potência e a variação provocada nos somadores devido a variabilidade de processo. Conforme esperado, o uso da tensão de quase limiar (NT) diminui muito o consumo quando comparado com a abordagem nominal. O somador FAV8V5 foi o mais robusto de todos, com apenas 51% de variação, enquanto os somadores tradicionais híbrido e Mirror foram os mais sensíveis com 63,5% e 63,6% de variabilidade, respectivamente. Para os valores de média, o somador FAV1V1 foi o que obteve o maior consumo com cerca de 2,2uW de consumo. O somador TFA obteve o menor valor de consumo, com 1,7uW. Foi possível observar que a metodologia da criação de somadores a partir de blocos de XORs é uma boa opção quanto à robustez, chegando nos piores casos a 55% de variação.

Figura 6 - Impacto da variabilidade de processo na potência operando em NT para os arcos de atraso da saída Cout

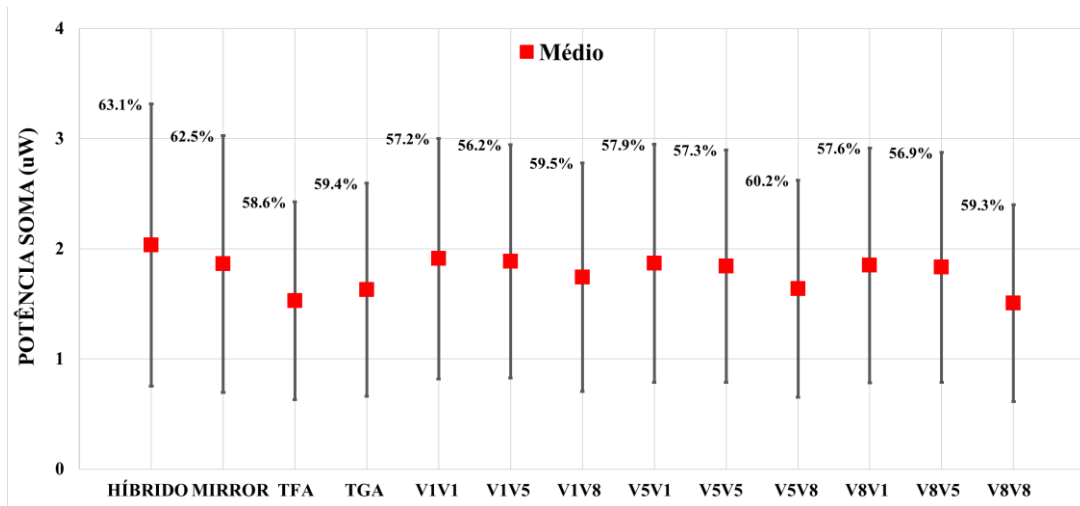


Fonte: Elaborado pelo autor

Efeito da variabilidade de processo no Consumo NT

Conforme esperado, o uso da tensão de quase limiar (NT) diminuiu drasticamente o consumo quando comparado com a abordagem nominal. Observando a Figura 7 que mostra o impacto da variabilidade na saída Soma em NT, os somadores que usam o XOR V1 no segundo bloco obtiveram os maiores valores de consumo 1,9uW, 1,8uW e 1,8uW, enquanto o uso da XOR V8 no segundo bloco obteve os menores valores de consumo 1,7uW, 1,6uW e 1,5uW, quando comparados os somadores construídos por portas lógicas XOR. Considerando todos os somadores, o somador híbrido foi o que obteve o maior consumo com 2uW. Com relação à variabilidade, os que tinham a XOR V5 no segundo bloco foram mais robustos, com destaque para o FAV1V5 com 56,2% de variabilidade. Por outro lado, os mais sensíveis a esse tipo de variabilidade foram os somadores tradicionais híbrido e Mirror com 63,1% e 62,5% de variação, respectivamente.

Figura 7 - Consumo de energia com variabilidade de processo, saída Soma

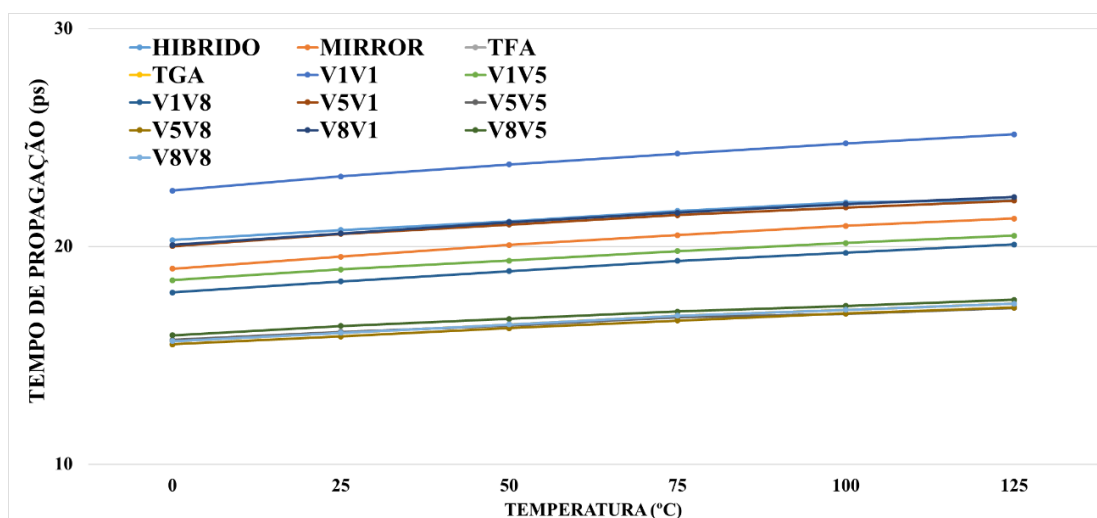


Fonte: Elaborado pelo autor

Efeito da variabilidade de temperatura no desempenho

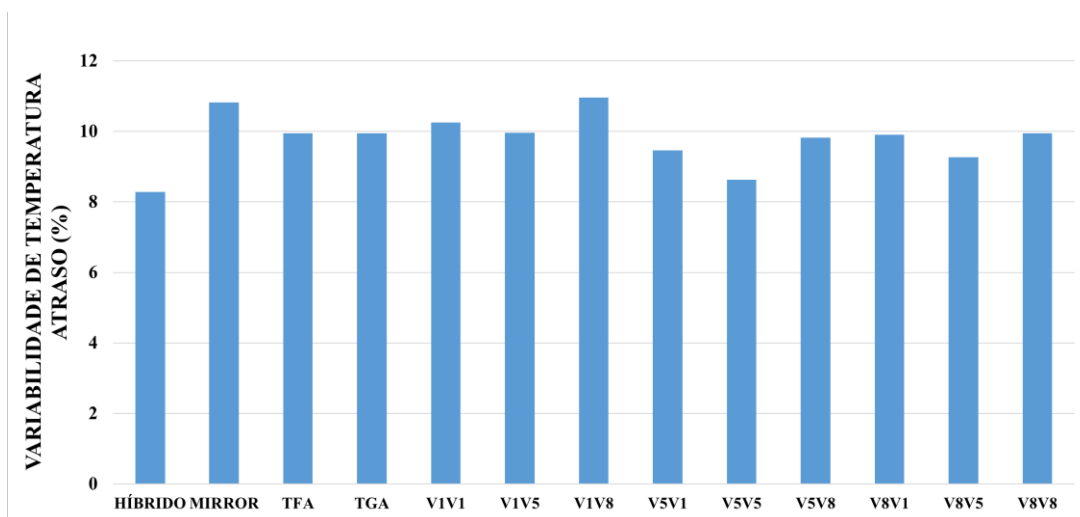
A Figura 8 mostra o comportamento do desempenho dos somadores conforme o aumento da temperatura de operação. O somador FAV1V1 obteve os maiores valores médios de atraso para todas as temperaturas 22,5-25,1ps, enquanto o somador FAV5V8 obteve os menores valores 15,4-17,1ps. Em relação à variabilidade, os resultados são representados na Figura 9. O somador híbrido foi o mais robusto com apenas 8,2% de variação. O uso da XOR V8 no segundo bloco trouxe uma sensibilidade maior para os circuitos, sendo o FAV1V8 o mais sensível de todos com 10,9% de variação.

Figura 8 - Tempo de propagação médio considerando variabilidade de temperatura, saída Soma



Fonte: Elaborado pelo autor

Figura 9 - Impacto da variabilidade de temperatura no desempenho, saída Soma

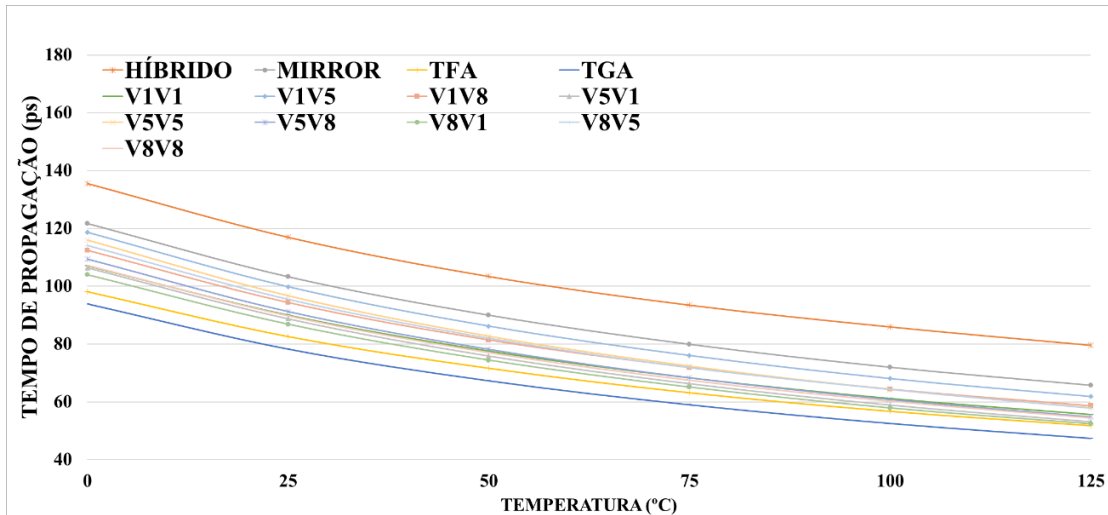


Fonte: Elaborado pelo autor

Efeito da variabilidade de temperatura no desempenho NT

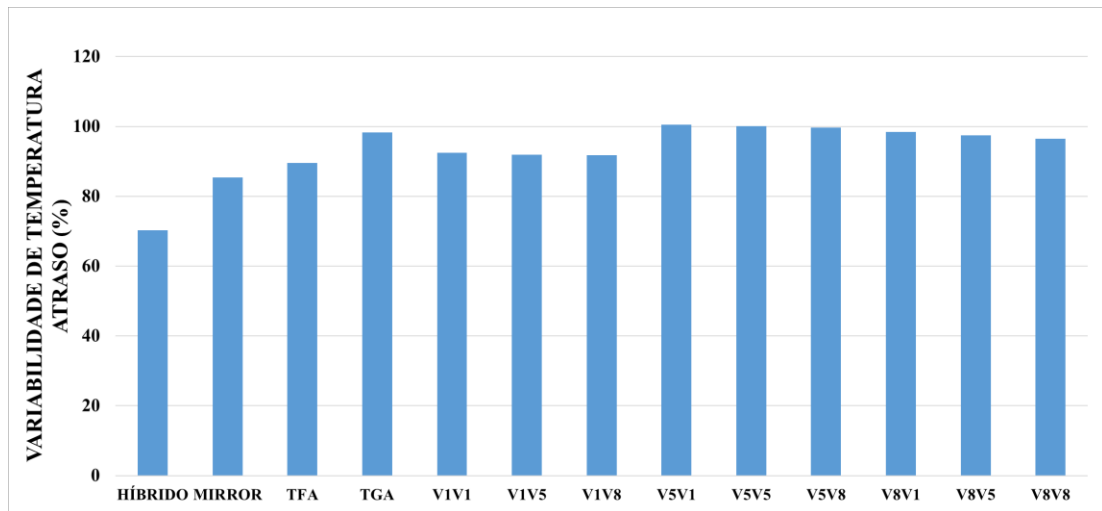
A Figura 10 mostra o comportamento do desempenho dos somadores conforme o aumento da temperatura de operação. O somador híbrido obteve os maiores valores médios de atraso para todas as temperaturas 135,5-79,6ps, enquanto o somador TGA obteve os menores valores 93,9-47,3ps. Em relação à variabilidade, os resultados são representados na Figura 11. Os somadores mais sensíveis foram os que utilizaram a XOR V5 no primeiro bloco, chegando todos a aproximadamente 100% de variação. Fazendo uma comparação somente entre os somadores construídos com blocos de XORs, o uso da XOR V1 no primeiro bloco obteve bons resultados quanto à robustez, chegando todos a aproximadamente 92% de variação. O somador mais robusto foi o híbrido o qual variou cerca de 70%.

Figura 10 - Tempo de propagação médio considerando variabilidade de temperatura, saída Cout



Fonte: Elaborado pelo autor

Figura 11 - Impacto da variabilidade de temperatura no desempenho, saída Cout

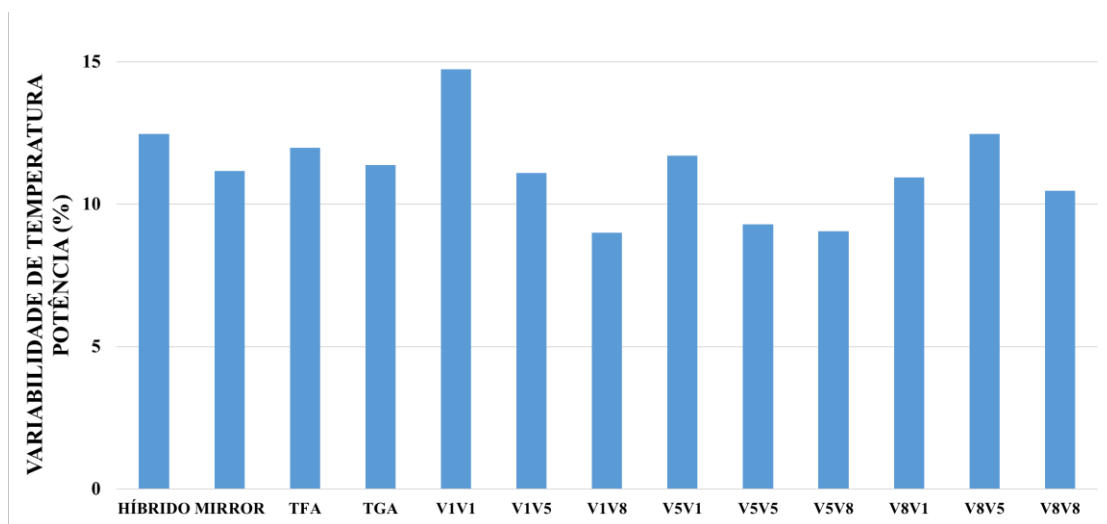


Fonte: Elaborado pelo autor

Efeito da variabilidade de temperatura no consumo

Considerando o comportamento da potência para os arcos de atraso da saída Soma conforme o aumento da temperatura de operação, a Figura 12 mostra que o somador FAV1V1 foi o mais sensível a variabilidade de temperatura, com 14,7% de variabilidade, porém os maiores valores para consumo máximo foram do somador híbrido 6-5,4uW. O somador com os menores valores para potência foi FAV8V8 com 4,3-3,9uW. O somador FAV1V8 foi o mais robusto, com apenas 9% de variabilidade.

Figura 12 - Impacto da variabilidade de temperatura na potência, saída Soma

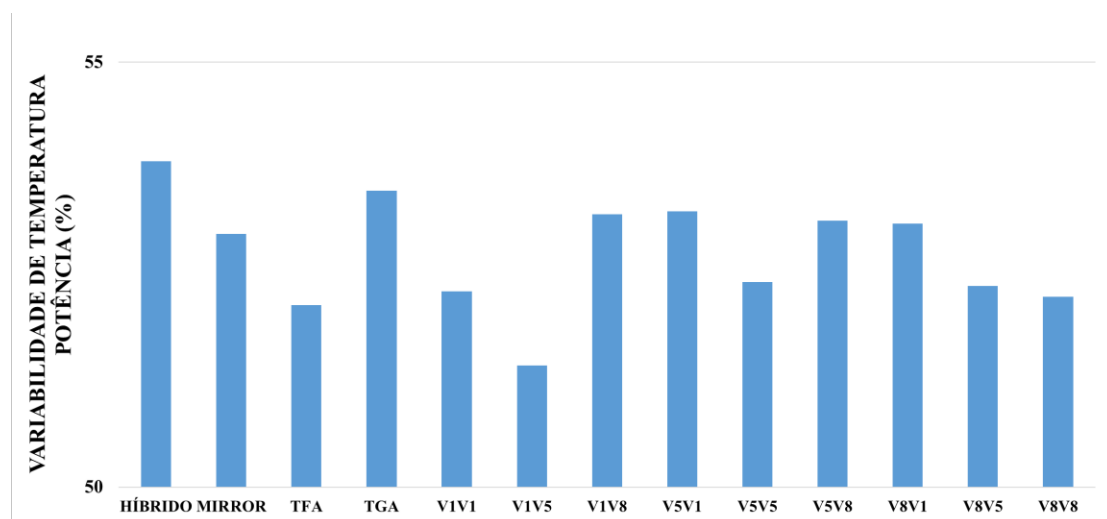


Fonte: Elaborado pelo autor

Efeito da variabilidade de temperatura no consumo NT

A Figura 13 mostra o comportamento do consumo de energia da saída Cout dos somadores conforme o aumento da temperatura de operação. O somador híbrido foi o mais sensível com 54% de variação, além de obter os maiores valores de consumo máximo 1,5-3,2uW. Os somadores FAV1V5 foi o mais robusto com 51% de variação. Foi possível observar que o uso da XOR V5 no segundo bloco trouxe robustez para os circuitos avaliados. Os menores valores para consumo máximo foram alcançados pelos somadores FAV8V8 e TFA com 1,1-2,3uW de consumo.

Figura 13 - Impacto da variabilidade de temperatura na potência, saída Cout

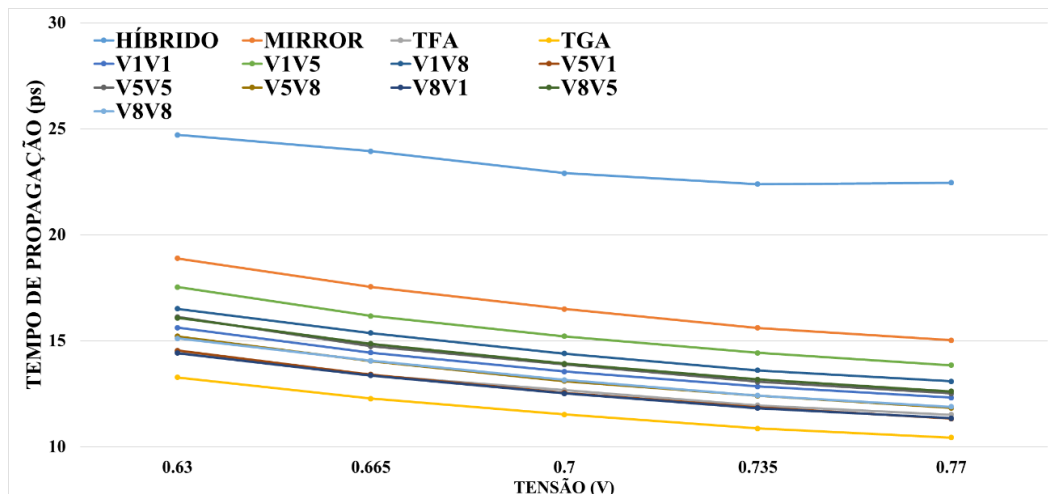


Fonte: Elaborado pelo autor

Efeito da variabilidade de tensão no desempenho

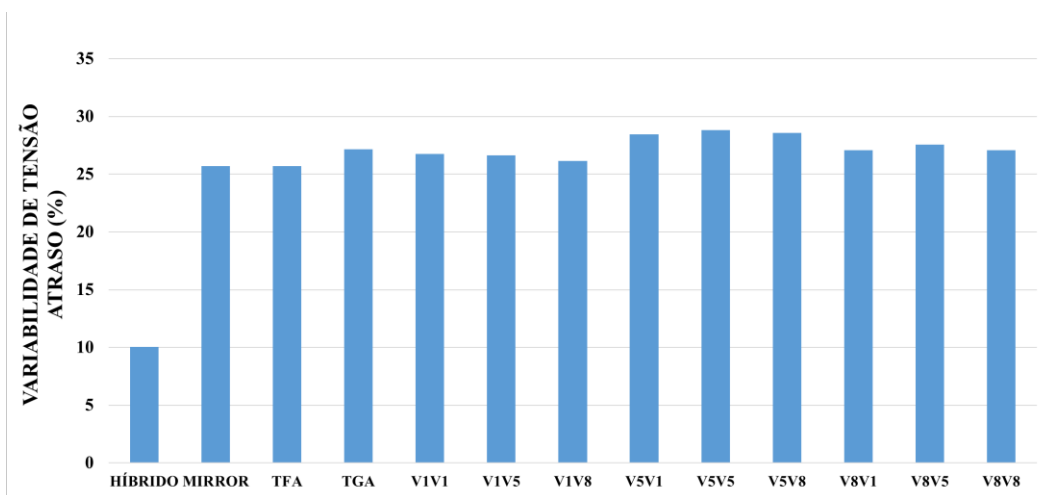
A Figura 14 mostra o comportamento do desempenho dos somadores conforme o aumento da tensão de operação. Como esperado, com o aumento da tensão ocorre também um aumento no desempenho dos circuitos. Quanto aos valores médios, os maiores destaques ficaram para os somadores tradicionais, sendo o somador híbrido o que obteve os piores valores quanto ao desempenho 24,7-22,4ps, e o somador TGA o mais rápido com 13,2-10,4ps. A Figura 15 mostra os resultados quanto à variabilidade. Embora o somador híbrido tenha sido o que teve o pior desempenho, ele foi o mais robusto, chegando em pouco mais de 10% de variabilidade. Os demais somadores tiveram uma sensibilidade semelhante quanto à esse tipo de variabilidade, ficando entre 25-30% de variação. Vale destacar que os somadores que utilizaram a XOR V5 no primeiro bloco, FAV5V1, FAV5V5 e FAV5V8, obtiveram as maiores variações 28,4%, 28,8% e 28,5%, respectivamente.

Figura 14 - Tempo de propagação médio considerando variabilidade de tensão, saída Cout



Fonte: Elaborado pelo autor

Figura 15 - Impacto da variabilidade de tensão no desempenho, saída Cout

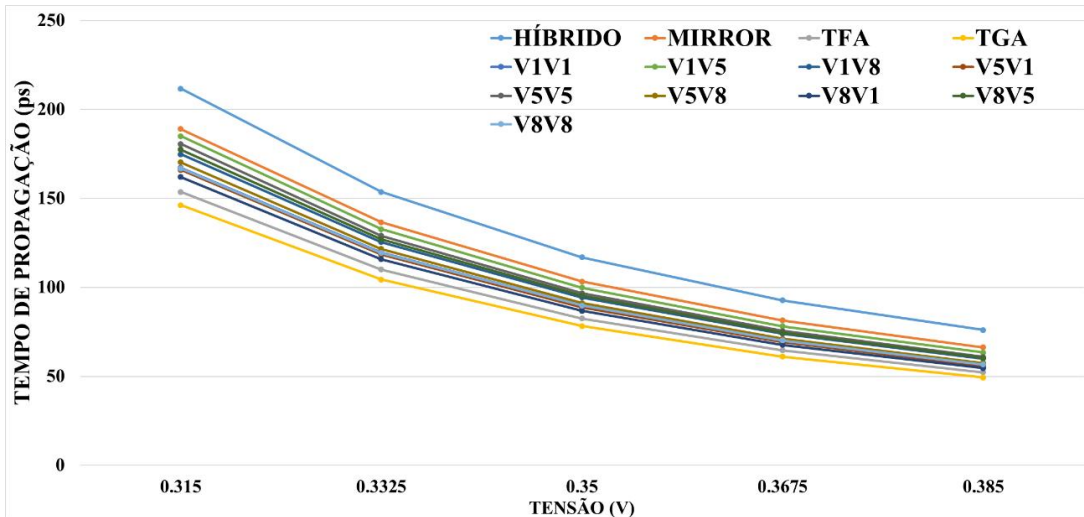


Fonte: Elaborado pelo autor

Efeito da variabilidade de tensão no desempenho NT

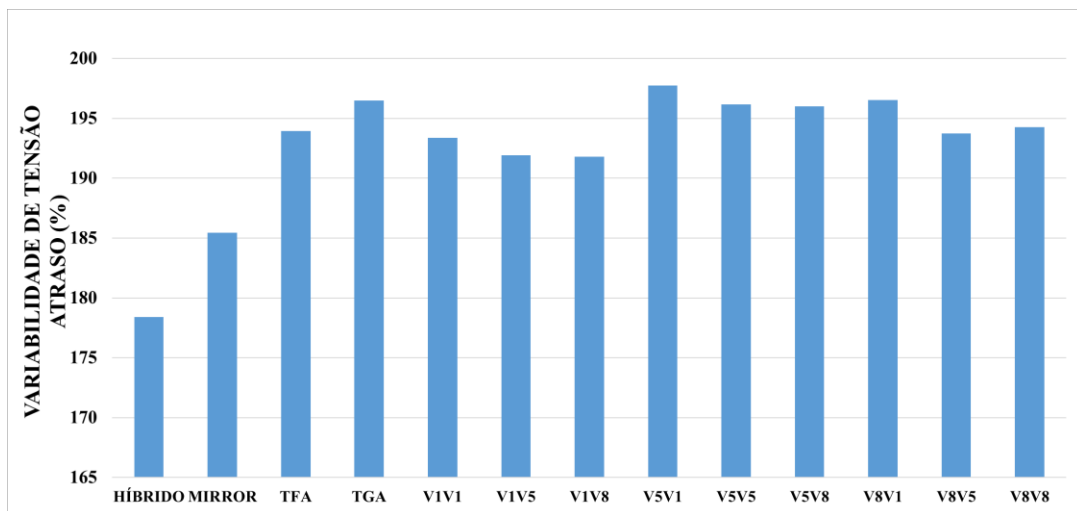
A Figura 16 mostra o comportamento do desempenho dos somadores conforme o aumento da tensão de operação. Como esperado, com o aumento da tensão ocorre também um aumento no desempenho dos circuitos. Quanto aos valores médios, os maiores destaques ficaram para os somadores tradicionais, sendo o somador híbrido o que obteve os piores valores quanto ao desempenho 211,8-76ps, e o somador TGA o mais rápido com 146,2-49,3ps. A Figura 17 mostra os resultados quanto à variabilidade. Embora o somador híbrido tenha sido o que teve o pior desempenho, ele foi o mais robusto, obtendo cerca de 178,4% de variabilidade, seguido pelo Mirror com 185,4% de variação. Os demais somadores tiveram uma sensibilidade semelhante quanto à esse tipo de variabilidade, ficando entre 190-200% de variação. Vale destacar que os somadores que utilizaram a XOR V1 no segundo bloco, FAV1V1, FAV5V1 e FAV8V1, obtiveram variações maiores do que os demais que utilizam a metodologia de blocos de XORs, com 193,4%, 197,7% e 196,5%, respectivamente.

Figura 16 - Tempo de propagação médio considerando variabilidade de tensão, saída Cout



Fonte: Elaborado pelo autor

Figura 17 - Impacto da variabilidade de tensão no desempenho, saída Cout



Fonte: Elaborado pelo autor

Efeito da variabilidade de tensão no consumo

Como esperado, com o aumento da tensão ocorre também um aumento do consumo. A Figura 18 mostra o comportamento da potência da saída. Conforme mostrado quanto ao desempenho, o somador híbrido obteve os maiores valores para média de consumo 42,7-83,8uW. Já dessa vez, o somador com o menor consumo foi o TFA com 30,3-60,5uW de média. O somador FAV5V8 foi o mais robusto com 46,3% de variação seguido pelo TGA com 47%, sendo quase 5% mais robusto que o pior somador, o Mirror, que obteve 50,5% de variação. Os somadores TFA, FAV1V8, FAV5V5 e

FAV8V1, obtiveram valores altos quanto a esse tipo de variabilidade, com 49,9%, 50%, 50% e 50%, respectivamente.

Figura 18 - Impacto da variabilidade de tensão na potência, saída Cout

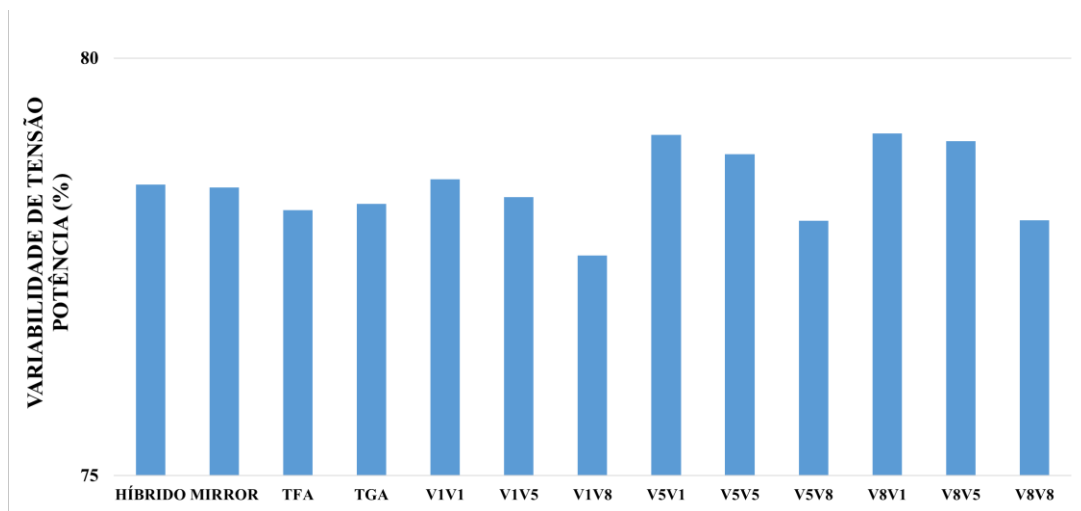


Fonte: Elaborado pelo autor

Efeito da variabilidade de tensão no consumo NT

A Figura 19 mostra o comportamento do consumo de energia da saída Cout dos somadores conforme a variação de +/-10% da tensão nominal. Como esperado, com o aumento da temperatura ocorre também um aumento do consumo. Conforme mostrado quanto ao desempenho, o somador híbrido obteve os maiores valores para média de consumo 0,8-3,7uW. O somador que obteve o menor consumo foi o TFA seguido pelo FAV8V8, ambos com 0,5-2,6uW de consumo. O somador FAV1V8 foi o mais robusto com 77,6% de variação seguido pelos FAV5V8 e FAV8V8, ambos com 78% de variação. Sendo assim, foi possível observar que o uso da XOR V8 no segundo bloco é uma boa alternativa quando se busca uma maior robustez nos circuitos quando consideramos esse tipo de variabilidade. Os circuitos mais sensíveis foram o FAV5V1 e FAV8V1 que obtiveram 79% e 79,1% de variabilidade, respectivamente.

Figura 19 - Impacto da variabilidade de tensão na potência, saída Cout

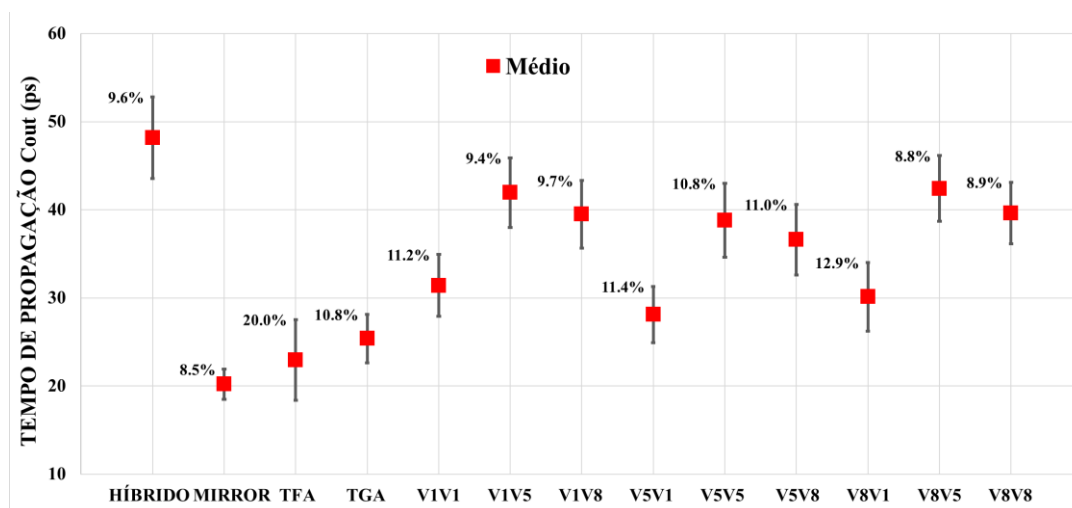


Fonte: Elaborado pelo autor

Desempenho sob variabilidade de processo utilizando Dcell e operando em tensão nominal, Cout

A Figura 20 mostra os valores médios para todos os somadores quando operando sob efeito da variabilidade de processo após a adição da célula de desacoplamento (Dcell) nas saídas, além disso, é mostrado também o desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado. Os somadores Mirror foi o mais robusto, com variabilidade de 8,5%, enquanto o TFA foi o mais sensível a esse tipo de variabilidade, com 20% de variação. Quanto aos somadores construídos com a metodologia proposta nesse trabalho, a XOR V1 no segundo bloco é um boa opção para um melhor desempenho, porém ela torna os circuitos mais sensíveis quanto à variabilidade de processo na maioria dos casos, por exemplo, FAV5V1 e FAV8V1. O somador mais robusto construído a partir de blocos de XORs foi o FAV8V5 com 8,8% de variação. Quanto ao desempenho dos somadores os destaques ficaram para os somadores tradicionais, sendo o somador híbrido o mais lento e o somador Mirror o mais rápido, com 48,1ps e 20,2ps de atraso, respectivamente.

Figura 20 - Tempo de propagação com variabilidade de processo, saída Cout

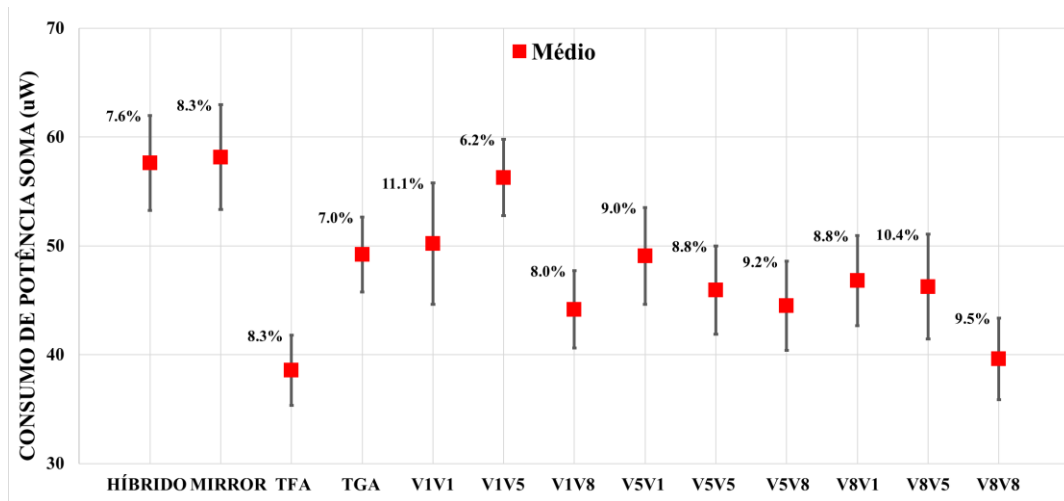


Fonte: Elaborado pelo autor

Consumo sob variabilidade de processo utilizando Dcell e operando em tensão nominal, Soma

A Figura 21 mostra o consumo máximo e a variação provocada nos somadores devido a variabilidade de processo considerando o uso de células de desacoplamento (Dcell) nas saídas. O somadores Mirror, híbrido e FAV1V5 obtiveram os maiores valores de consumo 58,1uW, 57,6uW e 56,2uW. Para os menores valores de consumo está o somador TFA com 38,5uW, seguido por todos os que utilizam a XOR V8 no segundo bloco, com 44,1uW, 44,4uW e 39,6uW, respectivamente. Com relação a variabilidade, o somador FAV1V5 foi o robusto com 6,2% de variação, enquanto o mais sensível foi o somador FAV1V1 11,1% de variação. Com isso podemos observar o grande impacto que tem a porta lógica XOR usada no segundo bloco, aumentando em quase 100% a variabilidade de um somador.

Figura 21 - Consumo de energia com variabilidade de processo, saída Soma

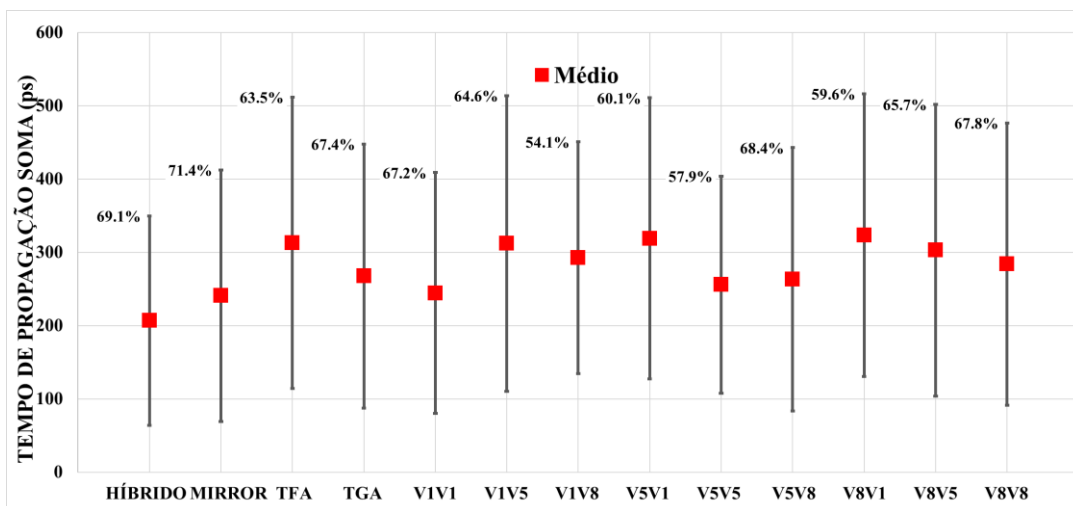


Fonte: Elaborado pelo autor

Desempenho sob variabilidade de processo utilizando Dcell e operando em tensão de quase limiar (NT), Soma

A Figura 22 mostra os valores médios para todos os somadores quando operando sob efeito da variabilidade de processo após a adição da célula de desacoplamento (Dcell) nas saídas, além do desvio padrão normalizado, para que seja possível ver o quanto cada somador foi impactado. O somador FAV1V8 foi o mais robusto, com variabilidade de 54,1%, enquanto o somador Mirror foi o mais sensível a esse tipo de variabilidade, com 71,4% de variação. Para os valores médios de atraso, vale destacar o bom desempenho dos somadores híbrido que obteve 206,9ps de atraso. Por outro lado, com 323,6ps de atraso ficou o somador mais lento FAV8V1.

Figura 22 - Tempo de propagação com variabilidade de processo, saída Soma

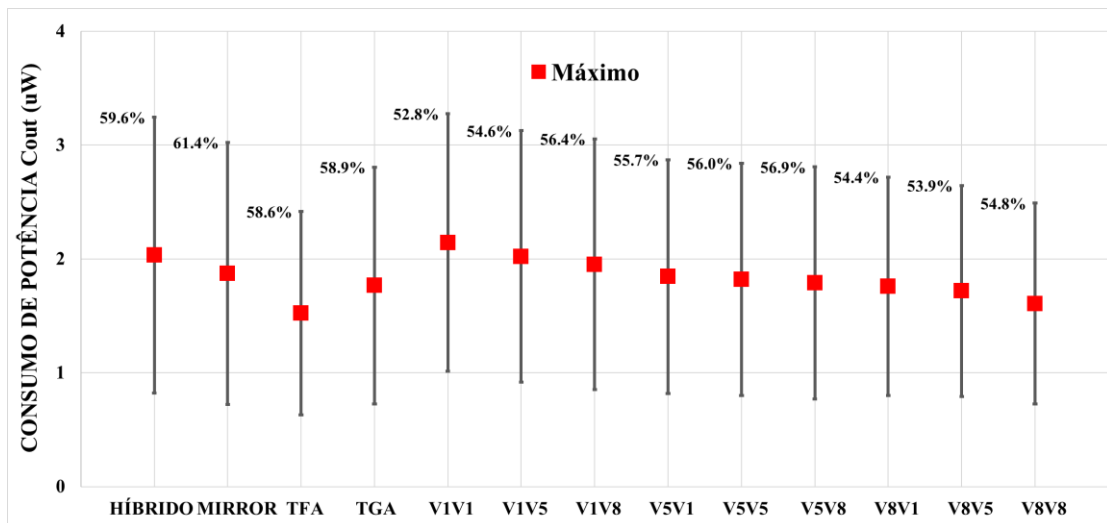


Fonte: Elaborado pelo autor

Consumo sob variabilidade de processo utilizando Dcell e operando em tensão de quase limiar (NT), Cout

A Figura 23 mostra o consumo máximo e a variação provocada nos somadores devido a variabilidade de processo considerando o uso de células de desacoplamento (Dcell) nas saídas. Todos somadores construídos com blocos de XORs foram mais robustos que os tradicionais. O somador FAV1V1 foi o mais robusto de todos, com apenas 52,8% de variação. O que obteve a maior sensibilidade para esse tipo de variabilidade foi o Mirror com 61,4 de variação. Para os valores de média, embora o somador FAV1V1 tenha sido o mais robusto, foi ele que obteve o maior valor de consumo com cerca de 2,1uW. Os somadores TFA foi o que obteve o menor valor de consumo 0,9uW.

Figura 23 - Consumo de energia com variabilidade de processo, saída Cout



Fonte: Elaborado pelo autor

Comparação dos somadores considerando o uso da Dcell

Influência do uso da Dcell para redução da variabilidade de processo quanto ao desempenho, saída Cout

SOMADOR	NOMINAL ATRASO COUT					
	μ (ps)			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	44,30	48,17	8,74	11,18	9,62	-13,96
MIRROR	18,50	20,20	9,21	9,28	8,48	-8,61
TFA	22,36	22,96	2,69	14,82	19,97	34,75
TGA	20,15	25,39	26,01	10,88	10,81	-0,65
V1V1	26,60	31,42	18,11	12,53	11,16	-10,93
V1V5	30,77	41,96	36,36	10,10	9,40	-6,92
V1V8	27,76	39,49	42,26	10,04	9,69	-3,44
V5V1	22,31	28,10	25,94	11,39	11,40	0,07
V5V5	27,74	38,82	39,93	11,99	10,80	-9,91
V5V8	25,60	36,60	42,96	12,28	10,95	-10,83
V8V1	24,32	30,13	23,88	13,29	12,91	-2,89
V8V5	30,28	42,42	40,07	9,84	8,79	-10,64
V8V8	27,79	39,63	42,61	10,13	8,86	-12,53

Fonte: Elaborado pelo autor

Influência do uso da Dcell para redução da variabilidade de processo quanto ao consumo, saída Cout

SOMADOR	NOMINAL CONSUMO COUT					
	μ (μ W)			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	61,43	65,31	6,32	12,72	10,92	-14,17
MIRROR	55,87	65,38	17,03	13,39	11,78	-4,91
TFA	44,02	45,96	4,42	12,61	10,98	-12,90
TGA	49,79	54,46	9,37	11,64	9,90	-15,00
V1V1	56,04	61,33	9,44	11,78	14,26	21,13
V1V5	53,79	51,18	-4,85	11,23	14,18	26,25
V1V8	48,94	50,37	2,92	12,20	13,48	10,48
V5V1	53,70	55,12	2,65	12,87	12,43	-3,39
V5V5	51,78	53,19	2,73	12,33	14,42	16,94
V5V8	49,32	51,75	4,92	11,76	13,67	16,25
V8V1	53,56	52,49	-2,00	12,68	12,84	1,26
V8V5	51,88	50,37	-2,92	12,37	11,38	-8,03
V8V8	42,47	46,20	8,80	12,22	10,88	-10,99

Fonte: Elaborado pelo autor

Influência do uso da Dcell para redução da variabilidade de processo quanto ao desempenho, saída Cout

SOMADOR	QUASE LIMIAR (NT) CONSUMO COUT					
	μ (μ W)			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	2,08	2,03	-2,43	63,54	59,59	-6,22
MIRROR	1,85	1,87	1,22	63,64	61,36	-3,58
TFA	1,69	1,52	-9,84	53,09	58,55	10,29
TGA	1,89	1,77	-6,59	53,86	58,94	9,43
V1V1	2,28	2,14	-6,03	52,36	52,79	0,83
V1V5	2,16	2,02	-6,56	54,71	54,55	-0,29
V1V8	2,08	1,95	-5,90	54,96	56,40	2,62
V5V1	2,02	1,85	-8,43	51,25	55,68	8,64
V5V5	2,02	1,82	-9,87	51,12	55,95	9,44
V5V8	1,95	1,79	-8,22	52,35	56,90	8,71
V8V1	2,01	1,76	-12,27	51,35	54,44	6,01
V8V5	2,00	1,72	-13,97	51,00	53,85	5,59
V8V8	1,75	1,61	-8,22	51,13	54,79	7,16

Fonte: Elaborado pelo autor

Influência do uso da Dcell para redução da variabilidade de processo quanto ao desempenho, saída Soma

SOMADOR	QUASE LIMIAR (NT) ATRASO SOMA					
	μ (ps)			σ/μ (%)		
	SEM Dcell	COM Dcell	DELTA (%)	SEM Dcell	COM Dcell	DELTA (%)
HÍBRIDO	218,91	206,89	-5,49	69,40	69,09	-0,45
MIRROR	225,02	240,76	7,00	72,74	71,39	-1,84
TFA	262,86	313,19	19,15	70,62	63,45	-10,15
TGA	174,49	267,64	53,38	77,36	67,38	-12,91
V1V1	223,93	244,60	9,23	69,08	67,16	-2,77
V1V5	186,56	312,27	67,38	85,32	64,60	-24,29
V1V8	244,27	292,56	19,77	73,82	54,10	-26,71
V5V1	282,50	319,12	12,96	66,00	60,08	-8,98
V5V5	239,28	255,92	6,96	75,31	57,90	-23,13
V5V8	220,56	263,04	19,26	77,71	68,36	-12,03
V8V1	275,14	323,66	17,64	57,19	59,58	4,18
V8V5	254,40	302,98	19,09	74,12	65,72	-11,34
V8V8	236,10	284,09	20,33	77,85	67,82	-12,89

Fonte: Elaborado pelo autor