



**Universidade:
presente!**

UFRGS
PROPEAQ



XXXI SIC

21. 25. OUTUBRO • CAMPUS DO VALE

Evento	Salão UFRGS 2019: SIC - XXXI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2019
Local	Campus do Vale - UFRGS
Título	Exploração de Espaço de Projeto em Processadores Superescalar Configuráveis
Autor	NICOLAU PEREIRA ALFF
Orientador	ANTONIO CARLOS SCHNEIDER BECK FILHO

Exploração de Espaço de Projeto em Processadores Superescalar Configuráveis

Nicolau Pereira Alff

Professor Orientador: Antonio Carlos Schneider Beck Filho
Universidade Federal do Rio Grande do Sul - Instituto de Informática

Com as aplicações cada vez mais complexas e com a busca incessante por melhor desempenho computacional, a importância de processadores superescalares é crescente. Estes processadores exploram o paralelismo no nível das instruções e, através de técnicas complexas, como execução especulativa, atingem um alto valor de instruções por ciclo. Porém, esta enorme complexidade precisa de um número de transistores na mesma escala para ser implementada. Estes transistores, em contrapartida, tendem a ficar mais sensíveis para tecnologias mais novas, fazendo com que a possibilidade de erros que possam surgir pela física dos circuitos - como, por exemplo, falhas transientes - aumente. Para evitar tais erros, pesquisa-se técnicas de tolerância a falhas e de *design exploration*, analisando quais componentes são importantes para manter a robustez do circuito, assim como encontrar formas de encontrar e tratar erros no nível do circuito.

Um exemplo representativo de processador superescalar é o BOOM (*Berkeley Out-of-Order Machine*) implementa a ISA RISC-V (RV64GC). Este é um hardware de 64 bits descrito na linguagem Chisel que possibilita a geração automática e sintetizável de um processador (em nível RTL). Por se tratar de um processador desenvolvido para fins acadêmicos, ele possui código livre, sendo aberto à comunidade científica. O BOOM é gerado automaticamente por meio de parametrização, facilitando a exploração de quais os parâmetros devem ser mudados e o que cada mudança pode refletir na performance, robustez e na área do processador. Dado que o processador BOOM é uma arquitetura complexa com predição de desvios e execução especulativa de instruções, e a execução especulativa tem influência no eixo de performance e tolerância a falhas, este trabalho foca em explorar o design de tal arquitetura. Desta maneira, o trabalho consiste em dois objetivos: (1) síntese lógica das unidades do processador; (2) investigação da influência de diferentes configurações de parâmetros no preditor de desvios; (3) análise do comportamento de várias aplicações no processador.

Em um primeiro momento, os resultados extraídos focaram em explorar tal ferramenta. Para se alcançar estes resultados parciais foram feitas pesquisas dentro do estado-da-arte e em tutoriais para o uso da ferramenta. Após este período, os passos (1) e (2) foram executados. Em (1), a síntese lógica possibilitou a análise de área e potência das unidades funcionais a partir de uma tecnologia de 15nm e uma frequência de operação de 2GHz por meio da utilização da plataforma RTL Genus (Cadence). Já em (2) foi possível observar a influência de diferentes parametrizações do preditor de desvio no desempenho do processador. As métricas obtidas dos testes sob as diferentes configurações do processador BOOM estão agora em processo de análise. O item (3) consistiu em verificar e quantificar, para cada aplicação, os diferentes tipos de instruções executadas.