



Universidade: presente!



XXXI SIC

21. 25. OUTUBRO • CAMPUS DO VALE

Exploração de Espaço de Projeto em Processadores Superescalares Configuráveis

Nicolau Pereira Alff
npalff@inf.ufrgs.br

Orientado por Prof. Antonio Carlos S. Beck Filho

Universidade Federal do Rio Grande do Sul
Instituto de Informática

INTRODUÇÃO

- Com as aplicações cada vez mais complexas e com a busca incessante por melhor desempenho computacional, a importância de processadores superescalares é crescente.
- Em busca de uma melhor performance nos processadores pesquisa-se sobre o preditor de desvios e a execução fora de ordem para melhor aproveitamento do *Instruction Level Parallelism*, explorando ao máximo o *pipeline*.
- Neste trabalho focamos nas atividades sobre o preditor de desvios do processador (e.g. *Global History*).

PROCESSADOR SUPERESCALAR

- Exploram o paralelismo no nível de instrução utilizando *pipeline*.
- Utilizam de técnicas complexas, como a execução especulativa.
- Conseguem atingir um alto valor de instruções por ciclo de relógio.

BOOM

- *Berkeley Out-of-Order Machine*.
- Processador superescalar com execução fora de ordem.
- Implementa a ISA RISC-V de 64 bits.
- É descrito na linguagem HDL de alto nível Chisel.
- Processador parametrizável.
- A ferramenta possibilita a geração automática e sintetizável de um processador:

Chisel → Verilog sintetizável

- Preditor de Desvios complexo → Uma das técnicas utilizadas é o *Global History Register* (captura correlação entre branches)

METODOLOGIA

Na presente pesquisa experimental fez-se simulação de performance e acurácia do preditor de desvios de um processador superescalar:

- **BOOM**: Um template para construção de novos projetos/plataformas usando cores BOOM.
- Foram executados testes em 4 configurações diferentes, sendo utilizados diferentes tamanhos de *Global History Register*: 5, 8, 15 e 20.
- **Contadores de Performance**: Contadores disponíveis pela plataforma do BOOM que permitem a leitura de *Hardware counters*, possibilitando medir a acurácia do preditor de desvios.

Referências:

Berkeley Architecture Research. **RISC-V BOOM**. Página Inicial. Disponível em: <<https://boom-core.org/>>. Acesso em: 12 de setembro de 2019.

MCFARLING, Scott. **Combining Branch Predictors**. DEC WRL Technical Report, 1993.

GLOBAL HISTORY

- Uma das técnicas utilizadas para fazer a predição de desvios.
- Correlação entre os últimos desvios influenciam sobre a predição do próximo desvio.
- Guarda numa estrutura as últimas N decisões tomadas, onde N é o tamanho do *Global History Register*.
- A predição é baseada no caminho tomado pela última vez que o *Global History* teve a mesma configuração.

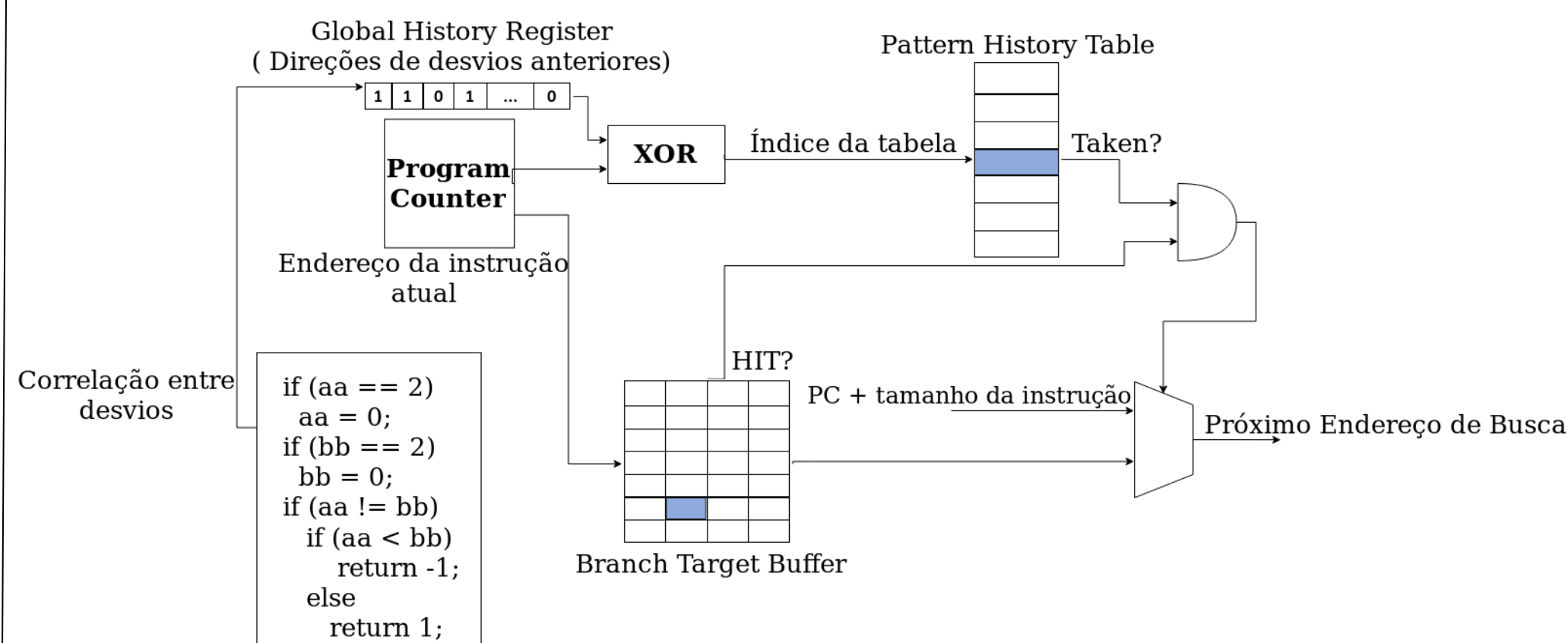
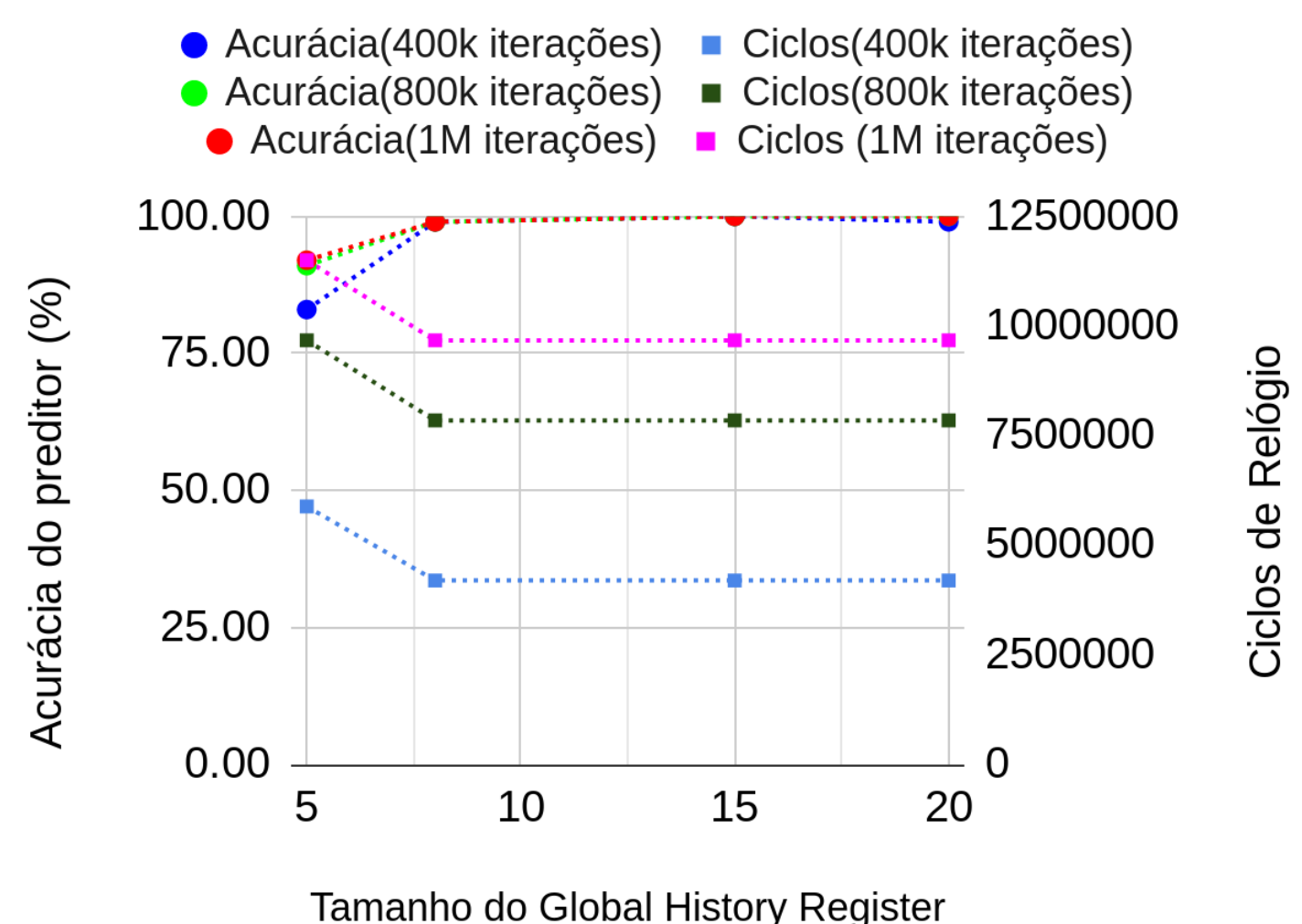


Figura 1 - Two-level Global History Branch Predictor

TESTES

1. Correlação entre os desvios.
2. Diferentes tamanhos de *Global History Register*: 5, 8, 15, 20.
3. Impacto na performance e acurácia do preditor de desvios.



CONCLUSÃO

- Pelos resultados encontrados podemos inferir que quanto maior o *Global History* melhor será a predição dos desvios, causando um impacto positivo na eficiência do processador diminuindo o número de ciclos de execução.
- Para esta aplicação, o tamanho ideal do *Global History Register* é 8, uma vez que a eficiência praticamente estabiliza, e assim não há excesso de área/energia.