

Explorando Somadores Compressores 8-2 com Propagação Eficiente de Carry para Circuitos Rápidos e de Baixa Potência

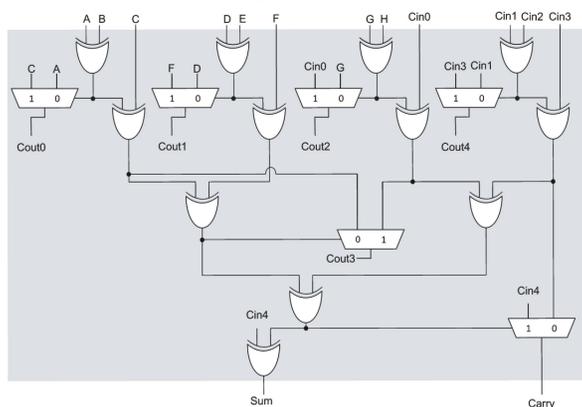
Thomas Fontanari e Sergio Bampi

I. Introdução

- Um **somador compressor N-2** comprime N operandos para apenas dois.
- Usados em **multiplicadores** para realizar a soma dos produtos parciais. [1]
- Compressor 8-2 apresenta **diminuição de dissipação de potência** na soma de diferenças absolutas, em **codificação de vídeo**. [2]
- Pode levar à **propagação de vai-um** ao longo de todos os compressores, aumentando o caminho crítico.
- **Objetivo**: analisar efeito da propagação de vai-um e propor novo compressor 8-2 com propagação eficiente de *couts*.

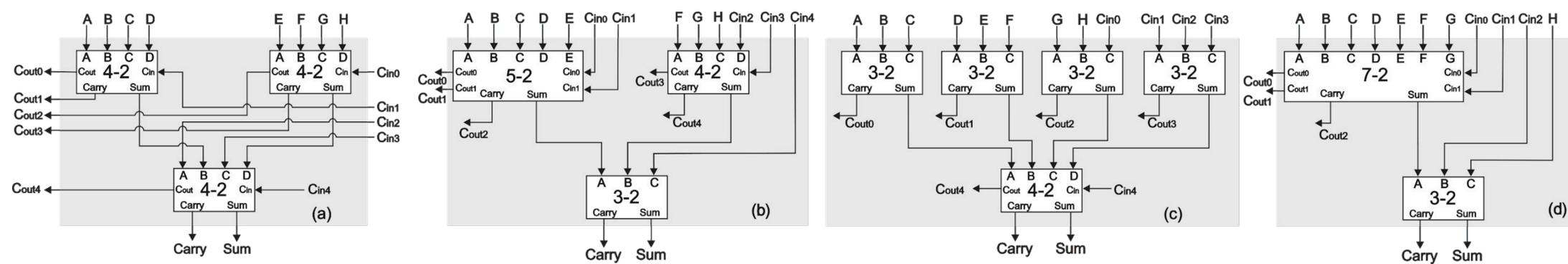
II. Somadores Compressores

- Quatro somadores compressores 8-2 estado-da-arte construídos **hierarquicamente** são mostrados na figura abaixo.
- Um somador compressor 8-2 de N bits usa **N somadores compressores** para somar 8 operandos com N bits cada.
- **Versões (a) e (c) propagam vai-um** ao longo de todos os módulos de somadores compressores.
- **Versão proposta mostrada abaixo é estruturalmente semelhante à versão (c), mas possui propagação limitada de vai-um.**



III. Metodologia

- Quatro versões de **compressores 8-2 hierárquicos** estado da arte e o **monolítico proposto** foram sintetizados para a biblioteca ST 65 nm [3] usando a ferramenta Cadence Genus Logic Synthesis [4].
- **Frequência** de operação igual a **50 MHz**, para estimar a área do circuito e a potência dissipada.
- Frequência máxima de operação estimada aumentando a frequência até atingir o *slack* mínimo.
- **Potência dissipada** estimada para **entradas aleatórias**.



IV. Resultados

- **Área** do circuito **semelhante** em todos os somadores compressores.
- **Menor dissipação de potência** para compressor 8-2 proposto para entradas aleatórias.
- **Maior frequência máxima** de operação. Ganho de 11% sobre versão (d).

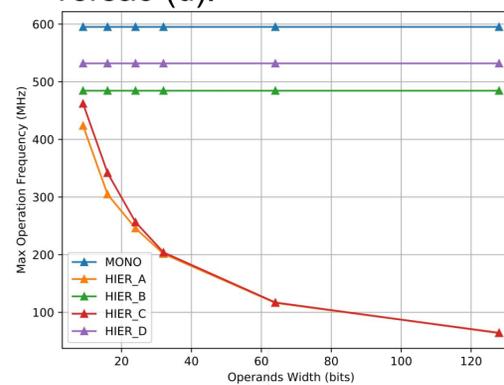
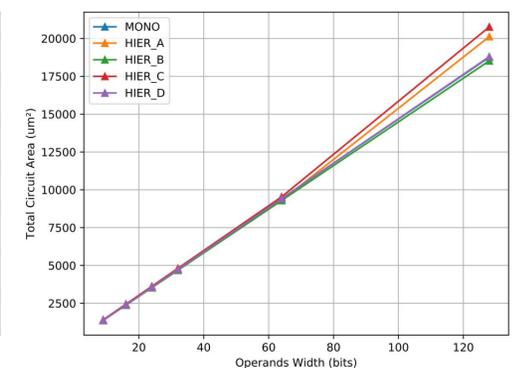
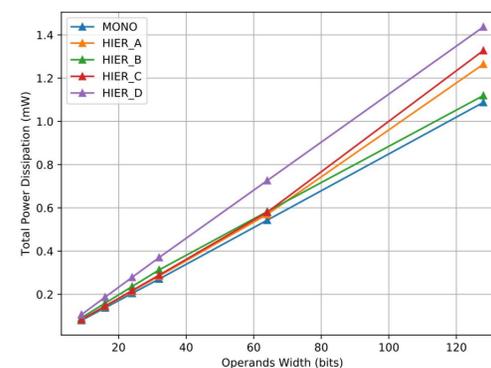


Table 1: Logic Gates in Critical Path

Compressor Architecture	Operands bit-width					
	9	16	24	32	64	128
Monolithic	8	8	8	8	8	8
Hierarchical (a)	15	22	30	38	91	231
Hierarchical (b)	10	10	10	10	10	10
Hierarchical (c)	14	21	29	37	90	221
Hierarchical (d)	10	10	10	10	10	10



V. Conclusões

- Somador compressor 8-2 proposto atingiu **maior frequência máxima de operação**, como consequência da propagação limitada de vai-um.
- Apresenta **menor dissipação de potência** para entradas aleatórias.
- Deve apresentar bons resultados no contexto de **multiplicadores**.

VI. Referências

- [1] A. Momeni, et al. Design and Analysis of Approximate Compressors for Multiplication. IEEE Trans. Comp., 2015.
- [2] B. Silveira, et al. Power-Efficient Sum of Absolute Differences Hardware Architecture Using Adder Compressors for Integer Motion Estimation Design. IEEE TCAS-I, 2017.
- [3] "ST 65nm Standard Cell Library", www.st.com.
- [4] "Cadence EDA Tools", http://www.cadence.com.