

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

CARLOS JULIO GONZÁLEZ AGUILERA

**Avaliação de Conversores AD sob Efeitos de
Radiação e Mitigação Utilizando
Redundância com Diversidade**

Dissertação apresentada como requisito parcial para
a obtenção do grau de Mestre em Microeletrônica

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre
2018

CIP — CATALOGAÇÃO NA PUBLICAÇÃO

González Aguilera, Carlos Julio

Avaliação de Conversores AD sob Efeitos de Radiação e Mitigação Utilizando Redundância com Diversidade / Carlos Julio González Aguilera. – Porto Alegre: PGMICRO da UFRGS, 2018.

78 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR–RS, 2018. Orientador: Tiago Roberto Balen.

1. Radiação ionizante. 2. Diversidade. 3. Dose total ionizante. 4. Efeitos de eventos singulares. 5. Redundância modular tripla. 6. Sinais mistos. 7. Programmable System-on-Chip (PSoC). 8. Conversores análogo-digitais. I. Balen, Tiago Roberto. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Rui Vicente Oppermann

Vice-Reitor: Profa. Jane Fraga Tutikian

Pró-Reitor de Pós-Graduação: Prof. Celso Giannetti Loureiro Chaves

Diretor do Instituto de Informática: Profa. Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Profa. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*Gracias Rosita por darme la vida,
desde la inmensidad del cielo me cuidas*

— ESTE TRABAJO ESTÁ DEDICADO A MI MADRE

AGRADECIMENTOS

Gostaria de expressar minha mais profunda gratidão ao meu orientador, Dr Tiago Roberto Balen, pela ajuda, paciência, orientação e motivação para a realização deste trabalho.

Obrigado professores e colegas do PGMicro pela ajuda em vários momentos de dúvidas no desenvolvimento do projeto. Agradeço ao professor Odair Gonzalez e ao Eng. Rafael Galhardo Vaz do Instituto de Estudos Avançados (IEAv) pela ajuda no primeiro experimento de radiação no laboratório do instituto. Também ao professor Nilberto Medina e seu grupo de trabalho no Instituto de Física da Universidade de São Paulo (LAFN-USP) pela ajuda no segundo experimento.

Agradeço os meus pais, os meus irmãos, que sempre me incentivaram para continuar estudando, na procura dos meus sonhos. Meu filho Juan Camilo González Chaves que sempre é, e será, uma motivação e inspiração em cada passo que dou na vida.

Agradeço todas as pessoas que me apoiaram na primeira cidade que morei, Florianópolis. Os meus amigos Luís e Vanessa, Jaime, Byron, Diana, Jose, Adriana, Natalia e Bruno. Sei que sem seu apoio durante os momentos mais difíceis não houvesse obtido a força pra continuar aqui no Brasil. Em Porto Alegre, agradeço de coração a Israel e Mary, Roger, Diogo, Gabriel, Arthur, Helga, John e Kate Freire, amigos e colegas de infinitas experiências, tanto de tristeza quanto de felicidade. Maria Quirós, obrigado pela paciência, apoio e amor infinito que sempre tive da tua parte.

Muito obrigado à CAPES pela provisão da bolsa de Mestrado e ao CNPq, PGMicro e PROPESQ pelos auxílios financeiros para participação em eventos científicos.

RESUMO

Este trabalho aborda um sistema de aquisição de dados (SAD) analógico-digital, baseado em um esquema redundante com diversidade de projeto, que é testado em dois ambientes diferentes de radiação. O primeiro experimento considera um teste de dose total ionizante (Total Ionizing Dose - TID) sob irradiação gama, e o segundo experimento considera os efeitos de eventos singulares (Single Event Effects - SEE) sob irradiação por íons pesados. O SAD é composto, principalmente, por três conversores analógicos-digitais (ADCs) e dois votadores. A técnica usada é a Redundância Modular Tripla (Triple Modular Redundancy - TMR), com implementação em diferentes níveis de diversidade (temporal e arquitetural). O sistema é construído em um System-on-Chip programável (PSoC 5LP) da Cypress Semiconductor, fabricado em tecnologia CMOS de 130nm. Para a irradiação com TID, se utiliza o PSoC de part number CY8CKIT-050 sob uma fonte de radiação gama de ^{60}Co (cobalto-60), com uma taxa de dose efetiva de 1 krad(Si)/h por 10 dias, atingindo uma dose total de 242 krad(Si). Para SEE se utiliza o protótipo PSoC de part number CY8CKIT-059 (sem encapsulamento) em um acelerador de partículas 8UD Pelletron usando ^{16}O (oxigênio-16) ao vácuo, com energia de 36 MeV em um LET aproximado de 5.5 MeV/mg/cm^2 e uma penetração no silício de $25 \mu\text{m}$, resultando em um fluxo de $354 \text{ p/cm}^2.\text{s}$, e uma fluência de 5077915 p/cm^2 depois de 14755 segundos (4h 09min). Observou-se com o resultado do primeiro estudo que um (1) dos módulos do sistema apresentou uma degradação significativa na sua linearidade durante a irradiação, enquanto os outros tiveram uma degradação menos grave, mantendo assim a funcionalidade e confiabilidade do sistema. Durante o tempo de irradiação do segundo estudo, foram observadas 139 falhas: 53 SEFIs (Single Events Functional Interrupt), 29 falhas críticas e 57 falhas SDC (Silent Data Corruption), atingindo as diferentes cópias do sistema e um dos votadores do mesmo, mas sempre mantendo a saída esperada. Nos dois experimentos se evidencia a vantagem de usar a diversidade de projeto, além do TMR, para melhorar a resiliência e confiabilidade em sistemas críticos redundantes que trabalham com sinais mistos.

Palavras-chave: Radiação ionizante. diversidade. dose total ionizante. efeitos de eventos singulares. redundância modular tripla. sinais mistos. Programmable System-on-Chip (PSoC). conversores analógico-digitais.

AD Converters under radiation effects evaluation and mitigation using design diversity redundancy

ABSTRACT

This work presents an analog-to-digital data acquisition system (DAS) based on a redundant scheme with design diversity, being tested in two different radiation environments. The first experiment is a Total Ionizing Dose (TID) essay and the second one considers Single Event Effects (SEE) under heavy ion irradiation. The DAS is mainly composed of three analog-to-digital converters (ADCs) and two voters. The used technique was the Triple Modular Redundancy (TMR) implementing different levels of diversity (temporal and architectural). The circuit was built in a programmable System-on-Chip (PSoC 5LP) from Cypress Semiconductor, fabricated in a 130nm CMOS technology process. For the irradiation with TID the part number CY8CKIT-050 PSoC was used under a ^{60}Co (cobalt-60) gamma radiation source, with an effective dose rate of 1 krad(Si)/h during 10 days, reaching a total dose of 242 krad(Si). For SEE experiments the part number CY8CKIT-059 (without encapsulation) PSoC prototype under a 8UD Pelletron particle accelerator using ^{16}O (oxygen-16) under vacuum, with an energy of 36 MeV, resulting in a flux of $354p/cm^2.s$ and a fluence of $5077915p/cm^2$ after 14755 seconds (4h 09min). As result of the first study it was observed that one of the system's modules presented a significant degradation in its linearity during the irradiation, while degradations in the other modules were not as deep, maintaining the system's functionality and reliability. During the period of the radiation of the second study, 139 faults were observed, 82 of them were critical and 57 were SDC (Silent Data Corruption), reaching the different system copies and one of the voters, while always maintaining the correct output. The advantage of using diversity, besides TMR, to improve resilience and reliability in redundant systems working with mixed signals was demonstrated in both experiments.

Keywords: Ionizing radiation, Diversity, Total Ionizing Dose, Single Event Effects, Triple Modular Redundancy, Mixed Signals, Programmable System-on-Chip, Analog-to-Digital Converters.

LISTA DE ABREVIATURAS E SIGLAS

ADC	Analog-to-Digital Converter
AE	Auxiliary Equipment
ARM	ARM Cortex-M3
CME	Coronal Mass Ejections
CMOS	Complementary Metal-Oxide-Semiconductor
COTS	Commercial Off-The-Shelf
DAC	Digital-to-Analog Converter
DAS	Data Acquisition System
DD	Displacement Damage
DMA	Direct Memory Access
DTMR	Diversity Triple Modular Redundancy
DUT	Device Under Test
ENOB	Effective Number of Bits
ESA	European Space Agency
FIT	Failure in Time
FPGA	Field Programmable Gate Array
FPA	Field Programmable Analog Array
IC	Integrated Circuit
IO	Input-Output
LET	Linear Energy Transfer
MBU	Multiple Bit Upset
MS	Mixed-Signal
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor

NASA	National Aeronautics and Space Administration
PCA	Programmable Capacitor Array
PSOC	Programmable System-on-Chip
RHBD	Radiation Hardening by Design
SAR	Successive Approximation Register
SDC	Silent Data Corruption
SEE	Single Event Effect
SEFI	Single Event Functional Interrupt
SER	Soft Error Rate
SET	Single Event Transient
SEU	Single Event Upset
SINAD	Signal-to-Noise and Distortion Rate
SNR	Signal-to-Noise Rate
SoC	System-on-Chip
SOI	Silicon on Insulator
TID	Total Ionizing Dose
TMR	Triple Modular Redundancy
VLSI	Very Large Scale Integration

LISTA DE FIGURAS

Figura 1.1	Representação do System-on-Chip Programável PSoC.	15
Figura 2.1	Fontes de partículas ionizantes no ambiente espacial.....	18
Figura 2.2	Chuveiro de partículas causado por RCG ao entrar na atmosfera terrestre.....	19
Figura 2.3	Ilustração cinturões de radiação de Van Allen.....	20
Figura 2.4	Anomalia Magnética do Atlântico Sul.	20
Figura 2.5	Mudança de tensão devido à irradiação.....	22
Figura 2.6	Cargas presas no óxido e na interface do dispositivo MOS.....	22
Figura 2.7	SEU em célula de memória atingida por partícula.....	24
Figura 2.8	Efeito de choque de uma partícula (esquerda) e o pulso de corrente gerador por um SEE (direita)	25
Figura 3.1	Ilustração mostra (a) transistor ELT com guard rings utilizado para obter tolerância à radiação (b) Cross section do transistor ELT.....	30
Figura 3.2	TMR Clássico	31
Figura 4.1	Fluxo de conversão de um sinal analógico	33
Figura 4.2	Análise espectral de um ADC excitado por senóide (a) Frequência fundamental do sinal (b) componentes harmônicos do sinal (c) ruído de quantização do conversor.....	35
Figura 4.3	Relação sinal-ruído para um ADC.....	36
Figura 4.4	Ilustração de SINAD de um ADC e equação.....	36
Figura 4.5	Relação entre ENOB e frequência.....	37
Figura 5.1	Redundância modular tripla.....	39
Figura 5.2	Kit de desenvolvimento utilizado, PSoC 5LP CY8CKIT-050.....	40
Figura 5.3	Arquitetura do PSoC 5LP (CPU Core: ARM Cortex-M3).....	41
Figura 5.4	Implementação completa do SAD no PSoC para irradiação por TID.....	41
Figura 5.5	Representação de votação bit-a-bit.....	43
Figura 5.6	Representação de votação de palavra.....	43
Figura 5.7	(a) Linguagem C do votador principal (b) linguagem c do votador SAR ADC.....	44
Figura 5.8	Sistema de sincronização para técnica de votação.....	45
Figura 5.9	Setup para irradiação sob TID.....	46
Figura 5.10	Distorção harmônica total dos sinais em cada módulo DTMR.....	47
Figura 5.11	Degradação do conversor SAR de 74 ksps.....	48
Figura 5.12	Comparação na saída do conversor SAR 74 ksps com sinal dente de serra para três valores diferentes de doses	48
Figura 5.13	Degradação do conversor SAR de 740 ksps.....	49
Figura 5.14	Degradação do conversor Sigma-Delta	49
Figura 5.15	Queda de tensão (amplitude pico) do sinal convertido em função da dose.....	50
Figura 5.16	SAR 74 ksps com sinal dente de serra e saída do sistema antes da irradiação.....	51
Figura 5.17	SAR 74 ksps com sinal dente de serra e saída do sistema após atingir a dose acumulada de 242 krad(Si)	51
Figura 5.18	Evolução de SNDR e ENOB do ADC SAR 74 ksps e do votador principal.....	52
Figura 5.19	Histograma para 0 - 24 krad(Si).....	53
Figura 5.20	Histograma para 96 - 120 krad(Si).....	53
Figura 5.21	Histograma para 216 - 242 krad(Si).....	54
Figura 5.22	Erro de não-linearidade DNL e INL do SAR ADC 74 ksps (a) 0 krad(Si) (b) 120 krad(Si) (c) 242 krad(Si).....	55

Figura 5.23 Recuperação do conversor a temperatura ambiente depois de 2 semanas (a) e depois de 4 semanas sem degradação (b).....	56
Figura 6.1 Kit de desenvolvimento utilizado PSoC CY8CKIT-059.	58
Figura 6.2 Implementação completa do SAD no PSoC para irradiação por SEE.	58
Figura 6.3 Diagrama de funcionamento do Watchdog.....	59
Figura 6.4 Implementação do Equipamento Auxiliar para irradiação por SEE.....	60
Figura 6.5 Setup para irradiação sob SEE.....	60
Figura 6.6 Setup de teste para irradiação com íons pesados no LAFN-USP, colocação do dispositivo dentro da câmara.....	61
Figura 6.7 DUT, dispositivo de comunicação e equipamento auxiliar (<i>watchdog</i>). Configuração do experimento de irradiação no LAFN-USP	62
Figura 6.8 Cross section de SDC dos conversores e do votador SAR.	64
Figura 6.9 Magnitude do Error em relação ao tempo total do experimento em minutos.....	64
Figura 6.10 Funcionamento normal do SAR 74 ksp/s depois de um SDC.	65
Figura 6.11 Ocorrências críticas nos três módulos do sistema. (a) Módulo 1 (SAR 740 ksp/s), módulo 2 (Sigma-Delta) e saída do sistema (b) Módulo 2 (SAR 74 ksp/s) (c) Módulo 3 (Sigma-Delta).....	66
Figura 6.12 Conversores SAR sofrendo falha e sistema mostrando saída do conversor Sigma-Delta.	67
Figura 6.13 Módulos com falhas e com valor de conversão errado depois da recuperação. (a) Módulo 1 (SAR 740 ksp/s). (b) Módulo 2 (SAR 74 ksp/s) (c) Módulo 3 (Sigma-Delta).....	68
Figura 6.14 Log detalhando saída dos conversores, do votador SAR e saída do sistema.....	69
Figura 6.15 Comparação do conversor SAR e seu votador. (a) Módulo 1 e votador SAR. (b) Módulo 1, Módulo 2 e votador SAR.....	69

LISTA DE TABELAS

Tabela 2.1	Resumo dos principais SEEs e dispositivos que afeta. Fonte: (DUZELLIER, 2005)	26
Tabela 4.1	Resumo geral de caracterização de conversores. Fonte: (FLORES, 2003).....	34
Tabela 5.1	Configuração dos Conversores.	42
Tabela 6.1	Resumo dos resultados de ocorrências no SAD.	63
Tabela 6.2	Número de ocorrências e cálculo do tempo total durante o teste.	63
Tabela 6.3	Cálculo de cross section com tempo efetivo. Dinâmica, SDC e Hangs.	63

SUMÁRIO

1 INTRODUÇÃO	14
2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ELETRÔNICOS	17
2.1 Fontes de Radiação	17
2.1.1 Atividade Solar	17
2.1.2 Raios C3smicos Gal3cticos (Galactic Cosmic Rays - GCR)	18
2.1.3 Cintur3es de Van Allen	19
2.1.4 Ambientes Artificiais	20
2.2 Efeitos da Radia33o em Circuitos CMOS.....	21
2.2.1 Efeitos de Dose Total Ionizante (Total Ionizing Dose - TID).....	21
2.2.2 Efeitos de Eventos Singulares (Single Event Effects - SEEs)	23
2.2.2.1 Single Event Upset (SEU) e Multiple-Bit Upset (MBU).....	23
2.2.2.2 Single Event Transient (SET)	25
2.2.2.3 Single Event Functional Interrupt (SEFI).....	26
2.3 Efeitos da radia33o em circuitos anal3gicos	26
3 T3CNICAS DE TOLER3NCIA FALHAS INDUZIDAS POR RADIA33O	28
3.1 Introdu33o 3s t3cnicas de mitiga33o.....	28
3.2 T3cnicas em n3vel de processo ou tecnologia	28
3.3 T3cnicas em n3vel de projeto	29
3.4 T3cnicas em n3vel de sistema.....	29
4 CONVERSORES ANAL3GICO-DIGITAIS.....	33
4.1 Caracteriza33o de conversores Anal3gicos-Digitais	33
4.1.1 Par3metros Est3ticos	34
4.1.1.1 Differential non-linearity (DNL)	34
4.1.1.2 Integral non-linearity (INL)	34
4.1.2 Par3metros Din3micos	34
4.1.2.1 Signal-to-Noise (SNR).....	35
4.1.2.2 Signal-to-Noise and Distortion Ratio (SINAD).....	35
4.1.2.3 Effective Number of Bits (ENOB).....	36
4.1.2.4 Total Harmonic Distortion (THD)	37
5 EFEITOS DE TID EM UM SISTEMA DE AQUISI33O DE DADOS IMPLI- MENTADO EM UM SOC PROGRAM3VEL	38
5.1 Esquema e implementa33o do sistema de aquisi33o de dados	38
5.2 Caracter3sticas gerais do PSoC 5LP	39
5.3 Sistema no DUT (Device Under Test).....	40
5.3.1 Amostradores (Sample and Hold).....	41
5.3.2 Conversores AD	42
5.3.3 Acesso direto 3s mem3ria (DMAs)	42
5.3.4 Votadores.....	42
5.3.5 Sincronizador	45
5.4 Setup de teste	46
5.5 Procedimentos de teste	46
5.6 Resultados da irradia33o.....	47
5.7 Avalia33o do conversor sob radia33o	52
5.8 Annealing	54
6 TESTE DE I3ONS PESADOS SOBRE O SISTEMA DE AQUISI33O DE DADOS PROTOTIPADO.....	57
6.1 Caracter3sticas gerais do Prot3tipo	57

6.2 Sistema no DUT.....	58
6.2.1 Gerador de sinal	59
6.2.2 Equipamento Auxiliar	59
6.3 Setup de teste	60
6.4 Procedimentos de teste	61
6.5 Resultados da irradiação.....	62
7 CONSIDERAÇÕES FINAIS	70
REFERÊNCIAS.....	72
APPENDICES	77
APÊNDICEA — APÊNDICE A LISTA DE PUBLICAÇÕES	78

1 INTRODUÇÃO

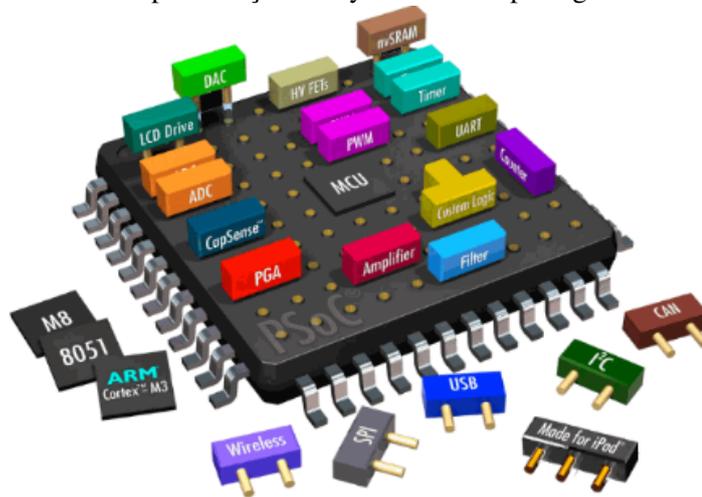
Com o contínuo escalonamento da tecnologia de dispositivos Semicondutores de Metal-Óxido (Metal Oxide Semiconductor - MOS), houve um incremento das frequências de relógio e uma significativa miniaturização de circuitos em atuais sistemas de Integração em Larga Escala (Very Large Scale Integration - VLSI). Por outro lado, esta miniaturização de componentes e circuitos, implica correntes de fuga maiores e, ao mesmo tempo, faz que os circuitos integrados sejam mais sensíveis a determinadas classes de efeitos da radiação ionizante (BARNABY, 2006). Em um sistema que opera em uma nave espacial, aeronave comercial, ou mesmo ao nível de solo (como trens de alta velocidade e automóveis, por exemplo), a radiação ionizante pode afetar blocos de memória, microprocessadores, e blocos de Sinais Mistos (Mixed-Signal - MS), gerando assim erros de processamento no circuito e potencial falha do sistema (JOHNSTON et al., 1995), além de reduzir a vida útil do dispositivo devido a efeitos cumulativos.

Os efeitos da radiação em circuitos com tecnologia de Semicondutor de Metal-Óxido Complementar (Complementary Metal-Oxide-Semiconductor - CMOS) podem ser classificados em: Dose Total Ionizante (Total Ionizing Dose - TID), danos na estrutura cristalina do semicondutor ou Danos por Deslocamento (Displacement Damage - DD) e Efeitos de Eventos Singulares (Single Event Effects - SEE) (VELAZCO; FOUILLAT; REIS, 2007), estes efeitos são mais evidentes em função da dimensão do dispositivo fabricado (tecnologias de fabricação atuais diminutas), e em diversos ambientes nos quais são expostos. TID, é um efeito cumulativo que degrada algumas propriedades elétricas do circuito devido à acumulação de cargas aprisionadas nos óxidos de isolamento do Circuito Integrado (Integrated Circuit - IC) (TUROWSKI; RAMAN; SCHRIMPF, 2004). SEEs ocorrem devido ao impacto de partículas fortemente ionizantes, e nêutrons em áreas sensíveis, induzindo pulsos de corrente que podem perturbar o correto funcionamento do circuito (BINDER; SMITH; HOLMAN, 1975). Displacement Damage são defeitos criados dentro da estrutura cristalina do semicondutor devido à perda de energia não ionizante de partículas incidentes (comumente neutros e íons pesados) (SROUR; MARSHALL; MARSHALL, 2003).

A existência de Sistemas Integrados em um Chip (System-on-Chip - SoC), possibilita que aplicações complexas sejam executadas, já que SoCs consistem em um conjunto de módulos distintos (figura 1.1), com um baixo custo, e alta performance (como no sistema em estudo que utiliza processadores com tecnologia ARM), permitindo integração com computadores e smartphones.

Conversores Analógicos-Digitais (Analog to Digital Converters - ADCs) são blocos comumente utilizados em sistemas de controle, instrumentação e comunicação, incluindo aqueles utilizados em aplicações críticas como aviões, satélites, indústria automotiva, trens de alta velocidade e aplicações médicas. Embora muitos esforços tenham sido direcionados para estudos que avaliem efeitos de radiação e técnicas de mitigação em circuitos digitais complexos, como processadores e Arranjo de Portas Programáveis em Campo (Field Programmable Gate Arrays - FPGAs), poucos trabalhos lidam com esse problema em dispositivos programáveis analógicos ou de sinal misto, como dispositivos *System-on-Chip* (SoC) (LANOT; BALEN, 2014; CHENET et al., 2015; TURFLINGER, 1996).

Figura 1.1 – Representação do System-on-Chip Programável PSoC.



Fonte: Cypress Semiconductor, 2017

A aplicação de uma estratégia de tolerância à falhas por radiação, baseada em Redundância Modular Tripla (Triple Modular Redundancy - TMR) com diversidade de projeto para um Sistema de Aquisição de Dados (Data Acquisition System - DAS), foi proposta e projetada por (CHENET et al., 2015; CHENET; LANOT; BALEN, 2014) em um System-on-Chip Programável (PSoC 5LP) de fabricação em nó tecnológico CMOS de 130 nm (SEMICONDUCTOR, 2015). Nesses trabalhos, foi realizada uma injeção de falhas por software em tempo execução, inserindo manualmente *bit-flips* em alguns registradores da arquitetura, uma vez que o objetivo era apenas validar a proposta de um esquema de votação espacial-temporal. Foi realizada uma campanha intensiva de injeção de falhas, usando um sistema de injeção baseado em um gerador de números pseudo-aleatórios, que é implementado em uma placa auxiliar, selecionando a memória e as posições de bits, inserindo as falhas e gerando uma interrupção de software

para executar a rotina de injeção dos *bit-flips*. Também se realizou uma injeção de falhas com irradiação de neutrons (CHENET, 2015) sem resultados visíveis.

Em (MANSOUR et al., 2012), foi testado um dispositivo PSoC por injeção de falha. No entanto, o experimento foi direcionado para um dispositivo da primeira geração da família PSoC (que inclui um processador simples de 8 bits). A aplicação testada nesse trabalho foi puramente digital (multiplicação de matriz), a qual não foi aplicada nenhuma técnica de tolerância à falhas.

Neste trabalho, o dispositivo estudado pertence à terceira geração da família PSoC 5LP da Cypress Semiconductor, que inclui um processador ARM Cortex-M3 de 32 bits (que é o mesmo dispositivo utilizado para experimentos do nosso grupo de pesquisa com já mencionados anteriormente). Além disso, o esquema é um sistema de sinal misto tolerante a falhas baseado em diversidade de projeto, composto por três ADCs, além de recursos digitais de hardware e software para controlar os conversores e o acesso direto à memória, como também a realização de uma votação parcial e outra final, contendo módulos de sincronização de dados. Portanto, este projeto implementa uma técnica de Redundância Modular Tripla com Diversidade de projeto de Sinal Misto (MS-DTMR).

Originalmente o sistema foi proposto para lidar com *soft errors*, mas o primeiro experimento prático com resultados, foi realizado para efeitos de TID sob uma fonte de cobalto-60 (^{60}Co), que é relevante para sistemas que operam no espaço, aplicações críticas ou em outros ambientes de radiação que são frequentemente sujeitos a falhas. Os resultados obtidos a partir deste estudo mostraram uma degradação significativa em um dos conversores, mas mesmo chegando a doses altas, o dispositivo continuava seu normal funcionamento. Já a segunda experiência deste trabalho é sobre SEE com íons pesados de oxigênio-16 (^{16}O) em um acelerador de partículas 8UD Pelletron, obtendo resultados diferentes de confiabilidade do sistema implementado, especificamente o sistema de votação do TMR. Portanto, a principal contribuição do trabalho é avaliar o nível de tolerância, confiabilidade dos conversores e o sistema de votação durante os tempos de exposição à diferentes tipos de radiação como TID e SEE. A prova do conceito da técnica MS-DTMR sob fontes reais de degradação (falhas por irradiação) é também uma contribuição deste trabalho.

2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS ELETRÔNICOS

Aplicações críticas em ambientes de constante radiação e atividade eletromagnética requerem mecanismos para atingir alta confiabilidade. O contínuo escalonamento da tecnologia CMOS torna mais susceptíveis a falhas estes sistemas, como o funcionamento dos blocos principais; memórias, microprocessadores, sistemas de sinais mistos, entre outros. Para entender estas causas, neste capítulo se descreve as principais fontes de radiação e seus efeitos em dispositivos eletrônicos. Na seção 2.1 faz-se uma introdução das fontes de radiação, na seção 2.2 descreve-se os efeitos da radiação em circuitos CMOS e na seção 2.3 estuda-se os efeitos da radiação em circuitos analógicos.

2.1 Fontes de Radiação

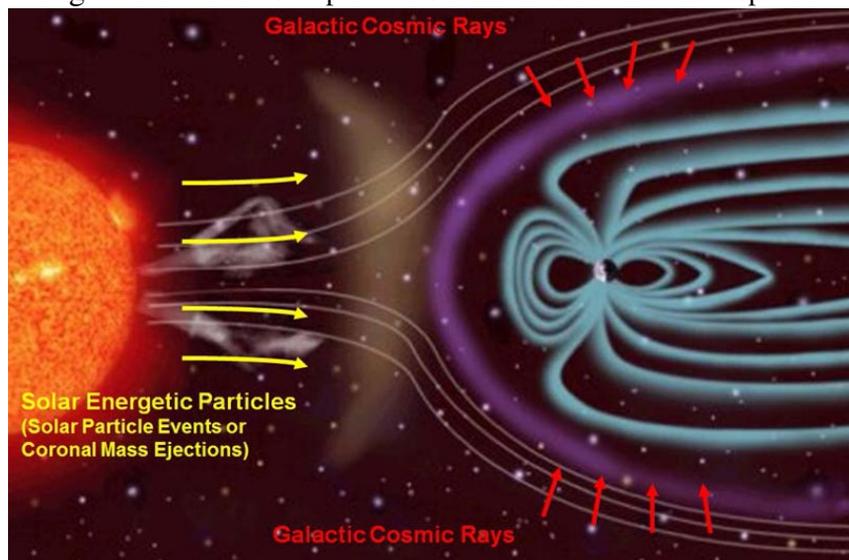
Circuitos eletrônicos operando no espaço ou em outros ambientes radioativos, são vulneráveis a falhas causadas pela radiação, geralmente por atividade eletromagnética e partículas carregadas de energia como elétrons, prótons e íons pesados provenientes da atividade solar, raios cósmicos, cinturões de Van Allen e ambientes artificiais como reatores nucleares, aceleradores de partículas e fontes de irradiação para tratamento de doenças (TAMBARA, 2017). Estas partículas afetam diretamente os dispositivos eletrônicos, aeronaves comerciais e sistemas espaciais, gerando funcionamento inadequado, falhas, erros e interrupção funcional parcial ou permanente do sistema. A figura 2.1 mostra as principais fontes de radiação de origem espacial.

2.1.1 Atividade Solar

Dois grandes fenômenos são responsáveis por uma grande quantidade de partículas carregadas de energia no espaço e na terra:

- **Ejeções de Massa Coronal (Coronal Mass Ejections - CME):** Durante o período chamado de atividade máxima solar, ondas de radiação e vento solar são responsáveis por níveis elevados de radiação no ambiente espacial. Estas podem ter uma velocidade de até 3200 km/s. Consiste em ejeções de íons pesados, prótons e elétrons saindo do campo gravitacional do sol pela causa deste fenômeno natural. Segundo (BOUDENOT, 2007a), a composição percentual de partículas é de 95% prótons, 4% de íons de Hélio e 1% de

Figura 2.1 – Fontes de partículas ionizantes no ambiente espacial.



Fonte: (CHANCELLOR; SCOTT; SUTTON, 2014)

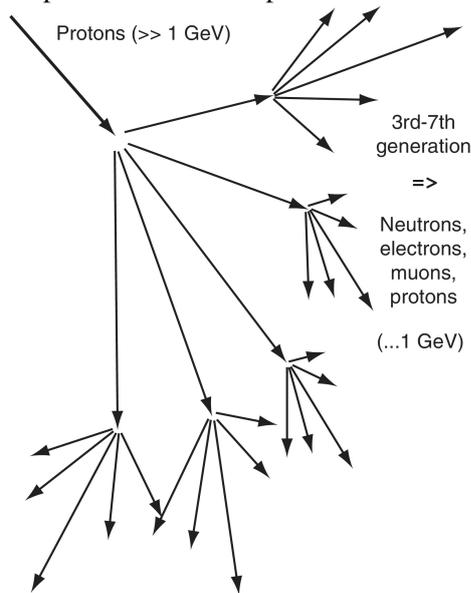
outros íons pesados. Os impactos na terra destas partículas podem ocasionar a interrupção de transmissões de rádio e danos em satélites e demais sistemas de comunicação.

- **Erupções Solares:** Uma liberação súbita de radiação eletromagnética na *cromosfera* do sol devido à mudanças repentinas no seu campo magnético. O fluxo de íons pesados é relativamente baixo frente aos raios cósmicos, mas aumenta até 4 ordens de grandeza em períodos de alta atividade. Pode ter íons de alta energia (desde dezenas de MeV até centenas de GeV) gerando assim efeitos ionizantes (BOUDENOT, 2007a).

2.1.2 Raios Cósmicos Galácticos (Galactic Cosmic Rays - GCR)

Os raios cósmicos galácticos são partículas com energia elevada (entre 10^9 e 10^{21} eV) provenientes de fora do sistema solar e contém íons de vários materiais da tabela periódica (CHENET, 2015). Em períodos de alta atividade solar o fluxo de GCR aumenta significativamente, chegando até a atmosfera terrestre, ingressando e reagindo com o Oxigênio e Nitrogênio, formando cascatas de partículas conhecidas como *chuveiro de partículas* (BALEN, 2010). Na figura 2.2 se visualiza o fenômeno natural de chuveiro.

Figura 2.2 – Chuveiro de partículas causado por RCG ao entrar na atmosfera terrestre.



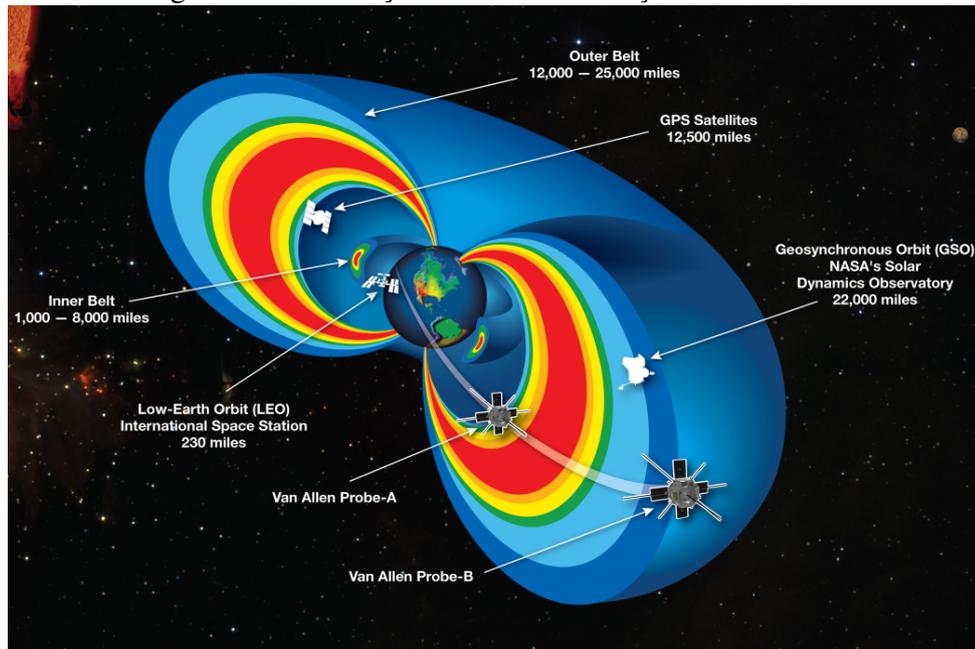
Fonte: (PETERSEN, 2011)

2.1.3 Cinturões de Van Allen

São dois os cinturões principais que se encontram em torno da terra. Estes contêm elétrons e prótons: o cinturão interno contém partículas com uma energia não superior a 5 MeV, enquanto o cinturão externo contém elétrons de até 7 MeV. Observou-se um terceiro cinturão depois da tormenta magnética em 1991 (BOUDENOT, 2007a), localizando-se entre os outros dois, com partículas de até 30 MeV. Estes cinturões afetam especialmente as missões espaciais e satélites. A figura 2.3 mostra as altitudes dos cinturões e as suas ubicações, as orbitas dos satélites e a estação espacial internacional.

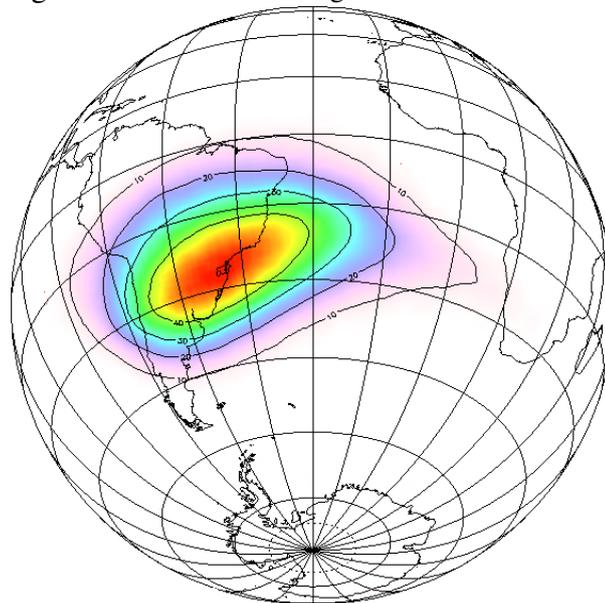
Alguns satélites de Baixa Orbita Terrestre (Low Earth Orbit - LEO) com altitude de até 2000 km podem ser afetados pelo cinturão interior, além da **Anomalia Magnética do Atlântico Sul** (South Atlantic Anomaly - SAA) que é uma aproximação do campo magnético sobre América do Sul, especificamente no sul do Brasil, ocasionando grande número de ocorrências (erros) ou falhas nos satélites e contendo partículas com energia de mais de 1 MeV para elétrons e maior de 10 MeV para prótons (STASSINOPOULOS; RAYMOND, 1988). A figura 2.4 mostra a região de incidência devido à SAA, observamos que a maior zona encontra-se no sul do Brasil.

Figura 2.3 – Ilustração cinturões de radiação de Van Allen.



Fonte: NASA, 2013

Figura 2.4 – Anomalia Magnética do Atlântico Sul.



Fonte: Instituto Tesla, 2013

2.1.4 Ambientes Artificiais

Os dispositivos eletrônicos não somente sofrem com as fontes de radiação espacial, mas também ambientes artificiais podem gerar efeitos de radiação e interferência eletromagnética nestes componentes. É necessário testar os projetos espaciais e sistemas de alta tecnologia para

verificar a confiabilidade dos circuitos integrados em ambientes extremos, para assim criar estratégias de "endurecimento" à radiação (MEDINA et al., 2016).

Missões espaciais devem conseguir mitigar estes efeitos de incidência de partículas de alta energia e longos períodos de exposição à radiação. A necessidade de "emular" em tempo real estes efeitos e criar metodologias para avaliar a sensibilidade dos dispositivos (teste e modelagem) (DUZELLIER, 2005) com dispositivos programáveis, são usados aceleradores de partículas e fontes de radioterapia (TAMBARA, 2017).

Alguns exemplos de equipamentos são o Acelerador de Partículas 8UD Pelletron, onde pode-se irradiar dispositivos com íons pesados de variada energia para SEEs (MEDINA et al., 2016), e fontes de radiação gama Cobalto-60 de Atomic Energy of Canadian Limited para TID (GONZÁLEZ et al., 2017), que foram utilizados neste trabalho.

2.2 Efeitos da Radiação em Circuitos CMOS

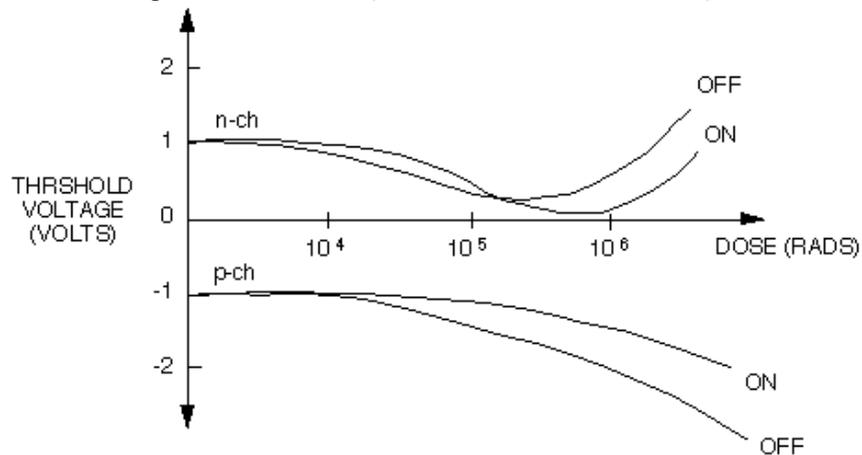
Efeitos da radiação ionizante em sistemas eletrônicos podem ser classificados como: Single Event Effect (SEE), Total Ionizing Dose (TID) e Displacement Damage (DD) (VELAZCO; FOUILLAT; REIS, 2007). Tanto TID, quando SEEs são de interesse neste trabalho já que são o objeto de estudo nos experimentos de irradiação realizados durante o tempo de mestrado. Serão detalhados estes efeitos na seguinte seção.

2.2.1 Efeitos de Dose Total Ionizante (Total Ionizing Dose - TID)

Este efeito ocorre devido à exposição dos circuitos integrados à radiação por longos períodos de tempo e depende da intensidade da radiação, o tipo de radiação e do tempo exposto (BALEN, 2010). As características dos dispositivos semicondutores podem ser afetadas, resultando em uma degradação significativa ou em uma falha de funcionalidade. A degradação elétrica em transistores MOS expostos à TID é causada principalmente pelo acúmulo de cargas presas nos óxidos de isolamento do circuito integrado (SCHWANK et al., 2008). A criação de pares elétron-lacunas no material é causada quando a radiação passa através do óxido de gate. Estes processo de geração de pares elétron-lacunas e recombinação geram o deslocamento de tensão limiar (OLDHAM; MCLEAN, 2003). As principais consequências do acúmulo de carga no óxido são mudanças na Tensão de Limiar (Threshold Voltage - V_{th}) dos transistores figura 2.5, modificação do espectro de ruído, e aumento das correntes de fuga (*Leakage Cur-*

rent) (SCHWANK et al., 2008; SCHRIMPF,).

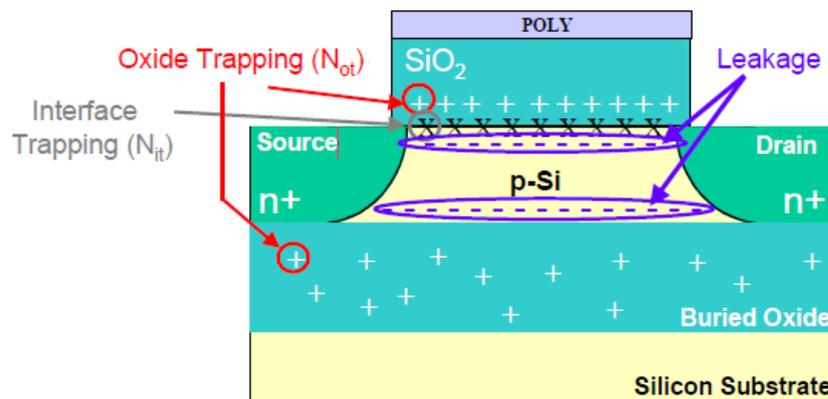
Figura 2.5 – Mudança de tensão devido à irradiação.



Fonte: (MA; DRESSENDORFER, 1989)

As cargas aprisionadas no óxido (N_{ot}) e na interface (N_{it}), modificam as características de tensão e corrente da região *sub-threshold* do dispositivo, este desvio depende do resultado líquido das cargas acumuladas no óxido e das cargas acumuladas na interface (BALEN, 2010). A figura 2.6 ilustra as cargas aprisionadas em um transistor MOS SOI (Silicon on Insulation). Este efeito é muito mais visível em tecnologias antigas pela espessura do óxido no transistor.

Figura 2.6 – Cargas presas no óxido e na interface do dispositivo MOS.



Fonte: EPFL Space Center, 2009

2.2.2 Efeitos de Eventos Singulares (Single Event Effects - SEEs)

SEEs ocorre pelo impacto em áreas sensíveis do circuito integrado de uma partícula fortemente ionizante, produzindo pulsos de corrente que podem corromper o funcionamento normal do circuito (TURFLINGER, 1996). Um SEE pode gerar uma inversão de bit em um elemento de memória, este evento é chamado de (Single Event Upset - SEU) (GUNZER; WO-LICKI; ALLAS, 1979). Por outro lado, um pulso temporário induzido por um SEE, pode-se propagar por um caminho do sinal (seja em circuitos analógicos ou digitais), conhecido como Transiente de Evento Singular (Single Event Transient - SET) (BAZE; BUCBNER, 1997). Em nível de sistema, efeitos por inversão de bit em circuitos digitais, causados por SEEs, também são conhecidos como *soft errors* (MAY; WOODS, 1978). Se ocorre uma interrupção no funcionamento ou uma anomalia de operação devido a um SEE, necessitando um *hard reset* do sistema, o efeito ou evento é classificado como Interrupção Funcional de Evento Singular (Single Event Functional Interrupt - SEFI) (GAILLARD, 2011).

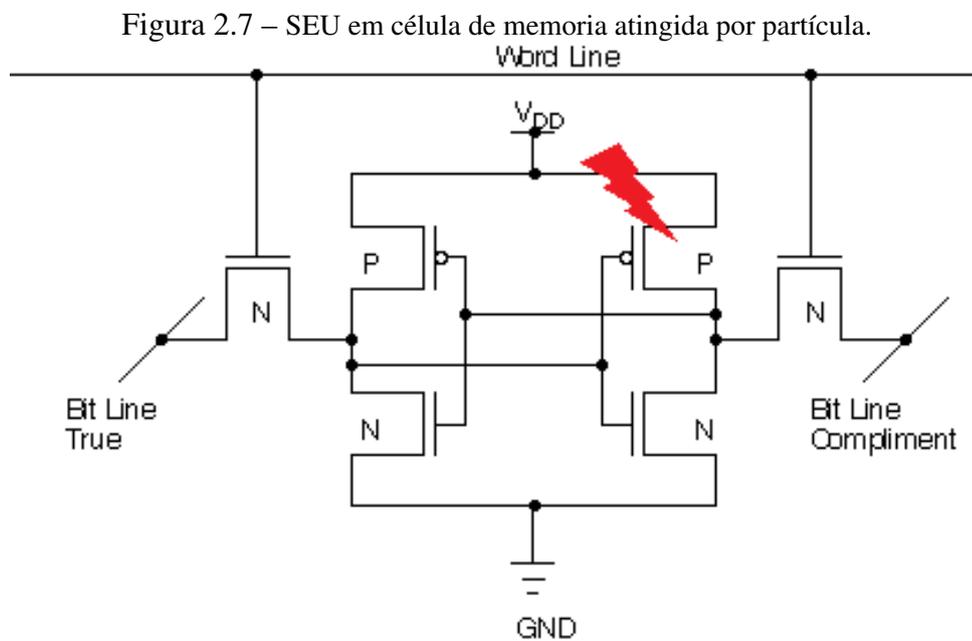
Devido ao impacto desta partícula com alta energia em algum nó sensível do circuito, ocorre um efeito de evento singular (SEE) que pode resultar em um *soft error*. Estes podem ocasionar uma perturbação devido à colisão (*strike*) da partícula no dispositivo, além de uma inadequada operação do sistema. A sensibilidade a SEE aumenta com o escalamento do transistor (nós tecnológicos menores a 130 nm) e o incremento das velocidades de processamento dos circuitos (DODD et al., 2004). Hoje em dia, estes efeitos são considerados um grande desafio para a confiabilidade dos sistemas eletrônicos e é motivo de pesquisa e desenvolvimento constante (GAILLARD, 2011).

2.2.2.1 Single Event Upset (SEU) e Multiple-Bit Upset (MBU)

SEU são efeitos que se caracterizam pela perturbação que acontece em elementos de memória, modificando o estado (0 ou 1) do bit armazenado, gerando um *bit flip* (GUNZER; WO-LICKI; ALLAS, 1979). A sensibilidade do dispositivo a SEU varia, dependendo da tecnologia, ângulo de incidência, região afetada e da arquitetura do circuito. As partes mais sensíveis de um circuito integrado ou dispositivo, são as junções P-N reversamente polarizadas (dreno para transistores PMOS desligados e região do canal de transistores NMOS desligados (DODD; SEXTON, 1995; WANG; AGRAWAL, 2008)). Em circuitos lógicos um single event transient (SET) pode-se propagar através de uma lógica combinacional, sendo capturado por um latch ou flip-flop no qual pode dar origem a SEUs (GAILLARD, 2011; MANSOUR et al., 2012).

Quando uma partícula cruza zonas sensíveis de diferentes células, aumenta a probabili-

dade de criar múltiplos erros em um componente ou dispositivo de memória. Estes erros não somente podem estar dirigidos a vários dispositivos em comum mas também à modificação de varias bits em um só componente pode-se considerar erros múltiplos, o que é conhecido como Multiple-Bit Upset ou MBU (GAILLARD, 2011). A figura 2.7 mostra como uma célula de memória é atingida por uma partícula, o que vai acontecer é uma modificação do estado (0 - 1) no dado armazenado e modificação dos outros estados dos transistores adjacentes.



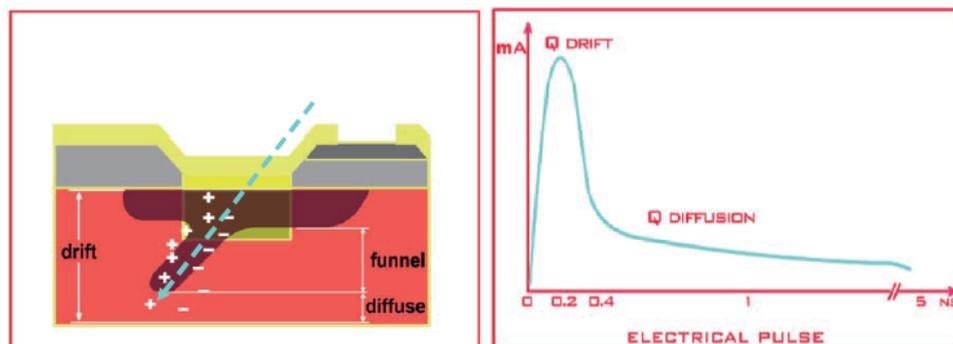
Para um análise de falhas e uma avaliação de confiabilidade do IC, se pode definir em termos de área com o cálculo de seção de choque (*cross section*) que é definida como a relação entre o número de erros observados (Nerros), dividido pela fluência de partículas (ϕ) que impacta o dispositivo (TAMBARA, 2017). A equação 2.1 estabelece a seção de choque dinâmica para o IC.

$$\sigma_{dynamic} = \frac{N_{erros}}{\phi_{particules}} [cm^2] \quad (2.1)$$

2.2.2.2 Single Event Transient (SET)

Além do efeito anterior, de corromper um dado armazenado nas células de memória, um SEE pode produzir pulsos de saída transitórios em circuitos lógicos combinacionais, estes são chamados de Single Event Transient (SET). Geralmente, esses transientes são de curta duração (na ordem de 1 ns) mas pode ter amplitude e duração suficiente para alterar o estado do elemento de memória, se ocorrem em períodos de tempo críticos, como durante transições de relógio ou dados (GAILLARD, 2011). A probabilidade destes erros aumenta com altas frequências de relógio. A figura 2.8 mostra como a partícula colide com o dispositivo e o pulso elétrico que este produz.

Figura 2.8 – Efeito de choque de uma partícula (esquerda) e o pulso de corrente gerador por um SEE (direita)



Fonte: (WANG; AGRAWAL, 2008)

Em circuitos combinacionais pode ocorrer diferentes tipos de mascaramento no qual faz com que não possam ser observadas as falhas geradas pela radiação. Segundo (SHIVAKUMAR et al., 2002), existem 3 tipos de mascaramento:

- Mascaramento lógico: ocorre quando uma partícula colide em um nó da lógica combinacional que não afeta a saída.
- Mascaramento temporal: ocorre quando o pulso resultante de uma colisão alcança o *latch* em um momento em que ele não captura a sua entrada. Em uma definição mais simples, o transiente não se propaga pelo elemento de memória pois ocorre fora da janela de captura ou *setup*.
- Mascaramento elétrico: ocorre quando o pulso resultante de uma colisão é atenuado pelas portas lógicas do caminho percorrido, devido à frequência de corte.

2.2.2.3 Single Event Functional Interrupt (SEFI)

Em dispositivos complexos, este efeito pode-se derivar de vários upsets não identificados em registradores usados para configuração do dispositivo e basicamente consiste na perda de funcionalidade do circuito integrado ocasionando travamento em sinais de *clock*, *reset* (CHENET, 2015) e outros sinais de controle importantes. SEFIs podem ser recuperados após um *reset* na alimentação, *reset* funcional ou recarga dos registradores de configuração (GAILLARD, 2011).

A tabela 2.1 mostra de forma geral os diferentes SEEs, efeito causado e os dispositivos afetados.

Tabela 2.1 – Resumo dos principais SEEs e dispositivos que afeta. Fonte: (DUZELLIER, 2005)

Efeitos de eventos singulares não destrutivos		
Single Event Upset	Corrupção de informação em um elemento de memória.	Memórias, travamentos em dispositivos lógicos
Multiple Bit Upset	Corrupção de vários elementos de memória devido à colisão de uma partícula.	Memórias, travamentos em dispositivos lógicos
Single Event Transient	Resposta de impulso de certa amplitude e duração.	Circuitos de analógicos, de sinal misto e fotônicos.
Single Event Functional Interrupt	Perda de operação normal.	Dispositivos complexos com estado incorporado e circuitos de controle

2.3 Efeitos da radiação em circuitos analógicos

O estudo de efeitos da radiação, teste e mitigação em circuitos está maiormente direcionado para dispositivos digitais (BALEN, 2010). Além disso, o estudo de efeitos em sistemas analógicos vê-se limitado pelos tempos de projeto de fabricação. Por isso, para tais teste pode-se optar por implementação em dispositivos comerciais analógicos como FPAA's e PSoCs para circuitos de sinal misto.

No entanto, trabalhos realizados para efeitos da radiação em circuitos semicondutores lineares (FONGER; LOFERSKI; RAPPAPORT, 1958), mostraram indícios de perturbações de características elétricas através de alterações do nível de ruído, geração de correntes transientes e consumo de energia.

Em (MANGHISONI et al., 2003), transistores feitos com nó tecnológico de $0,25\mu\text{m}$ e $0,18\mu\text{m}$ para aplicações analógicas, foram irradiados com raios-x e raios- γ com dose total acumulada de até 30 Mrad, observou-se um desvio na tensão de limiar e na variação do espectro de

ruído $1/f$. O acúmulo de dose total afeta o transistor MOS independentemente de sua aplicação em um circuito digital ou circuito analógico, o que traz efeitos similares em nível elétrico, mas com diferentes consequências em nível de sistema (BALEN, 2010).

3 TÉCNICAS DE TOLERÂNCIA FALHAS INDUZIDAS POR RADIAÇÃO

Os sistemas críticos para a segurança (Safety Critical) expostos à radiação ionizante devem empregar alguma estratégia de "endurecimento", dependendo da aplicação e do grau necessário de tolerância à radiação. Existem várias técnicas de mitigação que são realizadas desde os estágios iniciais de um sistema ou desenvolvimento do IC (Circuito Integrado). A seção 3.1 faz uma introdução às técnicas de tolerância à falhas; a seção 3.2 mostra técnicas em nível de dispositivo; a seção 3.3 aborda técnicas em nível de circuito e a seção 3.4 descreve as técnicas em nível de sistema, aprofundando na técnica TMR.

3.1 Introdução às técnicas de mitigação

Sistemas eletrônicos, incluindo blocos de sinal misto são utilizados em aeronaves e satélites estando, portanto sujeitos aos efeitos da radiação. Logo, estes requerem algum tipo de blindagem, endurecimento (*hardening*) ou tolerância à efeitos da radiação ionizante. Geralmente, a tolerância a estes efeitos se obtém criando metodologias de projeto para proteger ou mitigar efeitos em diferentes níveis de abstração de sistemas de integração em larga escala (VLSI), tanto em hardware quanto em software (como por exemplo, códigos de correção de erros). Estas técnicas são implementadas em três diferentes níveis de abstração (BOUDENOT, 2007b), conforme detalhado a seguir.

- Técnicas em nível de processo ou tecnologia.
- Técnicas em nível de projeto.
- Técnicas em nível de sistema.

3.2 Técnicas em nível de processo ou tecnologia

A presença de substâncias específicas nos materiais utilizados na fabricação de CIs e principalmente no seu encapsulamento, pode provocar *soft errors*. A utilização de encapsulamentos de alta pureza reduz a emissão de partículas alfa, eliminando isótopos radiativos de Urânios e Tório (CHENET, 2015; WANG; AGRAWAL, 2008).

Tecnologia SOI (Silicon On Insulator) é uma técnica usada a nível dispositivo, reduzindo o volume onde cargas possam ser coletadas, reduzindo também os efeitos de SEEs, com o isolamento do transistor em relação ao substrato. Mas, a implantação deste substrato pode

ocasionar efeitos mais elevados de TID sendo necessária a aplicação de técnicas de *layout* (como *guard ring*) para reduzir estes efeitos (BALEN, 2010).

3.3 Técnicas em nível de projeto

Técnicas em nível projeto, corresponde ao trabalho feito com a alteração de layout de transistores e das topologias dos blocos comumente empregados para a criação de circuitos integrados. A modificação da geometria do transistor pode diminuir os efeitos da radiação nas correntes de fuga. Uma das topologias empregadas para correntes de fuga por dose total é com transistores ELT (Enclosed Layout Transistor) (SNOEYS et al., 2000). A região de *gate* (polissilício) envolve o terminal *source*, quando se faz este tipo de mitigação não há óxido espesso entre fonte e dreno como na topologia convencional, portanto não surge canal parasita pelo acúmulo de cargas induzidas por radiação. A figura 3.1 mostra a geometria do transistor tolerante a radiação ELT e sua *cross section*

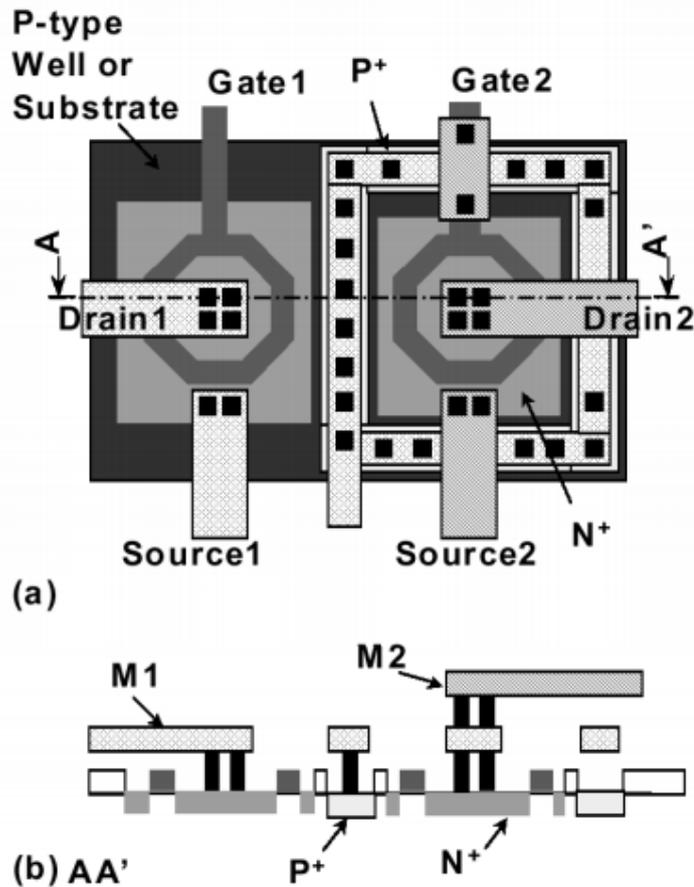
3.4 Técnicas em nível de sistema

Em componentes comerciais (commercial off-the-shelf - COTS) as alternativas de proteção são baseadas em técnicas em nível sistema, já que etapas de projeto e fabricação apresentam custos elevados. As principais técnicas de tolerância a falhas em nível de sistema utilizam algum tipo de redundância ou *watchdog* em componentes críticos do sistema.

Sistemas sujeitos a falhas ou expostos à radiação, podem operar de maneira errada, gerando travamento do sistema e falha crítica do mesmo. Uma das técnicas em nível de sistema utilizada para mitigar este tipo de falhas em sistemas digitais e núcleos de processamento são os *watchdog timers* (EL-ATTAR; FAHMY, 2007). Para retornar ao funcionamento normal, uma técnica que monitora o sistema externamente ou *off-chip*, pode fazer a verificação de um sinal de saída do processador em períodos de tempo definidos. Se o sinal não responde ou não há sinal nenhum, este dispositivo ou *watchdog* envia um sinal no qual realiza um "*hard reset*" para o processador que pode ter sido afetado por um SEFI e assim voltar sua normal operação ou funcionamento.

A técnica de Redundância Modular Tripla (Triple Modular Redundancy - TMR) é uma técnica popular que consiste, como seu nome indica, em triplicar o hardware (ou parte dele) e

Figura 3.1 – Ilustração mostra (a) transistor ELT com guard rings utilizado para obter tolerância à radiação (b) Cross section do transistor ELT.

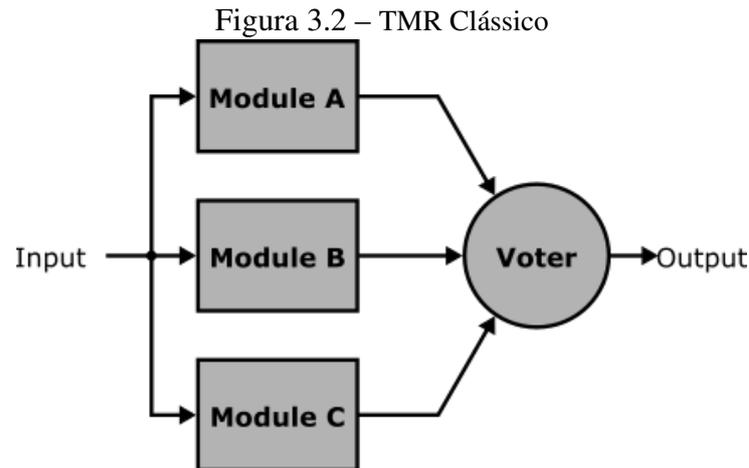


Fonte: (SNOEYS; GUTIERREZ; ANELLI, 2002)

gerando uma votação sobre o processamento feito por cada cópia TMR (NEUMANN, 1956). A figura 3.2 ilustra o TMR clássico.

Desta forma, obtém-se uma redução na taxa de *soft errors*, para sistemas que operam sob incidência de radiação ionizante (KASTENSMIDT et al., 2012). O *trade-off* desta técnica é aumento significativo de área e o consumo de energia no dispositivo.

Para complementar esta técnica, pode ser usada juntamente a técnica de diversidade (AVIZIENIS; KELLY, 1984) na qual pode aumentar o nível de tolerância a falhas do sistema. Uma técnica de TMR alternativa é a redundância modular tripla com diversidade (Diversity Triple Modular Redundancy - DTMR) (CHENET et al., 2015) na qual combina as duas técnicas anteriormente ditas. Nesta abordagem, os elementos de hardware e software utilizados para executar o processamento ou função não são cópias, mas são projetados de forma independente para atender aos requisitos do sistema (AVIZIENIS; KELLY, 1984). A diversidade de projeto pode



Fonte: (CHENET, 2015)

melhorar a confiabilidade do sistema, porque cada módulo pode ter diferentes níveis de resiliência a diferentes fontes de degradação. portanto, a probabilidade de falhas de múltiplos domínios pode ser reduzida. O objetivo principal desta técnica é evitar múltiplos erros que podem surgir devido a pontos comuns entre as cópias do sistema, usando diferentes dispositivos de hardware, diferentes frequências de *clock* e diferentes implementações de software (CHENET; LANOT; BALEN, 2014).

A redundância com diversidade é utilizada por projetistas e integradores de sistemas eletrônicos para aplicações críticas, como missões espaciais, aplicações aviônicas e militares. Exemplos destas aplicações de técnicas com diversidade de projeto em aeronaves da NASA, Airbus e Boeing podem ser encontradas em (LALA; HARPER, 1994; SZALAI; AL., 1978; RITER, 1995; BRIERE; TRAVERSE, 1993). Em alguns dos trabalhos citados, as técnicas aplicadas de redundância diversificada foram aplicadas em nível dispositivo.

Em (CHENET et al., 2015) se abordou a aplicação de DTMR para circuitos de sinal misto (MS), identificando os possíveis modos de implementação de diversidade (em função do tempo, domínio, nível e arquitetura) e as desvantagens da aplicação desta técnica em sistemas MS. Esta implementação foi testada com injeção de falhas por software e injeção de falhas por radiação (nêutrons) em (CHENET, 2015), onde se faz um detalhamento mais aprofundado do sistema.

Por esse motivo, o mesmo estudo de caso é considerado neste trabalho para ser testado sob efeitos de TID e SEE. Como os efeitos de TID geralmente dependem da polarização interna, das frequências de chaveamento e do tamanho dos transistores (BALEN et al., 2016; SCHWANK et al., 2008; STANLEY et al., 1985; VERBEECK; LEROUX; STEYAERT, 2011; DJEZZAR et al., 1999; GONELLA et al., 2007), espera-se que diferentes arquiteturas ou

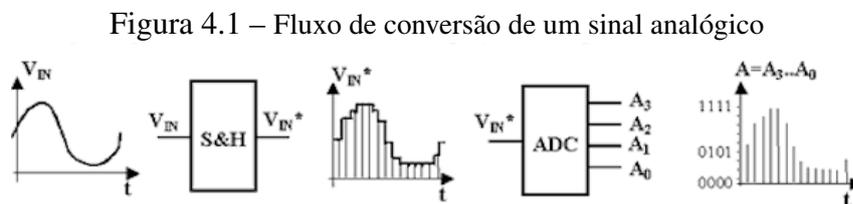
frequências operacionais dos ADCs redundantes, resultarão em comportamentos distintos sob radiação.

4 CONVERSORES ANALÓGICO-DIGITAIS

Conversores analógico-digitais (ADCs) são blocos utilizados em sistemas de controle, instrumentação e comunicação, incluindo aqueles utilizados em aplicações críticas. A interface entre o mundo analógico e digital é realizada por conversores AD e DA, dependendo das necessidades do sistema. A seção 4.1 resume metodologias de caracterização de conversores analógico-digitais, algumas delas utilizadas neste trabalho.

4.1 Caracterização de conversores Analógicos-Digitais

Técnicas de caracterização de um conversor analógico-digital buscam obter o comportamento estático e dinâmico dos conversores (FLORES, 2003; IEEE, 2010). O objetivo básico de um ADC é transformar um sinal analógico em um valor digital equivalente. A figura 4.1 mostra o fluxo de conversão de um sinal analógico para um valor digital.



Fonte: (MALOBERTI, 2007)

Com a verificação de análise de espaçamento do código do valor de saída do conversor, pode-se obter erros estáticos: o ganho, o nível DC (*offset*) e a linearidade (IEEE, 2010).

Os principais parâmetros para caracterização dinâmica de conversores AD (IEEE, 2010), são: a relação sinal-ruído (signal-to-noise rate - SNR), a relação sinal-ruído e distorção (signal-to-noise and distortion rate - SINAD), o número efetivo de bits (effective number of bits - ENOB), a distorção harmônica total (total harmonic distortion - THD) (FLORES, 2003). A 4.1 tabela ilustra de forma geral os diferentes parâmetros de caracterização.

Tabela 4.1 – Resumo geral de caracterização de conversores. Fonte: (FLORES, 2003)

Caracterização de Conversores ADCs	Estáticas	Ganho
		Offset
		INL
	Dinâmicas	DNL
		SNR
		SINAD
		ENOB

4.1.1 Parâmetros Estáticos

Os erros estáticos avaliam-se a partir da curva característica do conversor. Esta curva depende da resposta do mesmo a uma rampa que passe por toda a sua escala (FLORES, 2003). A representação da função de transferência ideal do ADC, é dada por uma linha reta de N bits, e a sua curva característica real será formada por uma escada uniforme de 2^N níveis (MALOBERTI, 2007).

4.1.1.1 Differential non-linearity (DNL)

Este parâmetro descreve o desvio entre dois valores analógicos correspondentes a valores digitais de entrada. Uma especificação de erro DNL menor ou igual a 1 LSB, garante uma função de transferência monotônica sem códigos ausentes (missing codes) (MALOBERTI, 2007).

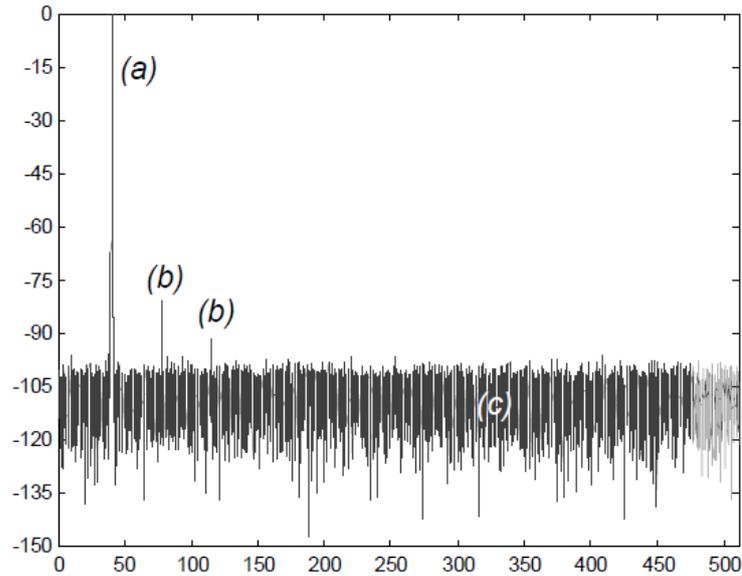
4.1.1.2 Integral non-linearity (INL)

É uma medida do desvio da função de transferência da linha de interpolação ideal (MALOBERTI, 2007). Erros de DNL podem ser acumulados durante uma série finita de códigos causando uma variação da curva ideal e formando o erro INL (FLORES, 2003).

4.1.2 Parâmetros Dinâmicos

Parâmetros dinâmicos são normalmente utilizados para a caracterização de conversores e são definidos segundo uma excitação senoidal pura, de amplitude e fase conhecidas, determinando que os parâmetros dinâmicos sejam baseados no espectro do sinal (FLORES, 2003). A figura 4.2 mostra o espectro típico da saída de um ADC de 16 bits.

Figura 4.2 – Análise espectral de um ADC excitado por senóide (a) Frequência fundamental do sinal (b) componentes harmônicos do sinal (c) ruído de quantização do conversor.



Fonte: (MALOBERTI, 2007)

4.1.2.1 Signal-to-Noise (SNR)

A Relação Sinal-Ruído (SNR) de um conversor ideal é definida como a razão entre o sinal de entrada (normalmente uma onda senoidal) e o ruído total produzido pelo processo de quantização (MALOBERTI, 2007; IEEE, 2010). Para estimar a SNR a equação 4.1 é dada por:

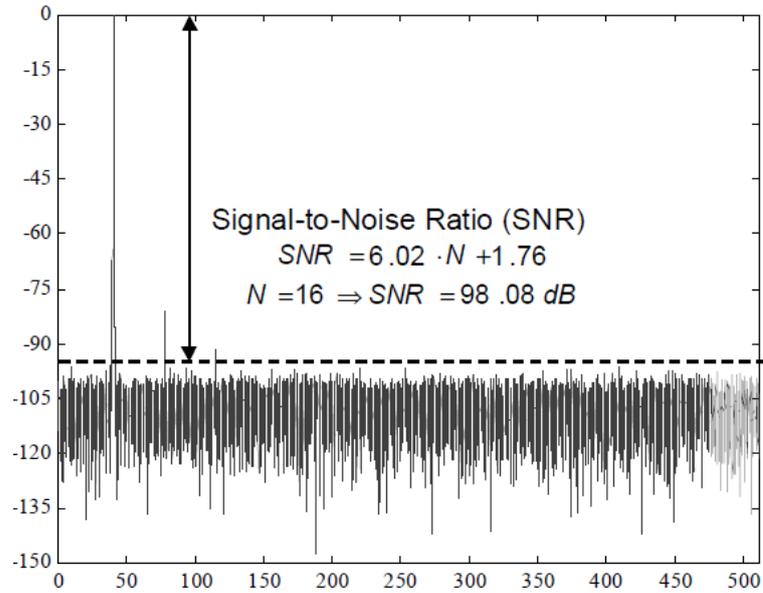
$$SNR_{dB} = 6,02 \times N + 1,76 \quad (4.1)$$

A figura 4.3 mostra a relação do sinal-ruído para o conversor analógico-digital.

4.1.2.2 Signal-to-Noise and Distortion Ratio (SINAD)

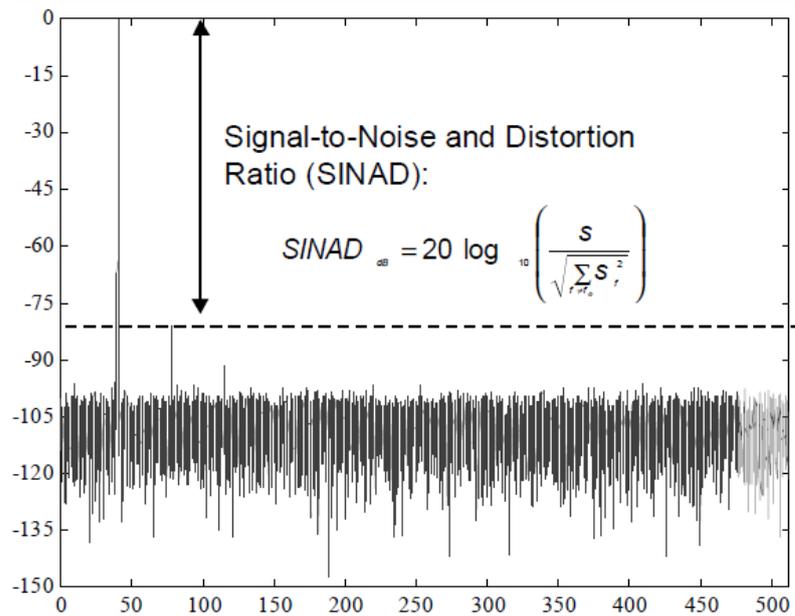
É um parâmetro que mede a qualidade do sinal convertido e pode quantificar o desvio de comportamento do componente real em relação ao componente ideal (MALOBERTI, 2007; IEEE, 2010). Além do ruído de quantização são considerados os harmônicos gerados pelo conversor, múltiplos da frequência de teste (distorção). Ou seja, é a relação entre a frequência fundamental e a integração em frequência de todo o conteúdo harmônico obtido através da análise espectral do sinal convertido, excluindo a própria fundamental e o nível DC. A figura 4.4 mostra o parâmetro de qualidade do sinal e a equação para o SINAD.

Figura 4.3 – Relação sinal-ruído para um ADC



Fonte: (MALOBERTI, 2007)

Figura 4.4 – Ilustração de SINAD de um ADC e equação.



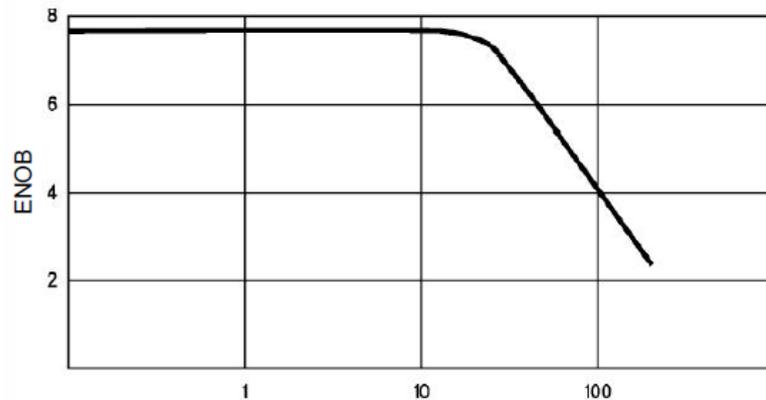
Fonte: (MALOBERTI, 2007)

4.1.2.3 Effective Number of Bits (ENOB)

A figura 4.5 mostra o parâmetro de avaliação da resolução efetiva do conversor (MALOBERTI, 2007; IEEE, 2010) e este é definido pela equação:

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (4.2)$$

Figura 4.5 – Relação entre ENOB e frequência



Fonte: (MALOBERTI, 2007)

4.1.2.4 Total Harmonic Distortion (THD)

O THD é uma boa métrica para avaliar a correta funcionalidade de conversores de dados. Este parâmetro também está correlacionado com o DNL e INL. O THD calcula-se em dB ou em valor percentual % (MALOBERTI, 2007; IEEE, 2010):

$$THD_{[%]} = \left(\frac{\sqrt{V_2^2 + V_3^2 + \dots + V_N^2}}{V_1} \right) \times 100\% \quad (4.3)$$

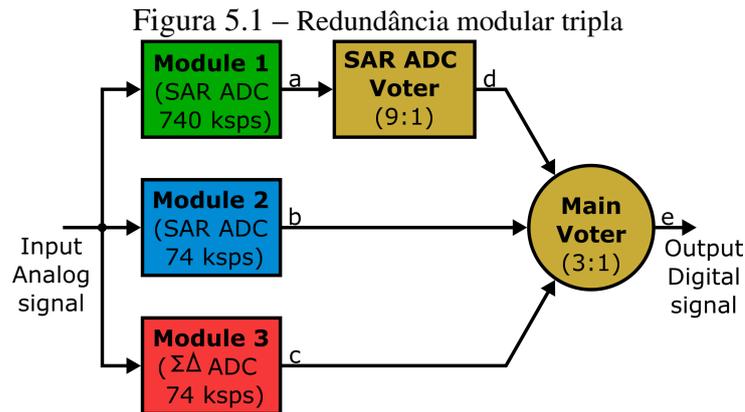
onde V_1 é o valor quadrático médio (Root Mean Square - RMS) da harmônica fundamental do sinal e V_2 a V_N são o valor RMS de segundo para o N^{o} harmônico de interesse. Para conversores analógicos-digitais recomenda-se utilizar 10 harmônicos para cálculo da THD (IEEE, 2010).

5 EFEITOS DE TID EM UM SISTEMA DE AQUISIÇÃO DE DADOS IMPLEMENTADO EM UM SOC PROGRAMÁVEL

Para a implementação de um sistema de aquisição de dados (SAD) se adotou um esquema de tolerância a falhas baseado em TMR e diversidade espacial-temporal (CHENET, 2015). Este capítulo aborda a realização de uma irradiação por TID; se observa a degradação dos conversores e o funcionamento da votação do sistema ao longo do tempo de irradiação. Na seção 5.1 se detalham as modificações realizadas para adaptar o esquema a este experimento; em 5.2 se apresentam características gerais do PSoC; em 5.3 explica-se com detalhe o setup; na seção 5.4 o procedimento do teste; em 5.5 os resultados da irradiação e em 5.6 avaliação do conversor após irradiação.

5.1 Esquema e implementação do sistema de aquisição de dados

Na implementação do sistema de aquisição de dados (SAD) analógico-digital em um PSoC programável comercial (PSoC 5LP da Cypress Semiconductor) é adotado um esquema baseado em redundância e diversidade. Na figura 5.1 se visualiza o diagrama conceitual do sistema com três conversores em paralelo: 2 com arquitetura de registrador de aproximações sucessivas (Successive Approximation Register - SAR) e um (1) de arquitetura Sigma-Delta. Estes conversores operam em diferentes frequências de trabalho; o primeiro ADC SAR que se visualiza na figura opera com uma taxa de amostragem de 740 ksp/s e os outros 2 conversores (SAR e Sigma-Delta) trabalham com uma taxa de amostragem de 74 ksp/s. Compondo assim, uma abordagem de redundância modular tripla (TMR). A utilização de arquiteturas diferentes dos conversores, constitui a diversidade espacial, e as diferentes taxas de amostragem, a diversidade temporal (CHENET, 2015). Dentro da implementação do sistema, é necessária a construção de uma estrutura de votação: um votador para o SAR ADC com taxa de amostragem de 740 ksp/s e um votador principal que realiza a votação entre a saída do votador SAR ADC e os outros dois conversores. A votação do ADC SAR é realizada bit a bit com as 9 amostras geradas pelo ADC, obtendo assim uma só amostra para a votação principal. No final, depois da votação, se obtém a saída digital do sistema. Todo este sistema de votação é feito por software.



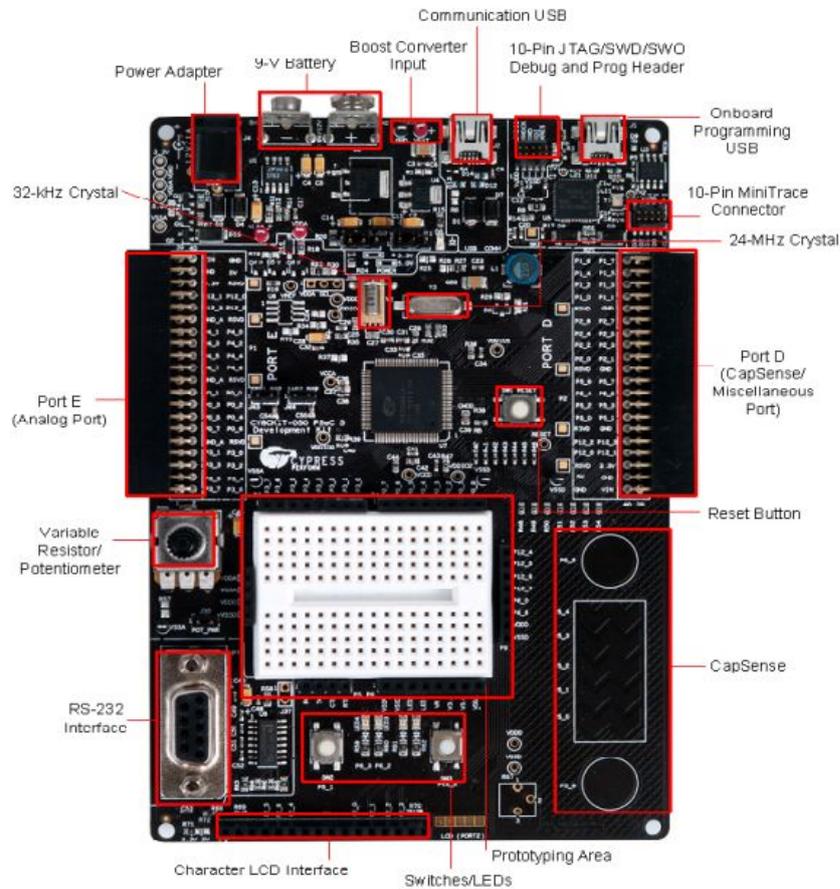
Fonte: (CHENET, 2015)

5.2 Características gerais do PSoC 5LP

O PSoC 5LP é um dispositivo fabricado com tecnologia CMOS de 130nm, que integra periféricos analógicos e digitais configuráveis, memória e microcontrolador em um chip (SEMICONDUCTOR, 2015). Isto faz com que o PSoC seja altamente versátil em aplicações que requerem pouco tempo de projeto. O kit de desenvolvimento utilizado neste trabalho é mostrado na figura 5.2 e o diagrama arquitetural do PSoC, na figura 5.3. O dispositivo possui as seguintes características:

- Processador ARM Cortex-M3 de 32 bits e 80 Mhz.
- Controlador de 24 canais de acesso direto a memória DMA (Direct Memory Access).
- Memória flash de 256 KB
- EEPROM de 2 KB
- Memória SRAM de 64 KB
- Periféricos digitais:
 - Blocos de temporização (Timers), Contadores, PWM.
 - Entre 20 e 24 blocos programáveis UDB (Universal Digital Blocks)
- Relógios Programáveis
- Periféricos Analógicos:
 - Conversor Sigma-Delta configurável de 8 a 20 bits.
 - 2 conversores SAR.
 - Blocos de Sample and Hold.
 - DACs, comparadores, amplificadores operacionais, entre outros.

Figura 5.2 – Kit de desenvolvimento utilizado, PSoC 5LP CY8CKIT-050.



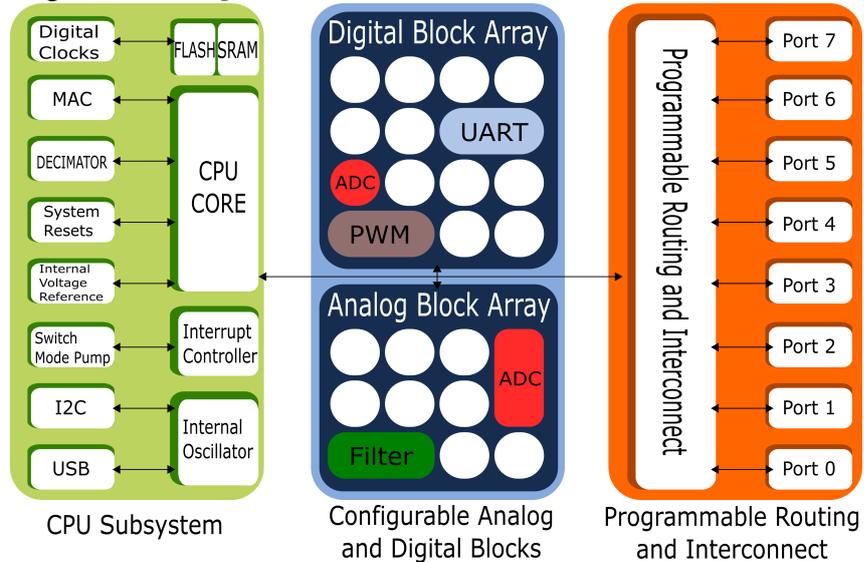
Fonte: Cypress Semiconductor, (SEMICONDUCTOR, 2015)

Bibliotecas para programação dos componentes estão presentes na ferramenta PSoC Creator em suas diferentes versões para vários produtos da Cypress Semiconductor. Os conhecimentos necessários para utilização do software são básicos: como linguagem C e conexão de circuitos esquemáticos.

5.3 Sistema no DUT (Device Under Test)

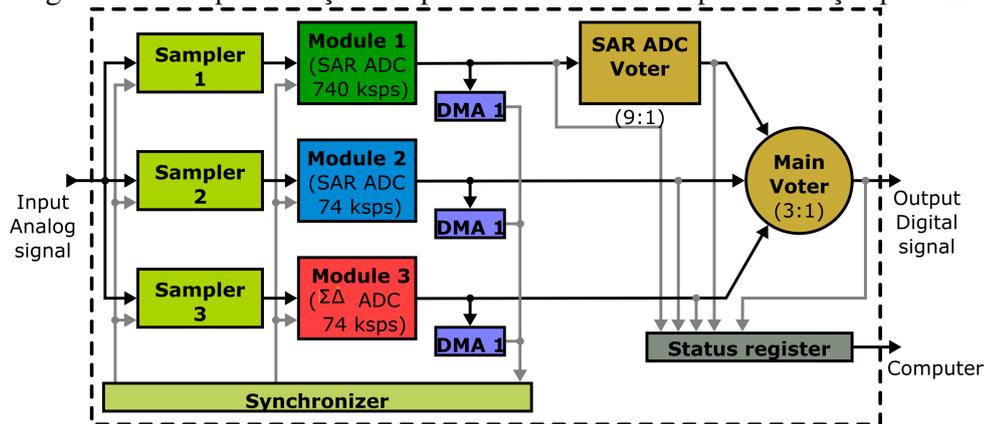
Dentro do PSoC 5LP se realiza a implementação do sistema irradiado. A figura 5.4 detalha o sistema completamente projetado no dispositivo. Este compreende três amostradores (Sample and Hold), um para cada conversor, blocos de acesso direto à memória (Direct Memory Access - DMA), bloco de sincronização e dois votadores.

Figura 5.3 – Arquitetura do PSoC 5LP (CPU Core: ARM Cortex-M3)



Fonte: Adaptado de (SEMICONDUCTOR, 2015)

Figura 5.4 – Implementação completa do SAD no PSoC para irradiação por TID



Fonte: (CHENET, 2015)

5.3.1 Amostradores (Sample and Hold)

Na implementação do sistema, precisa-se de um amostrador (bloco já pré-construído no PSoC 5LP) por conversor. A ideia do processo de conversão é que o sinal analógico tenha um valor constante em intervalos de tempo do sinal inserido, criando assim uma sincronização dos sinais a serem convertidos.

5.3.2 Conversores AD

Na tabela 5.1 se visualiza a configuração de características para os três conversores. Os ADCs implementados são blocos pré-construídos no PSoC 5LP.

Tabela 5.1 – Configuração dos Conversores.

Resolução	Disparo de Conversão	Clock	Tensão de Referência	Intervalo de Entrada	Taxa de Amostragem
8 Bits	Hardware	Interno	Interna	0 - 2,048 V	SAR - 740 ksps SAR - 74 ksps Sigma -Delta - 74 ksps

5.3.3 Acesso direto à memória (DMAs)

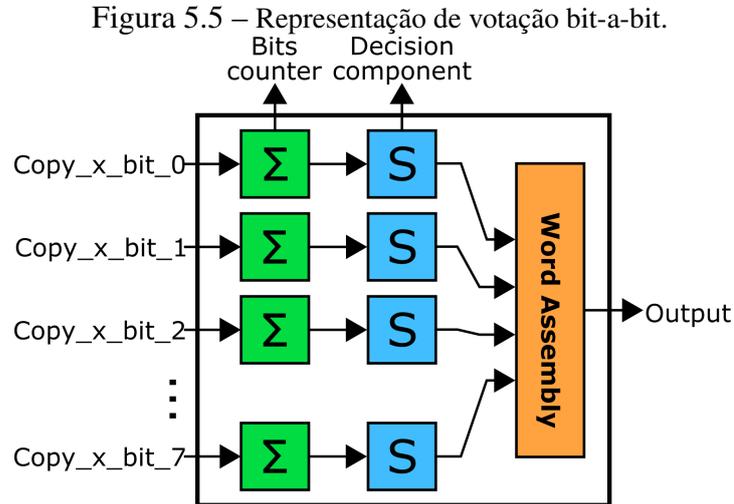
Para o armazenamento dos dados gerados pelos periféricos, se utilizam blocos DMA. São usados 3 blocos DMA para cada ADC, isto cria uma vantagem na liberação de tarefas do processador já que são blocos de hardware. Para iniciar um novo ciclo de votação, o DMA envia um sinal de ativação para que, assim, o sincronizador possa iniciar um novo ciclo.

5.3.4 Votadores

Implementa-se uma estrutura de votação com a técnica mais usada que é de votação de maioria, esta é uma estrutura eficiente para sinais digitais em sistemas redundantes e foi adotada para dois votadores do sistema; votador SAR ADC e votador principal (CHENET, 2015). Apesar da desvantagem que possa ter esta estrutura de votação em função da precisão ocasionada pela construção de uma janela de tolerância necessária para aplicação de sinal misto, a votação é realizada gerando uma comparação entre os três sinais digitais dos conversores A/D. Estes são registrados no elemento de decisão que selecionará a saída correta do sistema com base nos sinais de erro calculados através de subtrações mútuas dos sinais convertidos (BORGES et al., 2010). No final, o dado a ser votado é um dado aproximado, é uma técnica frequentemente usada e de grande eficácia em sistemas reais.

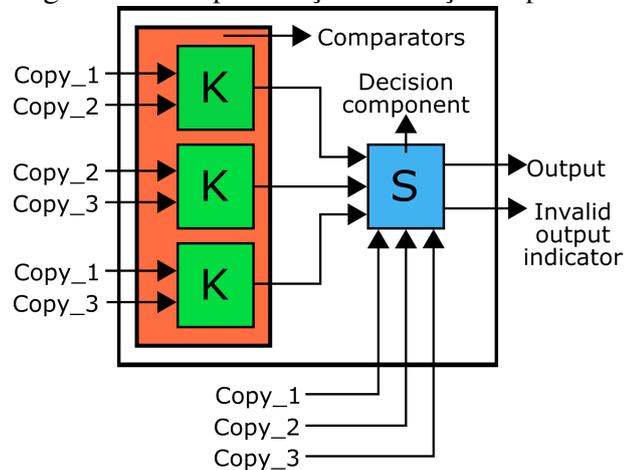
Para o votador SAR ADC, escolheu-se uma estrutura de votação bit-a-bit, em razão da votação ser executada sobre 9 palavras digitais. Como o conversor SAR a 740 ksps, trabalha a maior taxa de amostragem, se realizada uma votação para gerar uma única palavra de saída,

que depois será comparada com as outras duas saídas dos conversores. Para gerar essa palavra, constrói-se um elemento de decisão para cada posição de bit depois de passar por um contador de bits. A figura 5.5 mostra uma representação deste conceito.



Para o votador principal, se escolhe a estrutura de votação de palavra na qual entram as duas palavras de saída dos conversores, e a palavra construída pelo votador SAR ADC. Realiza-se uma comparação mútua por subtração entre estas cópias, tendo como referência as três cópias de entrada para o elemento de decisão e sua saída correspondente. A figura 5.6 mostra uma representação deste conceito.

Figura 5.6 – Representação de votação de palavra.



Na figura 5.7 especifica-se a implementação em software dos votadores. O votador principal (a) foi adaptado com uma janela de tolerância de 4 (decimal) que representa um erro aproximadamente de 1.5% da escala completa do conversor para uma resolução de 8 bits. O votador SAR ADC (b) considera 9 amostras de 10 amostras geradas em um ciclo de votação (uma das amostras é descartada na votação para evitar um empate na decisão) e conta o número de "uns"(1) em cada posição de bit de cada palavra.

Figura 5.7 – (a) Linguagem C do votador principal (b) linguagem c do votador SAR ADC

```

void main_voter()
{
    error1 = abs (SAR_ADC_voter_data - module2Data[1]);
    error2 = abs (module2Data[1] - module3Data[1]);
    error3 = abs (module3Data[1] - SAR_ADC_voter_data);

    if (error1 <= 4)
        system_output = SAR_ADC_voter_data;
    else if (error2 <= 4)
        system_output = module2Data[1];
    else if (error3 <= 4)
        system_output = module3Data[1];
    else
        system_output = SAR_ADC_voter_data;

    if ((error1 > 4) || (error2 > 4) || (error3 > 4))
        main_voter_error_det = 1;
}

```

(a)

```

void SAR_ADC_voter_data
{
    bits = 0;
    SAR_ADC_voter_data = 0;
    for (i = 0; i < 8; i++) bit_counter[i] = 0;
    for (i = 0; i < 8; i++)
    {
        for (j = 1; j < 10; j++)
        {
            bits = (module1Data[j] & mask[i]) != 0;
            // mask is an array of bytes previously defined:
            // mask[8] = {128, 64, 32, 16, 8, 4, 2, 1}
            if (bits == 1)
                bit_counter[i] = bit_counter[i] + 1;
        }
    }
    for (i = 0; i < 8; i++)
    {
        if (bit_counter[i] > 4)
            SAR_ADC_voter_data = SAR_ADC_voter_data + mask[i];
    }
}

```

(b)

Fonte: Elaborado pelo próprio autor

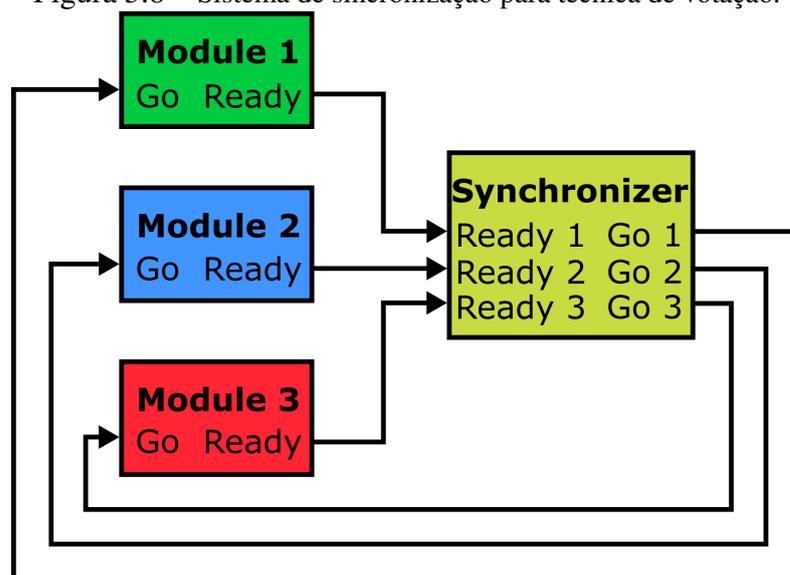
5.3.5 Sincronizador

A utilização de uma estratégia de sincronização é para determinar ou forçar uma ordem de eventos dos sinais já que os conversores trabalham a diferentes taxas de amostragem e apresentam diferentes tempos de conversão. Esta sincronização está ligada aos ciclos de votação do sistema (DAVIES; WAKERLY, 1978). Uma classificação deste tipo de sistema sugere três tipos de sincronização:

- Bases de tempo independentes e precisas.
- Referência externa comum.
- Realimentação mútua.

Como se pode observar na figura 5.8 o modelo de sincronização utilizado é a técnica de realimentação mútua que, cada copia dos módulos ou conversores tem o sinal de entrada (Go), este indica o início de ciclo de votação. O sinal de saída (Ready) indica o fim do ciclo de votação e está pronto para um próximo ciclo. Todo este sistema controla tanto o ciclo de votação quanto o início de trabalho dos módulos já que os conversores estão configurados para iniciar a conversão por disparo. Maiores detalhes do sistema podem ser encontrados em (CHENET, 2015).

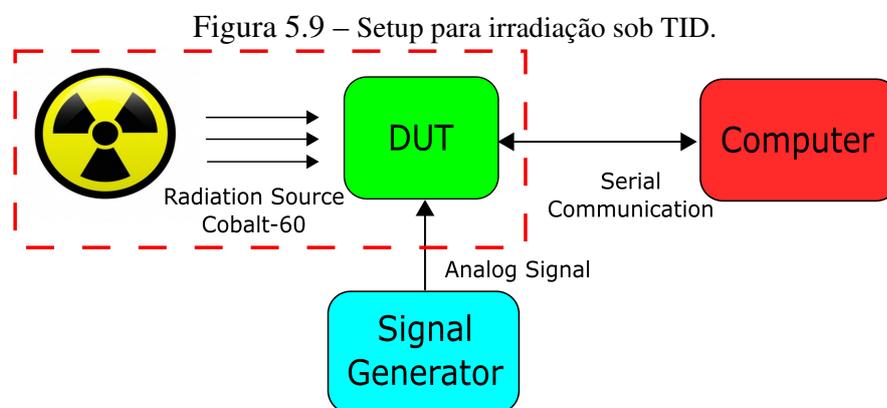
Figura 5.8 – Sistema de sincronização para técnica de votação.



Fonte: (CHENET, 2015)

5.4 Setup de teste

Para o experimento sob TID, se irradia o DUT (Device Under Test) implementado no PSoC. Como se observa na figura 5.9 um sinal analógico é injetado por um gerador de sinais externo à entrada do DUT. Para obter o registro dos dados de conversão enviados pelo DUT, realiza-se uma conexão física a um computador pela interface serial UART (RS-232) para assim visualizar continuamente o funcionamento do dispositivo durante o tempo de irradiação.



Fonte: Elaborado pelo próprio autor

5.5 Procedimentos de teste

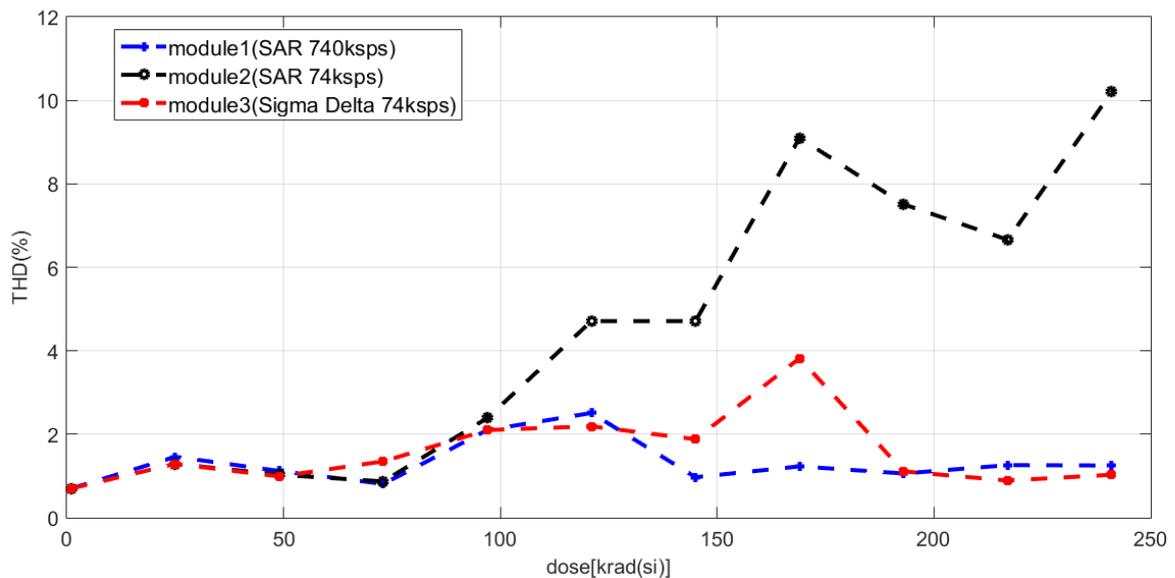
O teste de radiação foi realizado no Instituto de Estudos Avançados (IEAv), localizado em São José dos Campos (Brasil). O sistema foi exposto à radiação ionizante com uma fonte de raios gama de Cobalto-60 da Atomic Energy of Canada Limited (modelo Eldorado 78), com uma taxa de 1 krad(Si)/h, seguindo a norma 22900 (ESA/SCC, 1995) da ESA. Um sinal analógico de 120 hz é aplicado na entrada do sistema, alternando entre uma onda senoidal e um sinal de rampa, ambos oscilando entre os limites do fundo de escala dos conversores (0 a 2 V)

A cada 3 minutos o sistema envia para o computador pela interface UART-RS232, o sinal digital de cada conversor e também dos votadores. Devido ao tempo necessário para armazenamento e envio de dados, é realizada uma sub-amostragem, de tal forma que a taxa de amostragem equivalente de envio, através da interface serial, é de 7200 amostras por segundo, embora os conversores operem a taxas de amostragem mais elevadas.

5.6 Resultados da irradiação

Como se pode observar, na figura 5.10 que mostra a distorção harmônica total (THD) dos conversores, onde se avalia os sinais senoidais começou a apresentar degradação para doses superiores a 100 krad(Si).

Figura 5.10 – Distorção harmônica total dos sinais em cada módulo DTMR.

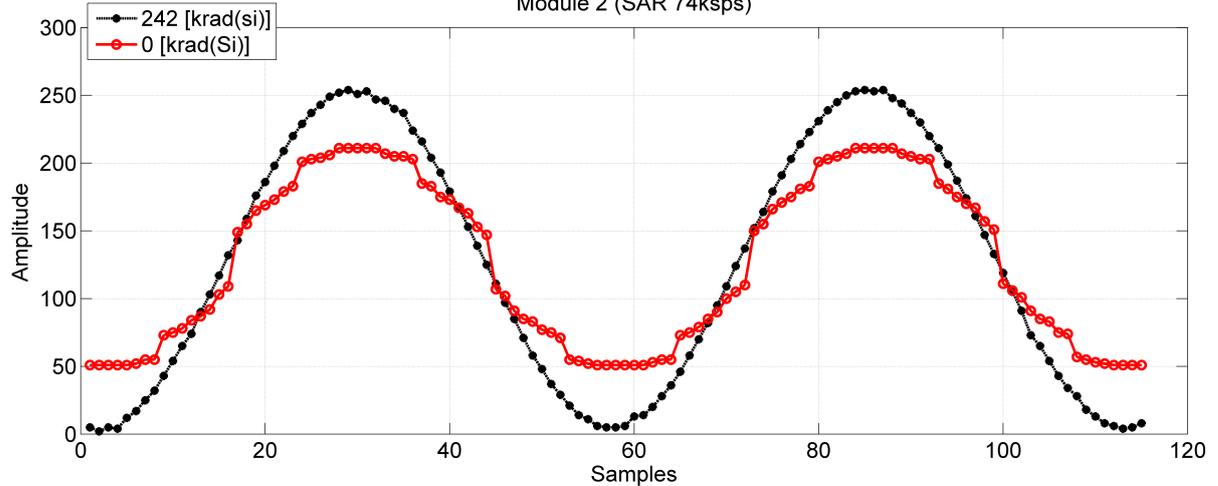


Fonte: Elaborado pelo próprio autor

O módulo com maior degradação é o conversor SAR que trabalha a 74 ksps. O comportamento não monotônico da THD em relação à dose, provavelmente está relacionado ao efeito de *rebound (super recovery)*(JOHNSTON, 1984), que foi observado e explicado em detalhe em experimentos de irradiação com dispositivos analógicos programáveis no grupo de pesquisa (BALEN et al., 2011; CARDOSO et al., 2014). Nesses trabalhos, uma melhoria na linearidade em circuitos analógicos também foi observada para alguns intervalos de valores de dose acumulada.

Na figura 5.11 se visualiza a degradação que ocorre na saída do módulo 2, SAR de 74 ksps, quando chega ao valor máximo de irradiação exposto (242 krad/(Si)), o que explica o incremento na distorção harmônica. O comportamento “segmentado” pode estar associado ao funcionamento incorreto e à falha dos transistores que compõem *as chaves* de diferentes ramos da matriz capacitiva programável do conversor DA interno (DAC capacitivo), já que o valor de capacitância de cada ramo é distribuído em pesos binários. O efeito pode ser observado de

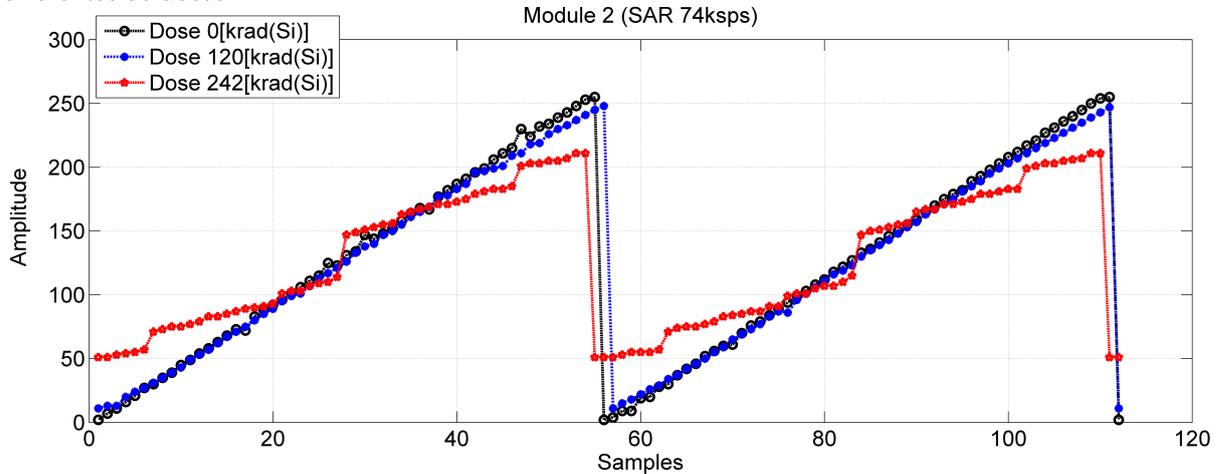
Figura 5.11 – Degradação do conversor SAR de 74 kbps
Module 2 (SAR 74kpbs)



Fonte: Elaborado pelo próprio autor

melhor forma com o sinal dente de serra, como vemos na figura 5.12 para três valores diferentes de doses.

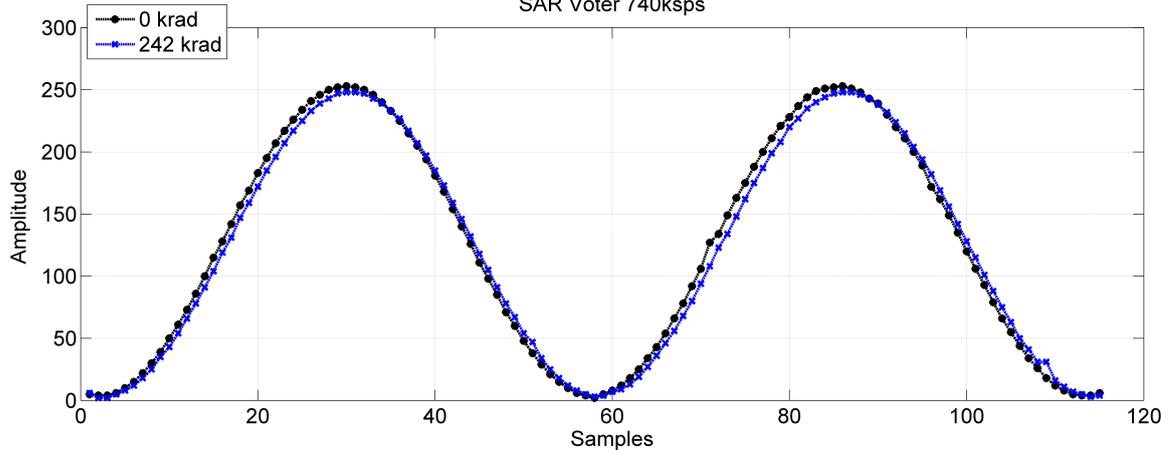
Figura 5.12 – Comparação na saída do conversor SAR 74 kbps com sinal dente de serra para três valores diferentes de doses



Fonte: Elaborado pelo próprio autor

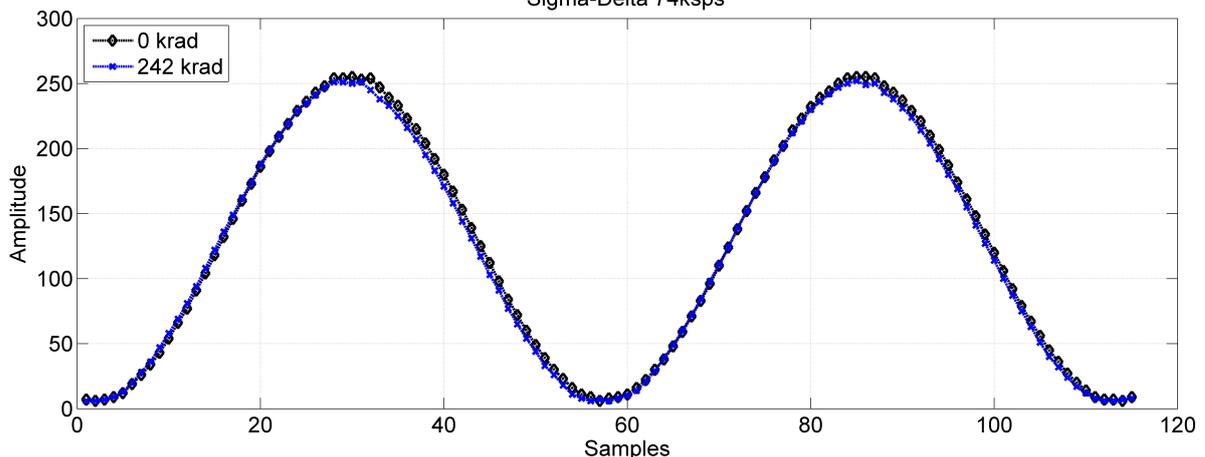
Nos outros dois conversores, não se visualiza uma degradação na linearidade significativa como se pode ver nas figuras 5.13 e 5.14, onde são plotados os sinais antes e depois da irradiação (242 krad(Si)). Mesmo para esses conversores, se observou uma queda de tensão equivalente nos sinais convertidos com aumento da dose, com queda maior observada no módulo 2, como se pode ver na figura 5.15.

Figura 5.13 – Degradação do conversor SAR de 740 ksps
SAR Voter 740ksps



Fonte: Elaborado pelo próprio autor

Figura 5.14 – Degradação do conversor Sigma-Delta
Sigma-Delta 74ksps

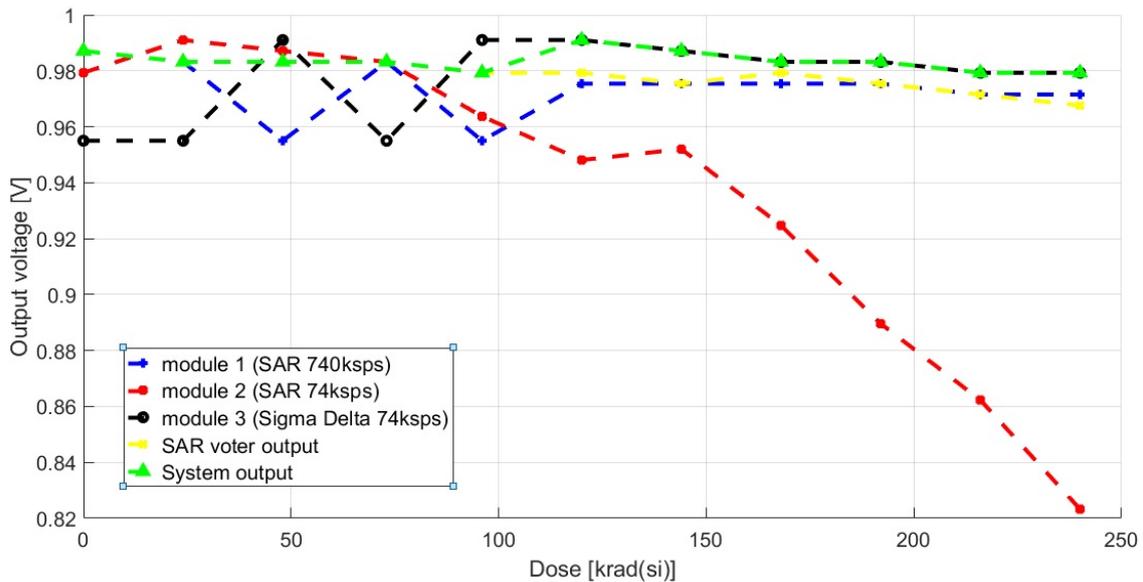


Fonte: Elaborado pelo próprio autor

O comportamento diferente dos conversores em relação à degradação induzida por radiação, e com os resultados obtidos podemos observar da diversidade de projeto como uma opção de implementação para sistemas de sinal misto. A diferença na confiabilidade dos conversores indica que a diversidade pode ser um benefício para os esquemas redundantes, uma vez que o projetista geralmente não possui informações sobre o nível de confiabilidade de todas as possibilidades de implementação (para tomar uma decisão ótima sobre arquiteturas e esquemas mais confiáveis).

Mesmo concluindo neste trabalho que operar este conversor SAR específico com frequências mais altas, potencialmente aumentaria sua vida em ambientes de radiação, não se pode acreditar que esta seja uma alternativa de alta confiabilidade, esta conclusão foi alcançada após um teste de radiação caro. Além disso, para outras condições e tecnologias, este comporta-

Figura 5.15 – Queda de tensão (amplitude pico) do sinal convertido em função da dose



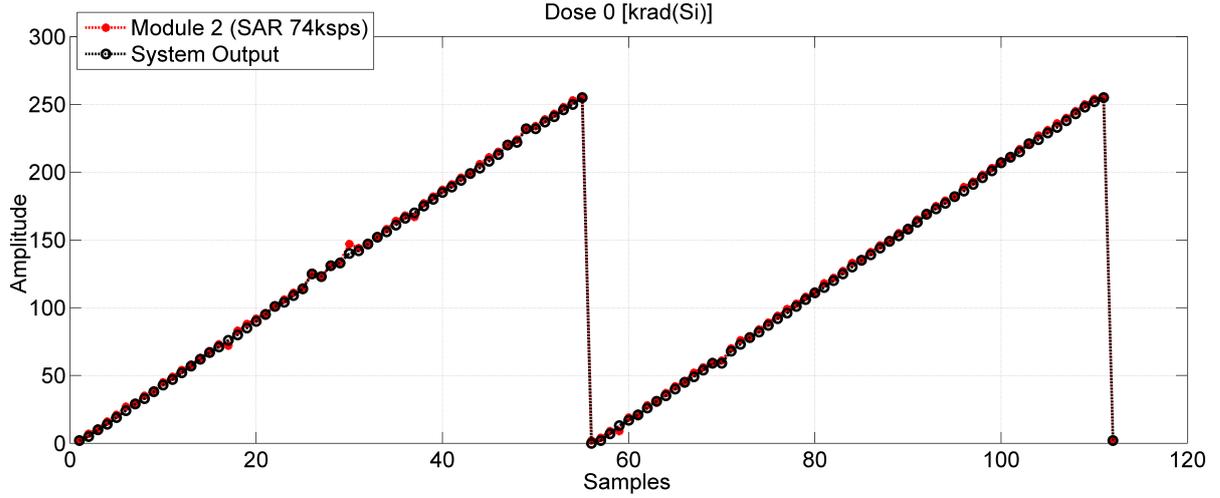
Fonte: Elaborado pelo próprio autor

mento pode não ser repetido necessariamente. Assim, a diversidade pode ser uma boa opção para melhorar a confiabilidade de esquemas redundantes sempre que for possível sua aplicação.

No que diz respeito aos efeitos TID, as diferenças entre os módulos (ou conversores) que podem resultar em diferentes níveis de degradação, são principalmente relacionadas aos níveis de polarização, probabilidades de chaveamento e frequências de sinais internos, considerando-se que os diferentes módulos pertencem à mesma tecnologia de fabricação. Neste caso, a diversidade temporal foi responsável por estender a vida útil do sistema, uma vez que uma cópia de hardware "exata" (do módulo que apresentou degradação precoce) foi utilizada, embora com 10 vezes a frequência de amostragem de sua cópia. Os efeitos da mudança da frequência de operação e das condições de polarização na resposta à radiação dos circuitos integrados CMOS são discutidos em (BALEN et al., 2016). Nesses trabalhos, é possível observar diferentes níveis de degradação de dispositivos ou sistemas idênticos sob efeitos de dose total quando operam sob diferentes frequências e regimes de polarização. Em trabalhos em andamento a influência do mecanismo de conversão nesta tendência, está sendo estudada.

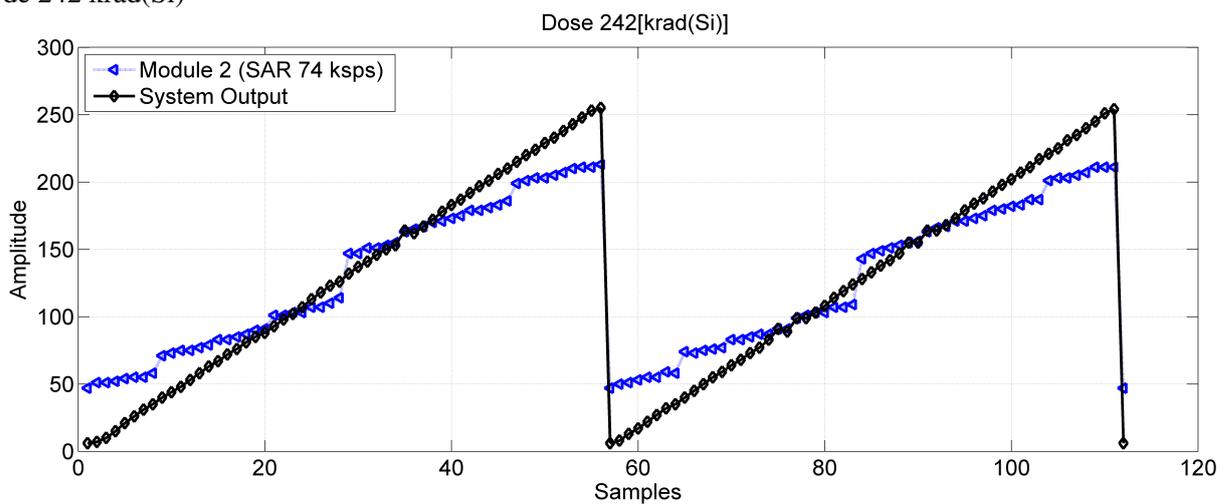
Uma das principais preocupações em um sistema redundante tolerante a falhas é a confiabilidade do votador. No sistema considerado, a votação é realizada por software (implementando também a diversidade de nível e domínio (CHENET et al., 2015)), embora executado no processador do sistema. O votador foi capaz de selecionar o sinal de um domínio DTMR correto durante toda a irradiação. Figuras 5.16 e 5.17 mostram o sinal do módulo 2 e a saída votada global no início e no final da experiência, respectivamente.

Figura 5.16 – SAR 74 kbps com sinal dente de serra e saída do sistema antes da irradiação



Fonte: Elaborado pelo próprio autor

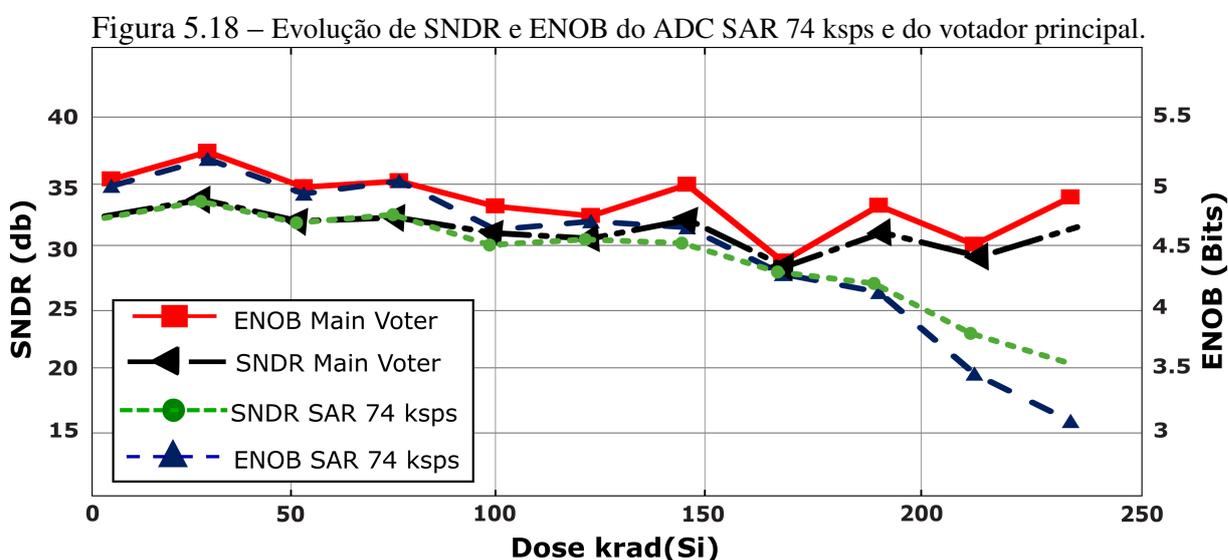
Figura 5.17 – SAR 74 kbps com sinal dente de serra e saída do sistema após atingir a dose acumulada de 242 krad(Si)



Fonte: Elaborado pelo próprio autor

5.7 Avaliação do conversor sob radiação

Análises dinâmicas do comportamento do conversor de maior degradação foram feitas com os dados obtidos durante o tempo de irradiação. Na figura 5.18 se pode observar a evolução do SNDR e ENOB durante a irradiação, tanto do votador principal quanto do conversor SAR de 74 kps. Para doses maiores do que 150 krad(Si), o comportamento do votador principal se assemelha ao comportamento do conversor degradado, depois o votador "decide" continuar com os conversores menos degradados.



Fonte: Elaborado pelo próprio autor

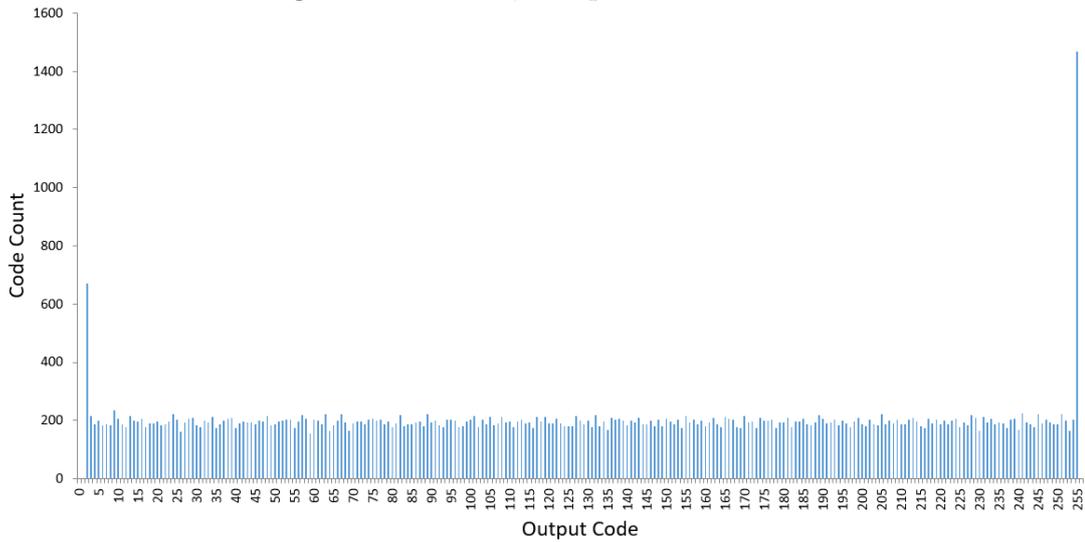
Com o sinal de teste dente-de-serra, podemos aplicar o método do histograma, para estimar os erros de não-linearidade do conversor, com um determinado número de vezes que cada código do sinal inserido esteja na saída. Para a medição do histograma conseguiu-se atingir 200 vezes por código ou valor digital de saída para os conversores trabalhados.

Como se observou nas figuras de degradação de onda seno e triangular (5.11 e 5.17), o conversor não conseguiu alcançar os valores de escala completa, superior e inferior após atingir o valor máximo de irradiação. Os códigos faltantes podem ser observados melhor ao computar os dados de irradiação para estes gráficos. Em um primeiro caso pre-irradiação (0 krad(Si) - 24 krad(Si)) na figura 5.19 não se observam códigos ausentes no conversor. Na figura 5.20 o histograma para doses de até 120 krad(Si) observamos a modificação significativa na probabilidade do código e códigos ausentes são observados nos extremos e no centro da escala. Finalizando a irradiação, figura 5.21 observamos uma degradação maior, com grandes regiões

de códigos ausentes após atingir 242 krad(Si) de dose acumulada. Nos outros ADCs não foram observados códigos ausentes.

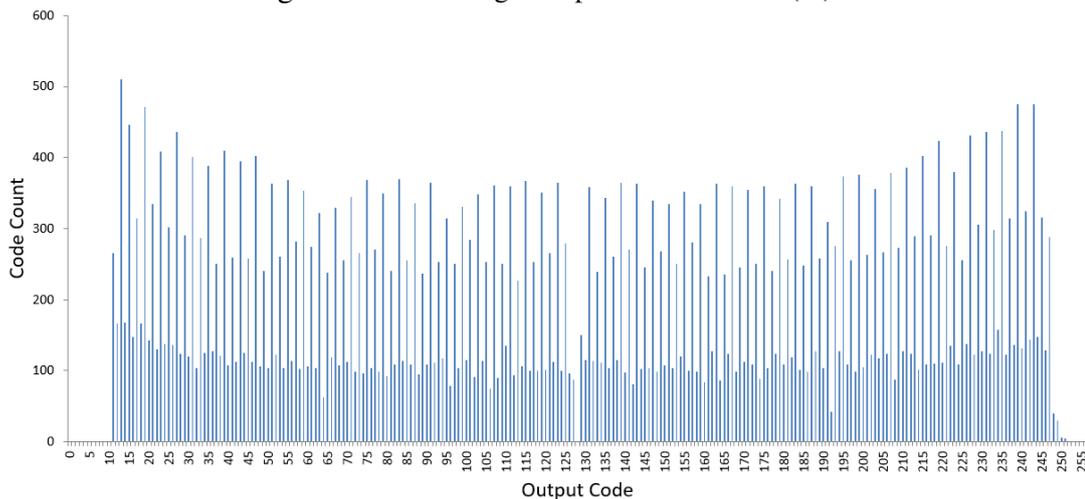
Na figura 5.22 podemos visualizar a magnitude da degradação antes, durante e depois da irradiação dos erros de não-linearidade DNL e INL do conversor.

Figura 5.19 – Histograma para 0 - 24 krad(Si).



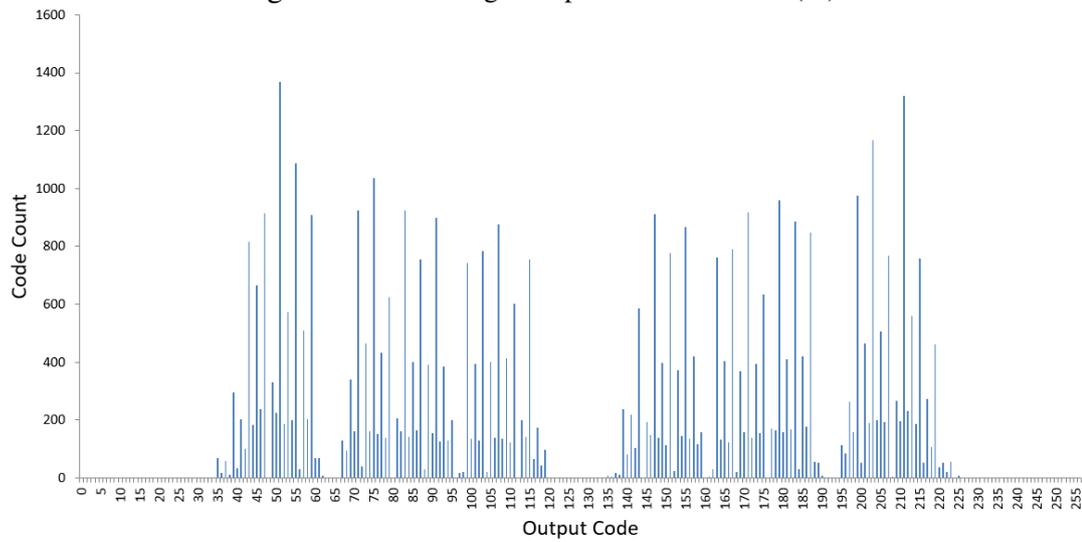
Fonte: Elaborado pelo próprio autor

Figura 5.20 – Histograma para 96 - 120 krad(Si).



Fonte: Elaborado pelo próprio autor

Figura 5.21 – Histograma para 216 - 242 krad(Si).

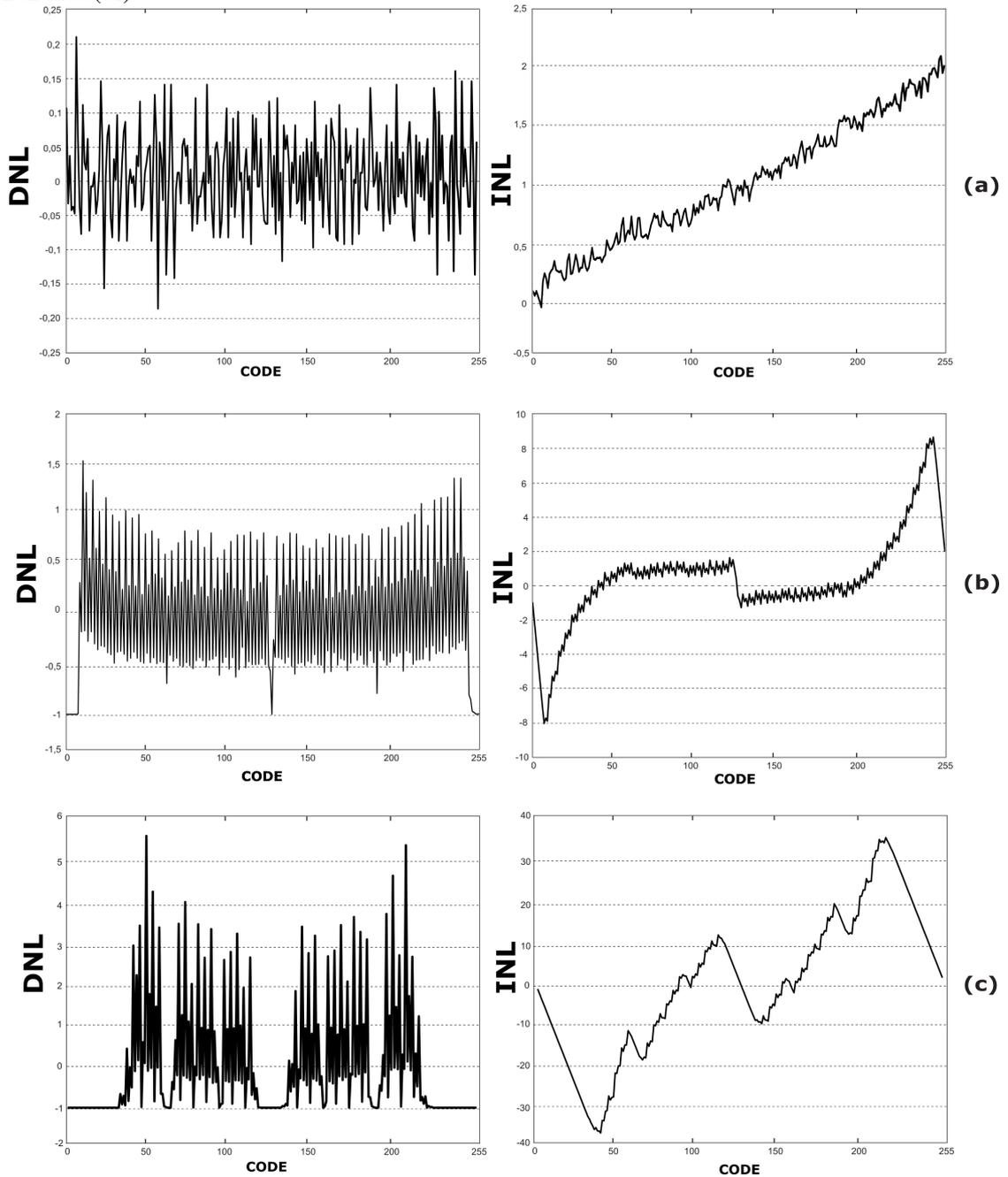


Fonte: Elaborado pelo próprio autor

5.8 Annealing

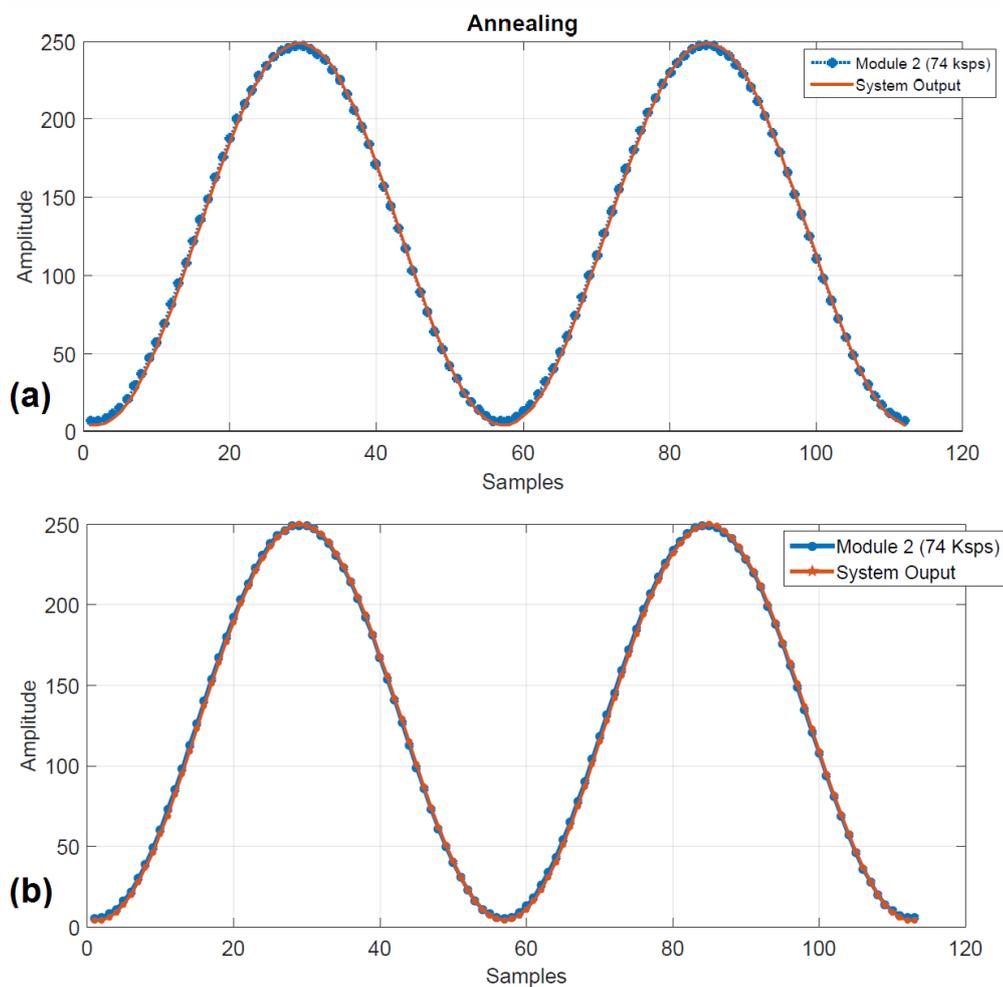
Após o termino do experimento, o dispositivo foi mantido à temperatura ambiente por 4 semanas, polarizado (alimentado) e com o sinal de teste aplicado na sua entrada. Se obtém, por alguns períodos, dados do sistema indicando uma recuperação do conversor mais degradado. Na figura 5.23 podemos ver essa recuperação.

Figura 5.22 – Erro de não-linearidade DNL e INL do SAR ADC 74 ksp/s (a) 0 krad(Si) (b) 120 krad(Si) (c) 242 krad(Si)



Fonte: Elaborado pelo próprio autor

Figura 5.23 – Recuperação do conversor a temperatura ambiente depois de 2 semanas (a) e depois de 4 semanas sem degradação (b).



Fonte: Elaborado pelo próprio autor

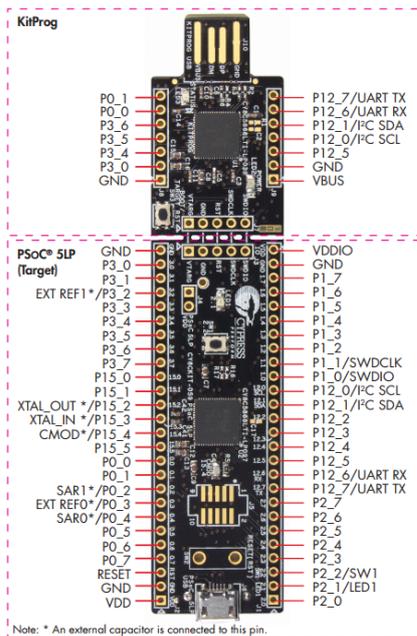
6 TESTE DE ÍONS PESADOS SOBRE O SISTEMA DE AQUISIÇÃO DE DADOS PROTIPADO

Neste capítulo se realiza o estudo de irradiação sob íons pesados, observando-se SEE (Single Event Effects), onde o objetivo foi avaliar e comparar o comportamento do SAD em um ambiente diferente de irradiação, observar a quantidade de falhas dos conversores e o funcionamento da votação do sistema durante o tempo exposto a um feixe de íons de ^{16}O oxigênio-16. Este dispositivo basicamente consiste no SAD implementado no experimento de TID da seção anterior, neste caso o sistema é baseado em TMR e diversidade, que é considerada uma das técnicas para tolerância de SEE (ANGHEL; ALEXANDRESCU; NICOLAIDIS, 2000; ELNOZAHY; MELHEM; MOSSE, 2002). Para SEE se utiliza o protótipo PSoC de part number CY8CKIT-059 (sem encapsulamento) sob um acelerador de partículas 8UD Pelletron. Na seção 6.1 se apresentam as características do dispositivo; em 6.2 realiza-se a descrição do sistema implementado; na seção 6.3 o setup de teste; em 6.4 o procedimento do teste; e em 6.5 os resultados da irradiação e discussões.

6.1 Características gerais do Protótipo

Esta versão de system-on-chip programável é um protótipo low-cost que contém a mesma configuração de hardware da família PSoC 5LP, compatível com versões antigas de SoCs programáveis da Cypress Semiconductor, com periféricos analógicos e digitais e um processador ARM Cortex-M3 (SEMICONDUCTOR, 2016). Frente ao kit utilizado no experimento anterior, este protótipo contém menos interfaces para conexão, com 68 pinos disponíveis para utilização. Bibliotecas para programação de componentes estão presentes no software da Cypress Semiconductor PSoC Creator 3.2, em versões anteriores do software o dispositivo não é reconhecido. A figura 6.1 mostra as características físicas gerais do KIT, entradas GPIO, pinos digitais, analógicos e pinos de comunicação (UART, I2C).

Figura 6.1 – Kit de desenvolvimento utilizado PSoC CY8CKIT-059.

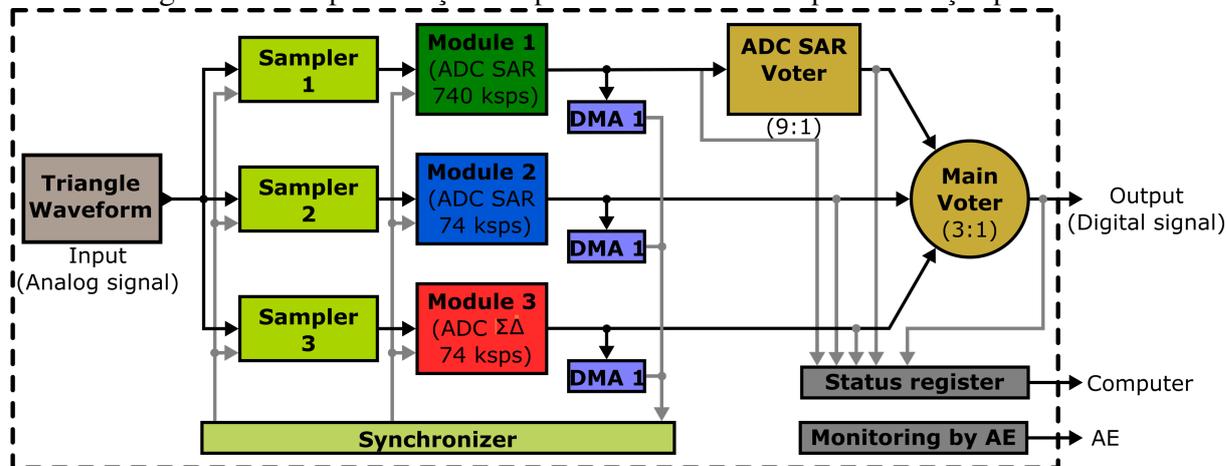


Fonte: Cypress Semiconductor, 2017

6.2 Sistema no DUT

Basicamente, a implementação do DUT deste experimento de SEE é consiste no mesmo sistema de aquisição de dados (SAD), descrito anteriormente na seção 5. Na figura 6.2 se visualiza a adição dos blocos que serão detalhados a seguir.

Figura 6.2 – Implementação completa do SAD no PSoC para irradiação por SEE.



Fonte: Adaptado de (CHENET, 2015)

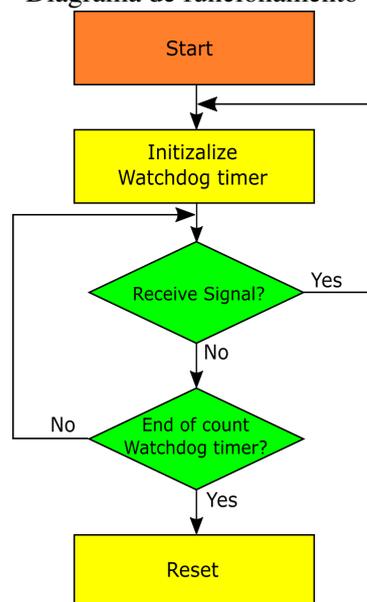
6.2.1 Gerador de sinal

Para uma maior simplicidade na hora de fazer o experimento, se decidiu a implementação de um bloco que injeta um sinal analógico triangular internamente ao PSoC, minimizando as conexões entre o DUT e os instrumentos que passam por uma interface especial na câmara de vácuo. Realiza-se a mesma configuração feita na seção 5 para aplicar o sinal ao sistema. A amplitude V_{pp} é 1.9 V, Offset de 1.024 V e uma frequência de 120 Hz. O "start" deste bloco é feito por software como todos os blocos do sistema e o sinal é injetado diretamente nos 3 blocos de Sample and Hold.

6.2.2 Equipamento Auxiliar

Um circuito denominado aqui de equipamento auxiliar (AE - Auxiliary Equipment) é programado em outro kit de desenvolvimento e utilizado como *watchdog*. A figura 6.3 mostra o diagrama de funcionamento (ECSS, 2016). A ideia desta implementação é gerar um "hard reset" para retornar o funcionamento normal do DUT quando aconteça um Single Event Functional Interruption (SEFI) e este não consiga responder em um determinado tempo (45 segundos).

Figura 6.3 – Diagrama de funcionamento do Watchdog.

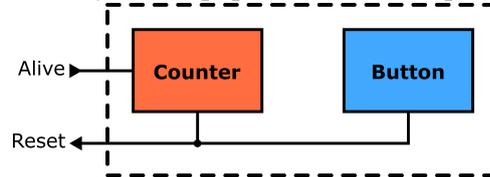


Fonte: (ECSS, 2016)

A figura 6.4 mostra a implementação funcional do AE, com dois blocos simples configurados em uma placa adicional do PSoC 5LP. No caso que, tanto o dispositivo trava e o AE

não consiga resetar o DUT, deve-se cortar a alimentação dos dois dispositivos para reiniciar o sistema.

Figura 6.4 – Implementação do Equipamento Auxiliar para irradiação por SEE

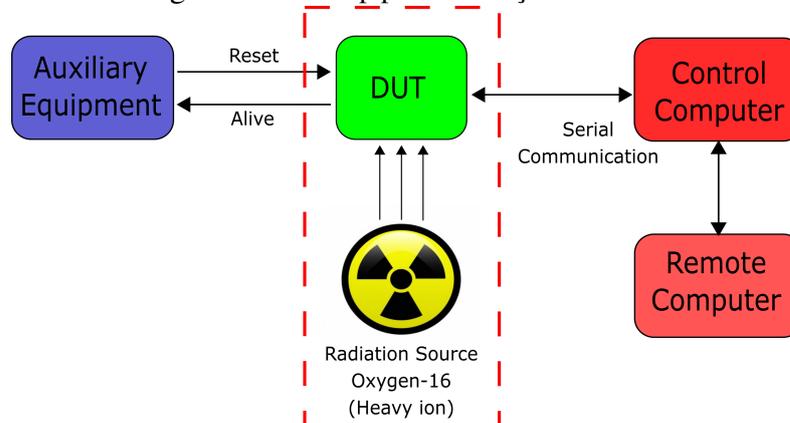


Fonte: (CHENET, 2015)

6.3 Setup de teste

O sinal analógico triangular é injetado por um DAC (Digital-to-Analog Converter) interno no PSoC diretamente à entrada do DUT. Para obter o registro dos dados de conversão enviados pelo DUT, realiza-se uma conexão física ao computador pela interface serial UART (RS-232). Também, neste experimento se adiciona o bloco do equipamento auxiliar (AE) para resetar o sistema em caso de bloqueio ou SEFI (CHENET, 2015). Se faz necessária a instalação de um computador remoto por rede, pela limitação de acesso à sala de irradiação. Neste caso, a função principal do computador remoto, além de verificar o funcionamento do dispositivo durante o tempo de teste, é desligar um switch de alimentação controlado por USB pelo terminal do windows para quando o AE não consiga resetar o DUT. A figura 6.5 mostra o diagrama em blocos do teste durante a irradiação do PSoC.

Figura 6.5 – Setup para irradiação sob SEE.

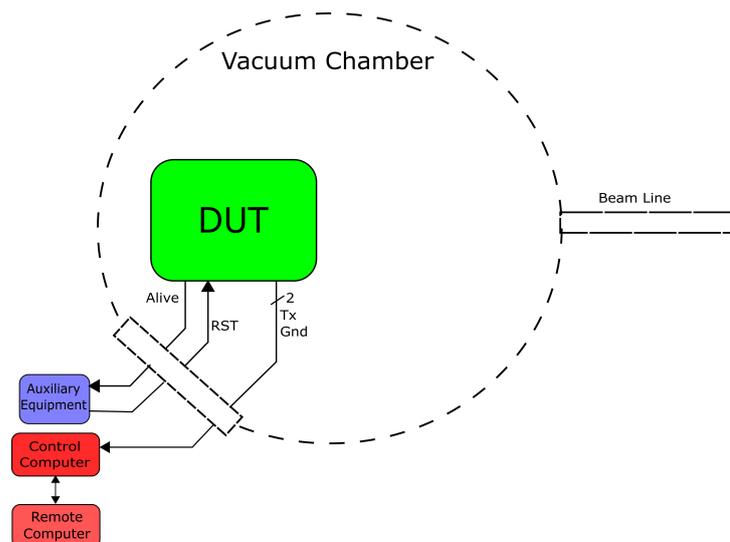


Fonte: Elaborado pelo próprio autor

6.4 Procedimentos de teste

A irradiação com íons pesados foi realizada no Instituto de Física da Universidade de São Paulo (LAFN-USP). O equipamento é um acelerador de partículas 8UD Pelletron usando ^{16}O (oxigênio-16), com energia de 36 MeV que proporciona um LET de 5.5 MeV/mg/cm^2 e uma penetração no silício de $25 \mu\text{m}$ (MEDINA et al., 2016). Para SEE se utiliza o protótipo PSoC 5LP de part number CY8CKIT-059 que, praticamente, realiza, e contém, as mesmas funções do PSoC do capítulo anterior, e no qual se implementa o mesmo sistema de aquisição de dados. Para este experimento se faz o teste com o chip sem encapsulamento. O dispositivo (DUT) é irradiado a um ângulo de 0° , resultando em um fluxo de $354 \text{ p/cm}^2.\text{s}$, e uma fluência de 5077915 p/cm^2 depois de 14755 segundos (4h 09min). A cada ocorrência, o sistema envia um log com a informação do erro para o computador pela interface UART-RS232, esse envio contém: o sinal digital das nove (9) palavras do conversor SAR 740 ksp, o valor do conversor SAR 74 ksp e do Sigma-Delta, além do valor dos votadores. As conexões para o DUT, dentro da câmara de vácuo, é feita através de conectores de passagem que fornecem a alimentação do dispositivo e a comunicação com os equipamento de monitoramento e coleta de dados enviados pelo DUT (ESA/SCC, 2014). A figura 6.6 mostra a configuração feita dentro da câmara do instituto da física durante a irradiação com íons pesados.

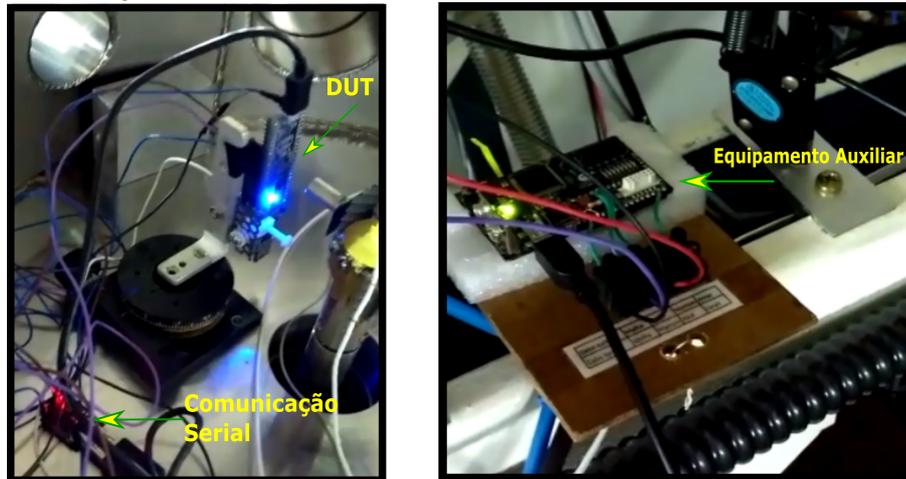
Figura 6.6 – Setup de teste para irradiação com íons pesados no LAFN-USP, colocação do dispositivo dentro da câmara.



Fonte: Elaborado pelo próprio autor

A figura 6.7 mostra o DUT e o dispositivo de comunicação antes de iniciar à irradiação. No lado direito observamos o equipamento auxiliar (*watchdog*).

Figura 6.7 – DUT, dispositivo de comunicação e equipamento auxiliar (*watchdog*). Configuração do experimento de irradiação no LAFN-USP



Fonte: Elaborado pelo próprio autor

6.5 Resultados da irradiação

Durante o tempo da irradiação (14755 segundos) foram observadas 139 falhas, 82 delas são hangs (travamento da CPU e/ou dos conversores), 57 falhas SDC. Quanto a visualização individual de ocorrências ou *bit-flips*, podemos observar o número de erros que aconteceram em cada conversor e votador. Além disso, alguns erros "desconhecidos" ou que não foram observados na obtenção de todos os logs durante a irradiação foram observados. A tabela 6.1 mostra o resumo dos resultados das falhas detectadas. A ideia de realizar a separação dos conversores e o votador do SAR, é visualizar a quantidade de ocorrências que foram detectadas individualmente por cada módulo. Como o módulo 1 (conversor SAR 740 ksp/s) e o votador deste geram um só conjunto, tem-se uma quantidade de ocorrências elevada frente aos outros dois módulos. A soma dos erros no SAR 740 ksp/s e o votador equivale ao 53% do total de ocorrências SDCs.

A tabela 6.2 mostra o tempo com o qual se realiza o cálculo do tempo efetivo do experimento. O tempo efetivo é obtido da subtração do tempo total do experimento (14755 segundos – [(Número de logs registrados * (tempo de envio + o tempo de iniciação)) + (número de hangs críticos * (30 segundos + tempo médio de reset manual)) + (número de hangs "resetados" pelo AE * (tempo médio do reset com o AE + 15 segundos))]).

Tabela 6.1 – Resumo dos resultados de ocorrências no SAD.

Total ocorrências	139	Porcentagem 100%
Total SEFIs	53	38%
Total de erros críticos	29	21%
Total de SDCs	57	41%
Erro no SAR 740 ksps	12	9%
Erro no SAR 74 ksps	6	4%
Erro no Sigma-Delta	14	10%
Erro no votador ADC SAR 740 ksps	18	13%
Erro no votador principal	0	0%
Erros desconhecidos detectados	7	5%

Tabela 6.2 – Número de ocorrências e cálculo do tempo total durante o teste.

	Hangs		
	SDCs	AE (SEFIs)	Críticos
Ocorrências	57	53	29
Tempo (segundos)	20	45	45
Tempo total (segundos)	1140	2385	1350

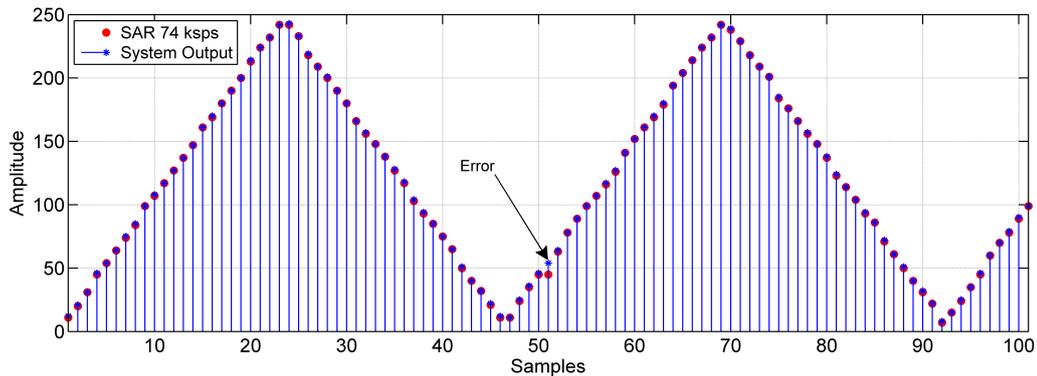
Com o valor de tempo efetivo (9925 segundos) calculam-se a cross section da segunda coluna da tabela 6.3. Classificam-se as falhas por conversor, votador e sua respectiva seção de choque para cada um dos itens avaliados durante o experimento.

Tabela 6.3 – Cálculo de cross section com tempo efetivo. Dinâmica, SDC e Hangs.

Cross Section (cm ²)	
Dynamic	$4,06947 \times 10^{-5}$
SDC	$1,66878 \times 10^{-5}$
Hangs	$2,4007 \times 10^{-5}$
Conversores	
SAR 740 ksps	$3,51321 \times 10^{-6}$
SAR 74 ksps	$1,7566 \times 10^{-6}$
Sigma-Delta	$4,09875 \times 10^{-6}$
SAR ADC voter	$5,26982 \times 10^{-6}$

Na figura 6.8 visualiza-se a cross section com o tempo efetivo dos conversores e do votador. A figura 6.9 mostra todos os SDCs visualizados durante o tempo de irradiação (em minutos) e sua magnitude de erro (valor diferente ao valor que deveria ter na saída do SAD).

Figura 6.10 – Funcionamento normal do SAR 74 ksp/s depois de um SDC.



Fonte: Elaborado pelo próprio autor

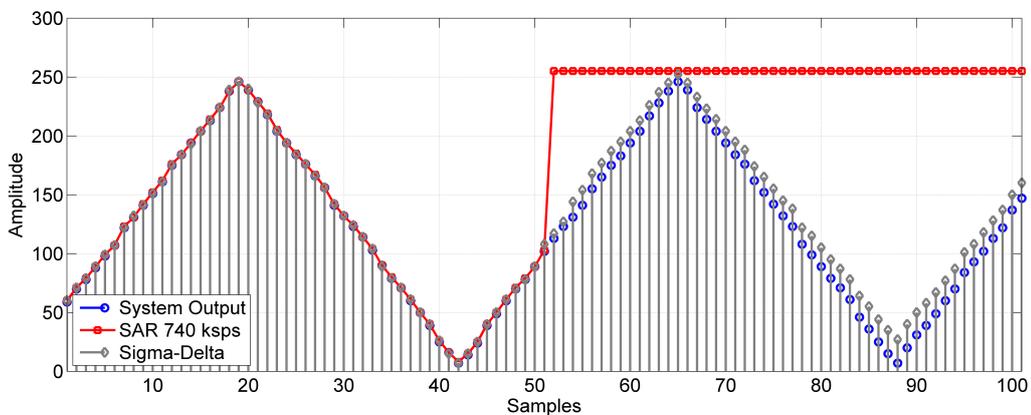
A figura 6.11 mostra as ocorrências (SEFIs) dos três módulos "invalidando" ou deixando fora de funcionamento o componente, mas a saída continua com valor correto. Neste caso podemos considerar a ocorrência crítica para os conversores, mas para o sistema podem ser simples SDCs. Especificamente no caso da figura 6.12(a) observa-se como esta falha pode ser considerada uma falha múltipla ou MBU (Multiple Bit Upset). No módulo 1 (SAR 740 ksp/s) e módulo 3 (Sigma-Delta) registram sua saída errada ao contrário da saída do sistema, que tem valores do módulo 2 (SAR 74 ksp/s) e permite seu contínuo funcionamento com uma diminuição significativa de confiabilidade, mas considerando que dois conversores não trabalham corretamente, não se pode ter certeza que a saída esperada do sistema de conversão seja completamente correta. Já nas outras duas figuras 6.12(b) e 6.12(c) a saída pode ser dirigida por os outros dois conversores que não estão tendo falha.

A figura 6.12 mostra novamente duas ocorrências em dois conversores, duas amostras são desviadas para zero, na mesma topologia de conversor (SAR).

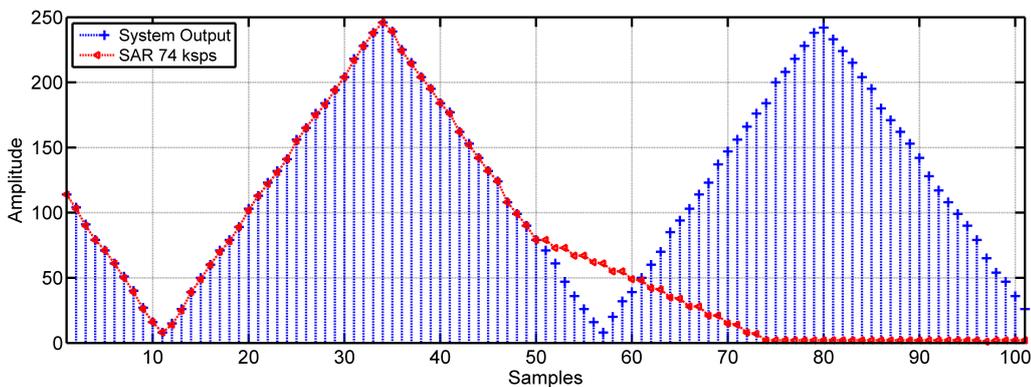
Outro tipo de ocorrência observada é mostrado figura 6.13, neste caso os conversores detectam uma falha mas tentam se recuperar somente obtendo resultados digitais errados, especificamente na figura 6.14(b) e 6.14(c) observamos os três conversores com suas respectivas ocorrências em função da saída do SAD. A saída continua mostrando resultados não esperados de conversão tentando se recuperar. Estas ocorrências foram em diferentes instantes de tempo do experimento.

Já por último, encontramos as falhas no votador SAR. A figura 6.15 mostra as falhas do votador mas fazendo a comparação com o mesmo conversor SAR. Verificou-se que as 9

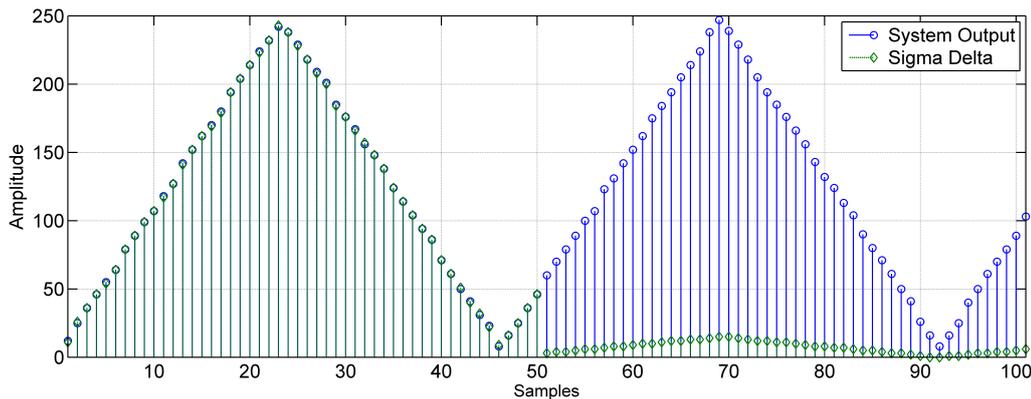
Figura 6.11 – Ocorrências críticas nos três módulos do sistema. (a) Módulo 1 (SAR 740 kbps), módulo 2 (Sigma-Delta) e saída do sistema (b) Módulo 2 (SAR 74 kbps) (c) Módulo 3 (Sigma-Delta).



(a)



(b)

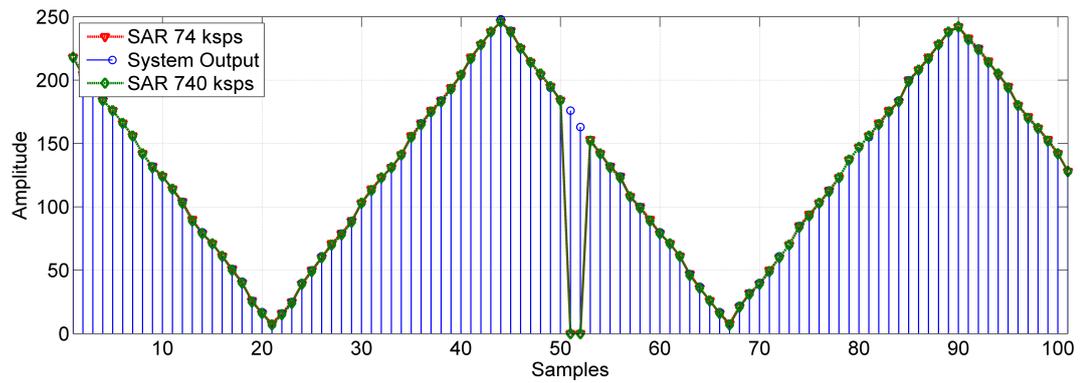


(c)

Fonte: Elaborado pelo próprio autor

palavras do conversor tiveram os valores esperados da conversão como se mostra na figura 6.14. Observa-se o valor, tanto das 9 palavras do módulo 1 quanto dos outros módulos, todos eles com o mesmo valor ou valor esperado e o votador com dois valores diferentes nos ciclos

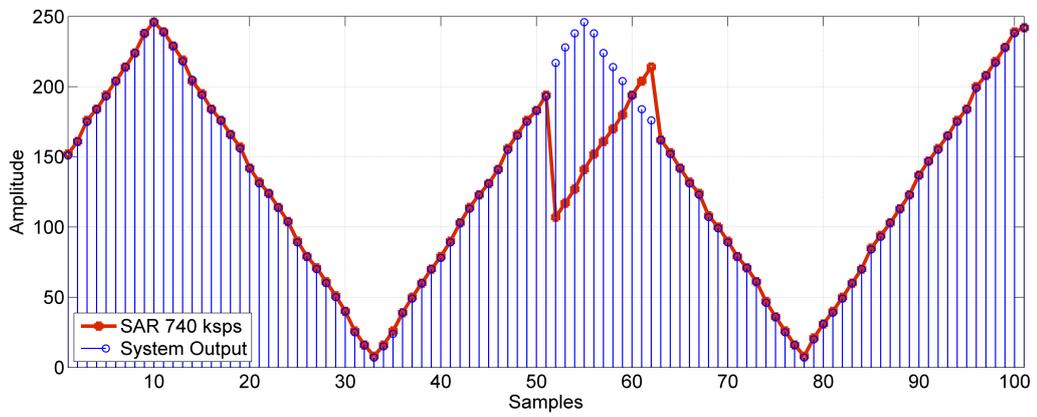
Figura 6.12 – Conversores SAR sofrendo falha e sistema mostrando saída do conversor Sigma-Delta.



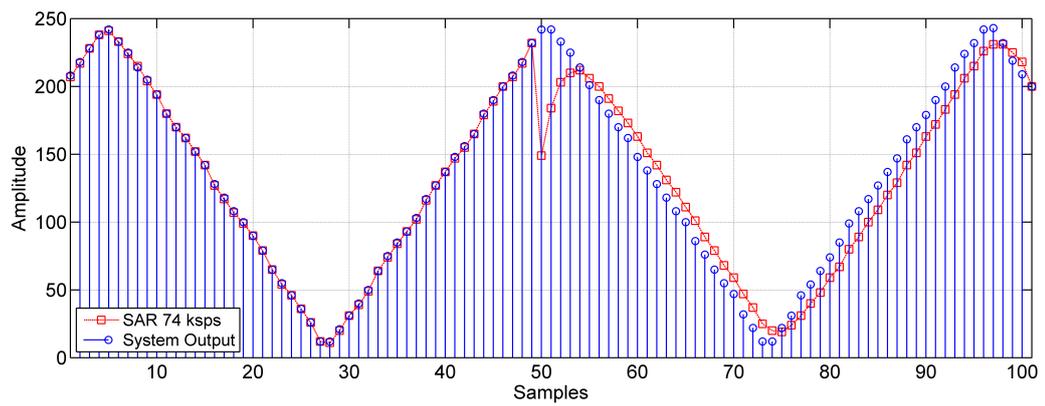
Fonte: Elaborado pelo próprio autor

seguintes. Como comentou-se na seção 5, o votador temporal é construído em linguagem C, porém contém muitos laços que podem diminuir a confiabilidade deste votador em específico.

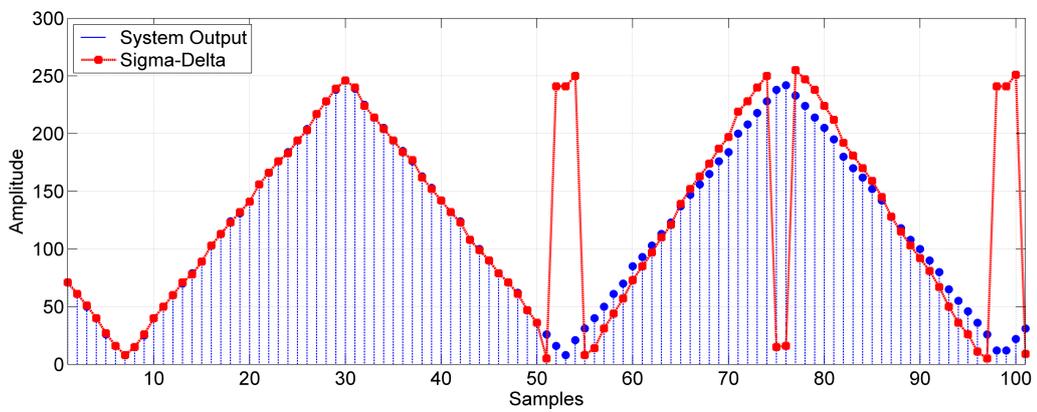
Figura 6.13 – Módulos com falhas e com valor de conversão errado depois da recuperação. (a) Módulo 1 (SAR 740 ksp/s). (b) Módulo 2 (SAR 74 ksp/s) (c) Módulo 3 (Sigma-Delta).



(a)



(b)



(c)

Fonte: Elaborado pelo próprio autor

Figura 6.14 – Log detalhando saída dos conversores, do votador SAR e saída do sistema.

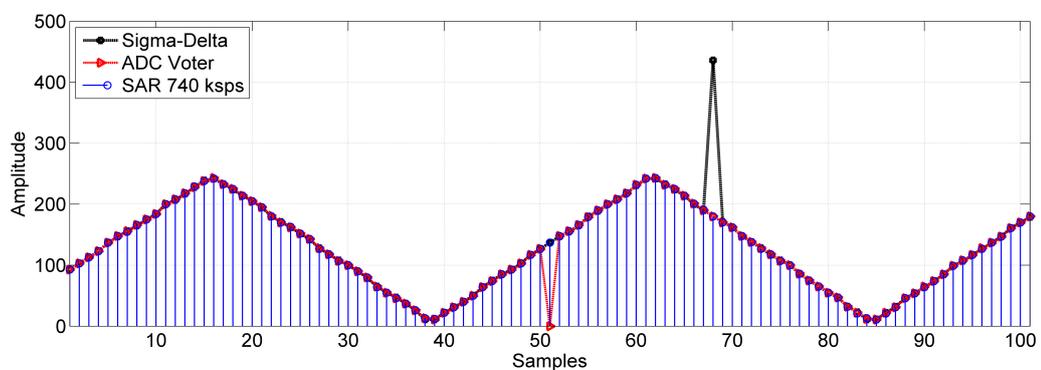
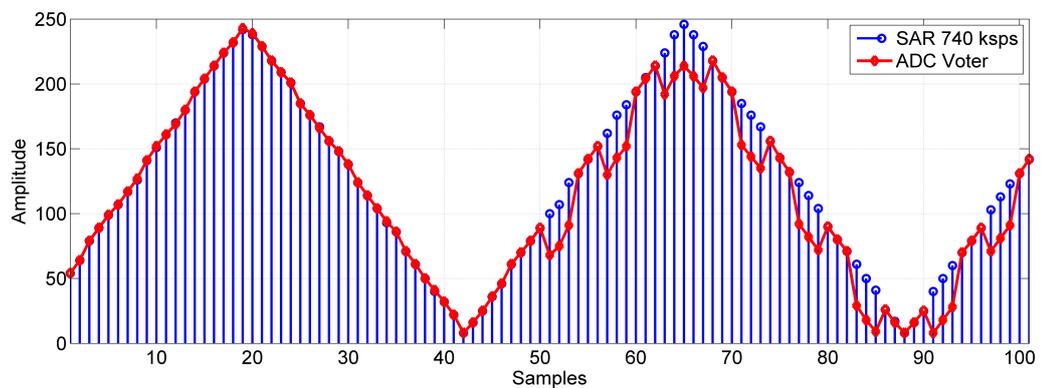
```

4210 -----
4211 Mod_1_[01]: 194      4227 Mod_1_[01]: 205      4242 Mod_1_[01]: 214
4212 Mod_1_[02]: 194      4228 Mod_1_[02]: 204      4243 Mod_1_[02]: 213
4213 Mod_1_[03]: 194      4229 Mod_1_[03]: 204      4244 Mod_1_[03]: 214
4214 Mod_1_[04]: 194      4230 Mod_1_[04]: 204      4245 Mod_1_[04]: 214
4215 Mod_1_[05]: 194      4231 Mod_1_[05]: 204      4246 Mod_1_[05]: 214
4216 Mod_1_[06]: 194      4232 Mod_1_[06]: 205      4247 Mod_1_[06]: 214
4217 Mod_1_[07]: 194      4233 Mod_1_[07]: 205      4248 Mod_1_[07]: 214
4218 Mod_1_[08]: 194      4234 Mod_1_[08]: 205      4249 Mod_1_[08]: 214
4219 Mod_1_[09]: 194      4235 Mod_1_[09]: 205      4250 Mod_1_[09]: 214
4220 Mod_2: 193           4236 Mod_2: 204           4251 Mod_1_[09]: 214
4221 Mod_3: 194           4237 Mod_3: 205           4252 Mod_2: 213
4222 SAR_ADC_voter: 194   4238 SAR_ADC_voter: 128     4253 Mod_3: 214
4223 System_output: 194   4239 System_output: 204     4254 SAR_ADC_voter: 128
4224 Cycle_counter: 31777 4240 Cycle_counter: 31778 4255 System_output: 213
4225 Cycle_error: 0        4241 Cycle_error: 1         4256 Cycle_counter: 31779
4242 -----
4243 Mod_1_[01]: 214
4244 Mod_1_[02]: 213
4245 Mod_1_[03]: 214
4246 Mod_1_[04]: 214
4247 Mod_1_[05]: 214
4248 Mod_1_[06]: 214
4249 Mod_1_[07]: 214
4250 Mod_1_[08]: 214
4251 Mod_1_[09]: 214
4252 Mod_2: 213
4253 Mod_3: 214
4254 SAR_ADC_voter: 128
4255 System_output: 213
4256 Cycle_counter: 31779
4257 Cycle_error: 1
4242 -----

```

Fonte: Elaborado pelo próprio autor

Figura 6.15 – Comparação do conversor SAR e seu votador. (a) Módulo 1 e votador SAR. (b) Módulo 1, Módulo 2 e votador SAR.



Fonte: Elaborado pelo próprio autor

7 CONSIDERAÇÕES FINAIS

Sistemas de sinal misto (MS) estão inseridos em circuitos de alta complexidade como sistemas de transporte (naves espaciais, aeronaves comerciais, trens de alta velocidade), sistemas de comunicação (satélites, smartphones, etc), sendo parte fundamental dos mesmos. O estudo de efeitos da radiação em circuitos vem aumentando significativamente em sistemas de sinal misto, e em conversores ADC, especificamente com dispositivos low cost programáveis System-on-Chip (PSoC). Neste trabalho se realiza a implementação de um sistema de aquisição de dados (SAD) analógico-digital no qual se avalia técnicas em nível de sistema para proteção contra os *soft errors* e dose total ionizante (TID), com o objetivo de avaliar os conversores em um sistema baseado em TMR e diversidade espacial-temporal (DTMR). A implementação foi feita no SoC comercial da Cypress Semiconductor fabricado em tecnologia de 130 nm.

No primeiro estudo sob TID, considerando a dose acumulada final a que o sistema foi exposto (242 krad (Si)), apenas um dos três módulos de diversidade apresentou uma degradação significativa, o que aponta para a vantagem de usar a diversidade em esquemas redundantes. Esta tolerância aumentada dos outros dois módulos seria responsável por aumentar a vida útil do sistema, se considerarmos um cenário real de uma missão, em que este projeto seria exposto a radiação ionizante, atingindo as doses testadas neste trabalho. Embora a diversidade possa aumentar a complexidade do design e o overhead de área, se comparada aos esquemas de redundância tradicionais, implementá-la usando dispositivos de sinal misto programáveis pode ser uma alternativa viável.

Os esquemas de votação foram capazes de selecionar as cópias com menos degradação para fornecer a saída global do sistema, contribuindo para ter um sistema funcional mesmo para os valores de dose mais elevados testados neste experimento.

Os resultados também permitem identificar os mecanismos de falha relacionados à arquitetura do conversor SAR. Durante e após a irradiação, regiões de códigos ausentes são observadas perto dos limites de decisão binária do intervalo de código de saída, devido à natureza ponderada binária da matriz de capacitores deste conversor. Observou-se uma queda significativa do número efetivo de bits do conversor de falha para doses superiores a 120 krad (Si), devido à degradação da linearidade observada, enquanto o mesmo parâmetro para todo o sistema redundante foi mantido com menor degradação se comparado ao condição pré-rad.

No segundo experimento, já que TMR e diversidade são técnicas para a proteção contra soft erros em aplicações críticas, o objetivo foi validar o comportamento dos conversores frente a SEU, SET e SEFI criando uma comparação com os resultados com TID. Neste caso, obser-

vamos como o sistema de votação do SAR foi tolerante a TID, mas contra SEE este sistema não mostrou confiabilidade, aumentando o numero de erros na saída do votador como se pode observar nos resultados da cross section. Quanto ao sistema TMR, observou-se que é necessária a implementação desta técnica para sistemas críticos, como na seção 6, os resultados mostraram que enquanto um dos conversores tinha falha, os outros continuavam sua normal operação.

A implementação do watchdog, faz que o sistema consiga se recuperar dos SEFIs. Em alguns casos, o watchdog não conseguia resetar o dispositivo, sendo necessário desligar completamente o sistema e o equipamento auxiliar. Uma limitação do monitoramento do sinal "alive"(que é a comunicação entre o sistema e o watchdog) faz com que não se consiga visualizar se o travamento do dispositivo e a não ativação do reset deve-se a um problema no reset do PSoC, travamento funcional do processador ou travamento nos registradores de configuração do sistema. Nesse caso, uma adaptação diferente de equipamento auxiliar (watchdog) se faz necessária para não limitar a confiabilidade a um só clock ou alive de um watchdog padrão.

Com o primeiro experimento conseguiu-se obter duas publicações e com o segundo experimento se está realizando um artigo para divulgação científica. As referencias dos trabalhos encontra-se no Apêndice I.

Como sugestão para trabalhos futuros:

- Novos experimentos de TID, como uma maior dose de irradiação.
- A implementação de um novo sistema de votação, com menos laços de código, já que o votador SAR aumentou (olhando o módulo 1 em conjunto) em 100% a quantidade de falhas registradas frente a os demais módulos sem sistema de votação individual.
- Analises de falhas nos registrados de controle dos periféricos e na SRAM com o estudo de SEE para a comparação entre diferentes conversores e votadores.
- A implementação do watchdog que não seja por tempo de espera de alive. Pode-se realizar uma adaptação de watchdog sequenciado (Sequenced watchdog timer)

REFERÊNCIAS

- ANGHEL, L.; ALEXANDRESCU, D.; NICOLAIDIS, M. Evaluation of a soft error tolerance technique based on time and/or space redundancy. In: **Proceedings 13th Symposium on Integrated Circuits and Systems Design (Cat. No.PR00843)**. [S.l.: s.n.], 2000. p. 237–242.
- AVIZIENIS; KELLY. Fault tolerance by design diversity: Concepts and experiments. **Computer**, Institute of Electrical and Electronics Engineers (IEEE), v. 17, n. 8, p. 67–80, aug 1984.
- BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção**. Thesis (PhD) — Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil, 2010.
- BALEN, T. R. et al. Tid in a switched-capacitor fpaas: Degradation and partial inactivity windows due to compensating effects in mos transistors. **IEEE Transactions on Nuclear Science**, v. 58, n. 6, p. 2883–2889, Dec 2011.
- BALEN, T. R. et al. Influence of alternate biasing on tid effects of irradiated mixed-signal programmable arrays. **IEEE Transactions on Nuclear Science**, vol.63, no 4, p. 2390–2398, August 2016.
- BARNABY, H. J. Total-ionizing-dose effects in modern cmos technologies. **IEEE Transactions on Nuclear Science**, v. 53, n. 6, p. 3103 – 3121, December 2006.
- BAZE, M. P.; BUCBNER, S. P. Attenuation of single event induced pulses in cmos combinational logic. **IEEE Transactions on Nuclear Science**, v.44, n. 6, p. 2217–2223, December 1997.
- BINDER, D.; SMITH, E.; HOLMAN, A. B. Satellite anomalies from galactic cosmic rays. **IEEE Transactions on Nuclear Science**, v.22, n.6, p. 2675–2680, December 1975.
- BORGES, G. de M. et al. Diversity tmr: Proof of concept in a mixed-signal case. In: **2010 11th Latin American Test Workshop**. [S.l.: s.n.], 2010. p. 1–6.
- BOUDENOT, J.-C. **Radiation Effects on Embedded Systems: Radiation space environment**. [S.l.]: Springer Dordrecht, The Netherlands, 2007.
- BOUDENOT, J.-C. **Radiation Effects on Embedded Systems: Design hardening methodologies for asics**. [S.l.]: Springer Dordrecht, The Netherlands, 2007.
- BRIERE, D.; TRAVERSE, P. Airbus a320/a330/a340 electrical flight controls a family of fault-tolerant systems. **FTCS-23. Digest of Papers., Twenty-Fifth International Symposium on Fault-Tolerant Computing**, p. 616–623, June 1993.
- CARDOSO, G. et al. Reliability analysis of 0.5 μm cmos operational amplifiers under tid effects. **Journal Integrated Circuits and Systems**, vol.9, no 1, p. 70–79, March 2014.
- CHANCELLOR, J.; SCOTT, G.; SUTTON, J. Space radiation: The number one risk to astronaut health beyond low earth orbit. **Life**, MDPI AG, v. 4, n. 3, p. 491–510, sep 2014.

- CHENET, C. P. **Análise de soft errors em conversores analógicos-digitais e mitigação utilizando redundância e diversidade**. Dissertation (Master) — Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil, 2015.
- CHENET, C. P.; LANOT, A. J. C.; BALEN, T. R. Design diversity redundancy with spatial-temporal voting applied to data acquisition systems. In: **2014 15th Latin American Test Workshop - LATW**. [S.l.: s.n.], 2014. p. 1–6. ISSN 2373-0862.
- CHENET, C. P. et al. Exploring design diversity redundancy to improve resilience in mixed-signal systems. **Microelectronics Reliability**, Elsevier BV, v. 55, n. 12, p. 2833–2844, dec 2015.
- DAVIES, D.; WAKERLY, J. F. Synchronization and matching in redundant systems. **IEEE Transactions on Computers**, vol. 27, no 6, p. 531–539, 1978.
- DJEZZAR, B. et al. Channel length impact on radiation-induced threshold voltage shift in n-mosfet devices at low gamma rays radiation doses. In: **1999 IEEE Nuclear Science Symposium. Conference Record. 1999 Nuclear Science Symposium and Medical Imaging Conference (Cat. No.99CH37019)**. [S.l.: s.n.], 1999. v. 1, p. 401–407 vol.1. ISSN 1082-3654.
- DODD, P.; SEXTON, F. Critical charge concepts for CMOS SRAMs. **IEEE Transactions on Nuclear Science**, Institute of Electrical and Electronics Engineers (IEEE), v. 42, n. 6, p. 1764–1771, 1995.
- DODD, P. et al. Production and propagation of single-event transients in high-speed digital logic ICs. **IEEE Transactions on Nuclear Science**, Institute of Electrical and Electronics Engineers (IEEE), v. 51, n. 6, p. 3278–3284, dec 2004.
- DUZELLIER, S. Radiation effects on electronic devices in space. **Aerospace Science and Technology**, Elsevier BV, v. 9, n. 1, p. 93–99, jan 2005.
- ECSS. **Techniques for radiation effects mitigation in ASICs and FPGAs Handbook**. [S.l.]: Noordwijk, The Netherlands, 2016.
- EL-ATTAR, A. M.; FAHMY, G. An improved watchdog timer to enhance imaging system reliability in the presence of soft errors. In: **2007 IEEE International Symposium on Signal Processing and Information Technology**. [S.l.: s.n.], 2007. p. 1100–1104. ISSN 2162-7843.
- ELNOZAHY, E.; MELHEM, R.; MOSSE, D. Energy-efficient duplex and tmr real-time systems. In: **23rd IEEE Real-Time Systems Symposium, 2002. RTSS 2002**. [S.l.: s.n.], 2002. p. 256–266. ISSN 1052-8725.
- ESA/SCC. **Total Dose Steady State Irradiation Test Method**. [S.l.], 1995. Document 22900, ESA/SCC.
- ESA/SCC. **Single Event Effects Test Method and Guidelines**. [S.l.], 2014. ESCC Basic Spacification 25100.
- FLORES, M. da G. C. C. **Teste Embarcado de Conversores Analógico-Digitais**. Dissertation (Master) — Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil, 2003.
- FONGER, W. H.; LOFERSKI, J. J.; RAPPAPORT, P. Radiation induced noise in p-n Junctions. **Journal of Applied Physics**, AIP Publishing, v. 29, n. 3, p. 588–591, mar 1958.

GAILLARD, R. **Soft Errors in Modern Electronic Systems: Single event effects: Mechanisms and classification.** [S.l.]: Springer, 2011.

GONELLA, L. et al. Total ionizing dose effects in 130-nm commercial CMOS technologies for HEP experiments. **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, Elsevier BV, v. 582, n. 3, p. 750–754, dec 2007.

GONZÁLEZ, C. J. et al. Evaluation of a mixed-signal design diversity system under radiation effects. In: **2017 18th IEEE Latin American Test Symposium (LATS)**. [S.l.: s.n.], 2017. p. 1–6.

GUNZER, C. S.; WOLICKI, E. A.; ALLAS, R. G. Single event upset of dynamic rams by neutrons and protons. **IEEE Transactions on Nuclear Science**, v.26, n. 6, p. 5048–5052, December 1979.

IEEE. **Test Methods for Analog-to-Digital Converters.** [S.l.], 2010. IEEE Instrumentation Measurement Society, IEEE Std 1241.

JOHNSTON, A. et al. Using commercial semiconductor technologies in space. p. 175–182, 1995. Radiation and its Effects on Components and Systems - RADECS.

JOHNSTON, A. H. Super recovery of total dose damage in mos devices. **IEEE Transactions on Nuclear Science**, v. 31, n. 6, p. 1427–1433, Dec 1984.

KASTENSMIDT, F. L. et al. Single event induced charge sharing effects in tnr with different levels of granularity. 2012. IV Werice Aeroespacial - Workshop on the Radiation Effects on Electronic and Photonic Devices for Aerospace Applications, Vol 1, p.67-72, out/2012, Sao Jose dos Campos. IEAv.

LALA, J.; HARPER, R. Architectural principles for safety-critical real-time applications. **Proc. IEEE** 82 (1), p. 25–40, January 1994.

LANOT, A. J. C.; BALEN, T. R. Analysis of the effects of single event transients on an sar-adc based on charge redistribution. In: **2014 15th Latin American Test Workshop - LATW**. [S.l.: s.n.], 2014. p. 1–5. ISSN 2373-0862.

MA, T.; DRESSENDORFER, P. **Ionizing Radiation Effects in MOS Devices and Circuits.** Wiley, 1989. (A Wiley-Interscience publication). ISBN 9780471848936. Available from Internet: <<https://books.google.com.br/books?id=Z6jyidJL7Q8C>>.

MALOBERTI, F. **Data Converters: Data converters specifications.** [S.l.]: Springer, 2007.

MANGHISONI, M. et al. Comparison of ionizing radiation effects in 0.18 and 0.25 um cmos technologies for analog applications. **IEEE Transactions on Nuclear Science**, Institute of Electrical and Electronics Engineers (IEEE), v. 50, n. 6, p. 1827–1833, dec 2003.

MANSOUR, W. et al. Seu simulation by fault injection in psoc device: Preliminary results. **2nd International Conference on Advances in Computational Tools for Engineering Applications (ACTEA)**, p. 330–333, 2012.

MAY, T.; WOODS, M. A new physical mechanism for soft errors in dynamic memories. **Reliability Physics Symposium**, p. 33–40, 1978.

MEDINA, N. H. et al. Experimental setups for single event effect studies. **Journal of Nuclear Physics, Material Sciences, Radiation and Applications**, Chitkara University Publications, v. 4, n. 1, p. 13–23, aug 2016.

NEUMANN, J. von. Probabilistic logics and synthesis of reliable organisms from unreliable components. In: SHANNON, C.; MCCARTHY, J. (Ed.). **Automata Studies**. [S.l.]: Princeton University Press, 1956. p. 43–98.

OLDHAM, T.; MCLEAN, F. Total ionizing dose effects in MOS oxides and devices. **IEEE Transactions on Nuclear Science**, Institute of Electrical and Electronics Engineers (IEEE), v. 50, n. 3, p. 483–499, jun 2003.

PETERSEN, E. **Single Event Effects in Aerospace**. [S.l.]: Wiley, 2011.

RITER, R. Modeling and testing a critical fault-tolerant multi-process system. In: **Twenty-Fifth International Symposium on Fault-Tolerant Computing. Digest of Papers**. [S.l.: s.n.], 1995. p. 516–521.

SCHRIMPF, R. D. Radiation effects in microelectronics. In: **Radiation Effects on Embedded Systems**. [S.l.]: Springer Netherlands. p. 11–29.

SCHWANK, J. R. et al. Radiation effects in mos oxides. **IEEE Transactions on Nuclear Science**, vol.55, no 4, p. 1833–1853, August 2008.

SEMICONDUCTOR, C. **PSoC 5LP Architecture TRM**. [S.l.], 2015. Technical Reference Manual <http://www.cypress.com/?docID=46050>.

SEMICONDUCTOR, C. **PSoC 5LP Prototyping Kit Guide**. [S.l.], 2016. Technical Reference Manual <http://www.cypress.com/file/157971/download>.

SHAYAN, M. et al. Seu tolerant robust memory cell design. In: **2012 IEEE 18th International On-Line Testing Symposium (IOLTS)**. [S.l.: s.n.], 2012. p. 13–18. ISSN 1942-9398.

SHIVAKUMAR, P. et al. Modeling the effect of technology trends on the soft error rate of combinational logic. In: **Proceedings International Conference on Dependable Systems and Networks**. [S.l.: s.n.], 2002. p. 389–398.

SNOEYS, W. et al. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip. **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, Elsevier BV, v. 439, n. 2-3, p. 349–360, jan 2000.

SNOEYS, W.; GUTIERREZ, T.; ANELLI, G. A new NMOS layout structure for radiation tolerance. In: . [S.l.]: Institute of Electrical and Electronics Engineers (IEEE), 2002. v. 49, n. 4, p. 1829–1833.

SROUR, J.; MARSHALL, C.; MARSHALL, P. Review of displacement damage effects in silicon devices. **IEEE Transactions on Nuclear Science**, vol. 50, no 3, p. 653–670, 2003.

STANLEY, T. et al. The effect of operating frequency in the radiation induced buildup of trapped holes and interface states in mos devices. **IEEE Transactions on Nuclear Science**, vol.32, no 6, p. 3982–3987, December 1985.

STASSINOPOULOS, E.; RAYMOND, J. The space radiation environment for electronics. **Proceedings of the IEEE**, Institute of Electrical and Electronics Engineers (IEEE), v. 76, n. 11, p. 1423–1442, 1988.

SZALAI, K.; AL. et. Digital fly-by-wire flight control validation experience. **NASA Tech. Memo. 72860**, December 1978.

TAMBARA, L. A. **Analyzing the impact of Radiation-induced failures in all programmable System-on-Chip Devices**. Thesis (PhD) — Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil, 2017.

TURFLINGER, T. L. Single-event effects in analog and mixed-signal integrated circuits. **IEEE Transactions on Nuclear Science**, v. 43, n. 2, p. 594–602, Apr 1996. ISSN 0018-9499.

TUROWSKI, M.; RAMAN, A.; SCHRIMPF, R. Nonuniform total-dose- induced charge distribution in shallow-trench isolation oxides. **IEEE Transactions on Nuclear Science**, vol. 51, no 6, p. 3166–3171, 2004.

VELAZCO, R.; FOUILLAT, P.; REIS, R. **Radiation Effects on Embedded Systems**. [S.l.]: Springer Dordrecht, The Netherlands, 2007.

VERBEECK, J.; LEROUX, P.; STEYAERT, M. Radiation effects upon the mismatch of identically laid out transistor pairs. In: **2011 IEEE ICMTS International Conference on Microelectronic Test Structures**. [S.l.: s.n.], 2011. p. 194–197. ISSN 1071-9032.

WANG, F.; AGRAWAL, V. D. Single event upset: An embedded tutorial. In: **21st International Conference on VLSI Design (VLSID 2008)**. [S.l.: s.n.], 2008. p. 429–434. ISSN 1063-9667.

Appendices

ApêndiceA — APÊNDICE A LISTA DE PUBLICAÇÕES

GONZALEZ, CARLOS J.; VAZ, RAFAEL G. ; OLIVEIRA, MATHEUS B. ; LEORATO, VICENTE W. ; GONCALEZ, ODAIR L. ; BALEN, TIAGO R. . TID Effects on a Data Acquisition System with Design Diversity Redundancy. IEEE TRANSACTIONS ON NUCLEAR SCIENCE, 2017.

GONZALEZ, CARLOS J.; BUDELON, MATHEUS ; VAZ, RAFAEL GALHARDO ; GONCALEZ, ODAIR ; BALEN, TIAGO R. . Evaluation of a mixed-signal design diversity system under radiation effects. In: 2017 18th IEEE Latin American Test Symposium (LATS), 2017, Bogota. 2017 18th IEEE Latin American Test Symposium (LATS), 2017. p. 1.

GONZALEZ, CARLOS J.; CHENET, CRISTIANO P. ; BALEN, TIAGO R. . Fault Injection on a Mixed-Signal Programmable SoC with Design Diversity Mitigation. JICS. JOURNAL OF INTEGRATED CIRCUITS AND SYSTEMS (ED. PORTUGUÊS), v. 11, p. 185-191, 2016.