

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ALEXANDRE SIMIONOVSKI

**SENSOR DE CORRENTE TRANSIENTE PARA UM SISTEMA
DE PROTEÇÃO DE CIRCUITOS INTEGRADOS CONTRA
ERROS INDUZIDOS POR RADIAÇÃO IONIZANTE**

Porto Alegre

2018

ALEXANDRE SIMIONOVSKI

**SENSOR DE CORRENTE TRANSIENTE PARA UM SISTEMA
DE PROTEÇÃO DE CIRCUITOS INTEGRADOS CONTRA
ERROS INDUZIDOS POR RADIAÇÃO IONIZANTE**

Tese de doutorado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Doutor em Engenharia Elétrica.

Área de concentração: Engenharia de Computação - Micro e Nano Eletrônica

ORIENTADOR: Gilson Inácio Wirth

Porto Alegre

2018

ALEXANDRE SIMIONOVSKI

**SENSOR DE CORRENTE TRANSIENTE PARA UM SISTEMA
DE PROTEÇÃO DE CIRCUITOS INTEGRADOS CONTRA
ERROS INDUZIDOS POR RADIAÇÃO IONIZANTE**

Esta tese foi julgada adequada para a obtenção do título de Doutor em Engenharia Elétrica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universitaet Dortmund - Dortmund, Alemanha

Banca Examinadora:

Prof. Dr. Frank Sill Torres - UFMG

Doutor pela Universität Rostock - Rostock, Alemanha

Prof. Dr. Fabian Luis Vargas - PUC-RS

Doutor pelo Institut National Polytechnique - Grenoble, França

Prof. Dr. Altamiro Amadeu Susin - UFRGS

Doutor pelo Institut National Polytechnique - Grenoble, França

Profa. Dra. Fernanda Gusmão de Lima Kastensmidt - UFRGS

Doutora pela Universidade Federal do Rio Grande do Sul - Porto Alegre, Brasil

Prof. Dr. Tiago Roberto Balen - UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul - Porto Alegre, Brasil

Coordenador do PPGEE: _____

Prof. Dr. Valner João Brusamarello

Porto Alegre, Março de 2018.

DEDICATÓRIA

Esse trabalho é dedicado aos meus pais, Stefan Simionovski e Janice Elaine Simionovski, que me presentearam com um Engenheiro Eletrônico da Philips no Natal de 1974.

AGRADECIMENTOS

Esta Tese apresenta os resultados de uma longa caminhada, iniciada em 2007, quando iniciei a pesquisa relacionada com a técnica Bulk-BICS e o desenvolvimento dos sensor de corrente transiente DynBICS. Hoje, passada mais de uma década, observo que avançamos significativamente no desenvolvimento dessa tecnologia, com os resultados obtidos dos ensaios com as amostras fabricadas e das simulações TCAD, as quais esclareceram, finalmente, que a técnica apresenta viabilidade prática e pode vir a ser mais uma alternativa para a mitigação dos efeitos causados pela corrente transiente induzida pela incidência de radiação ionizante em circuitos integrados. Avançamos, e o plural dessa expressão não é plural de modéstia; eu o utilizei propositalmente porque, por mais individual que deva ser um trabalho de Doutorado, a participação de meu orientador, o prof. Gilson Wirth, foi elemento essencial para que eu pudesse desenvolver o trabalho com a abrangência e a profundidade desejadas, dentro do prazo estipulado. O apoio nos processos administrativos do Programa de Pós-Graduação, o envolvimento que culminou com o meu estágio na Vanderbilt University, as nossas (longas) discussões técnicas e – por que não mencionar? – a própria sugestão de trabalhar com os Bulk-BICS são alguns dos fatos que me fazem agradecer em público e reconhecer que muito do que se conseguiu lograr com todo esse trabalho deveu-se ao empenho do prof. Wirth ao me orientar durante o Doutorado e, a ele, expresso aqui minha gratidão!

Uma parte importante desta Tese é representada pelos resultados das simulações de dispositivo usando o simulador TCAD, as quais teriam sido de difícil execução com os recursos locais. O estágio no exterior foi imprescindível para que se conseguisse realizar as simulações dentro do tempo hábil, e reconhecendo o valor que isso representou para o

contexto do trabalho e para mim, pessoalmente, desejo agradecer aos meus co-orientadores estrangeiros Dr. Ronald Schrimpf e Dr. Bharat Bhuva, por terem aceito a minha solicitação de estágio na Vanderbilt University e por terem proporcionado os recursos necessários para o desenvolvimento de minhas atividades.

O valor do teste dos BICS sob irradiação laser também merece ser reconhecido, e o mesmo só foi possível ser efetuado com a ajuda da Dra. En Xia Zhang e do Dr. Andrew Steinberg, aos quais também desejo agradecer.

Desejo, também, externar minha gratidão ao Dr. Indranil Chatterjee pela gentil cedência dos scripts de simulação de sua autoria, a partir dos quais foram desenvolvidos os modelos e scripts das simulações TCAD desta Tese.

Agradeço também ao amigo Dr. Tiago Assis, por todo o suporte e auxílio dados em nossa chegada nos Estados Unidos. Nossa acomodação em Nashville, TN, foi rápida e tranquila graças à sua ajuda, pela qual agradeço.

Por fim, faço um agradecimento especial a minha esposa Rejane Apolo Ferreira, que me acompanhou na viagem ao exterior. Distanciar-se da família por um ano, com a necessária adaptação a outra cultura e a outro idioma, com certeza, não lhe foi tarefa fácil – nem também, com certeza, deixar o emprego e abrir mão da promoção que lhe era iminente. A ela, deixo aqui a minha gratidão, o meu reconhecimento e o meu carinho.

RESUMO

Este trabalho apresenta o desenvolvimento de um sensor de corrente transiente destinado a detectar a ocorrência de um evento transiente causado pela incidência de radiação ionizante em um circuito integrado. Iniciando com uma descrição dos efeitos da radiação sobre os circuitos integrados e dos tipos de radiação de interesse, os fundamentos da técnica Bulk-BICS são apresentados e as propostas existentes na literatura são expostas e avaliadas, com ênfase no sensor que utiliza a célula de memória dinâmica DynBICS, resultado de um trabalho prévio e do qual se dispõe de amostras fabricadas. Sobre essas amostras são efetuados testes elétricos, um ensaio de dose total irradiada TID e um ensaio de estimulação laser, cujos resultados são apresentados e confirmam a funcionalidade da topologia da célula de memória dinâmica aplicada a circuitos Bulk-BICS. Em seguida, é apresentada a topologia da célula de memória integrativa como uma evolução da célula de memória dinâmica e propõe-se o circuito de um novo sensor Bulk-BICS baseado na nova célula. O funcionamento elétrico do circuito desse novo sensor TRIBICS é avaliado através de simulação de circuitos determinando-se a sensibilidade e o tempo de resposta do sensor utilizando-se pulsos de corrente em dupla exponencial. É feita uma análise do funcionamento da célula de memória estática e, através de uma comparação de desempenho entre as células de memória estáticas utilizadas em três circuitos propostos e a célula de memória integrativa, utilizando um modelo simplificado, mostra-se que a célula de memória integrativa é mais rápida e sensível do que as contrapartes estáticas. O sensor TRIBICS é então simulado em conexão com um modelo de dispositivo, sendo antes apresentados os modelos TCAD do inversor utilizado como alvo da incidência da radiação nas simulações. São apresentados resultados obtidos individualmente para o transistor NMOS e para o transistor PMOS, nos quais se mostra a formação de um canal condutivo entre dreno e fonte durante o SET. Mostra-se, também, que os resultados obtidos com a simulação de dispositivos não concorda com aqueles proporcionados pela simulação de circuitos no tocante à divisão das correntes transitórias entre dreno, fonte e substrato. O resultado das simulações de dispositivo efetuadas com os modelos TCAD em modo misto com o circuito TRIBICS descrito em SPICE mostram a relação entre a transferência de energia da irradiação LET e a efetiva detecção do SET provocado, em função da distância entre os contatos de bulk ou substrato, permitindo determinar a máxima distância entre contatos para 100% de certeza na detecção do SET. Com isso, obtém-se uma estimativa do número de transistores que pode ser monitorado pelos Bulk-BICS. É proposta a estratégia de implementação dos Bulk-BICS na forma de uma standard cell a ser posicionada entre os grupos de transistores sob monitoração, e uma estimativa da relação entre as áreas dos transistores monitorados e do Bulk-BICS é apresentada. Por fim, é estudada a questão da fabricação dos Bulk-BICS no mesmo substrato dos transistores monitorados e uma maneira de fazê-la é proposta. Os resultados encontrados permitem definir a viabilidade e a eficácia da técnica Bulk-BICS como forma de detecção de eventos transientes em sistemas digitais.

Palavras-chave: Engenharia Elétrica. Microeletrônica. CMOS. Detecção de Eventos Transientes. Radiação Ionizante. Sensor de Corrente. Bulk-BICS. Simulação de Dispositivos. TCAD.

ABSTRACT

A current sensor to detect the occurrence of a single-event transient that is caused by the incidence of ionizing radiation in an integrated circuit is presented. Radiation of interest and their effects on the integrated circuits are discussed. Fundamentals of the Bulk-BICS technique and the circuits proposed in the literature to implement this technique are discussed and evaluated, with emphasis on the dynamic memory cell-based circuit DynBICS, which was developed as a previous work and with fabricated samples available. Experimental results obtained from a series of electrical tests, a TID test, and a laser-stimulated test that were conducted on a number of fabricated and packaged samples are presented. The results confirm that the dynamic memory cell is suitable and robust enough to be used in Bulk-BICS circuits. Next, evolution of the dynamic memory cell into an integrative memory cell is discussed and the circuit of a Bulk-BICS using this new memory cell topology is presented. The electrical operation of this new sensor TRIBICS is evaluated using circuit simulations. By using double-exponential current pulses, both the sensitivity and the response time are determined. The static memory cell operation is analyzed and a comparison of performance between static and integrative cells is performed using a simplified model. The results show that the integrative memory cell is faster and more sensitive than the static cells used in three state-of-the-art sensors published in literature. Then the TRIBICS sensor is simulated connected to a TCAD-modeled device, comprising an inverter, which is used as a target for radiation impact. TCAD models are previously presented and the results obtained when the PMOS and NMOS transistors are separately excited by radiation show the formation of a conductive link between drain and source regions during the occurrence of SET. The simulations also show that the results obtained by using TCAD simulations do not agree with the ones obtained by using circuit simulation regarding the current share among drain, source and bulk during the SET. Mixed-mode simulations using the TCAD models in conjunction of TRIBICS circuits described in SPICE show the relationship between LET and the effective SET-detection with the inter-tap distance as a parameter, and allows to determine the inter-tap distance for 100% of SET detection efficiency. Based on these results, an estimate of how many transistors can be monitored by the Bulk-BICS is obtained. It is proposed to implement the Bulk-BICS as a standard cell, to be positioned in between the standard cell that compose a digital circuit and the area overhead necessary to implant the sensors in a real circuit is estimated. The problem on how to manufacture the Bulk-BICS circuit in the same substrate of the monitored transistors is studied and a solution is proposed. The results show the viability and effectiveness of the Bulk-BICS technique, as a means to detect single-event transients in digital systems.

Keywords: Electrical Engineering. Microelectronics. CMOS. Transient Event Detection. Ionizing Radiation. Current Sensor. Bulk-BICS. Device Simulation. TCAD.

SUMÁRIO

1	INTRODUÇÃO	19
2	FUNDAMENTAÇÃO TEÓRICA	24
2.1	O EVENTO SINGULAR	24
2.2	RADIAÇÕES IONIZANTES	26
2.2.1	Partículas Alfa	26
2.2.2	Nêutrons De Alta Energia	27
2.2.3	Nêutrons Térmicos	28
2.2.4	Íons Pesados	28
2.2.5	Radiação Luminosa	29
2.3	A TRANSFERÊNCIA LINEAR DE ENERGIA - LET	30
2.4	O PULSO DE CORRENTE TRANSIENTE	32
2.5	TÉCNICAS TRADICIONAIS DE MITIGAÇÃO DOS EFEITOS DO SET	35
2.6	A TÉCNICA BULK-BICS	37
2.7	CIRCUITOS BULK-BICS NA LITERATURA	38
2.8	MÉTODOS CORRETIVOS PROPOSTOS PARA A IMPLEMENTAÇÃO DA TÉCNICA BULK-BICS	46
2.9	DETEÇÃO DE TENTATIVAS DE INVASÃO EM SISTEMAS DIGITAIS POR ESTIMULAÇÃO LASER	51
2.10	FINALIZAÇÃO DO CAPÍTULO	52
3	O SENSOR DE CORRENTE TRANSIENTE COM CÉLULA DE MEMÓRIA DINÂMICA (DYNBICS)	53
3.1	PRINCÍPIO DE FUNCIONAMENTO DO DYNBICS	54
3.2	TESTE ELÉTRICO DOS SENSORES DYNBICS FABRICADOS EM TECNOLOGIA 130NM	57
3.2.1	Detalhamento da Implementação Física	57
3.2.2	Detalhamento do Teste Elétrico	59
3.2.3	Resultados dos Testes Elétricos	62
3.3	ESTABILIZAÇÃO DA CÉLULA DE MEMÓRIA DINÂMICA ATRAVÉS DE UM SINAL DE RESET DE TRÊS NÍVEIS	67
3.3.1	Apresentação Teórica	67
3.3.2	Resultados das Simulações	72
3.4	INFLUÊNCIA DA RADIAÇÃO IONIZANTE SOBRE OS CIRCUITOS DYNBICS	78
3.4.1	Resultados do Ensaio de Dose Total Irradiada - TID	82
3.5	ENSAIO SOB IRRADIAÇÃO LASER	85
3.5.1	Detalhamento do Ensaio de Laser Pulsado	86
3.5.2	Resultados do ensaio de Laser Pulsado	87
3.6	FINALIZAÇÃO DO CAPÍTULO	89
4	O SENSOR DE CORRENTE TRANSIENTE COM CÉLULA DE MEMÓRIA INTEGRATIVA (TRIBICS)	91
4.1	A CÉLULA DE MEMÓRIA INTEGRATIVA	91
4.2	O SENSOR DE CORRENTE TRANSIENTE COM CÉLULA DE MEMÓRIA INTEGRATIVA	94
4.3	RESULTADOS DAS SIMULAÇÕES	96

4.3.1 Sensibilidade e tempo de resposta.....	99
4.3.2 Efeito da realimentação na excursão de saída	100
4.3.3 Comparação de resultados com células estáticas descritas na literatura.....	101
4.3.4 A conexão de vários TRIBICS entre si e o efeito distributivo.....	117
4.4 FINALIZAÇÃO DO CAPÍTULO.....	120
5 O PULSO DE CORRENTE TRANSIENTE INVESTIGADO ATRAVÉS DE SIMULAÇÃO TCAD	121
5.1 DISPOSITIVO-ALVO : MODELO NMOS5	121
5.2 SIMULAÇÕES COM NMOS5	126
5.3 SIMULAÇÃO DO PULSO TRANSIENTE COM NMOS5.....	128
5.4 INFLUÊNCIA DOS PARÂMETROS TECNOLÓGICOS NA CORRENTE TRANSIENTE	134
5.5 DISPOSITIVO-ALVO - MODELO PMOS3	135
5.6 SIMULAÇÃO DO PULSO TRANSIENTE COM PMOS3	137
5.7 A CORRENTE DE FONTE DURANTE O SET.....	139
5.8 O PICO DE CORRENTE INICIAL	148
5.9 COMPORTAMENTO ELÉTRICO DO TRANSISTOR DURANTE O SET	151
5.10 A RESISTÊNCIA DOS CONTATOS DE POÇO E SUBSTRATO	154
5.11 FINALIZAÇÃO DO CAPÍTULO.....	159
6 O CIRCUITO TRIBICS VALIDADO ATRAVÉS DE SIMULAÇÃO TCAD	160
6.1 DISPOSITIVO-ALVO : MODELO INVMOS	160
6.2 ESTRATÉGIA DE CONEXÃO DOS BICS AOS TRANSISTORES MONITORADOS.....	161
6.3 SIMULAÇÕES.....	168
6.3.1 Incidência no transistor NMOS com ITD = 30 μm	169
6.3.2 Incidência no transistor PMOS com ITD = 30 μm	178
6.3.3 Incidência no transistor NMOS com ITD = 45 μm e ITD = 60 μm	180
6.3.4 Incidência no transistor PMOS com ITD = 45 μm e ITD = 60 μm	185
6.4 A RESPOSTA DOS BICS EM FUNÇÃO DA LET E DA ITD.....	186
6.5 A QUESTÃO DO POÇO N E SUBSTRATO QUENTES	196
6.6 FINALIZAÇÃO DO CAPÍTULO.....	201
7 A FABRICAÇÃO DO SENSOR BULK-BICS NO MESMO SUBSTRATO DOS TRANSISTORES DO CIRCUITO SOB SUPERVISÃO	203
7.1 ESTRATÉGIA DE POSICIONAMENTO DOS BICS EM UM SISTEMA DIGITAL	203
7.2 DISPOSITIVOS-ALVO : MODELOS BICS1, BICS2 E BICS3.....	206
7.3 SIMULAÇÕES TCAD	207
7.4 SIMULAÇÕES DE CIRCUITO.....	212
7.5 RESULTADOS	216
7.6 ESTIMAÇÃO DO CONSUMO DE ÁREA	217
7.7 FINALIZAÇÃO DO CAPÍTULO.....	219
8 CONCLUSÃO.....	221
APÊNDICE: A INFLUÊNCIA DOS PARÂMETROS TECNOLÓGICOS NA CORRENTE TRANSIENTE DE DRENO	234

LISTA DE ILUSTRAÇÕES

Figura 1 LET em função da profundidade de penetração no silício. Fonte: Medina, 2016.	31
Figura 2 Sequência dos eventos envolvidos na coleta de cargas criadas pela incidência de radiação ionizante.	34
Figura 3 Forma de onda simulada do pulso de corrente conforme equação 2.	35
Figura 4 Implementação Bulk-BICS proposta por (HENES NETO, 2006).	39
Figura 5 Circuitos Bulk-BICS propostos por (LISBOA, 2007).	40
Figura 6 Circuitos Bulk-BICS propostos por (HENES NETO, 2008).	41
Figura 7 Estrutura proposta para os transistores 5 a 8 (HENES NETO, 2008).	41
Figura 8 Circuitos Bulk-BICS propostos por (ZHANG, 2010).	42
Figura 9 Estrutura do mBBICS proposta por (TORRES, 2012) para monitoração de transistores NMOS.	44
Figura 10 Bulk-BICS com comando sleep conforme (BASTOS, 2012).	45
Figura 11 Circuito do Single BBICS conforme proposto por (BASTOS, 2013a)	46
Figura 12 Diagrama do circuito Single BBICS (a) conforme (BASTOS, 2014) e sua modularização (b).	47
Figura 13 Sinais relevantes do mecanismo de mitigação do efeito de transientes de longa duração segundo (LISBOA, 2007).	48
Figura 14 Sinais relevantes do mecanismo proposto por (BASTOS, 2011).	51
Figura 15 Diagrama esquemático da célula de memória dinâmica.	54
Figura 16 Circuitos básicos dos sensores Dyn_P (a) e Dyn_N (b).	55
Figura 17 Circuitos dos sensores Dyn_P (a) e Dyn_N (b) fabricados em tecnologia 130 nm.	58
Figura 18 Diagrama de blocos completo do circuito fabricado em tecnologia 130nm.	60
Figura 19 Circuito integrado que contém os sensores DynBICS, montado na placa-protótipo.	61
Figura 20 Circuito Dyn_P em operação. Traço 1: sinal reset. Traço 2: sinal test. Traço 3: sinal Out_P. Ponteiros em alcance x10, $V_{DD} = 1,2 \text{ V}$, $V_{sens_adj} = 0 \text{ V}$, $T_{chip} = 24^\circ \text{ C}$	63
Figura 21 Circuito Dyn_N em operação. Traço 1: sinal reset. Traço 2: sinal test. Traço 3: sinal Out_N. Ponteiros em alcance x10, $V_{DD} = 1,2 \text{ V}$, $V_{sens_adj} = 1,2 \text{ V}$, $T_{chip} = 24^\circ \text{ C}$	63
Figura 22 Mínima corrente de disparo em função da tensão V_{sens_adj} . Dyn_P: (a) corner SF, simulado; (b) valores medidos; (c) corner SSF, simulado. Dyn_N: (d) corner FFF, simulado; (e) valores medidos; (f) corner SSF, simulado. $V_{DD} = 1,2 \text{ V}$, $T_{chip} = 24^\circ \text{ C}$	64
Figura 23 Mínima corrente de disparo medida em função da temperatura. Dyn_P: (a) $T_{chip} = 0^\circ \text{ C}$; (b) $T_{chip} = 70^\circ \text{ C}$. Dyn_N: (c) $T_{chip} = 0^\circ \text{ C}$; (d) $T_{chip} = 70^\circ \text{ C}$. $V_{DD} = 1,2 \text{ V}$	65
Figura 24 Mínima corrente de disparo medida em função da tensão de alimentação. Dyn_P: (a) $V_{DD} = 1,32 \text{ V}$; (b) $V_{DD} = 1,20 \text{ V}$; (c) $V_{DD} = 1,08 \text{ V}$. Dyn_N: (d) $V_{DD} = 1,32 \text{ V}$; (e) $V_{DD} = 1,20 \text{ V}$; (f) $V_{DD} = 1,08 \text{ V}$. $T_{chip} = 24^\circ \text{ C}$	66
Figura 25 Formas de onda para o circuito Dyn_P em funcionamento, mostrando o sinal de reset de três níveis.	71

Figura 26 Circuitos de teste utilizados para os circuitos Dyn_P e Dyn_N com o sinal de reset de três níveis.	72
Figura 27 Formas de onda relevantes da simulação com sinal de reset de três níveis.	76
Figura 28 Consumo de corrente quiescente a 125° C em função da tensão de polarização V_bias.	77
Figura 29 Placa-protótipo contendo o circuito integrado submetido ao ensaio de Dose Total Irradiada.	79
Figura 30 Sinais presentes nos pinos <i>reset</i> , <i>test</i> , <i>Out_P</i> e <i>Out_N</i> durante o ensaio de TID.	81
Figura 31 Corrente drenada nos pinos Vdd_P e Vdd_N ao longo do tempo.	82
Figura 32 Sinais relevantes, antes da irradiação, mostrando os tempos de retenção (T_hold) e repouso (T_idle). Em ordem, a partir do topo : <i>reset</i> , <i>test</i> , <i>Out_N</i> , <i>Out_P</i> . Escala vertical 1 V/div; horizontal 50 μ s/div.	83
Figura 33 Sinais relevantes, após a irradiação, mostrando os tempos de repouso (T_idle). Em ordem, a partir do topo : <i>reset</i> , <i>test</i> , <i>Out_N</i> , <i>Out_P</i> . Escala vertical 1 V/div; horizontal 50 μ s/div.	84
Figura 34 Formas de onda mostrando o sensor Dyn_P respondendo ao pulso laser. Sinal <i>Out_P</i> no alto; sinal do fotodiodo embaixo.	87
Figura 35 Formas de onda mostrando o sensor Dyn_N respondendo ao pulso laser. Sinal <i>Out_N</i> no alto; sinal do fotodiodo embaixo.	88
Figura 36 Mapa de sensibilidade do transistor-alvo do sensor Dyn_N. Dimensões do retículo em μ m.	89
Figura 37 Circuito da célula de memória integrativa.	92
Figura 38 Circuito do sensor de corrente transiente TRIBICS.	95
Figura 39 Circuito de teste para o sensor TRIBICS.	97
Figura 40 Formas de onda relevantes do sensor TRIBICS em operação.	98
Figura 41 Tempo de resposta do circuito TRIBICS em função do valor de pico da corrente transiente, para as diferentes durações de pulso T _p	100
Figura 42 Forma de onda do sinal <i>not_out</i> com e sem realimentação. Ramo PMOS, corrente de pico = 32 μ A, duração do pulso = 100 ps.	101
Figura 43 Ganho em malha aberta de um inversores mínimos em 40 nm LP.	102
Figura 44 Dois amplificadores inversores em cascata com realimentação cruzada.	103
Figura 45 Resposta do latch mínimo para diversas correntes injetadas no nó Vout. As correntes injetadas estão indicadas na tabela 2.	104
Figura 46 Circuito de teste para as células de memória estáticas.	109
Figura 47 Circuito de teste para a célula de memória integrativa do TRIBICS.	111
Figura 48 Tempo mínimo de pulso para disparo em função da corrente de disparo (1).	115
Figura 49 Tempo mínimo de pulso para disparo em função da corrente de disparo (2).	115
Figura 50 Sinal <i>not_out</i> à saída de um grupo de sensores TRIBICS mostrando o efeito distributivo. Detalhes no texto.	119
Figura 51 Transistor 120 nm/40 nm criado pelo modelo NMOS5.	123
Figura 52 Detalhe da estrutura NMOS5 mostrando o transistor 120 nm/40 nm e os contatos de substrato.	124
Figura 53 Corte na direção X mostrando os diversos perfis de dopagem.	124
Figura 54 Transistor NMOS5 120/40 em corte na direção X mostrando os diversos implantes que controlam o canal.	125
Figura 55 Corrente de dreno para várias LETs, dreno ligado ao V _{DD}	129
Figura 56 Correntes de dreno, fonte e <i>pwell_1</i> para uma LET de 5 MeV/mg/cm ²	130
Figura 57 Corrente de dreno no transistor NMOS5_120/40 com carga ativa de dreno, para várias LETs.	131

Figura 58 Tensão no dreno no transistor NMOS5_120/40 com carga ativa de dreno, para várias LETs.	131
Figura 59 Corrente de dreno no transistor NMOS5_120/40 para várias larguras de canal do transistor de carga PMOS.	133
Figura 60 Transistor 300 nm/40 nm criado pelo modelo PMOS3.	136
Figura 61 Detalhe da estrutura PMOS3 mostrando o transistor 300 nm/40 nm e os contatos de poço e substrato.	137
Figura 62 Corte na direção X mostrando os diversos perfis de dopagem.	137
Figura 63 Transistor PMOS3 300/40 em corte na direção X.	138
Figura 64 Correntes nos diversos terminais do transistor PMOS3_300/40 para uma LET de 5 MeV/mg/cm ²	138
Figura 65 Correntes de dreno, fonte e pwell_1 para o transistor NMOS5_120/40 com carga PMOS 300/40. LET de 5 MeV/mg/cm ²	140
Figura 66 Tensão de dreno no transistor NMOS5_120/40 para várias larguras de canal do transistor de carga PMOS. LET de 5 MeV/mg/cm ²	141
Figura 67 Correntes de dreno, fonte e pwell_1 para o transistor NMOS5_120/40 com cargas PMOS 900/40 e 1200/40. LET de 5 MeV/mg/cm ²	142
Figura 68 Tensões e correntes de dreno do transistor NMOS5_120/40 com carga PMOS 300/40. Tensões de fonte 0 V e +100 mV. LET = 5 MeV/mg/cm ²	144
Figura 69 Densidade de corrente na região de canal, indicada pelas setas segundo o sentido convencional da corrente. Esquerda : NMOS (elétrons). Direita : PMOS (lacunas).	145
Figura 70 Densidade de corrente de elétrons e lacunas em função da profundidade do canal. NMOS à esquerda; PMOS à direita.	145
Figura 71 Correntes e tensões de dreno, e tensão de fonte, para o transistor NMOS5_120/40 com carga PMOS 300/40 e fonte flutuante.	147
Figura 72 Corrente e tensão de dreno para o transistor NMOS5_120/40 carregado por um transistor PMOS 300/40, mostrando os momentos de interesse.	149
Figura 73 Capacitância C associada ao dreno do transistor impactado em função da tensão de dreno.	150
Figura 74 Pontos onde o estado do transistor NMOS5_120/40 foi salvo para a determinação das curvas I _D x V _{GS}	152
Figura 75 Curvas I _D x V _{GS} do transistor NMOS5_120/40 nos estados listados na tabela 30.	153
Figura 76 Sequência de instantâneos do campo elétrico na estrutura PMOS3_300/40 para uma LET de 5 MeV/mg/cm ²	156
Figura 77 Perfil na direção (Y, 0) mostrando as posições dos cortes verticais C1 e C2 utilizados para a determinação das resistências de contato de poço e substrato. ...	158
Figura 78 Resistências dos contatos pwell_1 e nwell_1 em função da corrente circulante.	158
Figura 79 Estrutura INVMOS4 completa (alto) e com o óxido STI removido (embaixo). ...	162
Figura 80 Corte em X = 0 através dos canais dos transistores NMOS e PMOS.	163
Figura 81 Corte em Y = -0,31 μm através do centro do transistor NMOS.	163
Figura 82 Corte em Y = +0,40 μm através do centro do transistor PMOS.	164
Figura 83 Corte em Y = +15 μm através do centro dos contatos de poço N e substrato.	164
Figura 84 Esboço mostrando a disposição dos transistores em fileiras PPNN e a colocação dos taps de poço N e substrato.	165
Figura 85 Modo de agrupar os contatos ntap e ptap, conectando-os aos BICS. O desenho não está em escala.	167
Figura 86 Diagrama esquemático do circuito utilizado nas simulações.	168
Figura 87 Correntes no dreno do transistor NMOS, para várias LETs em MeV/mg/cm ²	169

Figura 88	Tensões no dreno do transistor NMOS, para várias LETs em MeV/mg/cm ²	170
Figura 89	SET propagado com incidência no dreno do transistor NMOS, para várias LETs em MeV/mg/cm ²	170
Figura 90	Correntes e tensões nos contatos pwell_l e pwell_r, e corrente no fonte do transistor NMOS, para várias LETs em MeV/mg/cm ²	172
Figura 91	Correntes e tensões nos contatos nwell_l e nwell_r, e corrente na fonte do transistor PMOS, para várias LETs em MeV/mg/cm ²	173
Figura 92	Estruturas bipolares parasitas presentes em um inversor CMOS.	175
Figura 93	Correntes no dreno do transistor PMOS, para várias LETs em MeV/mg/cm ²	178
Figura 94	Tensões no dreno do transistor PMOS, para várias LETs em MeV/mg/cm ²	179
Figura 95	SET propagado com incidência no dreno do transistor PMOS, para várias LETs em MeV/mg/cm ²	179
Figura 96	Correntes e tensões nos contatos nwell_l e nwell_r, e corrente na fonte do transistor PMOS, para várias LETs em MeV/mg/cm ²	181
Figura 97	Correntes e tensões nos contatos pwell_l e pwell_r, e corrente na fonte do transistor NMOS, para várias LETs em MeV/mg/cm ²	182
Figura 98	Tensões de substrato e poço N para as LETs de 1 e 5 MeV/mg/cm ²	183
Figura 99	Correntes de dreno do transistor NMOS em função da ITD. LET = 1 MeV/mg/cm ²	183
Figura 100	Correntes de dreno do transistor NMOS em função da ITD. LET = 10 MeV/mg/cm ²	184
Figura 101	Correntes de dreno do transistor PMOS em função da ITD. LET = 1 MeV/mg/cm ²	185
Figura 102	Correntes de dreno do transistor PMOS em função da ITD. LET = 10 MeV/mg/cm ²	186
Figura 103	Tensão no nó de integração em função da tensão e da corrente no contato de poço N, e respectiva resposta do BICS. LET = 1 MeV/mg/cm ²	189
Figura 104	Tensão no nó de integração em função da tensão e da corrente no contato de poço N, e respectiva resposta do BICS. LET = 50 MeV/mg/cm ²	190
Figura 105	Resistência dreno-fonte do transistor T10 em função da tensão V _{bulk_N} para vários comprimentos de canal.	196
Figura 106	Resistência dreno-fonte do transistor T0 em função da tensão V _{bulk_P} para vários comprimentos de canal.	197
Figura 107	Corrente de dreno e fonte do transistor NMOS, e corrente do contato pwell_l com e sem a presença do BICS. LET = 10 MeV/mg/cm ²	199
Figura 108	Corrente de dreno e fonte do transistor PMOS, e corrente do contato nwell_l com e sem a presença do BICS. LET = 10 MeV/mg/cm ²	200
Figura 109	Detalhe mostrando os transistores do modelo BICS1, com o óxido STI removido.	207
Figura 110	Detalhe mostrando os transistores do modelo BICS2 e BICS3, com o óxido STI removido. A identificação das estruturas segue a mostrada na figura 109.	207
Figura 111	Perfis de dopagem através do corte em Y = -0,31 (NMOS).	208
Figura 112	Perfis de dopagem através do corte em Y = +0,40 (PMOS).	209
Figura 113	Correntes no dreno do transistor NMOS_t. LET = 10 MeV/mg/cm ²	211
Figura 114	Correntes no dreno do transistor PMOS_t. LET = 10 MeV/mg/cm ²	211
Figura 115	Correntes de dreno e fonte do transistor NMOS_t. LET = 10 MeV/mg/cm ²	213
Figura 116	Correntes de dreno e fonte do transistor PMOS_t. LET = 10 MeV/mg/cm ²	214
Figura 117	Corrente de dreno no transistor NMOS5, para várias larguras de canal	235
Figura 118	Corrente de dreno no transistor NMOS5, para vários comprimentos de canal ...	236

Figura 119 Corrente de dreno no transistor NMOS5_120/40 com diferentes dopagens de substrato.....	237
Figura 120 Curvas I_D x V_{GS} dos modelos NMOS5, NMOS5_old, CHATT e DGPTA.....	240
Figura 121 Corrente de dreno dos transistores simulados, com carga PMOS 300/40.....	240
Figura 122 Detalhe da figura 121 mostrando o início e o fim do platô.....	242

LISTA DE TABELAS

Tabela 1 Emissividade de partículas alfa	26
Tabela 2 Interações entre neutrons e o Silício	28
Tabela 3 Tempos de retenção para o circuito Dyn_P	65
Tabela 4 Tempos de retenção para o circuito Dyn_N	66
Tabela 5 Corrente de pico de I_{pulse} em microampéres	74
Tabela 6 Tensões de polarização V_{bias} ótimas em milivolts	74
Tabela 7 Tempos de retenção em função do tempo de resposta do sistema	75
Tabela 8 Comportamento Estático das Células de Memória	84
Tabela 9 Mínima corrente detectável, carga crítica e tempo de resposta	99
Tabela 10 Tempos de resposta em função da corrente injetada (1)	105
Tabela 11 Tempos de resposta em função da corrente injetada (2)	105
Tabela 12 Tamanho dos transistores das células de memória estáticas	110
Tabela 13 Resultados para o circuito Torres, 2012, versão PMOS	112
Tabela 14 Resultados para o circuito Bastos, 2012, versão NMOS	112
Tabela 15 Resultados para o circuito Bastos, 2012, versão PMOS	113
Tabela 16 Resultados para o circuito Bastos, 2014, ramo NMOS	113
Tabela 17 Resultados para o circuito Bastos, 2014, ramo PMOS	114
Tabela 18 Resultados para a célula integrativa	114
Tabela 19 Relação W/L dos transistores TP2, TN2 e T6	117
Tabela 20 Atraso de propagação e mínima duração do pulso de reset	118
Tabela 21 Comparação entre as correntes de dreno do modelo compacto e do modelo TCAD para um transistor NMOS de $W/L = 120\text{nm} / 40\text{ nm}$ corner TT a 27° C	126
Tabela 22 Corrente de pico e período do pulso da corrente de dreno, para várias LETs	129
Tabela 23 Tempos de duração do SET gerado, em função da LET	131
Tabela 24 Tempos de duração do SET gerado e propagado	132
Tabela 25 Comparação entre as correntes de dreno do modelo compacto e do modelo TCAD para um transistor PMOS de $W/L = 3000\text{nm} / 40\text{ nm}$ corner TT a 27° C	136
Tabela 26 Dados temporais dos estados gravados	153
Tabela 27 Correntes de dreno para $V_{GS} = 1,1\text{ V}$	154
Tabela 28 Correntes e potenciais eletrostáticos para a determinação das resistências dos contatos de poço e substrato	157
Tabela 29 Tempos de duração do SET gerado e propagado e de resposta dos BICS	171
Tabela 30 Correntes de pico nos contatos de substrato	177
Tabela 31 Tempos de duração do SET gerado e propagado e de resposta dos BICS	180
Tabela 32 Tempos de duração do SET gerado e propagado e de resposta dos BICS para $ITD =$ $45\text{ }\mu\text{m}$ e incidência no transistor NMOS	184
Tabela 33 Tempos de duração do SET gerado e propagado e de resposta dos BICS para $ITD =$ $60\text{ }\mu\text{m}$ e incidência no transistor NMOS	184
Tabela 34 Tempos de duração do SET gerado e propagado e de resposta dos BICS para $ITD =$ $45\text{ }\mu\text{m}$ e incidência no transistor PMOS	185

Tabela 35	Tempos de duração do SET gerado e propagado e de resposta dos BICS para ITD = 60 μ m e incidência no transistor PMOS	186
Tabela 36	Tempos de resposta dos BICS em função da LET e da ITD	187
Tabela 37	Número máximo de transistores, frequência de clock máxima e mínima LET detectável em função da ITD	192
Tabela 38	Corrente de disparo do ramo NMOS para um pulso retangular em função da duração do pulso e do comprimento do transistor T10.....	193
Tabela 39	Corrente de disparo do ramo PMOS para um pulso retangular em função da duração do pulso e do comprimento do transistor T0.....	194
Tabela 40	Momentos nos quais a corrente nos contatos de poço N ou substrato caem abaixo do limite de detecção dos BICS, e momentos de término do SET, para várias LETS.	195
Tabela 41	Tensões de alimentação em função do nó tecnológico.....	201
Tabela 42	Valor de corrente e duração dos pulsos de corrente equivalentes	215
Tabela 43	Número de instâncias com L = 40 nm necessárias para implementar o circuito TRIBICS na tecnologia UMC 40nm LP	218
Tabela 44	Corrente de pico e período do pulso da corrente de dreno em função da largura de canal	236
Tabela 45	Corrente de pico e período do pulso da corrente de dreno em função do comprimento de canal	237
Tabela 46	Corrente de pico e período do pulso da corrente de dreno em função da dopagem de substrato	238
Tabela 47	Parâmetros dos perfis de dopagem dos implantes de canal dos modelos utilizados	239
Tabela 48	Tempos de duração do SET gerado e propagado, para os vários modelos de transistor	239

LISTA DE ABREVIATURAS

BICS: Built-In Current Sensor

BPSG: Borophosphosilicate Glass

Bulk-BICS: Bulk-Built-In Current Sensor

CMOS: Complementary Metal-Oxide-Semiconductor

DWC: Duplication With Comparison

DynBICS: Dynamic Storage Built-In Current Sensor

ITD: Inter-Tap Distance

LDD: Lightly-Doped Drain

LET: Linear Energy Transfer

MOS: Metal-Oxide-Semiconductor

MOSIS: Metal Oxide Semiconductor Implementation Service

NMOS: N-channel Metal-Oxide-Semiconductor

PMOS: P-channel Metal-Oxide-Semiconductor

RAM: Random-Access Memory

ROM: Read-Only Memory

SEB: Single-Event Burnout

SEE: Single-Event Effect

SEL: Single-Event Latchup

SET: Single-Event Transient

SEU: Single-Event Upset

SPICE: Simulation Program with Integrated Circuit Emphasis

STI: Shallow Trench Insulation

TCAD: Technology Computer-Aided Design

TID: Total Ionizing Dose

TMR: Triple Modular Redundancy

TR: Time Redundancy

TRIBICS: Distributive Integrative Built-In Current Sensor

VHDL: Very-high speed integrated circuit Hardware Description Language

1 INTRODUÇÃO

Circuitos integrados são componentes sensíveis à radiação ionizante. A exposição continuada de um circuito integrado à radiação degrada os parâmetros elétricos dos dispositivos semicondutores, fazendo com que esses, progressivamente, desviem-se do seu valor inicial. Em certo momento, tais parâmetros não mais atendem os requisitos mínimos para o funcionamento adequado e o funcionamento do sistema ao qual o componente pertence pode falhar. A vida útil do componente está, assim, intimamente ligada à quantidade total de radiação acumulada ao longo do tempo.

Por outro lado, a radiação ionizante pode afetar os circuitos integrados de uma forma sutil, produzindo correntes transitórias anormais em junções PN reversamente polarizadas. O surgimento dessa corrente pode causar vários efeitos indesejáveis, mas será dado foco na introdução de erros nos níveis lógicos de um sistema digital. Com o surgimento de uma corrente anormal através de uma junção reversamente polarizada, altera-se a tensão no nó ao qual a junção pertence. Em circuitos digitais, a variação de tensão provocada pela incidência de uma partícula ionizante pode ser interpretada como uma mudança válida no nível lógico do sinal e se propagar através do circuito. Essa perturbação pode provocar um erro computacional, caso seja armazenada em uma célula de memória ou em um flip-flop (DODD, 2004; WIRTH, 2007). A busca por maiores velocidades de operação, menor consumo de energia e a integração de um número cada vez maior de funções dentro de uma mesma pastilha de silício, tem levado à redução progressiva das dimensões dos dispositivos integrados. Em consequência disso, os vários nós que compõem os circuitos integrados têm ficado cada vez mais propensos a terem o seu nível lógico perturbado pela corrente transitória anormal, na forma de um evento transiente, à medida que se passa de um nó tecnológico para o próximo, mais avançado e de dimensões mínimas mais reduzidas.

Há circuitos que operam embarcados em veículos aeroespaciais, enquanto outros são destinados a operar em ambientes terrestres radioativamente hostis, como os reatores nucleares. Apesar de poder-se blindar o circuito e, assim, reduzir os níveis de radiação que atingem os componentes de um dado sistema, a extensão na qual esse recurso pode ser usado é restrita, em função do peso e volume requeridos pela blindagem. Foram, assim, desenvolvidas técnicas de hardware e software que tornam os circuitos que operam em tais condições menos vulneráveis aos erros induzidos pela correntes transientes induzidas por radiação. Segundo (LISBOA, 2007), tais técnicas, aqui chamadas de tradicionais, são baseadas na redundância de circuitos ou na redundância temporal. Como exemplo, a Triple Modular Redundancy (TMR) é eficiente na correção de erros, mas ao custo de um grande dispêndio de área e potência, inerentes à implementação de três circuitos operando em paralelo (LISBOA, 2007).

O uso de sensores de corrente incorporados a circuitos digitais, ou Built-In Current Sensors (BICS), foi inicialmente proposto como um meio de detectar falhas em circuitos integrados, através da monitoração da corrente de alimentação (FELTHAM, 1988; LO, 1992; RUBIO, 1995; LU, 1996; MIURA, 1997; LEE, 1998; KIM, 1998). (HENES NETO, 2006) propõe, pela primeira vez, o uso de circuitos BICS monitorando a corrente de substrato dos transistores como um meio de detectar a ocorrência de um evento transiente tanto em circuitos sequenciais como em circuitos combinacionais, em uma técnica chamada Bulk-Built-In Current Sensor (Bulk-BICS). O uso da técnica Bulk-BICS permite detectar a ocorrência de um evento transiente sem a necessidade do dispêndio proibitivo de área das técnicas tradicionais baseados na redundância de circuitos (HENES NETO, 2006).

Diversos circuitos Bulk-BICS tem sido propostos (HENES NETO, 2006; LISBOA, 2007; HENES NETO, 2008; ZHANG, 2010; BASTOS, 2012; SIMIONOVSKI, 2012a; BASTOS, 2013a; BASTOS, 2013b; DUTERTRE, 2014; BASTOS, 2014) e pelo menos uma

implementação prática de um circuito digital combinacional, monitorado por sensores Bulk-BICS e testado sob irradiação laser foi apresentado (ZHANG, 2013). Apesar do êxito demonstrado pelo circuito mostrado no último trabalho, em detectar a ocorrência dos SETs induzidos por pulsos laser, todos os demais circuitos foram até então avaliados através de simulações de circuitos. A simulação de circuitos pode ser usada para a avaliação do funcionamento elétrico do sensor, por exemplo, excitando-o com pulsos de corrente e verificando a resposta na saída, quantificando a menor corrente detectável e determinando o tempo de resposta do sensor. Entretanto, a validade dos resultados obtidos com o simulador de circuitos é questionável quando se tenta extrapolar a técnica para prever o comportamento da corrente transiente induzida pela incidência da radiação, uma vez que os fenômenos físicos envolvidos durante a criação de cargas no semicondutor não são modelados pelo simulador de circuitos. Disso resulta que a maneira como a corrente transitória se comporta e se distribui entre os vários eletrodos do transistor afetado pela radiação não é adequadamente simulada pelo simulador de circuitos. Faz-se mister avançar o estado da arte e buscar simular o funcionamento do Bulk-BICS excitado pelas correntes que efetivamente se espera que surjam durante um evento transiente, utilizando-se uma ferramenta computacional mais apropriada do que o simulador de circuitos.

Mostra-se neste trabalho que o desempenho da célula dinâmica é superior ao da célula estática construída com dois inversores cruzados, no tocante à sensibilidade e ao tempo de resposta. Com isso, opta-se por seguir no desenvolvimento de circuitos Bulk-BICS que, utilizando a célula dinâmica como circuito básico, ofereçam vantagens sobre as demais propostas no tocante à sensibilidade, tempo de resposta, complexidade do circuito e facilidade de implementação. A validação da topologia da célula de memória dinâmica proposta em (SIMIONOVSKI, 2012a) se faz, assim, necessária. Os circuitos apresentados em (SIMIONOVSKI, 2012a), dos quais se dispõe de amostras fabricadas, foram testados de

várias formas; os mesmos mostraram-se adequadamente funcionais e os resultados obtidos desses testes fazem parte deste trabalho, mostrando que a topologia da célula dinâmica é adequada para o uso como célula de memória num circuito Bulk-BICS. Em seguida, utilizando-se esses circuitos como ponto de partida, desenvolveu-se um sensor de corrente transiente com características superiores e capaz de monitorar, ao mesmo tempo, transistores de ambas as polaridades. O desempenho elétrico desse novo sensor foi avaliado com o uso de simulação de circuitos, mas a validação do seu funcionamento em silício foi feita utilizando-se um simulador de dispositivos, que é a ferramenta adequada para descrever o comportamento do dispositivo semicondutor quando este é perturbado pelas cargas criadas pela incidência da radiação. A resposta do simulador de dispositivos prediz o comportamento do dispositivo baseado no equacionamento dos processos físicos de transporte de portadores no semicondutor e, assim, permite prever o comportamento das correntes de dreno, fonte e substrato de forma mais realística. A simulação do funcionamento do Bulk-BICS utilizando o simulador de dispositivos possibilita obter correntes e tensões que se aproximam àquelas que ocorreriam em uma situação real em silício, de forma que o funcionamento do Bulk-BICS pode ser avaliado de forma muito mais segura do que apenas utilizando o simulador de circuitos. Com os resultados de todas essas simulações, visa-se responder às principais perguntas que tem sido feitas ao longo do tempo, com relação à técnica Bulk-BICS, entre elas, se o Bulk-BICS pode efetivamente capturar a ocorrência do SET, qual a quantidade máxima de transistores que um único sensor pode monitorar, e, também, como fabricar o sensor e os transistores monitorados no mesmo substrato, de forma que o sensor não sofra a influência das correntes transientes detectadas.

A presente tese é dividida em oito capítulos. O capítulo 1 é introdutório. O capítulo 2 apresenta os fundamentos teóricos nos quais o trabalho é embasado. O capítulo 3 apresenta os sensores de (SIMIONOVSKI, 2012a) e os resultados dos testes efetuados com amostras do

circuito integrado fabricado. O capítulo 4 apresenta o novo circuito desenvolvido e detalha o seu funcionamento, tema deste trabalho. O capítulo 5 descreve os modelos individuais de transistor, utilizados para as simulações de dispositivo e os resultados obtidos quando esses modelos são sujeitos à injeção de cargas com o intuito de simular a ocorrência da incidência da radiação ionizante. O capítulo 6 descreve o modelo final para a simulação de dispositivo, o qual contém um par complementar de transistores, com os resultados da simulação desse modelo conectado a um par de sensores descritos em modelo compacto. O capítulo 7 propõe uma maneira de fabricar os transistores do sensor no mesmo substrato dos transistores monitorados e estima a área necessária para a implantação dos sensores em um circuito real. Por fim, o capítulo 8 apresenta a conclusão deste trabalho.

2 FUNDAMENTAÇÃO TEÓRICA

Este capítulo apresenta a fundamentação teórica relacionada à origem e natureza das radiações que afetam os circuitos integrados e as formas como os mesmos são afetados. O evento transiente e o problema do soft error são introduzidos, e as técnicas de mitigação dos efeitos do erro transiente são apresentadas. A técnica Bulk-BICS é apresentada e discutido o estado da arte até então.

2.1 O EVENTO SINGULAR

A radiação afeta o funcionamento dos circuitos integrados. Quando uma partícula ionizante incide em um semicondutor, como o silício, ela penetra através do material deixando atrás de si um rastro ionizado composto por elétrons e lacunas livres, os quais podem se recombinar, desaparecendo, ou serem coletados por alguma junção, formando-se uma corrente que flui pelo intervalo de tempo em que os portadores são coletados (VARGAS, 1994). Essa corrente transiente é anormal no circuito e, dependendo da intensidade e do ponto do circuito onde ela se manifesta, provoca efeitos que podem ser permanentes, destrutivos, ou temporários. A esses efeitos se dá o nome de eventos singulares, ou Single-Event Effect (SEE).

Um evento singular ocorre quando a carga resultante dos portadores liberados por uma partícula ionizante e coletados em uma junção ou contato, é maior do que a carga que representa a informação em um nó sensível (NICOLAIDIS, 2012). Nó sensível é aquele cujo potencial pode ser alterado por injeção ou coleta de cargas e, nos circuitos integrados, são representadas pelas junções PN reversamente polarizadas.

Eventos permanentes, destrutivos ou catastróficos são aqueles que danificam ou paralisam permanentemente o circuito, impossibilitando que o mesmo prossiga em funcionamento. Dessa classe de eventos, é conveniente explicitar o Single-Event Latchup

(SEL), uma vez que ele será visto com detalhe no capítulo 6. O SEL ocorre quando a estrutura parasita PNP, inerente aos dispositivos CMOS, é disparada pela corrente transiente. Nessas circunstâncias, ocorre a formação de um caminho de baixa resistência entre a linha de V_{DD} e a linha de gnd, o qual permite a circulação de uma corrente que desaparece apenas quando a fonte de alimentação é desligada. Em situações extremas, a corrente através da estrutura PNP pode ser elevada o suficiente para danificar o dispositivo permanentemente, através da fusão de alguma junção ou interconexão, caracterizando, nesse caso, um Single-Event Burnout (SEB).

Eventos não-destrutivos ou temporários são aqueles nos quais um sinal de tensão, representando um determinado nível lógico, é alterado momentaneamente pela corrente transiente. Nesse caso, tem-se o que se chama de evento transiente, ou Single-Event Transient (SET). Sob certas circunstâncias, essa alteração no nível lógico do sinal pode ser capturada e armazenada em um elemento de memória, quando então, passa a ser considerada uma perturbação transiente, ou Single-Event Upset (SEU). Nenhum desses eventos destrói ou afeta permanentemente a operação do circuito; entretanto, são fontes de erro capazes de alterar a execução de um programa por um microprocessador, por exemplo, produzindo resultados errados ou mesmo a falha do processamento. SEU e SET são a causa dos chamados soft errors, definidos como “os erros na operação de um sistema digital ou processador, causados por ruído elétrico ou incidência de partículas ionizantes” (SHIVAKUMAR, 2002).

A ocorrência de um SET, por si só, não implica na ocorrência de um SEU. Um SET somente provoca um SEU se o nível lógico perturbado for armazenado erroneamente em um elemento de memória. A alteração elétrica transitória causada por um SET não altera o resultado de uma computação lógica, a não ser que ela seja capturada por um elemento de memória (SHIVAKUMAR, 2002) ou afete uma saída.

2.2 RADIAÇÕES IONIZANTES

A radiação capaz de afetar os circuitos integrados tem origem em duas fontes principais, a saber, a presença de impurezas radioativas nos materiais que compõem os circuitos integrados e a radiação proveniente do Sol, pela atividade solar, e do espaço sideral na forma de raios cósmicos. Segue um breve resumo das radiações mais significativas e suas respectivas fontes.

2.2.1 Partículas Alfa

As partículas alfa representam uma das muitas radiações que podem ser emitidas a partir do decaimento radioativo de isótopos instáveis, os quais podem estar presentes como impurezas no material de encapsulamento do circuito integrado (BAUMANN, 2001). (MAY, 1979) relata, pela primeira vez, que erros em memórias dinâmicas fabricadas pela INTEL teriam origem no decaimento do Tório e Urânio presentes na cerâmica utilizada para o encapsulamento dos componentes. A tabela 1 mostra uma tabela com a emissividade de materiais comumente utilizados na fabricação e encapsulamento de circuitos integrados.

Tabela 1 Emissividade de partículas alfa

Material	Emissividade ($\alpha/\text{cm}^2\text{-h}$)
Wafers completamente processados	<0.001
Cu Metal, espessura 30 μm	<0.002
AlCu Metal, espessura 20 μm	<0.001
Composto de moldagem	<0.024 - <0.002
Preenchimento de flip chip	<0.002 - <0.001
Solda eutética à base de Pb	<7200 - <0.002

Fonte : Baumann, 2001

A energia das partículas alfa emitidas pelos materiais empregados na fabricação dos circuitos integrados está entre 1 e 9 MeV, sendo os principais contaminantes ^{232}Th , ^{238}U , ^{210}Po e ^{210}Pb . As partículas alfa induzem significativas quantidades de pares elétron-lacuna ao

atingirem o silício. A produção de um par elétron-lacuna dispende apenas 3,6 eV; assim, uma partícula alfa com 4 MeV produz mais de um milhão de pares elétron-lacuna (NARSALE, 2008).

2.2.2 Nêutrons De Alta Energia

A Terra recebe radiação proveniente da atividade solar., a qual é cíclica, com um período aproximado de 11 anos compreendendo 7 anos de alta atividade e 4 anos de baixa atividade (BALEN, 2010). A atividade solar compreende as explosões solares (íons com energia entre dezenas de MeV a centenas de GeV, partículas alfa e elétrons) e os ventos solares (prótons, íons de He, íons pesados e elétrons). A Terra também recebe uma outra forma de radiação vinda do espaço sideral, os chamados raios cósmicos. Os raios cósmicos não são raios de energia eletromagnética, mas, sim são compostos por prótons (85%) partículas alfa (14%) e outros íons pesados (1%), conforme (BALEN, 2010). As partículas constituintes dos raios cósmicos são considerados partículas primárias. Ao incidir na atmosfera terrestre, essas partículas produzem uma radiação secundária composta de prótons, elétrons, nêutrons, múons e píons. Essas partículas não atravessam a atmosfera terrestre, visto que prótons e elétrons sofrem ação do campo magnético terrestre e múons e píons são partículas de vida curta. Do total de partículas geradas, apenas 5% dos prótons e 1% do elétrons e nêutrons gerados atingem a superfície da Terra ao nível do mar. O nêutron tem uma maior propriedade de geração de cargas se comparado ao próton e ao elétron. Como o nêutron não possui carga elétrica, ele não ioniza diretamente o silício, mas interage com ele causando uma reação nuclear que libera partículas alfa, beta, prótons e íons de Mg, Al e Ne com energias entre 2,75 MeV e 12,99 MeV (NARSALE, 2008). A tabela 2 mostra uma tabela com a série de interações dos nêutrons de alta energia com o silício e a respectiva energia cinética da partícula liberada.

Tabela 2 Interações entre nêutrons e o Silício

Reação	Energia Cinética [MeV]
$n + \text{Si} \rightarrow {}^{25}\text{Mg} + \alpha$	2,75
$n + \text{Si} \rightarrow {}^{28}\text{Al} + p$	4,00
$n + \text{Si} \rightarrow {}^{27}\text{Al} + d$	9,70
$n + \text{Si} \rightarrow {}^{24}\text{Mg} + n + \alpha$	10,34
$n + \text{Si} \rightarrow {}^{27}\text{Al} + n + p$	12,00
$n + \text{Si} \rightarrow {}^{26}\text{Mg} + {}^3\text{He}$	12,58
$n + \text{Si} \rightarrow {}^{21}\text{Ne} + 2e$	12,99

Fonte : Narsale, 2008

2.2.3 Nêutrons Térmicos

Nêutrons térmicos são nêutrons que perdem sua energia cinética ao entrar na atmosfera e atingem o equilíbrio térmico (0,025 eV a 290 K). Nêutrons térmicos podem ser absorvidos pelo núcleo atômico do Boro, usado como dopante tipo P e como passivante (camada BPSG - Borophosphosilicate Glass). O Boro contém naturalmente dois isótopos, dos quais o mais abundante (80%) é o ${}^{10}\text{B}$. O átomo de ${}^{10}\text{B}$ é instável quando exposto a nêutrons, fissionando-se em um átomo de ${}^7\text{Li}$ e uma partícula alfa. Essas duas partículas são emitidas em direções opostas, aumentando a chance de atingirem uma área sensível (BAUMANN, 2001).

2.2.4 Íons Pesados

Os íons pesados são partículas presentes nos raios cósmicos em pequena proporção (BINDER, 1975), sendo de especial importância em aplicações aeroespaciais. Falhas em circuitos lógicos de satélites têm sido atribuídas a esse tipo de partícula (BINDER, 1975). Íons pesados são aqueles com número atômico Z maior do que 2 (PICKEL, 1978) e os raios cósmicos contêm íons de C, N, O, Mg, Al, Si, Fe, Co e Ni, com energias variáveis entre 10

MeV e 10^4 MeV (BINDER, 1975). A produção de cargas no semicondutor é proporcional à massa atômica M e ao número atômico Z , assim, para uma dada energia, quanto mais pesada a partícula, maior a quantidade de pares elétron-lacuna criados e maior a probabilidade de se produzir um evento singular (KOGA, 1985).

2.2.5 Radiação Luminosa

A radiação luminosa, ao incidir em uma junção PN, gera pares elétron-lacuna na respectiva região de depleção e provoca o surgimento de uma fotocorrente. O uso da luz monocromática produzida por um laser como meio alternativo à radiação ionizante para induzir correntes transientes é descrito por (HABING, 1965). Nesse trabalho, é utilizado a luz monocromática de um laser de Neodímio pulsado de 10 MW com comprimento de onda de $1,06 \mu\text{m}$ para excitar a região de base de três transistores de silício (2N1051, 2N1841 e 2N1675) em pulsos de 40 ns de duração. Os resultados obtidos permitem concluir que os transientes induzidos são essencialmente idênticos àqueles produzidos por pulsos de elétrons de 25 MeV e raios-X de 600 kVp, e que há uma boa concordância entre as fotocorrentes obtidas por essas três fontes, na faixa de dose entre 10^{-1} e 10^4 rads (Si). Em substituição ao uso de feixes de íons pesados produzidos por aceleradores de partículas, (BUCHNER, 1987) propõe o uso de luz laser em substituição às alternativas até então propostas, como o uso do ^{252}Cf , altamente radioativo e extremamente perigoso de ser manuseado, e feixes pulsados de elétrons, responsáveis por provocar acúmulo de cargas no óxido de silício, levando a falhas por dose total acumulada.

Fótons com energia acima do bandgap do silício são absorvidos e dão origem a pares elétron-lacuna, tal qual o faz a incidência de uma partícula ionizante. Entretanto, a partícula cria um denso e estreito rastro de portadores no percurso por onde atravessa, enquanto que o feixe de laser gera um rastro de diâmetro muito maior. (BUCHNER, 1990) indica o valor de

100 nm para o diâmetro do rastro deixado por uma partícula, e esse valor é adotado por (CHATTERJEE, 2012) e (DASGUPTA, 2007) nas simulações de dispositivo, enquanto que o diâmetro do laser utilizado para testes na Vanderbilt University é de 1,2 μm .

O diâmetro do rastro deixado por uma partícula depende de sua massa, carga e energia, enquanto que o diâmetro do rastro deixado pelo pulso laser depende do comprimento de onda da luz e do sistema óptico utilizado para focalizar o laser (BUCHNER, 1990). Mais ainda, a absorção da luz através do silício produz um decaimento exponencial na densidade de cargas em função da profundidade de penetração, enquanto que a densidade de cargas criada por uma partícula não é exponencial e os portadores criados têm muito mais energia (BUCHNER, 1987). Apesar dessa diferença, o uso de pulsos laser se confirmou adequado para a indução de eventos singulares em estruturas CMOS (Complementary Metal-Oxide-Semiconductor) e bipolares (BUCHNER, 1990). Em função da praticidade e relativo baixo custo (embora significativo), tornou-se uma útil ferramenta de laboratório para a pesquisa da vulnerabilidade de um sistema ao SET e ao SEU, mais ainda em virtude do fato de que a luz laser não danifica os dispositivos eletrônicos e pode ser focalizada e posicionada com precisão sobre uma região específica do circuito, além do fato de que o pulso laser pode ser sincronizado com o clock do sistema (BUCHNER, 1996).

2.3 A TRANSFERÊNCIA LINEAR DE ENERGIA - LET

A partícula ionizante, ao atravessar o semicondutor, perde energia e cria um rastro de pares elétron-lacuna. A produção de cada par elétron-lacuna no silício requer uma energia de 3,6 eV e uma medida da quantidade de portadores livres que a partícula pode gerar é dada pela grandeza LET (Linear Energy Transfer), que representa a energia média perdida pelo íon por unidade de comprimento percorrido no semicondutor. A LET pode ser expressa em MeV/ μm , MeV/mg/cm² ou fC/ μm , tendo-se, para o silício, as proporções de

$1 \text{ MeV}/\mu\text{m} = 4,32 \text{ MeV}/\text{mg}/\text{cm}^2$ e $1 \text{ MeV}/\text{mg}/\text{cm}^2 = 10 \text{ fC}/\mu\text{m}$ (NICOLAIDIS, 2012). A LET não é constante ao longo da trajetória da partícula, mas aumenta à medida que a partícula perde energia ao atravessar a matéria, até atingir um máximo chamado de pico de Bragg, que ocorre imediatamente antes da partícula parar completamente. A energia perdida pela partícula é inversamente proporcional à sua velocidade, assim, quanto mais energia a partícula perde, mais lenta ela se torna e mais energia ela consegue transferir ao semiconductor. A figura 1 mostra a variação da LET em função da profundidade de penetração para vários íons pesados disponíveis no acelerador de 8 MeV do Laboratório Aberto de Física Nuclear da Universidade de São Paulo (MEDINA, 2016). Os picos de Bragg são facilmente visíveis, especialmente nos íons de ^{19}F , ^{16}O , ^{12}C e ^7Li .

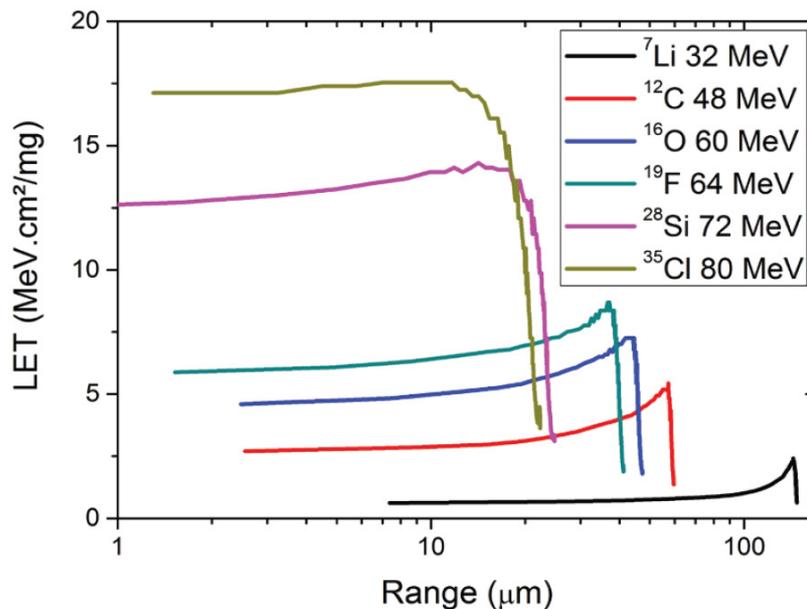


Figura 1 LET em função da profundidade de penetração no silício. Fonte: Medina, 2016.

É interessante observar que a LET é relativamente constante até uma profundidade de cerca de $10 \mu\text{m}$, independentemente do íon de escolha, e que ela aumenta com a massa atômica. Com efeito, (KOGA, 1985) declara que a perda de energia, dE/dx , de uma partícula atravessando a matéria, é dada por :

$$\frac{dE}{dx} = f(E) * \frac{M * Z^2}{E} \quad (1)$$

onde $f(E)$ é uma função da energia da partícula, E é a energia da partícula em eV, M é o número de massa e Z é o número atômico. Logo, como M e Z estão inter-relacionados ($M = Z + N$), para uma mesma energia, a LET de uma partícula aumenta significativamente com o aumento do número atômico.

A LET é uma grandeza que permite quantificar a carga gerada pela partícula, independente da sua energia e da sua massa, pois como a cada 3,6 eV de energia transferida corresponde um par elétron-lacuna. Assim, partículas de diferentes massas e diferentes energias, mas LETs iguais, criarão igual quantidade de cargas livres ao atravessarem o semicondutor. O parâmetro LET é usado nas simulações de dispositivo dos capítulos 5, 6 e 7 como o meio de estabelecer a quantidade de carga injetada nas estruturas semicondutoras, fazendo-a independente de uma energia ou tipo de partícula específicos.

2.4 O PULSO DE CORRENTE TRANSIENTE

Nos circuitos digitais CMOS, as regiões sensíveis são representadas pelas junções PN reversamente polarizadas, a saber, as junções dreno-substrato ou dreno-poço N, dos transistores em estado de corte (VARGAS, 1994). Como a região sensível está reversamente polarizada, existe um campo elétrico na região de depleção, assim, quando uma partícula atravessa uma dessas junções, as cargas geradas na região de depleção são rapidamente coletadas por deriva (drift). A remoção desses portadores resulta em uma corrente que circula através da região de depleção, cuja intensidade é superior à corrente reversa normal da junção por várias ordens de grandeza (WIRTH, 2008) e com duração suficiente para remover os portadores livres e restaurar a neutralidade da região de depleção.

Com energia suficiente, o rastro ionizado prolonga-se para dentro do substrato, e nesse caso, acontece o efeito de afunilamento (funnel effect), através do qual a carga coletada inclui parte das cargas do rastro que foram criadas dentro do substrato. O rastro ionizado é condutivo e ele conecta duas regiões com potenciais diferentes (dreno e substrato). A diferença de potencial originalmente existente na junção não-perturbada se redistribui, de maneira que parte dela aparece na junção e o restante se distribui por parte do rastro ionizado dentro do substrato. A uma dada profundidade, o campo elétrico no rastro ionizado é zero, resultando que a diferença de potencial entre o dreno e o substrato se distribui desde o início da região de depleção, ainda dentro do dreno, até um certo ponto no interior do substrato. Com isso, as cargas coletadas por deriva incluem não só as cargas criadas dentro da região de depleção, mas também parte das cargas existentes no rastro dentro do substrato, desde o final da região de depleção dentro do substrato até o ponto em que o campo elétrico no rastro é nulo. (MESSENGER, 1982) relata que o campo elétrico dentro do rastro decai linearmente com a distância dentro da região de depleção, mas esse decaimento passa a ser quadrático na parcela do rastro que se desenvolve dentro do substrato devido ao caráter bidimensional do fluxo de corrente no substrato. As cargas criadas dentro do substrato difundem-se lateralmente, afastando-se do centro do rastro; como o campo elétrico nessa parte do rastro decai quadraticamente com a profundidade, a quantidade de cargas coletadas diminui à medida que a profundidade aumenta, o que faz com que o volume de coleta de cargas em torno do rastro inicial assuma a forma de um funil. As cargas criadas pelo rastro, que não forem coletadas por deriva, movem-se por difusão e acabam coletadas pelas regiões de depleção do dispositivo. Uma parte das cargas não é coletada e desaparece por recombinação. Um esboço do processo descrito é mostrado na figura 2.

O pulso de corrente induzido pela incidência de uma partícula ionizante em uma região PN reversamente polarizada é influenciado pelas dimensões da junção (estabelecidas

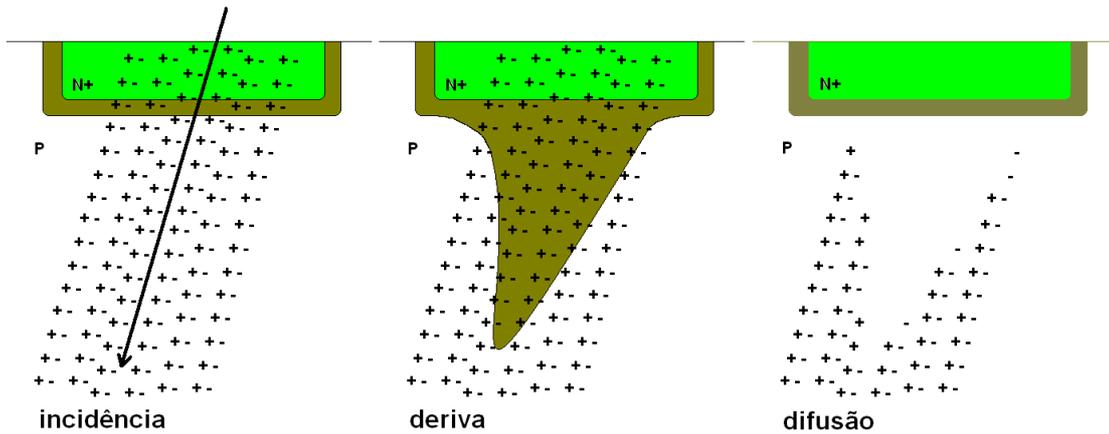


Figura 2 Sequência dos eventos envolvidos na coleta de cargas criadas pela incidência de radiação ionizante.

pelo nó tecnológico), pelo tipo e energia da partícula (sua LET), e pelo ângulo de incidência (WIRTH, 2008). (MESSENGER, 1982) propõe o uso de uma expressão exponencial no qual duas constantes de tempo τ_R e τ_F controlam as taxas de subida e descida do pulso que se deseja representar. A corrente transiente é modelada na forma de uma fonte de corrente controlada pelas duas constantes de tempo, colocada em paralelo com a junção PN cujo comportamento se procura estudar. A forma do pulso de corrente pode ser aproximada pela expressão:

$$I_p(t) = I_0 * (e^{-(t/\tau_F)} - e^{-(t/\tau_R)}) \quad (2)$$

onde $I_p(t)$ é a corrente do pulso, τ_F é a constante de tempo relacionada à coleta de cargas pela junção e τ_R é a constante de tempo relacionada ao estabelecimento do rastro de ionização criado pela partícula. O valor da corrente I_0 é determinado pelo valor de pico da corrente que se deseja representar.

A figura 3 mostra uma representação genérica do pulso de corrente, simulada com a equação 2, onde define-se os tempos de subida T_R e de descida T_F como os intervalos de tempo entre os valores de 10% e 90% do valor máximo da corrente I_{peak} . O período T_P é medido entre os pontos t_1 e t_2 onde $I_p(t)$ tem o valor $I_{peak} / 2$. A relação entre o valor de pico

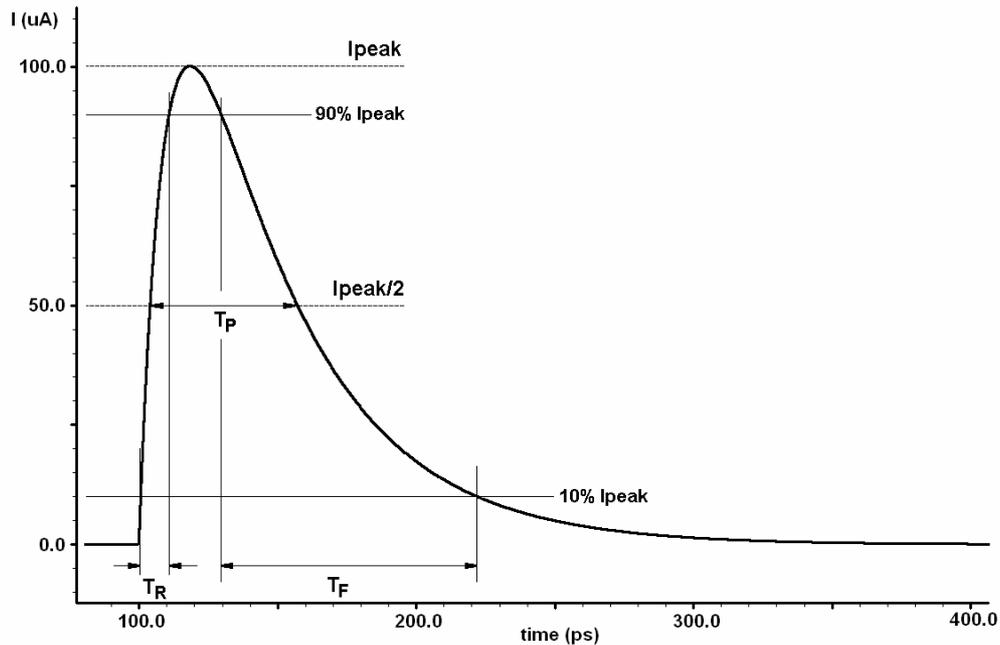


Figura 3 Forma de onda simulada do pulso de corrente conforme equação 2.

I_{peak} e a corrente I_0 depende das constantes de tempo τ_F e τ_R . Para fins de simulação, os valores de I_0 , τ_F e τ_R precisam ser determinados em função da tecnologia empregada e a LET escolhida. Esse modelo se mostra bastante adequado para representar o comportamento da junção sob a incidência de partículas ionizantes, com tempos de ataque da ordem de picossegundos e natureza pontual, ou seja, atinge apenas uma junção por evento. O pulso de corrente induzido apresenta-se com uma rápida borda de subida, seguido por um lento decaimento. A coleta por deriva determina o rápido crescimento da corrente; o lento decaimento é controlado pela coleta por difusão.

2.5 TÉCNICAS TRADICIONAIS DE MITIGAÇÃO DOS EFEITOS DO SET

A possibilidade de falha em um sistema ligado a aplicações críticas com respeito à segurança, tais como aplicações militares, aeroespaciais e, mesmo, na área da segurança da informação, deu origem a várias técnicas capazes de lidar com o problema e permitir que os sistemas satisfizessem requisitos mínimos de segurança (NICOLAIDIS, 2012). Tais técnicas são baseadas no uso massivo de circuitos e/ou programas (software) redundantes, o que, em

consequência, aumenta o consumo de potência, a área física ocupada e o peso, e em alguns casos, penaliza a velocidade de operação. A redundância pode ser feita em nível de circuito ou em nível de software, ou ainda, uma combinação de ambos (NICOLAIDIS, 2012), apesar do interesse aqui estar focado nas técnicas em nível de circuito apenas.

A técnica mais simples é a Triple Modular Redundancy (TMR) que emprega três sistemas idênticos executando o mesmo programa em paralelo e, assim, obtendo sempre os mesmos resultados a cada ciclo de máquina. Um circuito votador verifica a saída dos três circuitos e toma como correta a saída que concorde em pelo menos dois deles. Assim, caso um dos circuitos tenha sido afetado por um erro (induzido por SET ou não), a resposta errada é descartada e o estado do circuito afetado pode ser corrigido. A técnica TMR implica em um acréscimo de recursos de pelo menos 200%, em virtude da triplicação dos sistemas. Apesar disso, resulta em uma abordagem bastante flexível e adotável em praticamente qualquer sistema (NICOLAIDIS, 2012).

A técnica Duplication with Comparison (DWC) é semelhante à TMR, mas emprega apenas dois circuitos operando em paralelo, com as saídas dos circuitos sendo capturadas em registradores distintos. Um comparador verifica a igualdade entre os conteúdos dos registradores a cada ciclo de máquina. Caso essa igualdade não se verifique, infere-se que houve um erro em um dos sistemas (BASTOS, 2011). A DWC não permite que se obtenha uma resposta livre de erros como o faz a TMR, mas a detecção da ocorrência do erro pode ativar um mecanismo de correção de erros que restaure a operação normal do circuito, ou tome medidas contingenciais para manter o circuito em operação e garantir a segurança do sistema. O acréscimo nos recursos necessários para a implementação da DWC ultrapassa os 100% (BASTOS, 2011).

A técnica Time Redundancy (TR) baseia-se na ideia de um único circuito executar a mesma computação duas vezes em sequência, comparando-se os resultados. em caso de

discordância, pode-se repetir a computação até que se encontre uma resposta válida. Apesar do acréscimo de recursos ser modesto, pois se utiliza somente um sistema computacional, a técnica introduz uma penalidade na velocidade de operação do sistema, pois é necessário realizar o mesmo processamento por, pelo menos, duas vezes, reduzindo a velocidade do sistema à metade (BASTOS, 2011).

2.6 A TÉCNICA BULK-BICS

Vários trabalhos (FELTHAM, 1988; LO, 1992; RUBIO, 1995; LU, 1996; MIURA, 1997; LEE, 1998; KIM, 1998) propõem o uso de sensores de corrente do tipo BICS para monitorar as linhas de alimentação dos circuitos integrados e, assim, detectar falhas de fabricação ou, mesmo, falhas durante o funcionamento. A monitoração da corrente de alimentação utilizando BICS para a detecção da ocorrência de SEU provocadas pela incidência de partículas ionizantes em memórias RAM foi proposta por vários autores (VARGAS, 1994; GILL, 2005) considerando que, em caso de ocorrência de um SEU, a corrente anormal de substrato circula através das conexões de V_{DD} ou gnd.

Na técnica BICS, um elemento resistivo é interposto nas linhas de alimentação, de forma a obter uma queda de tensão proporcional à corrente drenada pelo circuito. Os substratos dos transistores são conectados às linhas de alimentação e a corrente de substrato representa uma parcela muito pequena da corrente normal de operação do circuito, sendo geralmente desprezível. Em caso de ocorrência de um SEU, a corrente de alimentação sofre um acréscimo anormal, que é detectado pelo circuito BICS através da mudança no valor da queda de tensão no elemento resistivo, o qual pode ser implementado na forma de um resistor ou através de um transistor operando na região de triodo.

É conveniente notar que, durante as operações de escrita e leitura da memória, circulam pelas linhas de alimentação as correntes dinâmicas responsáveis pela carga e

descarga das capacitâncias dos nós do circuito. A fim de evitar que estas correntes sejam erroneamente detectadas, prejudicando a eficácia da detecção do SEU, o BICS é desabilitado durante tais operações. Tal técnica pode ser estendida para circuitos sequenciais; o sinal de clock pode ser usado para determinar quando o BICS deve estar inativo.

Para circuitos combinacionais, a monitoração das correntes de alimentação não representa uma maneira adequada para a detecção da ocorrência de um SET. Devido ao caráter assíncrono do funcionamento dos circuitos combinacionais não é possível a diferenciação entre as correntes dinâmicas que fluem nas linhas de alimentação pelo chaveamento dos transistores durante a operação normal do circuito e aquelas provenientes da ocorrência de um SET (HENES NETO, 2006). É proposto, então, a monitoração das correntes de substrato como forma de detectar a ocorrência de SET, criando-se a técnica Bulk-BICS (HENES NETO, 2006). A monitoração das correntes de substrato como forma de detecção da ocorrência de SET mostra-se, assim, adequada a circuitos sequenciais, combinacionais e memórias. Um único BICS é capaz de monitorar a corrente de substrato de mais de um transistor ao mesmo tempo. A área e o consumo de energia necessários à operação e implementação do Bulk-BICS, bem como o impacto no desempenho do circuito sob supervisão, são minimizados em relação às técnicas tradicionais de mitigação (HENES NETO, 2006). (BASTOS, 2011) estima o acréscimo de área em 13,4% para a implantação dos circuitos adicionais, sem impacto na frequência de operação do sistema. Para a implementação da técnica, é necessário o desenvolvimento de circuitos sensores de corrente de substrato ou “bulk”, os Bulk-BICS, dos quais segue uma revisão de literatura.

2.7 CIRCUITOS BULK-BICS NA LITERATURA

O primeiro circuito Bulk-BICS foi apresentada por (HENES NETO, 2006), onde foram aplicados sensores de corrente nos substratos dos transistores de uma porta OU-

exclusivo. O sensor implementado para o substrato dos transistores PMOS é a versão complementar daquele implementado para os transistores NMOS. A figura 4 mostra os circuitos implementados.

O circuito é baseado em uma célula registradora do tipo latch, implementada com dois inversores em ligação cruzada, mostrados na figura 4 como os transistores 3, 4, 5 e 6. Tanto no P-BICS como no N-BICS, os transistores 7, 8 e 9 perfazem uma rede de polarização que mantém o latch em condição de quase-basculamento. Os substratos dos transistores monitorados são conectados às linhas de alimentação através dos transistores 1 que, deixados em condução permanente, atuam como elementos sensores de corrente. Durante a operação normal do circuito, a corrente de substrato dos transistores monitorados é incapaz de provocar uma queda de tensão apreciável sobre os transistores sensores de corrente. Entretanto, a corrente transitória induzida pela incidência da radiação ionizante é tal que provoca uma queda de tensão apreciável sobre os transistores 1. Essa queda, acoplada ao latch através dos

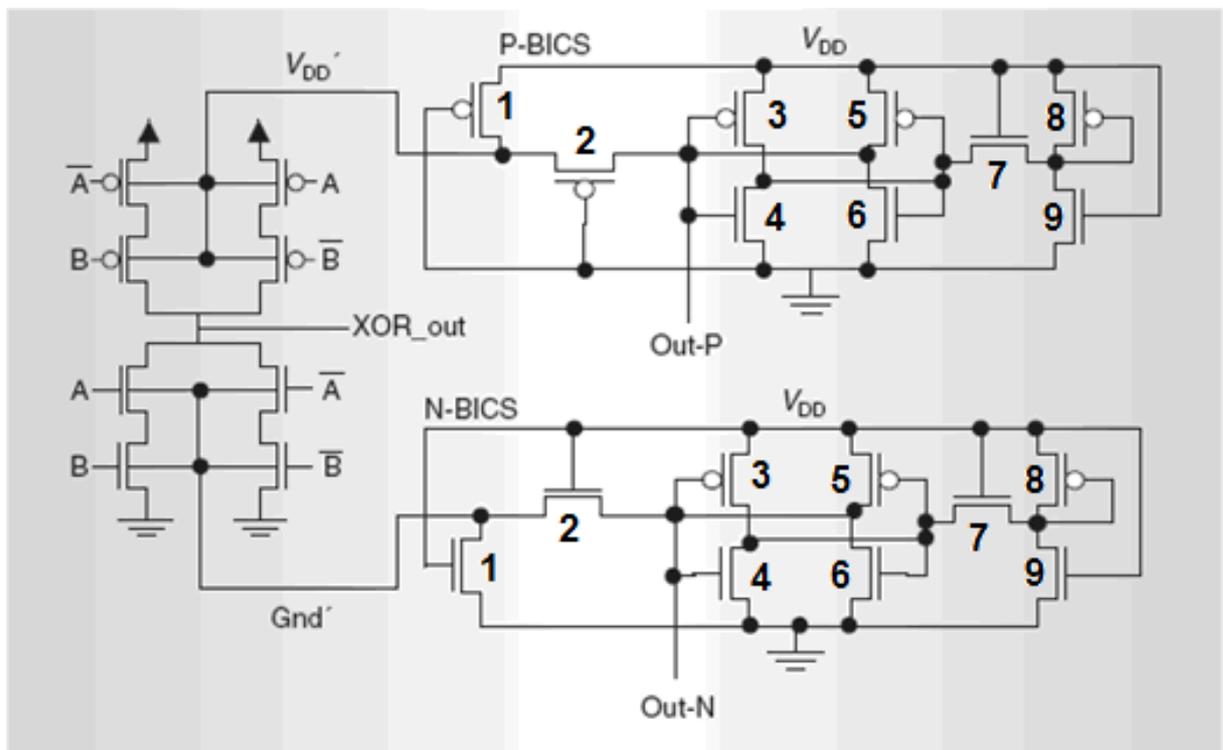


Figura 4 Implementação Bulk-BICS proposta por (HENES NETO, 2006).

transistores 2, provoca o basculamento do latch, registrando, assim a ocorrência do SET.

(LISBOA, 2007), cujo tema principal é a aplicação da recomputação como técnica de recuperação de um sistema digital afetado por SET, introduz o recurso de reset para o elemento de memória do Bulk-BICS, conforme mostrado na figura 5. Os circuitos são desenvolvidos em tecnologia 32 nm e são dadas as dimensões dos transistores utilizados. O trabalho reconhece que o tempo de resposta do Bulk-BICS é crucial para o perfeito funcionamento do mecanismo de recomputação, colocando que o correto ajuste no tempo de resposta do Bulk-BICS é “um dos passos que devem ser considerados no projeto”, cujo valor deve ser “igual ou menor do que a metade do período de clock” do sistema sob supervisão.

(HENES NETO, 2008) apresenta uma modificação do sensor proposto por (LISBOA, 2007), mostrada na figura 6. Os transistores 9 e 10 alternam-se na condução da corrente de substrato, controlados pelo estado da célula de memória composta pelos transistores 5 a 8. O objetivo é melhorar a sensibilidade do circuito à corrente monitorada.

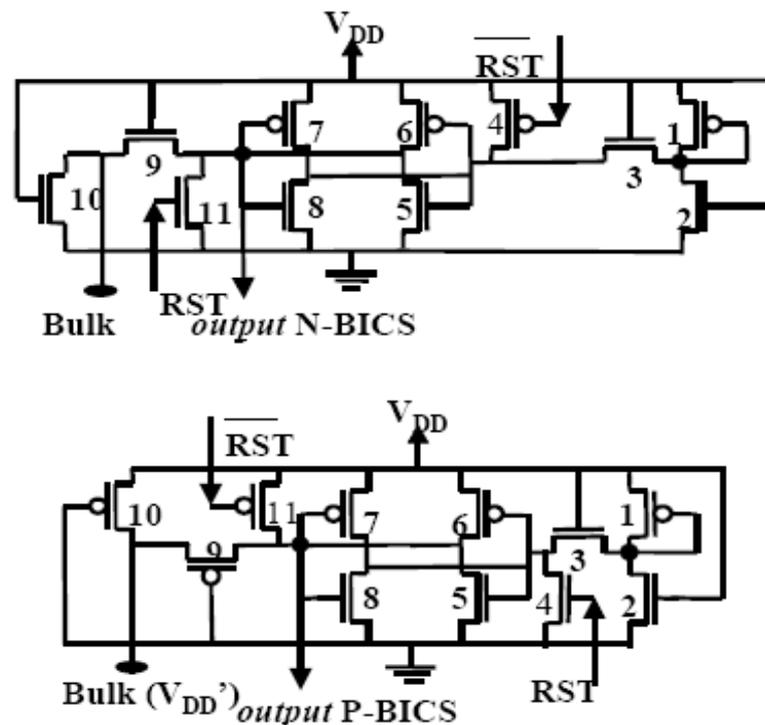


Figura 5 Circuitos Bulk-BICS propostos por (LISBOA, 2007).

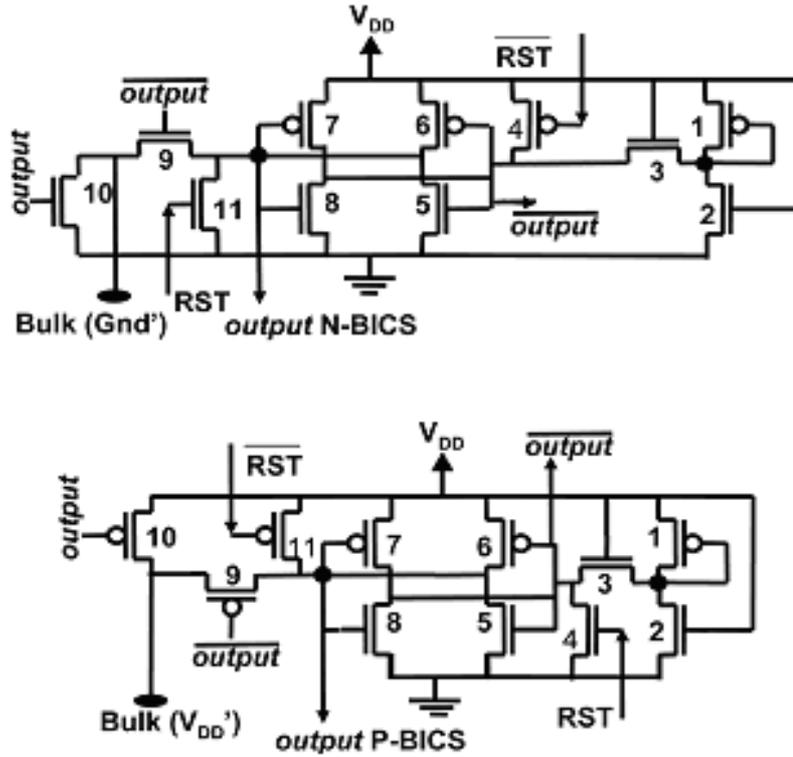


Figura 6 Circuitos Bulk-BICS propostos por (HENES NETO, 2008).

O trabalho propõe uma forma de ajustar a sensibilidade do circuito para compensar variações devidas ao processo e à temperatura. Os transistores 5, 6, 7 e 8 são substituídos por um conjunto de transistores, selecionáveis digitalmente, conforme mostra a figura 7. Através

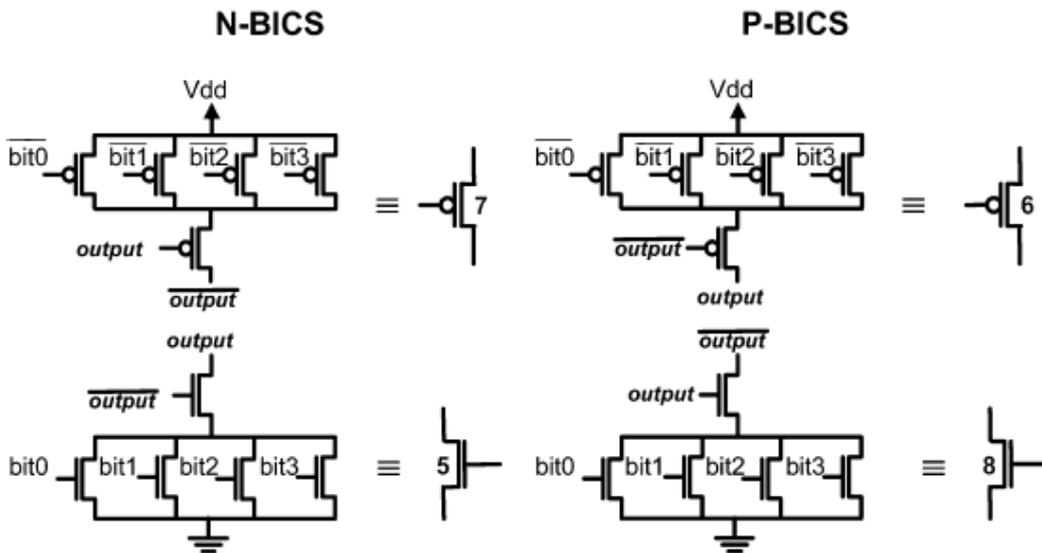


Figura 7 Estrutura proposta para os transistores 5 a 8 (HENES NETO, 2008).

dessa técnica, a transcondutância equivalente do grupo de transistores pode ser ajustada externamente através dos bits de controle, permitindo um ajuste fino das condições de operação do circuito. Os resultados apresentados comprovam a eficácia do método em compensar as variações devidas a processo e temperatura.

(ZHANG, 2010) identifica os problemas relacionados ao consumo de corrente quiescente, à necessidade de dois sinais de reset e à grande quantidade de transistores para a implementação dos circuitos anteriores. Como solução, propõe um novo circuito, conforme apresentado na figura 8. A quantidade de transistores é substancialmente diminuída, sendo necessário um sinal de reset único. Nenhuma corrente quiescente circula pelo circuito além das correntes de fuga dos transistores utilizados. Os resultados apresentados mostram a eficácia do novo circuito na redução do consumo de potência e área de silício, em comparação com os circuitos propostos anteriormente. Esses circuitos receberam a patente norte-americana de nº US8451028 em 28 de Maio de 2013.

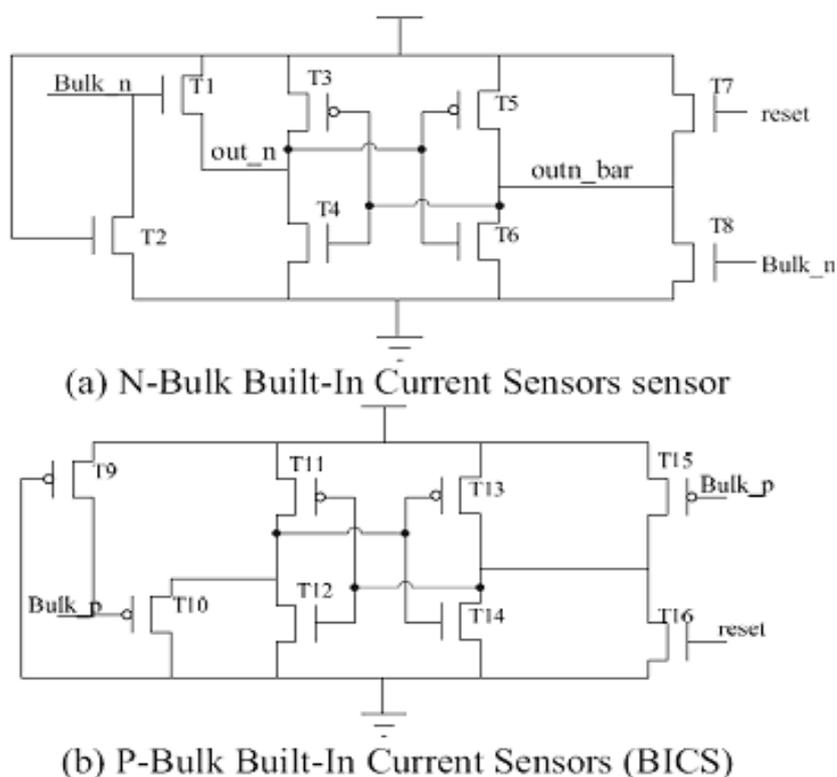


Figura 8 Circuitos Bulk-BICS propostos por (ZHANG, 2010).

Uma mudança no paradigma quanto ao tipo de célula de memória a ser utilizada em um sensor de corrente transiente é feita em (SIMIONOVSKI, 2012a). Identificando que a informação da ocorrência de SET não necessita ser armazenada por um intervalo de tempo superior a poucos ciclos do sinal de clock que rege o sistema sob supervisão, é proposto, de forma inédita, o uso de uma célula de memória dinâmica como elemento de armazenagem da informação da ocorrência de um SET. Essa nova topologia permite criar um novo circuito Bulk-BICS – o Dynamic Storage Built-In Current Sensor (DynBICS) – cujas características se aproximam ainda mais do sensor idealmente desejado para a implantação prática da técnica Bulk-BICS, pois o circuito proposto utiliza um número menor de transistores em relação aos circuitos com célula estática, minimizando a área de silício necessária para a sua implementação e reduzindo o consumo de corrente quiescente. Em sequência, (SIMIONOVSKI, 2012b) apresenta detalhadamente os circuitos DynBICS, descrevendo a implementação de um par de sensores destinados à monitoração de transistores NMOS e PMOS. Nesse trabalho, o circuito básico é refinado e acrescenta-se um transistor-alvo, um controle de sensibilidade e um meio de ativar o circuito através de um sinal elétrico externo, o que permite o teste prévio do circuito em bancada, antes de submeter-se o circuito à radiação. O trabalho apresenta o circuito final desenvolvido e enviado para prototipação, além de extensos resultados obtidos através de simulação, inclusive com uma comparação de desempenho entre os circuitos DynBICS e aqueles propostos por (ZHANG, 2010). O protótipo é testado eletricamente e os resultados obtidos são relatados em (SIMIONOVSKI, 2014); um ensaio de Dose Total Irradiada é relatado em (SIMIONOVSKI, 2015b). Os resultados dos ensaios realizados com os sensores DynBICS são apresentados de forma mais detalhada no próximo capítulo.

(TORRES, 2012) segue a investigação dos sensores Bulk-BICS propondo uma topologia modular aos sensores Bulk-BICS, criando os mBBICS (Modular Bulk-BICS).

Nessa topologia, um conjunto de células sensoras de corrente “heads” são conectadas a uma única célula de memória estática “tail”. A figura 9 mostra a estrutura proposta.

São apresentados os resultados simulados para uma tecnologia preditiva de 16 nm operando a $V_{DD} = 0,7$ V. Dos resultados de simulação extrai-se que o número máximo de

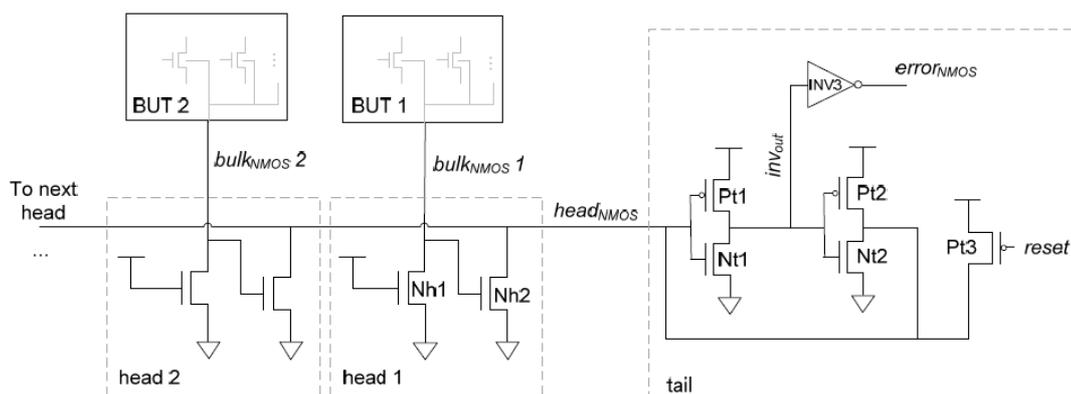


Figura 9 Estrutura do mBBICS proposta por (TORRES, 2012) para monitoração de transistores NMOS.

“heads” possíveis de serem associados a um único “tail” é de 20 unidades para sensores destinados a transistores NMOS e 22 unidades para as contrapartes PMOS. A associação de um número maior de “heads” leva o circuito a apresentar uma saída falsamente positiva, devido ao efeito das correntes de fuga nos transistores indicados como Nh2 na figura 9.

(BASTOS, 2012) analisa o circuito proposto por (HENES NETO, 2008) e identifica que os transistores 1, 2 e 3 da figura 6, responsáveis por deixar a célula de memória em situação de basculamento iminente, “não são necessários para a eficiente e rápida detecção de falhas transientes”. A remoção desses transistores proporciona uma drástica redução no consumo de corrente do circuito original, compensando-se a decorrente redução na sensibilidade da célula estática através de um redimensionamento dos seus transistores. Com as novas dimensões necessárias, dois transistores da célula estática entram em condução por inversão fraca quando a célula de memória repousa em reset, de forma que o circuito tem um consumo de corrente quiescente maior do que o desejável. A fim de tentar contornar essa

deficiência, é proposta uma maneira de eliminar essa parcela adicional de consumo quando o sistema for posto em repouso (stand-by). A figura 10 apresenta o circuito final proposto.

(BASTOS, 2013a) e (BASTOS, 2013b), identificam que uma mesma célula de memória estática pode ser disparada por dois sensores de corrente complementares entre si e propõem um circuito BICS único, Single BBICS, capaz de monitorar transistores do tipo PMOS e NMOS simultaneamente. O circuito proposto, mostrado na figura 11, é consequente daquele apresentado em (BASTOS, 2012) e apresenta a mesma deficiência notada no primeiro quanto à condução parcial dos transistores da célula de memória, razão pela qual permanece existindo a possibilidade de pôr o circuito em modo sleep. (DUTERTRE, 2014) segue apresentando o mesmo circuito ao mesmo tempo em que propõe o uso de transistores NMOS em tecnologia triple well para contornar o problema da coleta de corrente de substrato em transistores NMOS do tipo bulk, método que já fora empregado em (SIMIONOVSKI, 2012b) para a obtenção da conexão de substrato no transistor-alvo NMOS utilizado no circuito DynBICS para transistores NMOS.

(BASTOS, 2014), por fim, apresenta uma nova versão do Single BBICS na qual busca

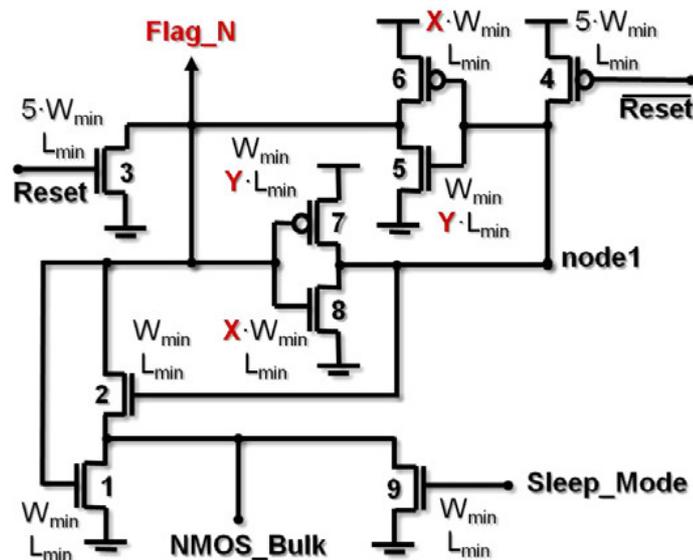


Figura 10 Bulk-BICS com comando sleep conforme (BASTOS, 2012).

incorporar, ao circuito proposto em (BASTOS, 2013a), o conceito de modularidade introduzido por (TORRES, 2012). Ao mesmo tempo, procura melhorar ainda mais a sensibilidade de detecção de corrente elaborando um pouco mais o circuito previamente proposto e, também, minimizar o consumo de corrente quiescente com o uso de transistores de diferentes tensões de limiar. Nesse mesmo trabalho é apresentada uma comparação entre a sensibilidade de vários circuitos com célula de memória estática anteriormente propostos (BASTOS, 2012; ZHANG, 2010; HENES NETO, 2008) e o novo circuito. A figura 12 mostra o circuito proposto.

2.8 MÉTODOS CORRETIVOS PROPOSTOS PARA A IMPLEMENTAÇÃO DA TÉCNICA BULK-BICS

(LEITE, 2009a) apresenta o primeiro trabalho que propõe “a aplicação de uma técnica corretiva baseada em recomputação para mitigar os efeitos da radiação em processadores integrados” baseando-se em sensores Bulk-BICS para proporcionar o sinal de ativação. É

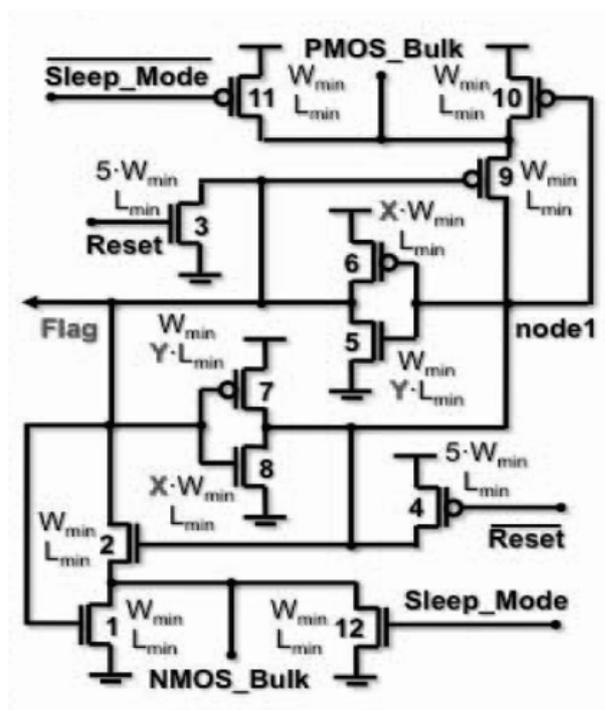


Figura 11 Circuito do Single BBICS conforme proposto por (BASTOS, 2013a)

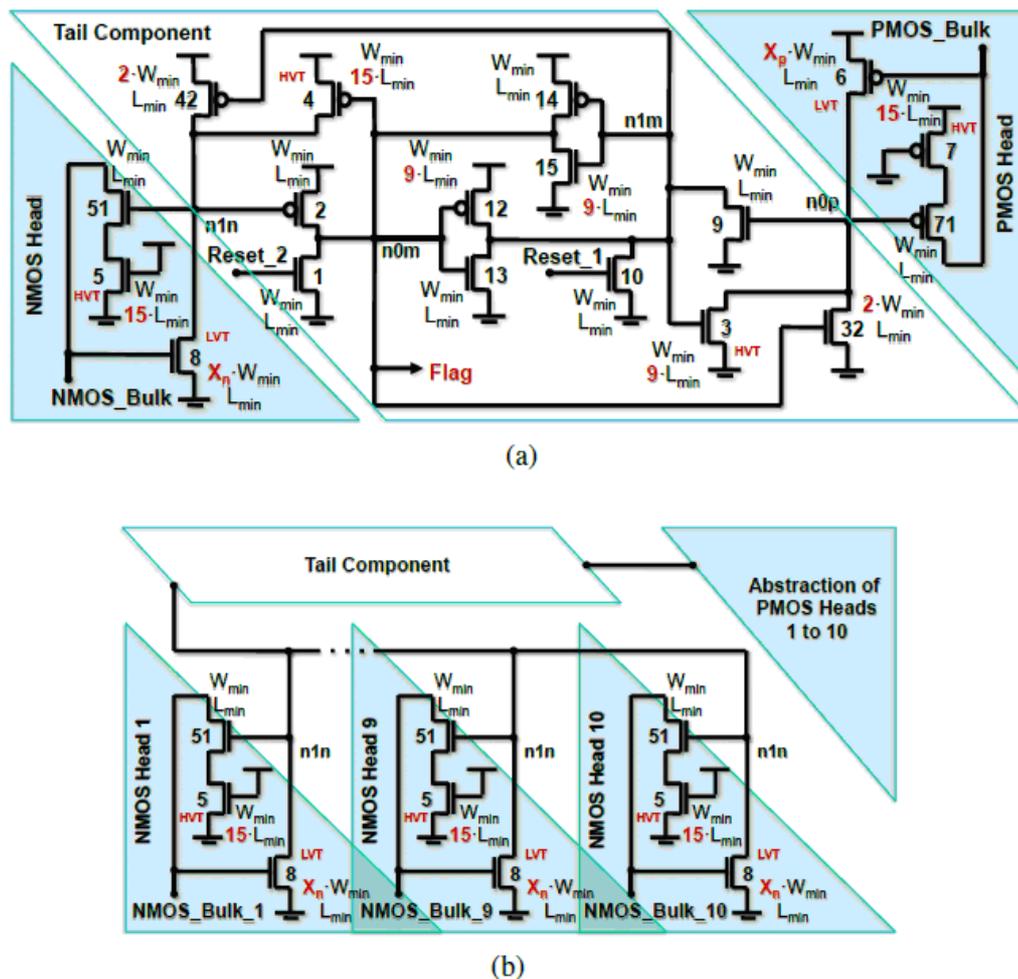


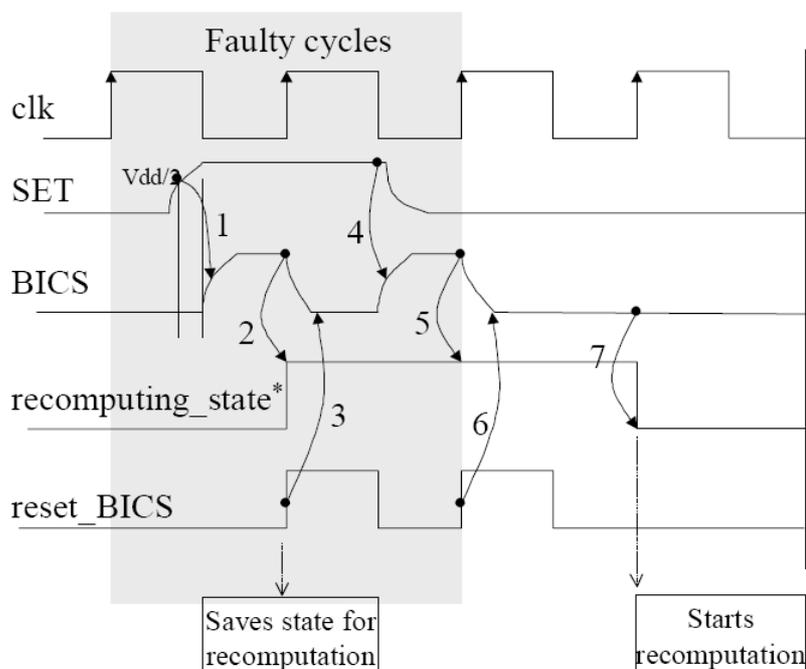
Figura 12 Diagrama do circuito Single BBICS (a) conforme (BASTOS, 2014) e sua modularização (b).

utilizado o microcontrolador 8051 como caso de estudo e o processo de recomputação escolhido - recomputação de instruções - é implementado como a repetição da leitura e da execução da instrução em execução no momento em que o Bulk-BICS indica a ocorrência de uma corrente transiente no circuito. Nessas circunstâncias, entende-se que nenhum dado pode ser armazenado em qualquer elemento de memória, uma vez que o mesmo pode estar corrompido. Assim, a fim de corretamente reexecutar a última instrução, o contador de programa deve ser parado e, em certos casos, decrementado.

Após a reexecução da última instrução, o Bulk-BICS recebe um sinal de reset e o microcontrolador continua sua operação normal se nenhuma corrente anormal é detectada pelos Bulk-BICS. O trabalho utiliza uma descrição do 8051 em Very-high speed integrated

circuit Hardware Description Language (VHDL) e mostra as modificações introduzidas na arquitetura do microcontrolador a fim de implementar o algoritmo de recomputação, descrevendo as maneiras de lidar com as instruções que empregam mais de um ciclo de execução.

(LISBOA, 2007) desenvolve a ideia da recomputação mostrando que, para as tecnologias com dimensão de canal mínima menor do que $0,25\ \mu\text{m}$, a duração de um SET pode ser maior do que o período de clock do sistema, podendo ter uma duração equivalente a vários ciclos de clock do sistema. Segue afirmando que a incidência de uma única partícula pode dar origem a vários pulsos simultâneos e que o fenômeno não pode ser mais negligenciado para tecnologias de 130 nm e menores. Em sequência, é proposta uma forma de tratar tais SETs de longa duração, propondo o tratamento da ocorrência de SET através da monitoração do estado do Bulk-BICS a cada ciclo de máquina. A figura 13 mostra os diversos sinais relevantes ao mecanismo apresentado.



(*) Remains in this state while SET is present

Figura 13 Sinais relevantes do mecanismo de mitigação do efeito de transientes de longa duração segundo (LISBOA, 2007).

O sinal do Bulk-BICS ativa o mecanismo de recomputação, que periodicamente salva o estado do circuito para uso posterior, quando o SET estiver extinto. O circuito de recomputação responde ao sinal do Bulk-BICS enviando-lhe um sinal de reset; caso o pulso transiente persista, esse ativa novamente ou mantém ativado o Bulk-BICS. A cada ciclo de máquina o estado do Bulk-BICS é verificado e um sinal de reset é enviado. O ciclo se repete até que o Bulk-BICS permaneça na situação de reset, o que somente logra ocorrer após a extinção do pulso transiente. A partir desse momento, o sistema é então restaurado à sua condição prévia à ocorrência do transiente utilizando o estado previamente armazenado, após o que o sistema prossegue em sua operação normal.

(LEITE, 2009b) apresenta uma possível forma de como implementar do uso do sinal proveniente dos Bulk-BICS para ativar a recuperação de um sistema utilizando-se a recomputação de instruções. O trabalho é aplicado a um microprocessador 8051, utilizando a descrição desse microprocessador em VHDL, tal como descrito previamente em (LEITE, 2009a). São mostrados, de forma detalhada, os passos necessários para a monitoração dos Bulk-BICS, de forma a fazer o processador reler a última instrução e reexecutá-la em caso de ocorrência de SET. Segue abaixo a transcrição do resumo das etapas que foram seguidas no trabalho para a recomputação de instruções, traduzida do texto original em Inglês:

- a) monitorar constantemente os sensores de radiação à espera da ocorrência de m SET;
- b) interromper o contador de programa;
- c) assegurar que nenhum dado (potencialmente corrompido) será armazenado na memória ou registradores,
- d) em determinadas situações o PC (contador de programa) deve ser decrementado a fim de se reexecutar corretamente a instrução,

- e) em instruções de desvio, o apontador da pilha, *stack pointer* (SP) deve ser restaurado ao seu valor inicial, antes de entrar na instrução,
- f) interrupções devem esperar até que o processo de recomputação termine para serem atendidas,
- g) enviar o sinal de reset para o sensor ao final do processo.

Nesse trabalho, é protegido o conjunto completo de instruções do 8051, ao mesmo tempo em que é garantido que nenhum dado potencialmente corrompido é armazenado na memória. O trabalho conclui que a implementação da técnica da recomputação implicou “em um aumento na área de silício bastante pequeno, especialmente se comparado com a técnica TMR”. O aumento na potência consumida, ocasionado pela inserção do mecanismo de recomputação foi “muito pouco significativo”, embora a frequência de operação do sistema “tenha sofrido uma redução considerável”. É importante mencionar que essas afirmações são feitas sem contabilizar a presença dos circuitos Bulk-BICS, a qual inevitavelmente precisa ser acrescida no cômputo do consumo de corrente e da área de silício necessária para a implementação do sistema.

(BASTOS, 2011) analisa o mecanismo proposto por (LISBOA, 2007) e mostra que esse necessita um banco de registradores capaz de reter, pelo menos, dois estados prévio à ocorrência da falha transiente, caso o tempo de resposta do Bulk-BICS seja de até 50% do período de clock do sistema. Para tempos de resposta maiores do que esse, torna-se necessário reter um número maior de estados prévios. Propõe, então, o uso de um latch assíncrono disparado pelo sinal proveniente dos Bulk-BICS como meio de gerar o sinal de recomputação e efetuar o reset dos Bulk-BICS na borda descendente do sinal de clock do sistema. A figura 14 mostra os sinais relevantes do processo proposto, na qual pode-se apreciar o tratamento de transientes de longa duração (TF1) e curta duração (TF2 a TF4). A mesma abordagem é rerepresentada em (BASTOS, 2013c).

2.9 DETEÇÃO DE TENTATIVAS DE INVASÃO EM SISTEMAS DIGITAIS POR ESTIMULAÇÃO LASER

Circuitos eletrônicos com sistemas de encriptação incorporados têm sido alvo de ataques feitos com fontes ópticas visando induzir erros nos sistemas e, como consequência, extrair informações que permitam quebrar códigos de segurança (BASTOS, 2014; LU 2014). Considerando que o tamanho dos dispositivos é cada vez mais reduzido, (LU, 2014) mostra que a área iluminada por um pulso laser pode ser maior do que a do próprio dispositivo cuja região PN se quer atingir e que, para tecnologias de 65 nm e menores, a área iluminada por um pulso laser de 1 μm de diâmetro é capaz de iluminar ambos os transistores de um inversor mínimo. Em seguida, apresenta um modelo capaz de descrever o comportamento de um transistor sob tais circunstâncias, e conclui apresentando um sensor de luz apto a ser distribuído por todo o sistema, à semelhança dos Bulk-BICS, com a finalidade específica de detectar tentativas de invasão da segurança do sistema através de pulsos laser. Para justificar tal abordagem, (LU, 2014) considera que o ataque geralmente é feito com pulsos de longa duração, se comparados com aqueles utilizados para emular o efeito de partículas ionizantes, e que o diâmetro da área iluminada pelo laser pode abranger múltiplos transistores ou, mesmo, portas lógicas inteiras. Com a distribuição inteligente de sensores de luz por todo o circuito integrado, mostra ser possível detectar uma tentativa de invasão de forma indireta,

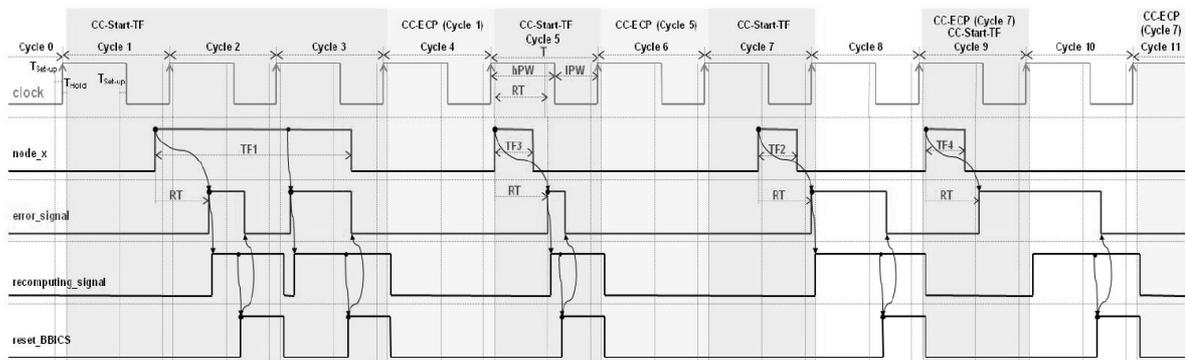


Figura 14 Sinais relevantes do mecanismo proposto por (BASTOS, 2011).

sem a necessidade de utilizar circuitos supervisores conectados aos transistores que compõe o circuito principal, tal como se faz com a técnica Bulk-BICS. O uso de simples sensores de luz mostra ser, dessa forma, uma maneira bastante mais vantajosa do que a técnica Bulk-BICS para a detecção de transientes introduzidos com o propósito de corromper a segurança de um sistema, visto ser muito menos invasiva, tanto por não perturbar o funcionamento elétrico do sistema sob supervisão, como por consumir uma menor área de silício.

Por essas razões, acredita-se que o uso da detecção direta da incidência de luz será a técnica de escolha para a proteção de sistemas digitais contra tentativas de invasão por indução de correntes transientes geradas opticamente, levando a técnica Bulk-BICS a ser usada somente para a proteção contra os efeitos da incidência de radiações ionizantes. Essa é a razão por que opta-se por manter o foco nas perturbações do tipo SET geradas por partículas ionizantes, deixando-se de tratar da proteção quanto à ocorrência de correntes transientes induzidas por laser com o intuito de quebrar a segurança do sistema. O uso de luz laser permanece, entretanto, como um modo de gerar as correntes transientes necessárias para o teste de robustez de um sistema, ao invés do uso direto de radiações ionizantes.

2.10 FINALIZAÇÃO DO CAPÍTULO

O capítulo apresentou um breve resumo sobre a origem e natureza das radiações que afetam os circuitos integrados e as formas como os mesmos são afetados, introduzindo-se o conceito de LET que permite quantificar a quantidade de carga produzida por uma partícula ao atravessar as regiões do circuito integrado. O problema do erro transiente (soft error) foi introduzido, e as técnicas tradicionais de mitigação foram citadas. A técnica Bulk-BICS foi apresentada como uma alternativa vantajosa às técnicas de mitigação tradicionais, discutindo-se os circuitos propostos na literatura para efetuar a detecção da ocorrência do SET e o método proposto para restaurar a operação normal de um sistema por ele afetado.

3 O SENSOR DE CORRENTE TRANSIENTE COM CÉLULA DE MEMÓRIA DINÂMICA (DYNBICS)

O sensor de corrente transiente com célula de memória dinâmica foi apresentado em (SIMIONOVSKI, 2012a) em contraponto à topologia até então utilizada, baseada em uma célula de memória estática na forma de um latch biestável. Com efeito, o circuito proposto por (ZHANG, 2010) representava, à época, o circuito mais otimizado com relação à área necessária para implementar um sensor BICS, uma vez que os transistores utilizados estavam reduzidos ao mínimo necessário para se obter a função pretendida. Com a utilização de um único transistor como elemento de memória dinâmica, em substituição aos quatro transistores utilizados no latch estático, logra-se obter um circuito sensor de corrente cujas características se aproximam ainda mais do sensor idealmente desejado para a implantação prática da técnica Bulk-BICS.

A apresentação completa do sensor com memória dinâmica, nomeado como Dynamic Storage Built-In Current Sensor (DynBICS), é feita em (SIMIONOVSKI, 2012b). Apresentar-se-á, neste capítulo, um resumo desse trabalho, mostrando-se o princípio de funcionamento da célula dinâmica e os detalhes da implementação física do protótipo produzido. Serão apresentados os resultados dos testes elétricos, do ensaio de dose total irradiada e do ensaio de irradiação laser, bem como será mostrada uma maneira de estabilizar a célula de memória dinâmica evitando a necessidade do uso de um sinal de reset recorrente. A partir dos resultados obtidos, valida-se a topologia da célula dinâmica e conclui-se que os circuitos DynBICS são funcionais, robustos e adequados à captura dos transientes gerados por radiações ionizantes, o que serve de embasamento para as modificações e melhorias que serão introduzidas nos circuitos DynBICS e que gerarão um novo circuito sensor, o qual será apresentado no próximo capítulo.

3.1 PRINCÍPIO DE FUNCIONAMENTO DO DYNBICS

Todos os circuitos BICS apresentados na literatura são compostos de um subcircuito sensor de corrente que aciona uma célula de memória encarregada de reter a informação da ocorrência do SET, e os sensores DynBICS seguem essa topologia. O diferencial proposto nos sensores DynBICS é a utilização de uma célula dinâmica em substituição à célula estática. As vantagens da célula dinâmica sobre a célula estática podem ser enumeradas :

- a) Utiliza apenas quatro transistores ao invés dos, pelo menos, seis transistores utilizados nas células estáticas das propostas anteriores;
- b) Utiliza apenas um sinal de set e um de reset, dispensando sinais em fase e contra-fase necessários em algumas propostas;
- c) É um circuito em laço aberto, cuja velocidade de resposta é controlada pela velocidade com que a capacitância de armazenamento pode ser carregada.

A célula de memória dinâmica utilizada nos DynBICS compreende quatro transistores, interligados conforme mostra a figura 15. Nessa célula, controla-se a condução do transistor T3 através da tensão armazenada na capacitância C_{ST} , que representa o total das capacitâncias agregadas à porta de T3 e compreende as capacitâncias porta-fonte C_{GS} , porta-dreno C_{GD} e porta-substrato C_{GB} de T3, as capacitâncias de dreno de T1 e T2 e as demais

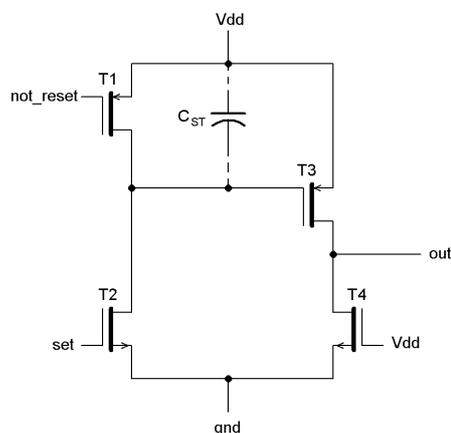


Figura 15 Diagrama esquemático da célula de memória dinâmica.

capacitâncias parasitas introduzidas pelo layout. A função de T2 é prover um caminho de carga para C_{ST} quando o sinal set vai a nível 1. Da mesma forma, T1 provê um caminho de descarga para C_{ST} , o que ocorre sempre que o sinal not_reset vai a nível 0. T4 opera como carga ativa de T3, provendo um caminho de corrente ao gnd quando T3 encontra-se em corte. Em situação de armazenagem, o sinal set é mantido em nível 0 enquanto o sinal not_reset é mantido em nível 1, não havendo caminho para a carga ou descarga de C_{ST} . O nível lógico presente na saída out será, então, função da tensão armazenada em C_{ST} : out estará em nível 0 para $V_{C_{ST}} \ll |V_{TH_{T3}}|$ e em nível 1 para $V_{C_{ST}} \gg |V_{TH_{T3}}|$, onde $V_{C_{ST}}$ é a tensão presente na capacitância C_{ST} e $V_{TH_{T3}}$ é a tensão de limiar do transistor T3.

Os circuitos básicos para os sensores DynBICS são mostrados na figura 16. Para a monitoração de transistors PMOS e NMOS, são necessários dois circuitos complementares entre si, nomeados Dyn_P (para PMOS) e Dyn_N (para NMOS). O transistor T0 é acrescentado à célula de memória e age como elemento sensor de corrente. A corrente de poço ou substrato I_{bulk} a ser monitorada atravessa o canal de T0, que é mantido em condução permanente. A queda de tensão existente entre dreno e fonte de T0, provocada pela circulação da corrente de poço, é aplicada à porta de T2 e controla o mecanismo de carga da capacitância C_{ST} associada a T3.

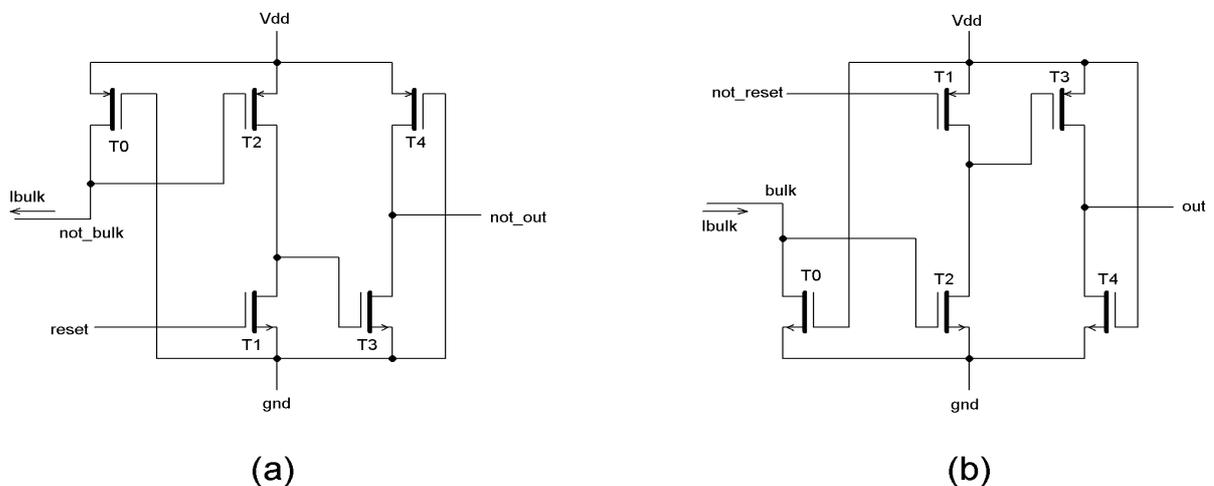


Figura 16 Circuitos básicos dos sensores Dyn_P (a) e Dyn_N (b).

Na ocorrência de um SET, a corrente I_{bulk} aumenta a ponto de provocar uma queda de tensão entre o dreno e a fonte de T0 que força T2 a entrar em condução. A corrente através de T2 carrega a capacitância C_{ST} associada a T3, fazendo-o entrar em condução e levando a saída out ao nível 1 e not_out ao nível 0. A extinção do pulso de corrente transiente faz com que a queda de tensão em T0 seja insuficiente para manter T2 em condução; não havendo caminho para a descarga da capacitância C_{ST} , a carga ali armazenada mantém T3 em condução. O retorno de T3 ao estado de corte é feito através dos sinais not_reset e reset.

Uma análise mais rigorosa mostra que o estado lógico retido pela célula dinâmica em uma amostra real do circuito apresenta um tempo de retenção finito, determinado principalmente pelas correntes de fuga das junções dreno-substrato de T1 e T2 (SEDRA, 2004), as quais, por fim, dependem da área total da junção (SZE, 2002). Essas correntes são dependentes da temperatura, das dimensões das regiões de dreno e das variabilidades introduzidas pelo processo de fabricação da amostra em particular. A contribuição de outras correntes de fuga, como a corrente de fuga de gate e a corrente de fuga entre dreno e fonte do transistor em corte representam parcelas de menor ordem. Dependendo do somatório final das contribuições individuais, elas contribuem para carregar ou descarregar espontaneamente a capacitância C_{ST} . Disso decorre que um circuito real mostra uma tendência natural em apresentar um estado lógico preferencial se deixado em repouso. Considerando o circuito da fig. 15, se a contribuição líquida das correntes de fuga é tal que propicia a descarga de C_{ST} em repouso, o sinal de saída out passará espontaneamente ao nível 0, após decorrido um certo intervalo de tempo. O oposto ocorre se as correntes de fuga propiciarem um caminho através do qual C_{ST} possa ser carregada.

Circuitos que exibam um retorno espontâneo ao reset são naturalmente desejáveis por proporcionarem um comportamento estável no repouso, desde que garantam um tempo de retenção mínimo para a informação de ocorrência de SET. Conforme (LISBOA, 2007) o

circuito monitorado precisa responder prontamente ao sinal do BICS, ativando o mecanismo de recomputação. (LISBOA, 2007) mostra ainda que a resposta do mecanismo de recomputação ocorre dentro de 01 ciclo de clock, quando então o BICS recebe o sinal de reset. O mecanismo de recomputação exige que o BICS seja resetado após cada ciclo de clock; assim, o intervalo de retenção da célula de memória não necessita ser maior do que o próprio ciclo de clock. Essa especificação é reassegurada por (BASTOS, 2011) e (BASTOS, 2013c), ao propor o uso de um latch assíncrono para memorizar a informação entregue pelo BICS ao circuito de recomputação. Levando-se em consideração a frequência de clock de 20 MHz do microprocessador 8051 utilizado em (LEITE, 2009a; LEITE, 2009b) como um valor mínimo, chega-se à conclusão que o tempo mínimo de retenção deve ser de 50 ns.

Circuitos que exibam uma tendência natural a entrarem em set representam um problema, necessitando uma estratégia que permita manter a célula de memória em reset durante o período de repouso. A solução imediata do problema foi propor a utilização de um sinal de reset recorrente, em uma taxa de repetição que garantisse a estabilidade da célula de memória ao repouso. Com esse expediente, um sinal de reset seria aplicado aos BICS após um determinado número de ciclos de clock. Essa estratégia foi questionada em (BASTOS, 2014) o qual pondera que existiria uma janela de vulnerabilidade durante o período em que o BICS estivesse sendo preventivamente resetado, na qual um SET de curta duração poderia passar despercebido.

3.2 TESTE ELÉTRICO DOS SENSORES DYNBICS FABRICADOS EM TECNOLOGIA 130NM

3.2.1 Detalhamento da Implementação Física

Os sensores cujo projeto e resultados de simulação foram apresentados em (SIMIONOVSKI, 2012b) foram fabricados na tecnologia IBM 130 nm CMRF8SF-DM através do programa MOSIS. Uma unidade foi preparada e testada eletricamente, buscando-se

caracterizar os parâmetros de importância para a operação do circuito e comparar esses resultados com aqueles obtidos por simulação durante o desenvolvimento do projeto. Os resultados das medições elétricas foram apresentados em (SIMIONOVSKI, 2014).

Os diagramas esquemáticos dos sensores Dyn_P e Dyn_N são aqueles apresentados no trabalho citado e aqui convenientemente reproduzidos na fig. 17.

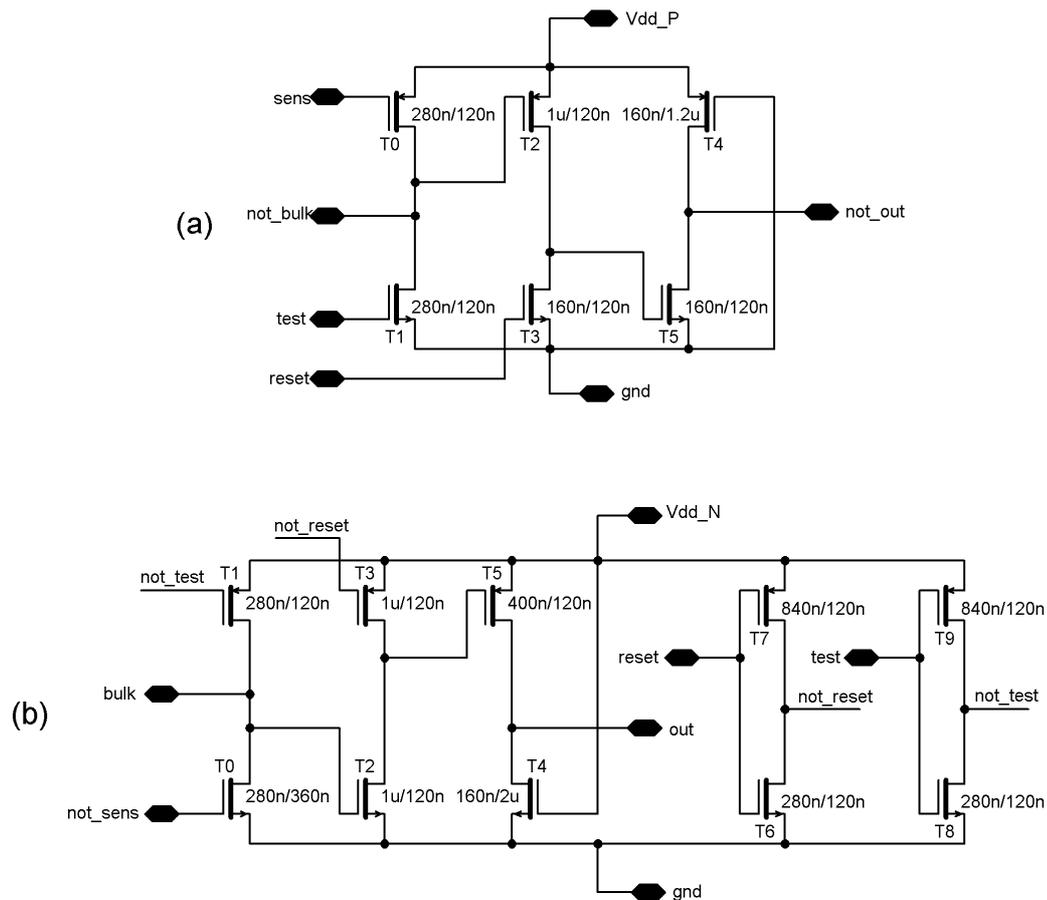


Figura 17 Circuitos dos sensores Dyn_P (a) e Dyn_N (b) fabricados em tecnologia 130 nm.

No circuito Dyn_P mostrado, o transistor T5 é o elemento de memória, controlado pelos transistores T2 e T3 responsáveis, respectivamente, pela ativação dos estados de set e reset da célula de memória. O transistor T4 age como carga para o transistor T5 assegurando à saída um estado lógico válido enquanto o transistor T5 encontra-se em corte.

O transistor T0 é o elemento sensor de corrente, encarregado de produzir uma queda de tensão proporcional à corrente de bulk dos transistores sob monitoração. A resistência

entre dreno e fonte de T0, cujo valor contribui para determinar o limiar de detecção do circuito, é controlada pela tensão aplicada à porta de T0 através de um pino externo.

O transistor T1 está incluído como um meio de proporcionar um meio para o teste funcional elétrico dos circuitos. O sinal test, quando ativo, força a condução do transistor T1 que, por sua vez, permite a passagem de uma corrente através do transistor T0 emulando a ocorrência de uma corrente de bulk anormal.

O circuito Dyn_N é a versão complementar do Dyn_P e seus transistores seguem as funções e operações descritas anteriormente. Por essa razão, os sinais test e reset precisam ser complementados, o que é feito por dois inversores internos (T6/T7 e T8/T9). A escolha por inversores internos deveu-se à necessidade de reduzir o número de pinos externos. Pela mesma razão, os sinais sens e not_sens são conectados a um único pino externo sens_adj.

O diagrama de blocos do circuito completo é mostrado na fig. 18. Aos circuitos Dyn_P e Dyn_N são acrescentados dois transistores-alvo TA_P e TA_N, destinados a servirem de alvo para os pulsos de laser a serem usados em um eventual teste sob irradiação. As dimensões desses transistores são $W/L = 1 \mu\text{m}/130 \text{ nm}$. TA_P é fabricado em um poço N exclusivo, protegido das correntes de substrato por um anel de guarda. TA_N é fabricado como um transistor de triplo poço (triple-well) como um meio de dispor de um contato de bulk exclusivo para o transistor-alvo, separado do substrato do circuito integrado. Esse artifício foi depois reconhecido como uma técnica conveniente para a coleta da corrente de bulk em transistores NMOS por (DUTERTRE, 2014).

3.2.2 Detalhamento do Teste Elétrico

Uma amostra do circuito integrado fabricado foi submetida a testes elétricos para avaliar o seu desempenho, utilizando-se o pino de teste como meio de ativar o circuito interno. O pulso de corrente interno, gerado pela ativação do pino de teste, não tem a

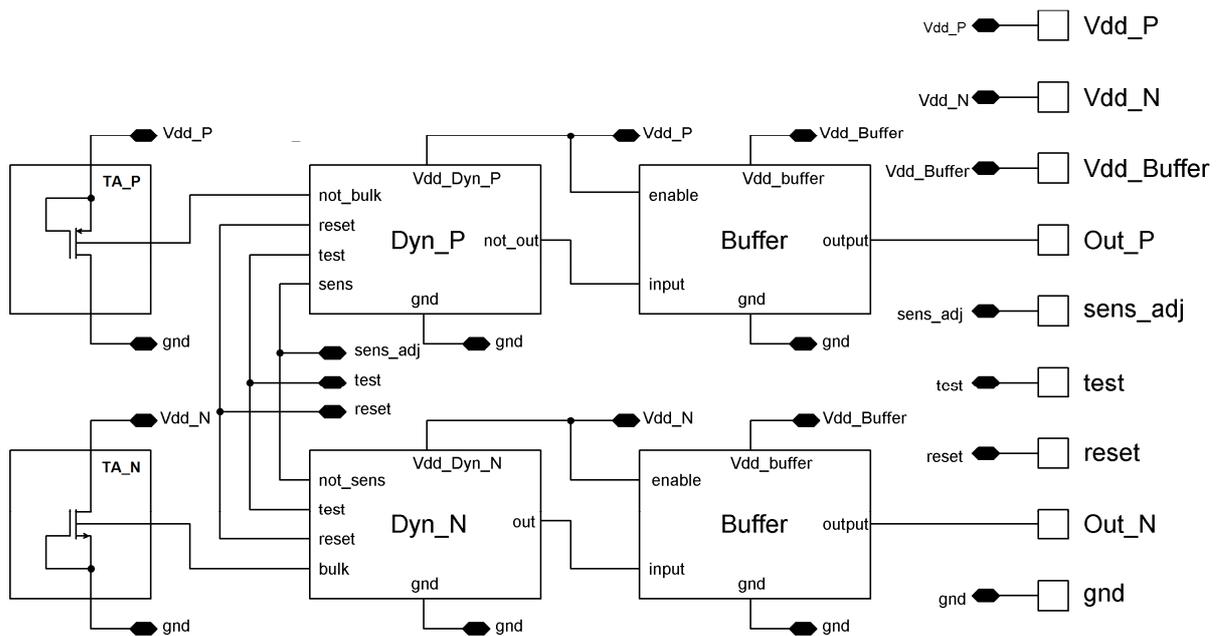


Figura 18 Diagrama de blocos completo do circuito fabricado em tecnologia 130nm.

pretensão de emular o pulso de corrente que seria provocado pela incidência de radiação ionizante no transistor-alvo. Em função das capacitâncias parasitas associadas aos pinos externos e às limitações da montagem e dos equipamentos de teste, torna-se impossível gerar, a partir do sinal aplicado ao pino de teste, os curtos tempos típicos relacionados a um pulso de corrente transiente real.

Os testes elétricos proporcionaram uma forma de avaliar o comportamento dos circuitos fabricados e comparar os resultados obtidos com aqueles gerados pelas simulações, com destaque para os tempos de retenção e repouso da célula dinâmica, apesar da limitação imposta à menor largura de pulso que pode ser gerada a partir da estimulação do pino test. Os resultados de simulações efetuadas utilizando-se as vistas extraídas *av_extracted_C_only_coupled* dos circuitos fabricados, executadas sob as mesmas condições utilizadas para os testes elétricos, são apresentados junto com os valores medidos, permitindo a comparação dos resultados obtidos na prática com aqueles previstos durante o projeto dos circuitos. A figura 19 mostra a imagem do circuito integrado montado em sua placa-protótipo, que é montado em uma cápsula cerâmica LQFP de 64 pinos, não-hermético e com a cobertura

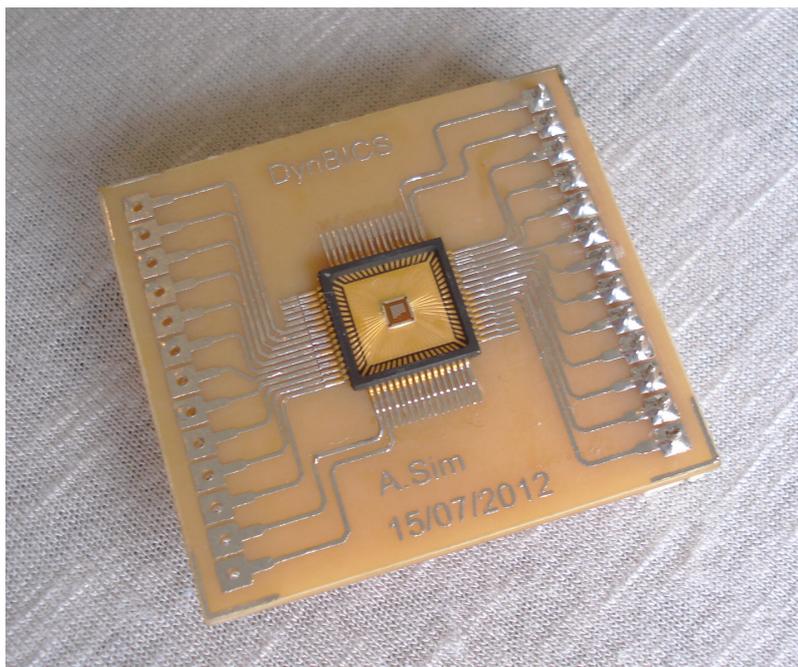


Figura 19 Circuito integrado que contém os sensores DynBICS, montado na placa-protótipo.

removível. A tensão de alimentação V_{DD} é fornecida por um regulador linear que permite um ajuste de $\pm 10\%$ em torno do valor nominal de 1,20 V. A temperatura do circuito integrado é medida através de um sensor fixado ao verso do encapsulamento do circuito integrado. Um circuito composto por dois multivibradores monoestáveis produz os sinais test e reset a partir de um sinal de clock externo, cada um com 200 ns de duração. Tanto a taxa de repetição quanto o espaçamento entre os sinais test e reset são ajustáveis através dos ajustes do gerador que proporciona o sinal de clock externo. É conveniente mencionar que circuito integrado mostrado na figura 19 contém, também, circuitos desenvolvidos por outros pesquisadores.

A tensão aplicada ao pino sens_adj é ajustável de zero a V_{DD} por intermédio de um potenciômetro. Ensaios iniciais permitiram verificar que a faixa de tensões nas quais os circuitos funcionam adequadamente excursiona de zero a $V_{DD}/2$ para o Dyn_P, e de $V_{DD}/2$ a V_{DD} para o Dyn_N.

A amplitude do sinal reset é fixa em 1,2 V, enquanto a amplitude do sinal test pode ser ajustada desde zero até V_{DD} . Com esse expediente, consegue-se controlar a condução do transistor T1 em ambos os circuitos e, assim, ajustar a amplitude do pulso de corrente dentro

do circuito integrado, permitindo determinar o limiar de detecção dos circuitos. Para o circuito Dyn_P, essa corrente pode ser determinada de forma direta através da medida da queda de tensão em um resistor de 1 k Ω colocado em série com a linha de alimentação V_{DD_P}, uma vez que, conforme as simulações efetuadas, as demais correntes que concorrem a esse pino são insignificantes perante a corrente conduzida por T1. O valor de 1 k Ω proporciona um fator de conversão de 1 mV/ μ A, gerando um sinal cuja leitura é confortável mesmo com instrumentação ordinária (multímetro ou osciloscópio comuns). Da mesma forma, a queda de tensão introduzida pelo resistor não é excessiva, sendo de, no máximo, 40 mV ou 3,3 % do valor nominal de 1,2 V.

O pulso de corrente no circuito Dyn_N não pode ser mensurado diretamente, pois os transistores do inversor interno que gera o sinal not_test entram em operação linear na faixa de valores em que o sinal test excursiona durante esse ensaio, causando uma contribuição não-desprezível à corrente na linha V_{DD_N}. Dessa forma, a corrente medida na linha V_{DD_N} contém uma parcela adicional à corrente através de T1, que não pôde ser quantificada pelas medidas feitas externamente. Para o teste do limiar de detecção, a duração do pulso de teste é aumentada para 1 μ s a fim de proporcionar o tempo necessário para a acomodação das correntes durante a medição. Em todos os testes, os sinais externos foram captados utilizando-se ponteiros calibradas com atenuação de 10x, com 13 pF de capacitância de entrada e frequência de resposta máxima de 100 MHz a -3 dB. A temperatura do circuito integrado T_{chip} foi mantida em 24° C +/- 1° C durante os ensaios, salvo menção em contrário.

3.2.3 Resultados dos Testes Elétricos

As figuras 20 e 21 mostram as formas de onda relevantes dos circuitos Dyn_P e Dyn_N em funcionamento. Em ambos os casos notou-se que os circuitos são estáveis ao repouso, retornando espontaneamente ao estado de reset.

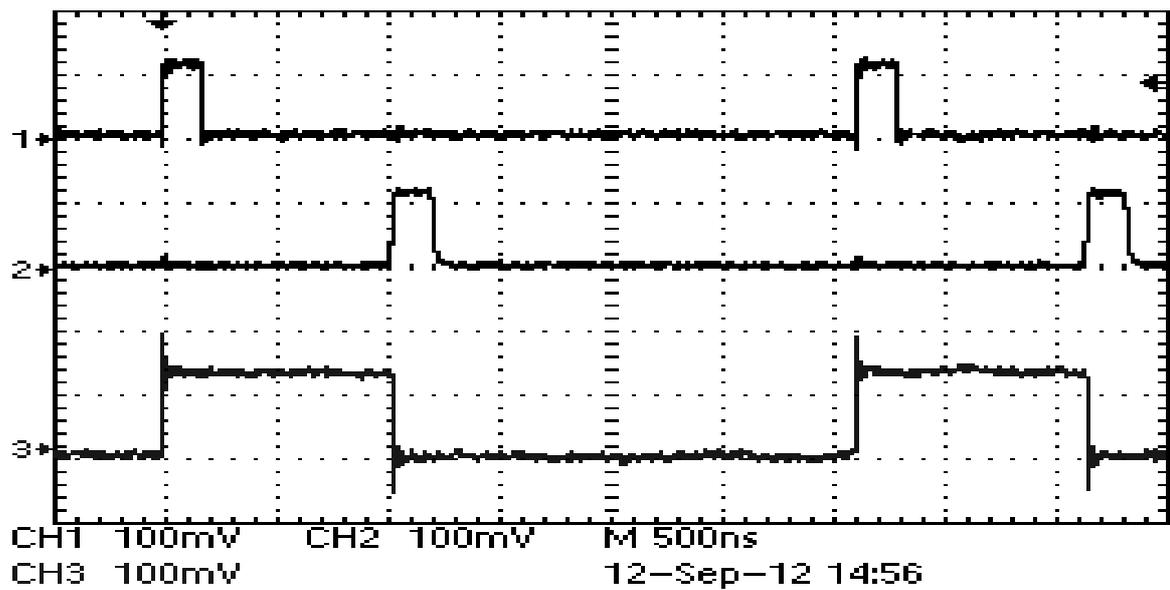


Figura 20 Circuito Dyn_P em operação. Traço 1: sinal reset. Traço 2: sinal test. Traço 3: sinal Out_P. Ponteiros em alcance x10, $V_{DD} = 1,2$ V, $V_{sens_adj} = 0$ V, $T_{chip} = 24^{\circ}$ C.

A sensibilidade dos DynBICS a $V_{DD} = 1,2$ V foi determinada em função da tensão V_{sens_adj} variando-se a amplitude do sinal test até o ponto em que o circuito sob teste respondesse ao pulso. O valor de pico da corrente interna através de T1 foi obtido a partir da

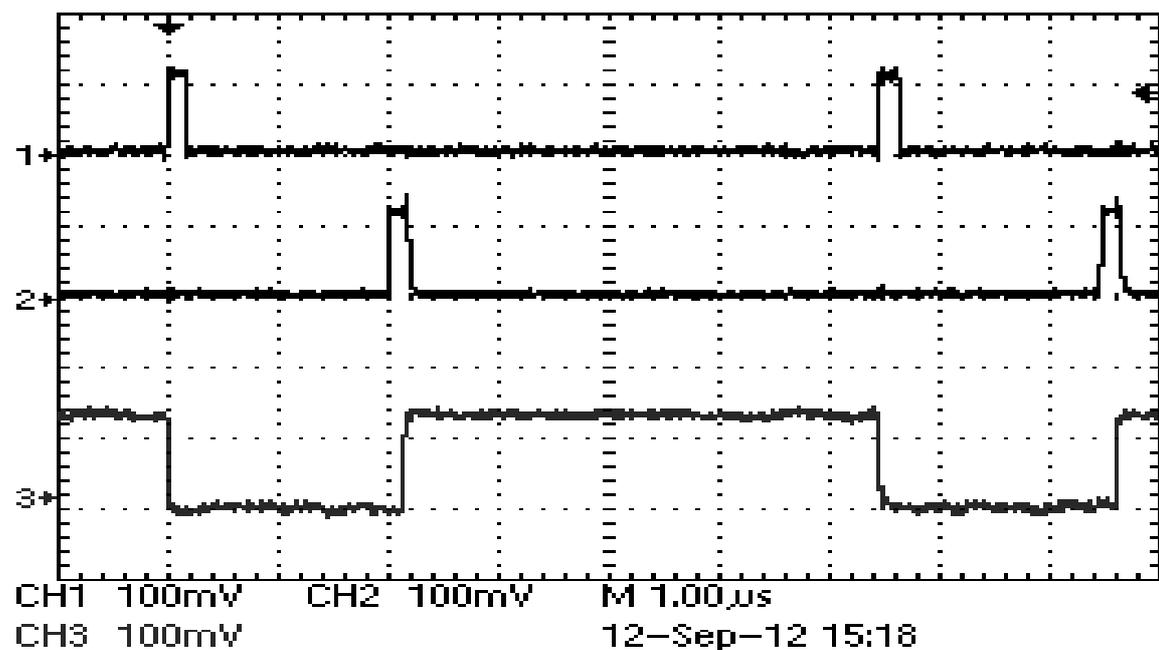


Figura 21 Circuito Dyn_N em operação. Traço 1: sinal reset. Traço 2: sinal test. Traço 3: sinal Out_N. Ponteiros em alcance x10, $V_{DD} = 1,2$ V, $V_{sens_adj} = 1,2$ V, $T_{chip} = 24^{\circ}$ C.

corrente drenada nos pinos Vdd_P ou Vdd_N, conforme o caso. Apenas um sensor foi avaliado por vez; o outro foi mantido inativo conectando-se o seu respectivo pino de alimentação ao gnd. A figura 22 mostra os resultados obtidos, juntamente com os resultados obtidos por simulação para o melhor e o pior caso de corner de processo, a 24° C. Os valores mostrados para o circuito Dyn_N são os encontrados a partir da corrente na linha Vdd_N e incluem a corrente adicional drenada pelo inversor do sinal test, mesmo aqueles obtidos através de simulação.

A figura 23 apresenta a influência da temperatura sobre a sensibilidade dos sensores. A corrente drenada pelos circuitos, em repouso, representa um consumo de potência desprezível para fins práticos; da mesma forma, a corrente drenada das linhas de alimentação, durante a condução de T1, não aumenta a potência dissipada de maneira a tirar o circuito integrado de seu equilíbrio térmico com o ambiente. Com isso, pode-se concluir que a

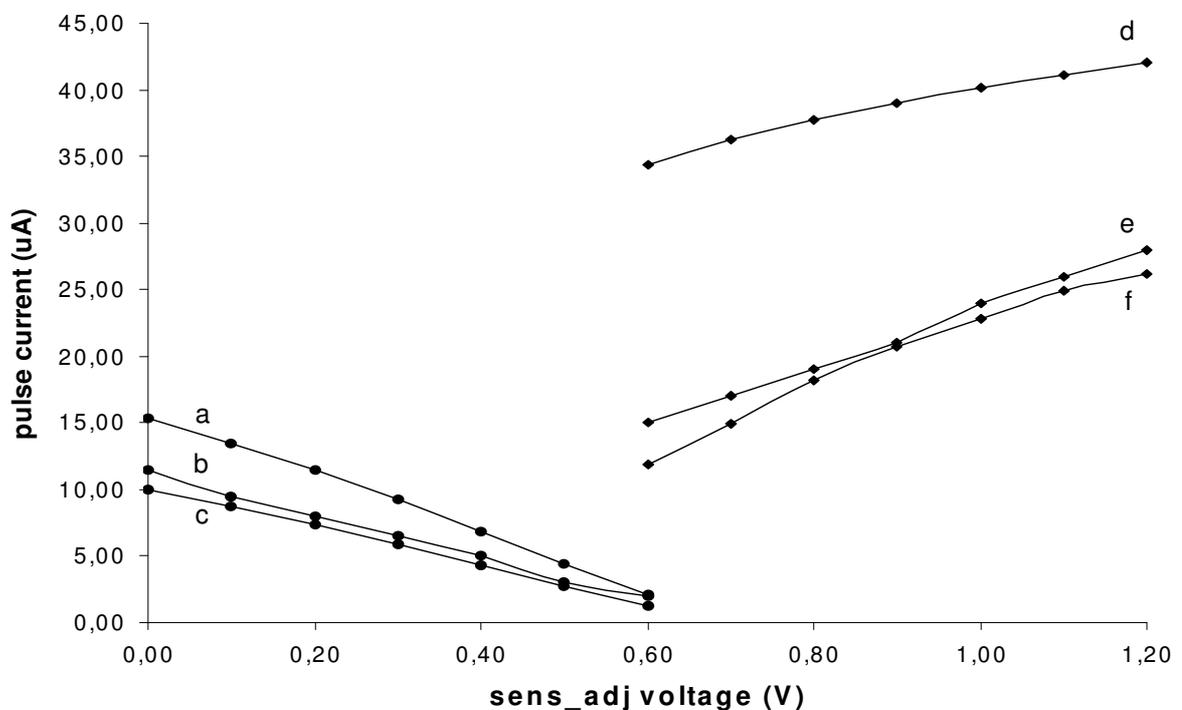


Figura 22 Mínima corrente de disparo em função da tensão V_{sens_adj} . Dyn_P : (a) corner SF, simulado; (b) valores medidos; (c) corner SSF, simulado. Dyn_N: (d) corner FFF, simulado; (e) valores medidos; (f) corner SSF, simulado. $V_{DD} = 1,2$ V, $T_{chip} = 24^{\circ}$ C.

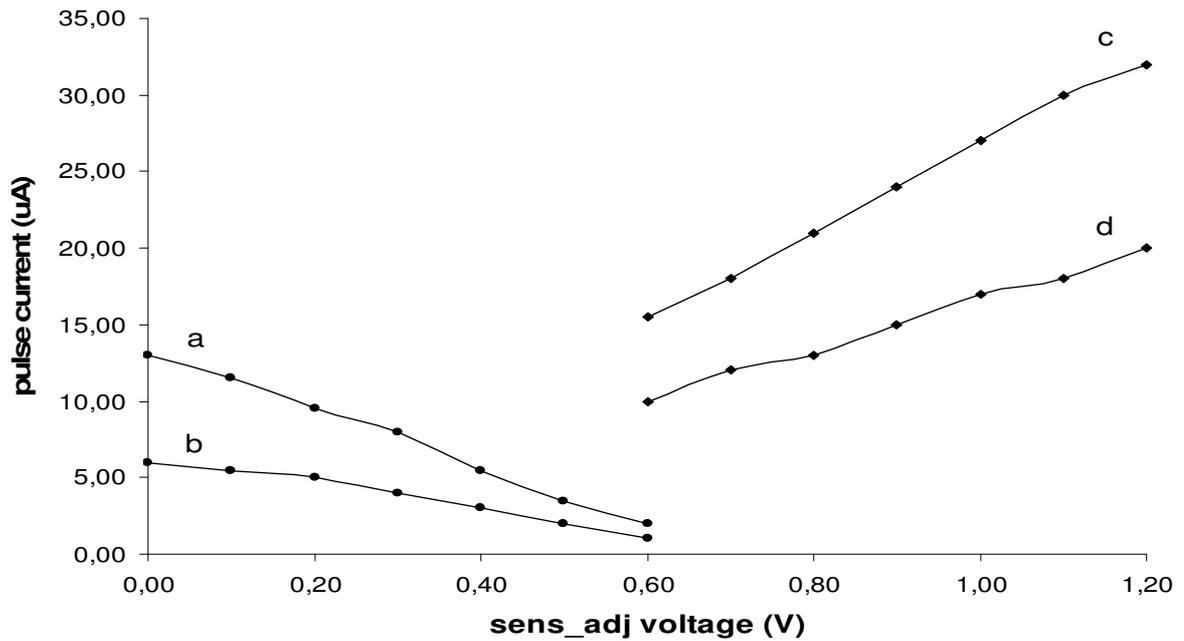


Figura 23 Mínima corrente de disparo medida em função da temperatura. Dyn_P: (a) $T_{\text{chip}} = 0^{\circ}\text{C}$; (b) $T_{\text{chip}} = 70^{\circ}\text{C}$. Dyn_N: (c) $T_{\text{chip}} = 0^{\circ}\text{C}$; (d) $T_{\text{chip}} = 70^{\circ}\text{C}$. $V_{\text{DD}} = 1,2\text{ V}$.

temperatura medida pelo sensor térmico é a própria temperatura da pastilha semicondutora na qual os sensores estão fabricados.

A figura 24 mostra a variação da sensibilidade dos circuitos em função da tensão de alimentação. Embora não sejam esperadas variações na tensão de alimentação superiores a $\pm 5\%$ em aplicações reais, as medições foram feitas com uma variação de $\pm 10\%$ na tensão de alimentação. Por fim, as tabelas 3 e 4 mostram os valores medidos para os tempos de retenção das células de memória. foi possível medir apenas os tempos de retenção, visto que ambos os circuitos apresentaram retorno espontâneo ao reset.

Tabela 3 Tempos de retenção para o circuito Dyn_P

T_{chip}	V_{DD}		
	1.08 V	1.20 V	1.32 V
0°C	6,2 μs	5,7 μs	5,2 μs
24°C	2,3 μs	2,2 μs	2,0 μs
70°C	0,56 μs	0,54 μs	0,52 μs
125°C	84 ns	84 ns	84 ns

$V_{\text{sens_adj}} = 0\text{ V}$. Valores a 125°C foram extrapolados.

Tabela 4 Tempos de retenção para o circuito Dyn_N

T_{chip}	V_{DD}		
	1.08 V	1.20 V	1.32 V
0° C	8,4 μs ⁽¹⁾	12 μs ⁽²⁾	14 μs ⁽³⁾
24° C	3,2 μs	4,4 μs	4,6 μs
70° C	0,32 μs	0,40 μs	0,47 μs
125° C	25 ns	28 ns	33 ns

$V_{\text{sens_adj}} = V_{\text{DD}}$ exceto (1) = 0,80 V; (2) = 0,90 V; (3) = 1,10 V.

Valores a 125° C foram extrapolados.

Observa-se que o tempo de retenção é fortemente influenciado pela temperatura, uma vez que as correntes de fuga internas aumentam exponencialmente com o aumento na temperatura. Os valores apresentados a 125° C foram extrapolados usando-se ajuste exponencial sobre os valores medidos. A sensibilidade do circuito Dyn_N precisou ser aumentada através do ajuste da tensão $V_{\text{sens_adj}}$ durante as medições a 0° C porque a corrente interna produzida por T1 não atinge o limiar de detecção a essa temperatura, conforme previsto

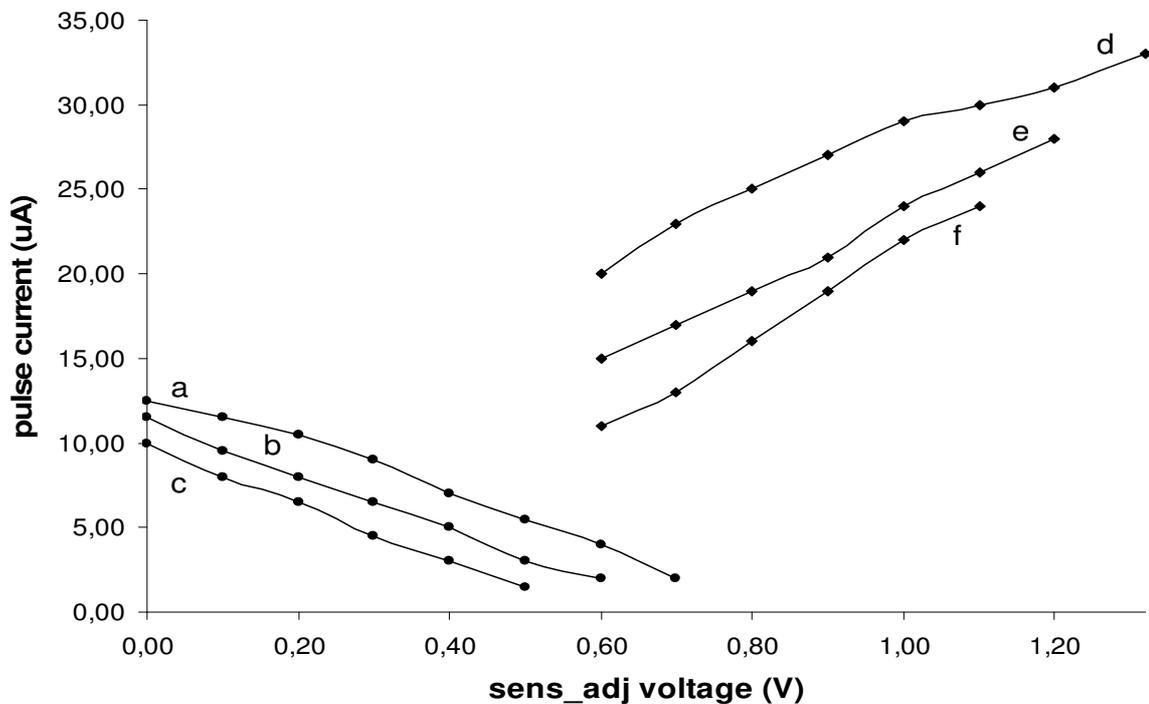


Figura 24 Mínima corrente de disparo medida em função da tensão de alimentação. Dyn_P: (a) $V_{\text{DD}} = 1,32$ V; (b) $V_{\text{DD}} = 1,20$ V; (c) $V_{\text{DD}} = 1,08$ V. Dyn_N: (d) $V_{\text{DD}} = 1,32$ V; (e) $V_{\text{DD}} = 1,20$ V; (f) $V_{\text{DD}} = 1,08$ V. $T_{\text{chip}} = 24^\circ$ C.

por simulação. Verifica-se, a partir das curvas mostradas na fig. 22, que a amostra testada concorda razoavelmente com os resultados simulados para o corner SSF. A faixa de ajuste a 24° C da sensibilidade do sensor Dyn_P foi de 2,0 μA a 11,5 μA e a do sensor Dyn_N foi de 15,0 a 28,0 μA . Simulou-se a corrente através do inversor *test* utilizando-se o corner SSF a 24° C e encontrou-se os valores de 5,8 μA para $V_{\text{sens_adj}} = 600 \text{ mV}$ e 4,4 μA para $V_{\text{sens_adj}} = 1,20 \text{ V}$. Considerando-se esses valores como representativos da amostra testada, encontra-se uma faixa provável de correntes de limiar de 9,2 μA a 23,6 μA . Os resultados dos testes com valores extremos de tensão de alimentação mostram que os circuitos DynBICS são robustos o bastante para suportar uma variação de +/- 10% na tensão de alimentação, sem apresentarem falhas no funcionamento. Os valores encontrados para os tempos de retenção, extrapolados para a temperatura de 125° C, mostram que o comportamento da células de memória do sensor Dyn_P atende o requisito de projeto de 50 ns mínimo a 125° C (SIMIONOVSKI, 2012b). A célula do sensor Dyn_N, por outro lado, não atende o requisito mínimo de tempo de retenção a 125° C, embora o valor encontrado seja satisfatório para sistemas que funcionem em frequências de clock acima de 50 MHz. É interessante lembrar que a unidade testada não é hermeticamente fechada, mas tem a pastilha semicondutora exposta ao ambiente e que não se descarta a ocorrência de alguma contaminação capaz de alterar as correntes de fuga em torno do nó de armazenagem, sem a qual os valores medidos seriam mais longos.

3.3 ESTABILIZAÇÃO DA CÉLULA DE MEMÓRIA DINÂMICA ATRAVÉS DE UM SINAL DE RESET DE TRÊS NÍVEIS

3.3.1 Apresentação Teórica

Uma estratégia que elimina a necessidade do sinal de reset recorrente como forma de estabilizar a célula de memória é apresentada em (SIMIONOVSKI, 2015a). Parte-se do princípio de que os circuitos, após fabricados, podem assumir qualquer uma das duas

tendências em repouso já mencionadas (set espontâneo e reset espontâneo) em função das variações de processo e temperatura, bem como do tipo de sensor (Dyn_P ou Dyn_N) e que a tendência ao reset espontâneo é favorável à operação dos sensores, pois elimina a necessidade do sinal de reset recorrente. Referenciando-se à fig. 15, a inclusão do reset espontâneo já no projeto dos sensores poderia ser feita através do dimensionamento adequado de T1 e T2, fazendo-se que a corrente de fuga de dreno de T1 I_{LEAK_T1} prevalesça sobre a corrente de fuga de dreno de T2 I_{LEAK_T2} . Para maximizar a velocidade de operação, T1 e T2 devem ser transistores com canal de comprimento mínimo; assim, para satisfazer a condição $I_{LEAK_T1} > I_{LEAK_T2}$ é necessário que a área da junção de dreno de T1 seja maior do que a de T2, o que leva a $W_{T1} > W_{T2}$ onde W_{T1} e W_{T2} são as larguras dos transistores T1 e T2. Essa condição prejudica severamente a sensibilidade e a velocidade de resposta da célula de memória dinâmica, pois a fim de maximizar esses dois parâmetros, deve-se procurar carregar a capacitância de armazenamento C_{ST} o mais rapidamente possível para uma dada corrente transiente. De fato, a relação entre corrente e tensão em uma capacitância é descrita escrita como :

$$V = \frac{1}{C} \int i(t) dt \quad (3)$$

onde V é a tensão que aparece nos terminais da capacitância, C é a capacitância considerada e $i(t)$ é a corrente que circula na capacitância. No caso da célula de memória dinâmica, pode-se, em uma primeira aproximação, dizer que o estado lógico da célula passa de 0 a 1 quando a tensão acumulada na capacitância C_{ST} atinge a tensão de limiar V_{TH} do transistor T3. Da topologia do circuito, pode-se observar que a corrente injetada em C_{ST} tem relação direta com a corrente de substrato I_{bulk} , embora, a rigor, não seja uma cópia exata dessa. A corrente I_{bulk} produz uma queda de tensão em T0 V_{DS_T0} , que por sua vez gera a corrente de carga de C_{ST}

através da transcondutância de T2. A corrente de dreno de T2 é proporcional a I_{bulk} embora não seja uma réplica dessa pois nem a relação $V_{\text{DS}_T0} / I_{\text{bulk}}$ nem a transcondutância de T2 são constantes.

O tempo de resposta do circuito é o intervalo de tempo decorrido entre o surgimento da corrente transitória e a mudança no nível lógico da saída do circuito e a sensibilidade do circuito é definida como a menor corrente capaz de ser detectada. Ambos são dependes de quão rapidamente a corrente injetada por T2 é integrada até que a tensão em C_{ST} atinja a V_{TH} de T3, ou seja, de quão rapidamente uma certa carga crítica é armazenada em C_{ST} . Disso se conclui que o projeto do circuito deve procurar maximizar a transcondutância de T2 e, ao mesmo tempo, minimizar C_{ST} de forma a se obter a carga crítica no menor intervalo de tempo possível, para uma dada corrente I_{bulk} .

A transcondutância de T2 é função da sua largura W . Com efeito, T2 deve ser feito o mais largo possível, mas, acima de um certo limite, a capacitância de dreno de T2 torna-se comparável à capacitância de porta de T3. Quando esse limite é atingido, nenhum ganho adicional é obtido pois a capacitância C_{ST} e a transcondutância de T2 passam a aumentar na mesma proporção.

Com relação a T1, o uso de um dispositivo de tamanho mínimo mostra-se adequado para efetuar a função de reset da célula de memória. O uso de um transistor mínimo em T1 contribui para não adicionar qualquer capacitância significativa a C_{ST} . A partir dessas considerações, conclui-se que a maximização da velocidade de resposta e da sensibilidade é obtida com $W_{\text{T2}} > W_{\text{T1}}$ com T1 e T2 tendo mesmo comprimento de canal L e que a condição necessária para a obtenção de uma célula de memória com reset espontâneo prejudica severamente a velocidade de resposta e a sensibilidade da mesma.

Não sendo possível dimensionar os transistores T1 e T2 adequadamente e obter uma célula de memória estável em reset ao repouso, buscou-se uma outra maneira de obter a

condição $I_{LEAK_T1} > I_{LEAK_T2}$. Um transistor MOSFET polarizado com uma tensão V_{GS} abaixo de sua tensão de limiar V_{TH} opera em inversão fraca. Uma expressão simplificada para a corrente dreno-fonte em inversão fraca I_{sub} é dada por (ALLEN, 2002):

$$I_{sub} = I_{D0} \frac{W}{L} e^{\left(\frac{q}{nk_B T} V_{GS}\right)} \quad (4)$$

Onde I_{D0} e n são parâmetros ditados pelo processo de fabricação, W e L são, respectivamente a largura e o comprimento da porta, q é a carga do elétron, k_B é a constante de Boltzman, T é a temperatura de operação e V_{GS} é a tensão entre porta e fonte. Fazendo-se $V_{GS} = 0$ obtém-se I_{D_off} , a corrente de fuga da junção dreno-substrato:

$$I_{sub} = I_{D0} \frac{W}{L} = I_{D_off} \quad (5)$$

e finalmente

$$I_{sub} = I_{D_off} e^{\left(\frac{q}{nk_B T} V_{GS}\right)} \quad (6)$$

A corrente dreno-fonte em inversão fraca I_{sub} é muito pequena se comparada com a corrente normal de dreno em inversão forte, podendo-se considerá-la como uma corrente de fuga ajustável pela tensão V_{GS} . Essa propriedade torna possível o ajuste da contribuição do transistor T1 para as correntes de fuga em torno de C_{ST} até o ponto em que a condição de estabilidade em reset ao repouso é atingida, bastando para isso atribuir-se um valor não-nulo conveniente à tensão do sinal de reset em repouso.

O emprego de uma tensão de polarização ao repouso em T3 como forma de proporcionar um caminho permanente de descarga para C_{ST} permite, como efeito secundário, reduzir o consumo de corrente quiescente do circuito em repouso. Para uma célula com retorno espontâneo ao reset, as simulações mostram que T3 é mantido em inversão fraca

durante o repouso se o sinal de reset tem os níveis lógicos em V_{DD} e gnd, pois sempre existe uma carga acumulada em C_{ST} que pode proporcionar algumas dezenas de milivolts à porta de T3. Com isso, a corrente de dreno de T3 é superior àquela que existiria se T3 fosse mantido com V_{GS} nulo durante o repouso. Com o uso da polarização da porta de T1 durante o repouso, T3 pode ser mantido com um V_{GS} virtualmente nulo, proporcionando aos circuitos DynBICS um verdadeiro estado “idle” ou “sleep” durante os períodos de repouso.

O tempo de retenção da célula de memória é impactado desfavoravelmente com o uso da tensão de polarização em T1, pois C_{ST} é descarregado mais rapidamente. Esse efeito pode ser minimizado removendo-se a tensão de polarização toda vez que o circuito de recomputação responde ao sinal do BICS. Dessa forma, o sinal de reset passa a contar com três níveis de tensão diferentes, um para cada momento da operação do BICS. A figura 25 mostra as formas de onda relevantes para a operação do circuito Dyn_P.

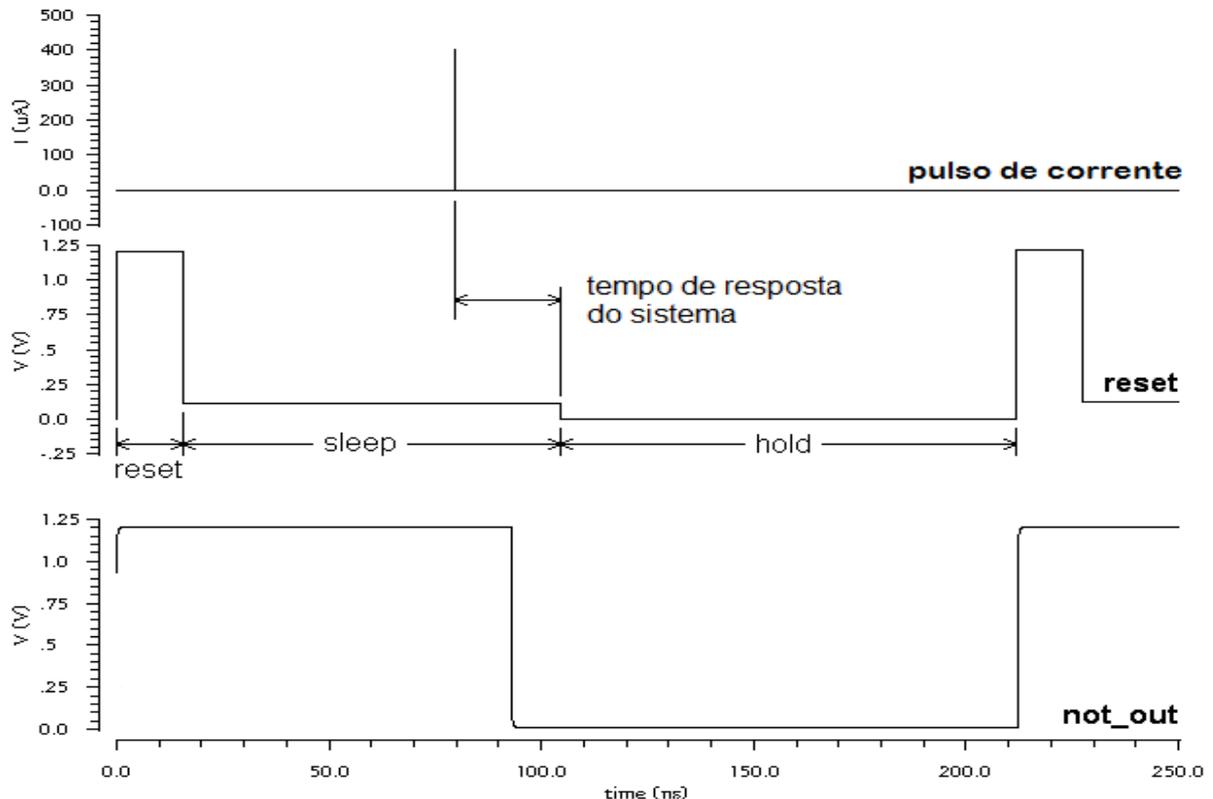


Figura 25 Formas de onda para o circuito Dyn_P em funcionamento, mostrando o sinal de reset de três níveis.

3.3.2 Resultados das Simulações

Os circuitos DynBICS desenvolvidos na tecnologia IBM 130 nm CMRF8SF-DM descritos em (SIMIONOVSKI, 2012a), (SIMIONOVSKI, 2012b) e (SIMIONOVSKI, 2014) foram simulados operando com um sinal de reset de três níveis. A fim de validar a operação dos circuitos DynBICS em nós tecnológicos menores do que 130 nm, os circuitos foram simulados também para as tecnologias de 45 nm e 22 nm. Os circuitos dos sensores Dyn_P e Dyn_N são aqueles apresentados na figura 17 e os circuitos de teste empregados são mostrados na fig. 26, na qual os transistores TA_P e TA_N, com relação $W/L = 1\mu\text{m}/130\text{ nm}$, representam os transistores-alvo destinados a receber pulsos laser em um eventual teste sob irradiação, sendo. Esses transistores forma usados nos trabalhos anteriores acima indicados e nas amostras fabricadas, e são usados aqui para manter a estrutura de teste original.

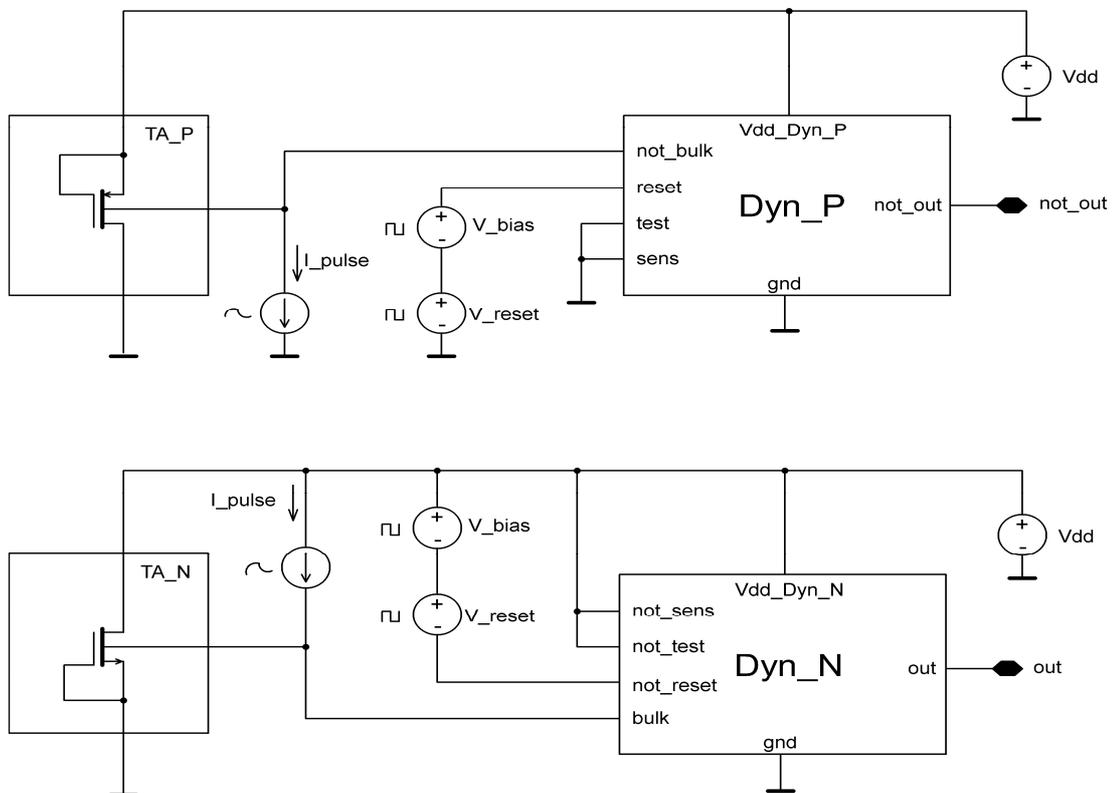


Figura 26 Circuitos de teste utilizados para os circuitos Dyn_P e Dyn_N com o sinal de reset de três níveis.

A simulação na tecnologia 130 nm foi feita usando-se o simulador Spectre fornecido pela Cadence, Inc., para o qual se tinha acesso pleno ao design kit fornecido pelo fabricante, sobre o modelamento extraído *av_extracted_C_only_coupled*, o qual inclui as capacitâncias parasitas introduzidas pelo layout. Para as tecnologias de 45 nm e 22 nm, utilizou-se o simulador SpiceOpus alimentado com os modelos Simulation Program with Integrated Circuit Emphasis (SPICE) preditivos disponibilizados pela Arizona State University através do site www.ptm.asu.edu. Para tanto, foram construídas netlists iguais às aquelas usadas com a tecnologia 130 nm, escalando-se W, L e os perímetros de dreno e fonte por um fator λ e as áreas de dreno e fonte por um fator λ^2 . Os fatores λ utilizados foram $45/130 = 0,34615$ para a tecnologia 45 nm e $22/130 = 0,16666$ para a tecnologia 22 nm. Os transistores-alvo não foram escalados, a fim de acrescentar sempre a mesma capacitância de bulk em todas as simulações e permitir uma comparação justa entre os resultados obtidos para as três tecnologias.

Uma fonte de corrente em dupla exponencial I_{pulse} é usada para simular a corrente transiente em cada um dos circuitos. Os transistores destinados ao teste elétrico dos sensores são mantidos desabilitados e as resistências dreno-fonte dos transistores sensores de corrente foram mantidas no mínimo conectando-se os sinais *test*, *not_test*, *sens* e *not_sens* aos níveis de tensão adequados. A tensão de alimentação V_{DD} foi ajustada em 1,2 V para 130 nm, 1,0 V para 45 nm e 0,8 V para 22 nm. A corrente I_{pulse} foi caracterizada com um tempo de subida de 2 ps e um tempo de pulso de 20 ps. Os valores de pico da corrente I_{pulse} foram escolhidos, para cada tecnologia, próximos aos valores de limiar de detecção mas arbitrariamente superiores a esse, de forma a evitar uma provável operação marginal dos circuitos. Para 130 nm, a corrente de pico foi ajustada em 400 μA para o circuito *Dyn_P* e 800 μA para o circuito *Dyn_N*. Esses valores permitem simular os circuitos próximos aos limiares de detecção publicados em (SIMIONOVSKI, 2012b), independentemente do corner de processo a ser simulado. Os modelos preditivos utilizados proporcionam apenas valores de

processo típicos, o que impossibilita a simulação em corners de processo, para essas tecnologias. Assim, para as tecnologias de 45 nm e 22 nm, a corrente de pico foi ajustada para os valores sumarizados na tabela 5, que representam valores 5% maiores do que os limiares de detecção encontrados por simulação.

Tabela 5 Corrente de pico de I_pulse em microampéres

Temperature	22 nm		45 nm	
	Dyn_P	Dyn_N	Dyn_P	Dyn_N
0° C	105	120	130	190
125° C	140	130	390	295

Os primeiros resultados obtidos das simulações revelaram que existe um valor mínimo para a tensão de polarização de T3 em repouso V_bias que estabiliza em reset circuitos que exibem comportamento de set espontâneo. Simulações finais com maior precisão foram feitas para determinar os valores exatos que proporcionassem um dreno de corrente total apenas 5% maior do que aquele que existiria se a porta de T5 fosse conectada diretamente ao gnd. Os valores encontrados estão sumarizados na tabela 6.

Tabela 6 Tensões de polarização V_bias ótimas em milivolts

Circuit		130 nm					22 nm	45 nm
		FFF	SSF	SF	FS	TT		
Dyn_P	0° C	50	130	140	50	100	80	110
	125° C	110	150	170	90	140	160	130
Dyn_N	0° C	150	60	150	80	130	80	130
	125° C	170	80	160	100	140	150	150

Valores marcados em negrito indicam que o circuito é estável no reset em repouso.

A possibilidade de existir uma tensão de polarização única, adequada para todos os casos, foi investigada. Constatou-se, em todos os corners de processo, que os valores indicados para 125° C podem ser usados também a 0° C.

A fim de quantificar a influência do tempo de resposta do sistema de recomputação, tal como ele é definido na fig. 25, foram feitas simulações nas quais esse parâmetro é variado de zero a 5,0 ns em passos de 1,0 ns. As formas de onda para o caso mais desfavorável encontrado (Dyn_P, FFF, 125° C, V_bias = 110 mV) são mostradas na fig. 27 e o conjunto completo de resultados é sumarizado na tabela 7. Formas de onda mostrando o tempo de retenção em função do tempo de resposta do sistema de recomputação em (a); detalhe das formas de onda do pulso de corrente e do sinal de reset em (b); sinal not_out em (c). O valor de 30% de V_{DD} é considerado o limite máximo de tensão para o nível 0. As formas de onda foram extraídas para o circuito Dyn_P no corner FFF a 125° C com V_bias = 110 mV, para um pulso de corrente de 400 μA de pico, T_p = 20 ps, τ_R = 2,0 ps.

Tabela 7 Tempos de retenção em função do tempo de resposta do sistema

Tempo de resposta do sistema (ns)	Tempo de retenção (ns)	Tempo de resposta do sistema (ns)	Tempo de retenção (ns)
0	150,1	3,0	125,5
1,0	142,4	4,0	115,9
2,0	134,3	5,0	105,5

Circuito Dyn_P no corner FFF a 125° C, V_{bias} = 110 mV. Pulso de corrente de 400 μA de pico, T_p = 20 ps, τ_R = 2,0 ps.

Observando-se a tabela 6, nota-se que o valor máximo absoluto de V_bias para 130 nm é 170 mV. A possibilidade de usar esse valor como um valor único para todos os corners de processo e temperatura foi investigada. Para isso, determinou-se o tempo de hold em todos os corners de processo e temperatura tendo-se o tempo de resposta do sistema como parâmetro. A pior situação ocorreu para o circuito Dyn_P no corner FFF a 125° C. O tempo de retenção para o pulso de corrente com pico de 400 μA e demais condições informadas foi determinado em 149,0 ns e 88,2 ns para um tempo de resposta do sistema de, respectivamente, zero e 2,0 ns, deixando de detectar o pulso de corrente para tempos de resposta iguais ou superiores a 3,0 ns.

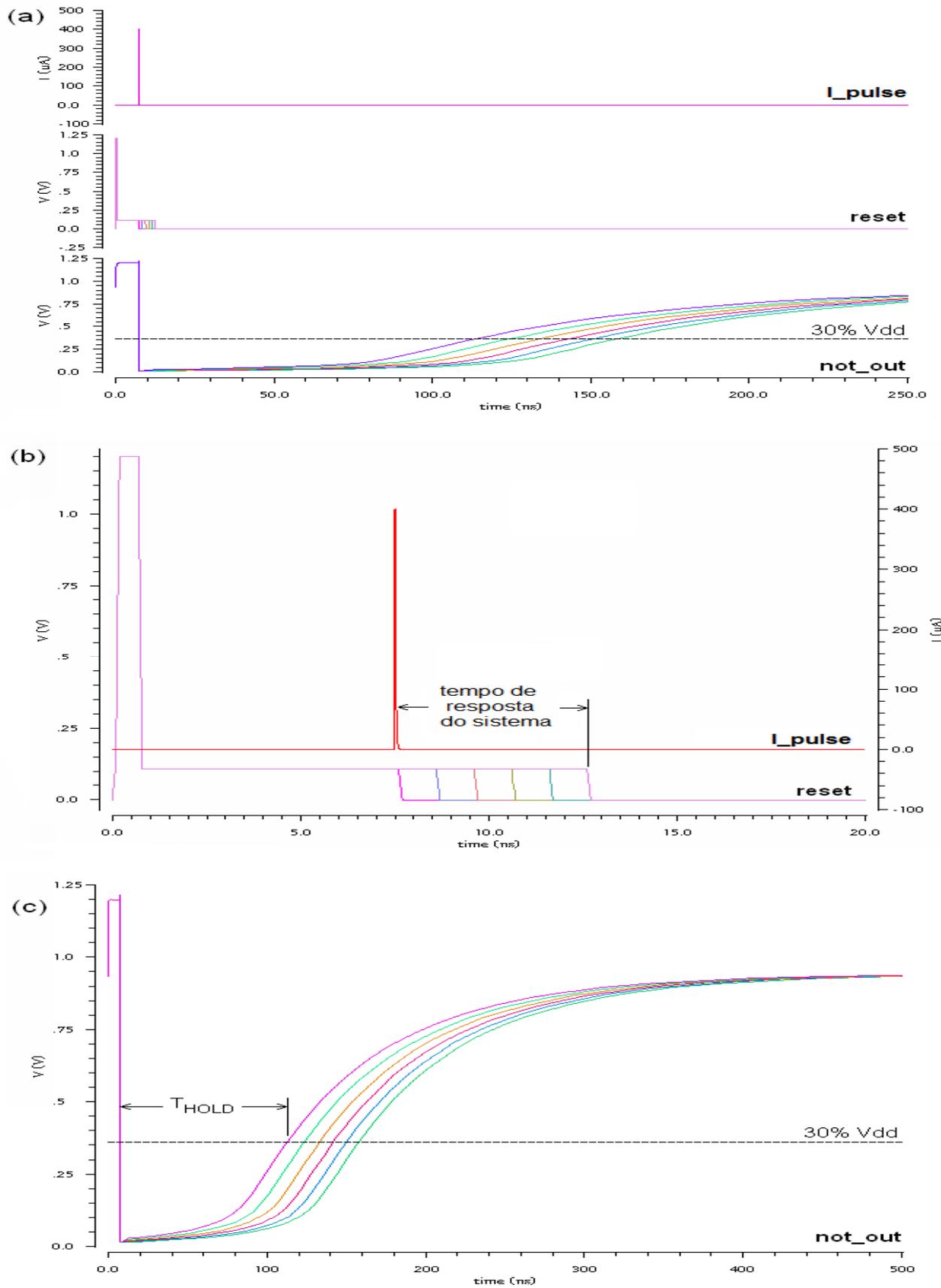


Figura 27 Formas de onda relevantes da simulação com sinal de reset de três níveis.

Por fim, foi efetuado um conjunto de simulações destinadas a quantificar a redução no consumo de corrente quiescente que pode ser obtido com o uso da técnica proposta. Os resultados, mostrados na fig. 28, revelam uma notável redução na corrente quiescente em todas as três tecnologias. Para a tecnologia 130 nm, em especial, o resultado mais proeminente ocorreu para o circuito Dyn_P em 130 nm, corner FS a 125° C.

A partir dos resultados obtidos, é possível afirmar que a célula de memória dinâmica utilizada nos circuitos DynBICs pode ser estabilizada no estado de reset, ao repouso, para todos os corners de processo e temperatura, polarizando-se o transistor de descarga T3 em inversão fraca. Considerando a tecnologia 130 nm, o valor de tensão ótimo é dependente do processo e da temperatura, mas é possível utilizar os valores encontrados para 125° C em toda a faixa de 0° C a 125° C. Também existe, para 130 nm, um valor de tensão que estabiliza os dois circuitos em todos os corners de processo e em toda a faixa de temperatura, desde que o tempo de resposta do circuito de recomputação seja, no máximo, de 2,0 ns. A possibilidade de

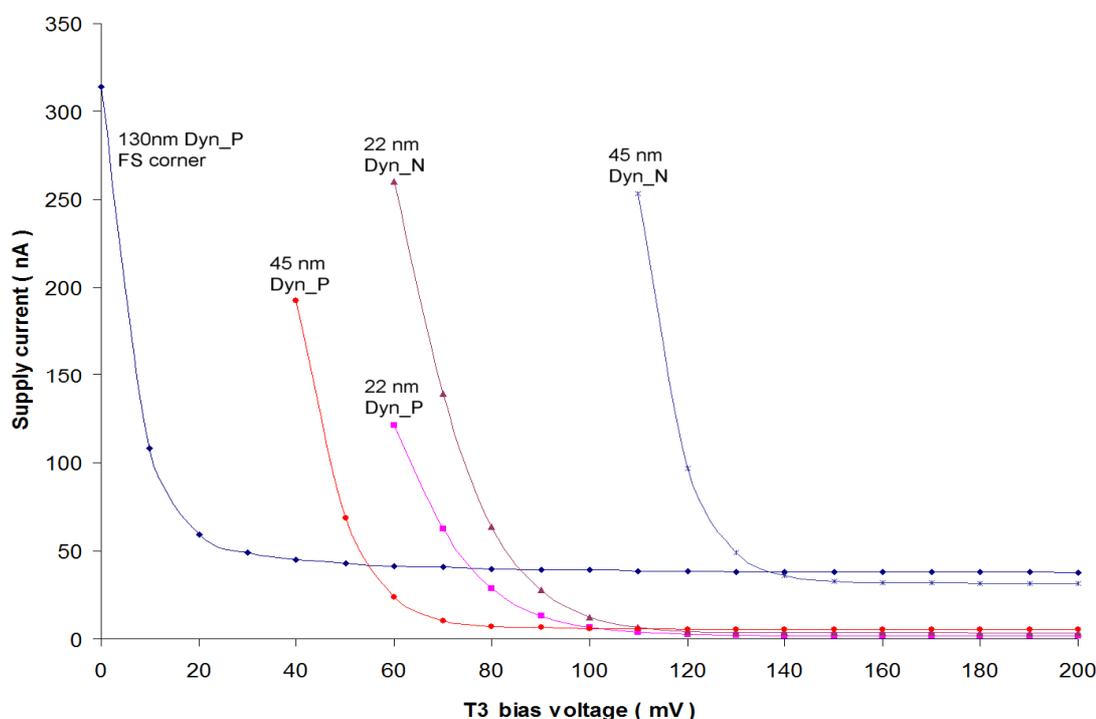


Figura 28 Consumo de corrente quiescente a 125° C em função da tensão de polarização V_{bias} .

existir semelhantes situações para as tecnologias 45 nm e 22 nm não pôde ser pesquisadas em função da não-disponibilidade de um design kit completo que permitisse efetuar a análise em corners de processo.

Por fim, o uso da técnica apresentada permite obter uma redução no consumo de corrente quiescente em todos os corners de processo, temperaturas e tecnologias pesquisadas. A operação dos circuitos em tecnologia 130 nm satisfaz os parâmetros de projeto até o limite estipulado de 5,0 ns para o tempo de resposta do sistema de recomputação.

3.4 INFLUÊNCIA DA RADIAÇÃO IONIZANTE SOBRE OS CIRCUITOS DYNBICS

Circuitos destinados a funcionar como BICS em sistemas protegidos contra os efeitos da radiação ionizante devem ser capazes de manter as suas características mesmo após serem expostos a uma dose de radiação, compatível com a vida útil desejada para o sistema. A dose de radiação acumulada provoca a degradação dos dispositivos semicondutores e eventualmente o dispositivo falha devido a um excessivo desvio em algum parâmetro ou, mesmo, devido à falha catastrófica do dispositivo (DODD, 2003). A variação nos parâmetros elétricos tem impacto direto no desempenho dos circuitos e a magnitude dessa variação é diretamente ligada à quantidade de radiação à qual o circuito integrado é exposto. Com o intuito de verificar a resistência dos circuitos DynBICS e avaliar a vida útil em operação dos circuitos quando submetidos aos efeitos cumulativos da radiação, um ensaio de Dose Total Acumulada, ou Total Ionizing Dose (TID), foi efetuado e os resultados descritos em (SIMIONOVSKI, 2015b).

Uma placa-protótipo contendo uma unidade do circuito integrado já descrito em 1.2.2 foi preparada e irradiada utilizando-se uma fonte de radiação gama de ^{60}Co tipo Eldorado 78, Atomic Energy of Canada, Ltd., a uma taxa de 1,5 krad(Si)/h. A imagem da placa-protótipo pode ser vista na figura 29, a qual contém o circuito integrado e alguns componentes passivos



Figura 29 Placa-protótipo contendo o circuito integrado submetido ao ensaio de Dose Total Irradiada.

destinados ao desacoplamento das linhas de alimentação e à polarização do pino sens_adj. A dose total recebida atingiu o valor de 616 krad(Si) ao final de um período de irradiação de 410 h 37 min. A radiação foi dirigida exclusivamente à superfície do circuito integrado, não incidindo nos componentes periféricos. Após ser irradiado, o circuito integrado foi deixado em repouso para alívio dos efeitos (annealing) por 175 h. A temperatura no laboratório onde o ensaio foi executado (Instituto de Estudos Avançados, IEAV) é controlada e tanto a irradiação quanto o annealing foram efetuados à temperatura de 23° C +/- 1° C, com os circuitos alimentados e em funcionamento, recebendo os sinais de controle descritos conforme segue.

O sistema de medição contou com um rack National Instruments (NI) PXIe 1062Q controlado por um controlador PXIe 8135 rodando um programa em LabView2012. Uma fonte de alimentação NI 4130 foi utilizada para fornecer 1.2 V aos pinos Vdd_P and Vdd_N e uma fonte de alimentação NI 4110 foi utilizada para fornecer 1.2 V ao pino Vdd_Buffer. A

medição dos sinais nos pinos de controles test e reset , bem como nos pinos de saída Out_P e Out_N foi efetuada por um osciloscópio Agilent MSO 8104A. Os sinais test and reset foram fornecidos, respectivamente, por um gerador de sinais NI PXI 5406 e um gerador de funções Agilent 33250A.

O sistema de medição coletou dados referentes à sensibilidade dos circuitos, na forma da mínima corrente de limiar de deteção, e o consumo médio de corrente nas linhas Vdd_P e Vdd_N. Vislumbrou-se que a sensibilidade dos sensores poderia ser avaliada aplicando-se uma rampa de tensão ao pino test ao mesmo tempo em que as saídas são monitoradas. A rampa de tensão faz com que os transistores T1 entrem em condução progressiva à medida que a tensão no pino test aumenta, o que acarreta uma corrente nos transistores T0 que aumenta ao longo do tempo. Eventualmente, o limiar de deteção é atingido, o que é indicado pela mudança de estado na saída do sensor. A corrente de limiar poderia ser extraída da corrente de alimentação dos sensores tal como foi feito durante o teste elétrico descrito em 3.2, entretanto, a presença dos capacitores de desacoplamento nas linhas Vdd_P e Vdd_N impede que tal informação seja coletada. Mesmo assim, uma quantificação relativa da sensibilidade e sua variação com a dose de radiação pode ser extraída da variação no valor de tensão que causa o disparo do sensor, ao longo do tempo. Devido à presença dos capacitores de acoplamento, o consumo de corrente nas linhas Vdd_P e Vdd_N foi adquirido como a corrente média fornecida pelas fontes de alimentação e as medições foram feitas a intervalos de 10 min. A figura 30 mostra as formas de onda correspondentes, onde os pontos P e N marcados no sinal test indicam os pontos de disparo dos sensores. Um ciclo completo dos sinais de controle dura 3 μ s e contém 6000 amostras de cada sinal.

Na amostra utilizada para o teste encontrou-se que o sensor Dyn_P exibia reset espontâneo, enquanto que o sensor Dyn_N exibia set espontâneo. Com isso, é possível determinar o máximo tempo de retenção para o Dyn_P e o máximo tempo de repouso (idle)

para o Dyn_N. Esses tempos foram determinados no início e no final do teste mas o seu comportamento não foi acompanhado ao longo da execução do teste.

Ambos os sensores estiveram ativos e funcionais durante todo o período de irradiação

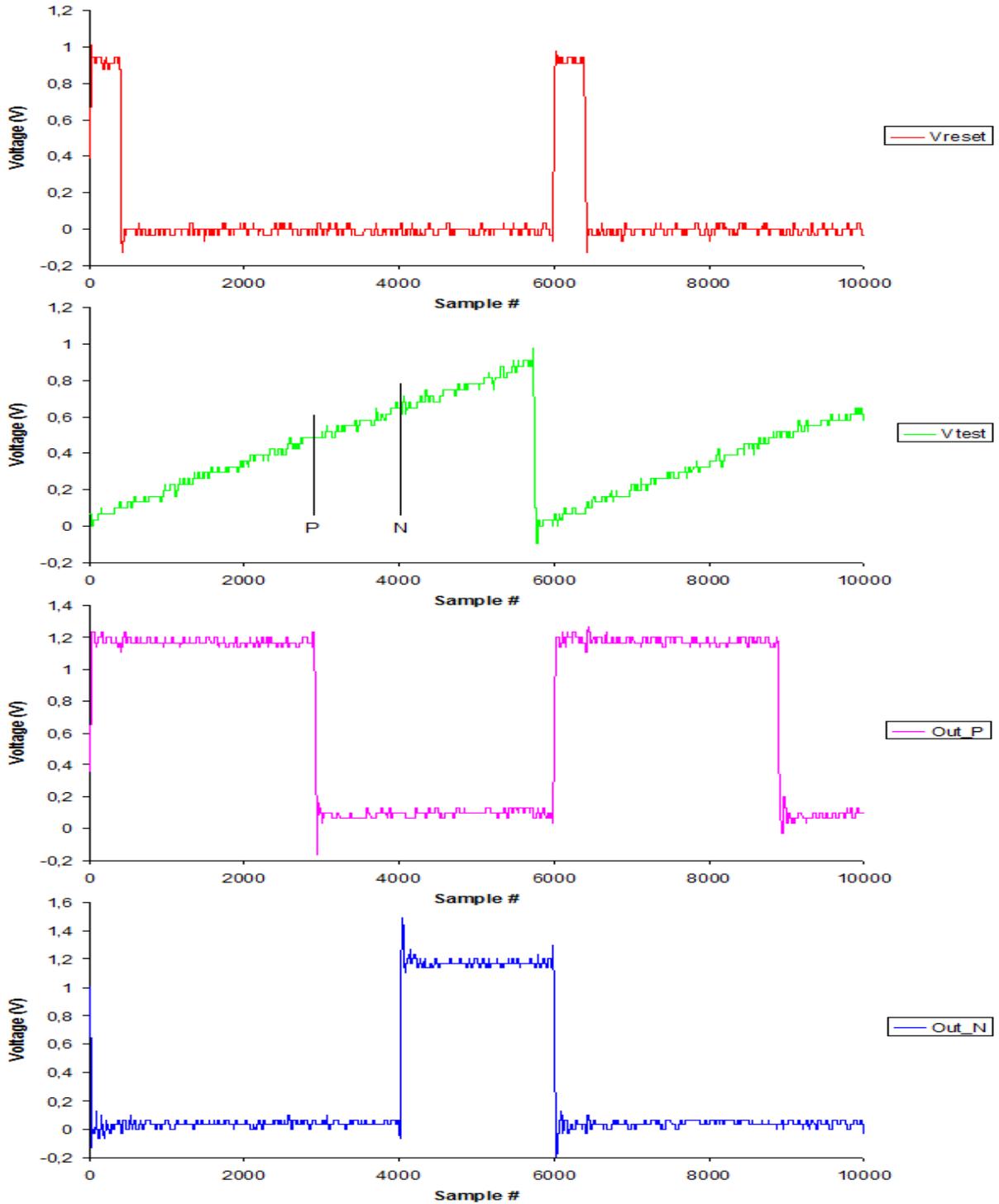


Figura 30 Sinais presentes nos pinos *reset*, *test*, *Out_P* e *Out_N* durante o ensaio de TID.

e annealing. Entretanto, a fim de evitar qualquer interação entre os circuitos, as medições foram feitas sempre com um sensor ativo por vez. A desativação do sensor que não estava sob medição foi feita reduzindo-se sua tensão de alimentação a zero. Os buffers de saída dispõem de um pino interno de habilitação (enable) ligado à linha de alimentação do seu respectivo sensor. Quando a tensão na linha de alimentação vai a zero, o sensor é desativado pela falta de alimentação e o seu correspondente buffer de saída é forçado a entregar o nível 0 na saída, evitando assim oscilações indesejáveis que poderiam induzir ruído no sensor sob medição.

3.4.1 Resultados do Ensaio de Dose Total Irradiada - TID

A figura 31 mostra o comportamento da corrente média fornecida aos BICS durante a irradiação e o annealing. Apesar da presença dos capacitores de desacoplamento, os dados de corrente foram coletados com uma grande quantidade de ruído sobreposto, possivelmente originado devido ao comprimento dos cabos que interligavam os equipamentos e a placa-protótipo; na figura 31, utilizou-se uma média móvel de 100 amostras para minimizar o ruído

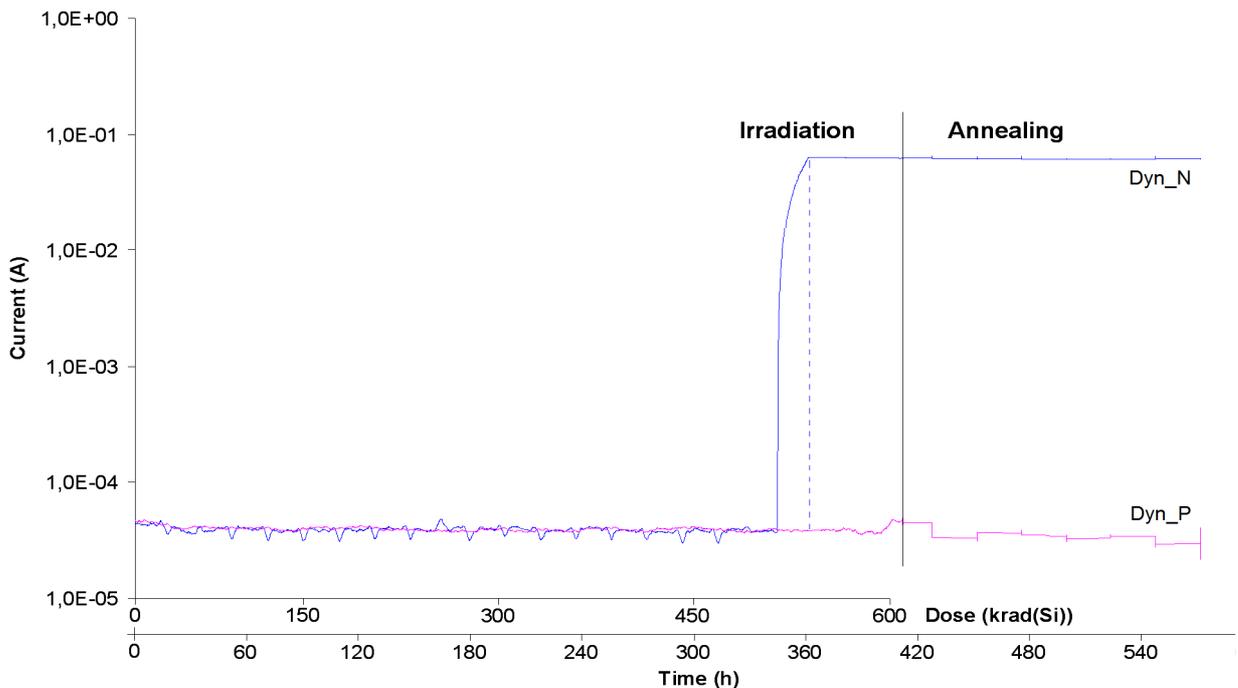


Figura 31 Corrente drenada nos pinos Vdd_P e Vdd_N ao longo do tempo.

sobreposto e obter valores mais representativos da real corrente drenada pelos circuitos. A corrente de alimentação do sensor Dyn_N aumenta bruscamente após 367 h de irradiação; a transição lenta mostrada no gráfico deve-se ao efeito da média móvel sobre as amostras.

A corrente drenada pelo sensor Dyn_P mostrou-se estável ao longo do tempo, mostrando uma leve redução ao longo da irradiação e do annealing, com valor inicial de 46 μA e final de 28 μA . A corrente drenada pelo sensor Dyn_N apresentou um notável e súbito aumento após 367 horas de irradiação (dose total acumulada: 550 krad (Si)) passando de 44 μA para o valor de 62 mA. Apesar disso, o sensor Dyn_N continuou operacional a despeito do aumento na corrente drenada, o que leva à conclusão de que algum dispositivo, não diretamente relacionado à operação do Dyn_N, tenha sido danificado pela radiação, como, por exemplo, as estruturas de proteção antiestática da linha Vdd_N.

Os tempos de retenção (hold) e repouso (idle) das células de memória dinâmicas foram avaliados no início e no final do período de irradiação, utilizando-se as formas de onda dos sinais test e reset conforme mostrado nas figuras 32 e 33. Dos dados coletados, observou-

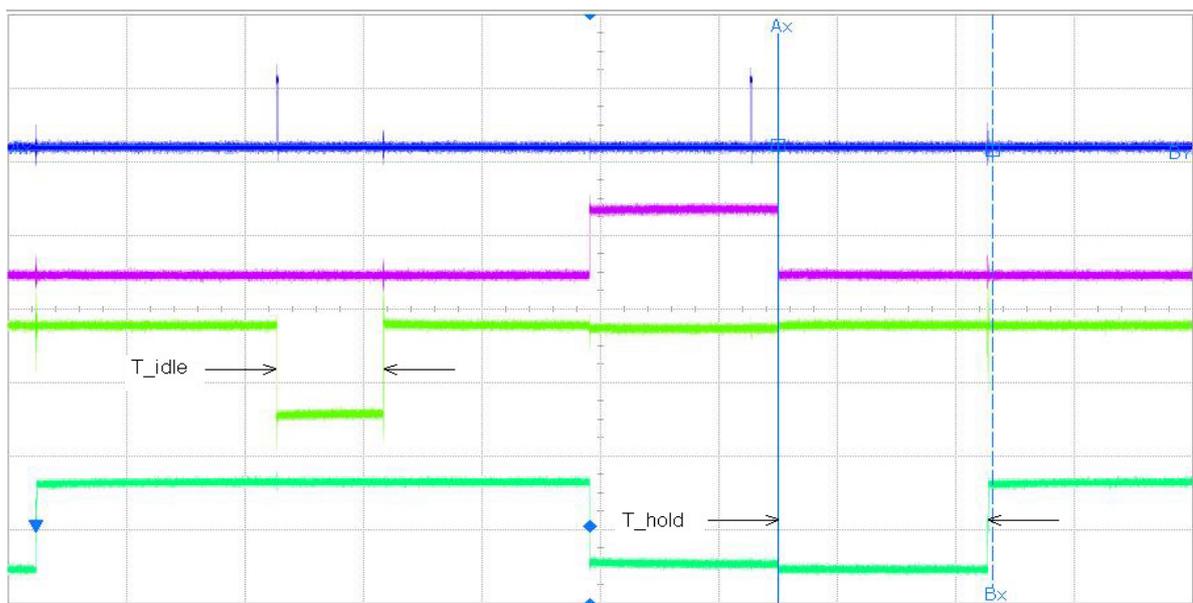


Figura 32 Sinais relevantes, antes da irradiação, mostrando os tempos de retenção (T_{hold}) e repouso (T_{idle}). Em ordem, a partir do topo : reset, test, Out_N, Out_P. Escala vertical 1 V/div; horizontal 50 $\mu\text{s}/\text{div}$.

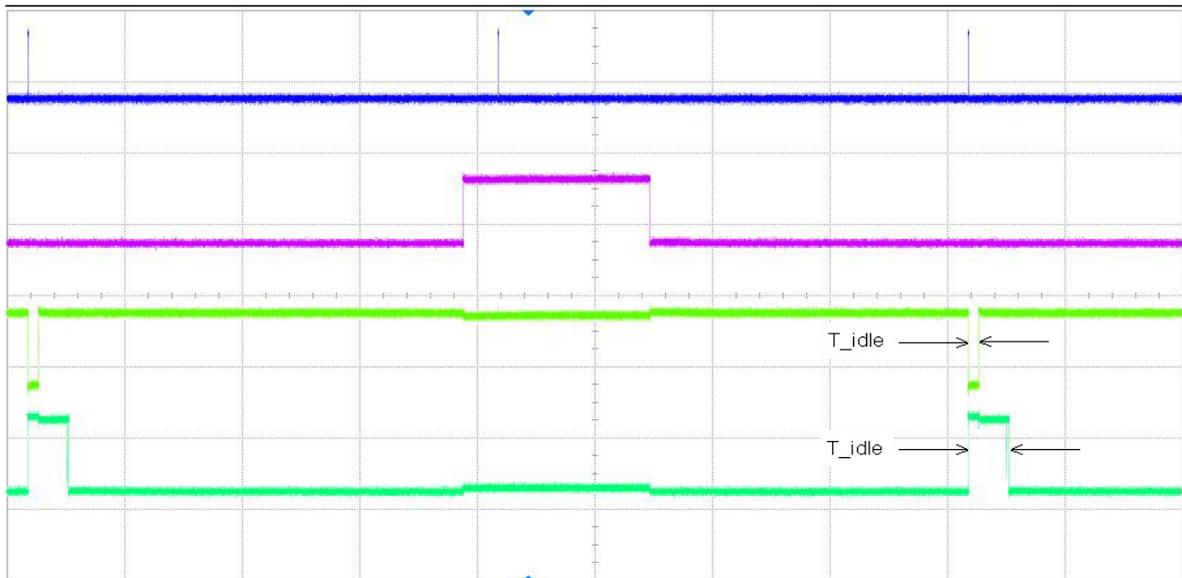


Figura 33 Sinais relevantes, após a irradiação, mostrando os tempos de repouso (T_{idle}). Em ordem, a partir do topo : reset, test, Out_N, Out_P. Escala vertical 1 V/div; horizontal 50 μ s/div.

se que o tempo de repouso do sensor Dyn_N sofreu uma redução de 47 μ s para 4,7 μ s. A célula do sensor Dyn_P teve uma inversão de comportamento, iniciando o período de irradiação com um tempo de **retenção**, de 90 μ s e finalizando com um tempo de **repouso**, de 17 μ s. Os tempos de retenção e repouso não foram medidos logo após o período de annealing; entretanto, após um período prolongado de armazenamento à temperatura ambiente (3600 h aproximadamente, à temperatura ambiente, sem energização), os tempos foram novamente medidos e encontrou-se um tempo de repouso de 5,5 μ s para o sensor Dyn_N, enquanto que o sensor Dyn_P recuperou o seu comportamento inicial e apresentou um tempo de retenção de 700 ns. A tabela 8 sumariza os resultados encontrados.

Tabela 8 Comportamento Estático das Células de Memória

Circuito	Irradiação		3600 h após o annealing
	Antes	Depois	
Dyn_P	90 μ s retenção	17 μ s repouso	700 ns retenção
Dyn_N	47 μ s repouso	4.7 μ s repouso	5.5 μ s repouso

O comportamento estático das células de memória dinâmicas alterou-se significativamente com a exposição à radiação ionizante. Dados medidos e publicados por (BOCHENEK, 2012) para a tecnologia CMRF8SF permitem afirmar que a corrente de fuga estática para $V_{GS} = 0$ dos transistores PMOS praticamente não sofre influência da radiação, enquanto que, para os transistores NMOS, aquele parâmetro é esperado aumentar 3,5x para o transistor T3 de Dyn_P e 5x para o transistor T2 de Dyn_N, para uma dose acumulada de 600 krad (Si). A variação no tempo de repouso do sensor Dyn_N é consistente com esses dados. Entretanto, os resultados medidos para o sensor Dyn_P sugerem que uma terceira contribuição de primeira ordem, além daquelas dadas pelas fugas em T2 e T3, possa ter afetado o comportamento da célula de memória. Em ambos os circuitos, essa contribuição age proporcionando uma corrente de carga para a capacitância de armazenamento, o que explicaria a redução maior do que a esperada para o tempo de repouso de Dyn_N e a passagem do tempo de retenção de Dyn_P para um tempo de repouso. Uma possível explicação para essa terceira contribuição seria a formação de caminhos de corrente de fuga inter-dispositivos, induzidos pela radiação.

A sensibilidade relativa manteve-se constante ao longo do tempo, não mostrando nenhuma alteração significativa na tensão V_{test} de disparo, em ambos os circuitos, que permaneceu constante em 519 mV para o Dyn_P e 648 mV para o Dyn_N, desde o início da irradiação até o final do annealing. Uma vez que a corrente real de disparo não pôde ser medida, nenhuma outra informação pode ser obtida a partir das medidas feitas.

3.5 ENSAIO SOB IRRADIAÇÃO LASER

O uso de pulsos de luz laser com o intuito de produzir correntes transientes em um circuito eletrônico (HABING, 1965; BUCHNER, 1996; NEWTON, 2016) mostra-se bastante atraente como alternativa ao uso direto de radiação ionizante. A possibilidade de dirigir os

pulsos laser com precisão e repetibilidade à área sensível desejada e a possibilidade de irradiar áreas específicas do dispositivo sob teste fazem o uso do método ser vantajoso quando comparado com métodos de irradiação de feixe de prótons ou de íons pesados (NEWTON, 2016). Os sensores DynBICS foram testados sob irradiação laser nas instalações da Vanderbilt University e o ensaio e seus resultados são detalhados na sequência.

3.5.1 Detalhamento do Ensaio de Laser Pulsado

Uma pastilha desencapsulada do circuito integrado foi montada em um suporte de teste especialmente construído para testes laser de alta velocidade. O ensaio é feito irradiando-se a pastilha com pulsos laser que incidem pela parte de baixo, através de um furo existente no centro do suporte. Para tanto, o verso da pastilha é devidamente polido e preparado. As conexões são feitas através de bond wires que conectam os pads existentes na pastilha a linhas de transmissão do tipo microstrip terminadas em conectores SMA montados ao redor do suporte.

Um laser de absorção de duplo fóton (two-photon absorption laser) de titânio-safira (TiS) gerou os pulsos com um comprimento de onda de 1260 nm, duração de 150 fs e taxa de repetição de 1 kHz. Os pulsos foram focalizados sobre o verso da pastilha formando um ponto com aproximadamente 1,2 μm de diâmetro. A energia incidente é medida com um fotodiodo calibrado de InGaAs que recebe uma fração do pulso laser.

Um osciloscópio Tektronix DPO7254 com 2,5 GHz de largura de banda e 40 Gsamples/s de taxa de amostragem foi utilizado para as medições e o registro dos sinais Out_P e Out_N, bem como do valor de pico da tensão entregue pelo fotodiodo, registrado como a medida da intensidade de pico de cada pulso. Na amostra utilizada, ambos os circuitos eram estáveis ao repouso, o que dispensou a aplicação de um sinal de reset recorrente para a estabilização das células de memória. O sinal test foi mantido em gnd e a tensão no pino

sens_adj foi ajustada para 600 mV, o que ajusta a sensibilidade de ambos os sensores para o máximo. A tensão de alimentação fornecida aos pinos Vdd_P, Vdd_N e Vdd_buffer foi ajustada em 1,20 V. Foi testado um sensor por vez; o sensor remanescente foi deixado inativo através da conexão do respectivo pino de alimentação ao gnd.

O suporte contendo a amostra foi montado em uma mesa móvel X-Y controlada por computador, com posicionamento controlável em uma resolução de 100 nm, e o registro dos dados é feito de forma coordenada com o movimento da mesa. Os dados foram coletados varrendo-se a superfície dos transistores-alvo com os pulsos laser e registrando as respostas fornecidas pelos sensores. A área varrida foi de $4,0 \mu \times 4,0 \mu \text{m}$ em passos de $0,25 \mu \text{m}$, tendo sido feitas 50 medições a cada posicionamento da mesa.

3.5.2 Resultados do ensaio de Laser Pulsado

Ambos os sensores foram capazes de capturar os pulsos laser quando o ponto foi direcionado para o centro do transistor-alvo, conforme mostrado nas figuras 34 e 35. Os sinais

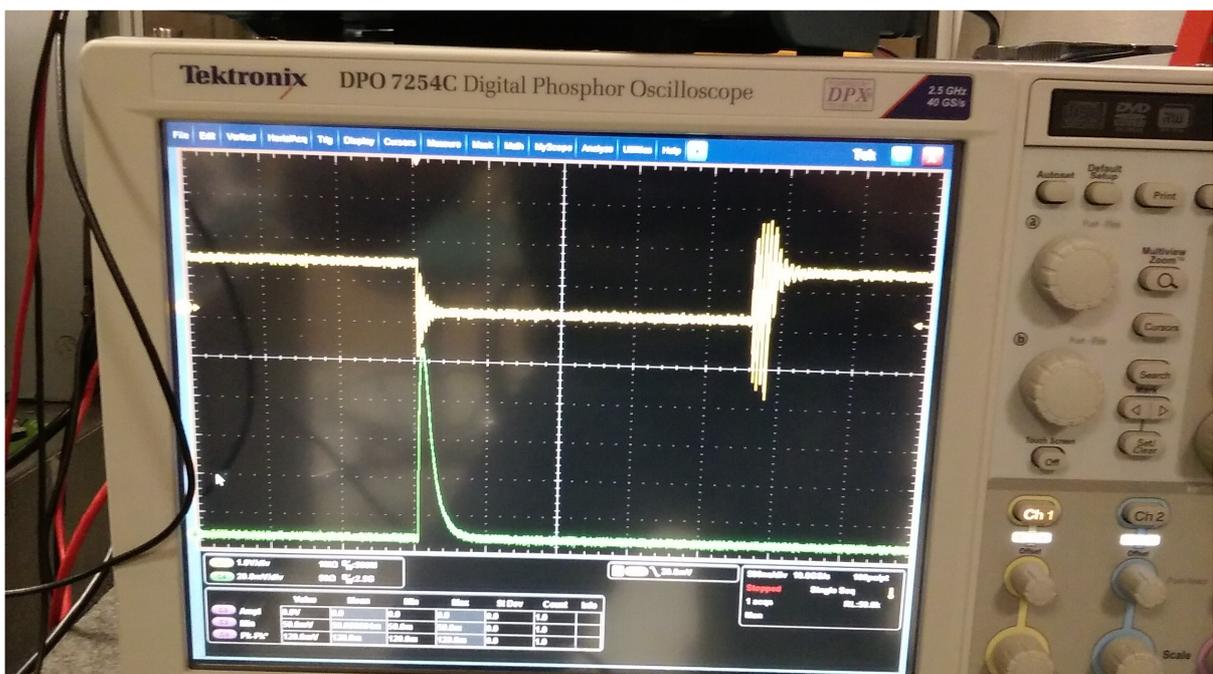


Figura 34 Formas de onda mostrando o sensor Dyn_P respondendo ao pulso laser. Sinal Out_P no alto; sinal do fotodiodo embaixo.

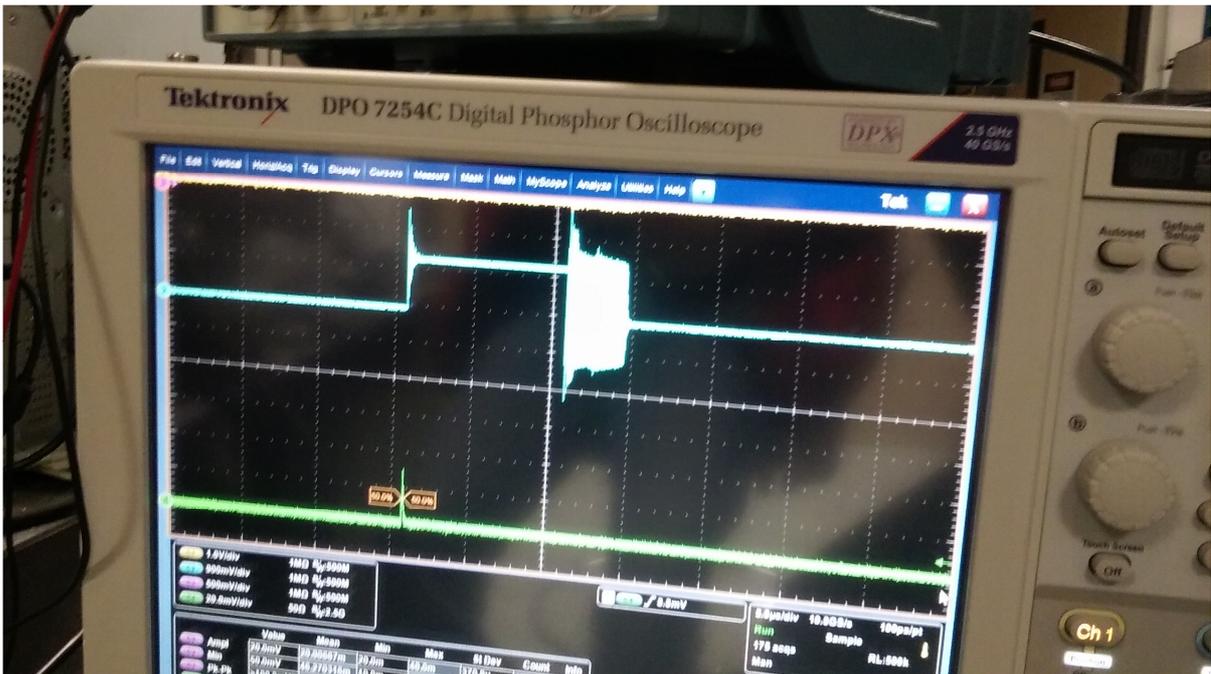


Figura 35 Formas de onda mostrando o sensor Dyn_N respondendo ao pulso laser. Sinal *Out_N* no alto; sinal do fotodiodo embaixo.

de saída contêm oscilações devido ao descasamento de impedâncias nos cabos de conexão e, também, devido à amplificação de ruído pelos transistores T5 dos sensores, quando esses entram na região linear no final do tempo de retenção. A menor amplitude detectável do pulso laser pelo Dyn_P foi de 70 mV e pelo Dyn_N foi de 20 mV, em um ensaio preliminar. É interessante notar que a sensibilidade do Dyn_N mostrou-se maior do que a do Dyn_P, o que contraria o esperado pelos resultados de simulação publicados em (SIMIONOVSKI, 2012b); entretanto, o resultado está coerente com o fato de o transistor-alvo do Dyn_N ser um transistor triple-well, conforme publicado por (CHATTERJEE, 2011).

Dado que a amplitude dos pulsos laser varia de um pulso ao outro, foi possível determinar a sensibilidade relativa em cada ponto varrido. O limiar de detecção em cada ponto foi avaliado como a média entre a menor amplitude que causava o disparo do sensor e a maior amplitude que não causava o disparo, dentre todos os 50 pulsos que foram medidos em cada ponto. Os resultados permitiram mapear a zona sensível do transistor-alvo do sensor Dyn_N, mostrada na figura 36, onde as áreas coloridas definem os pontos onde ocorreu pelo menos

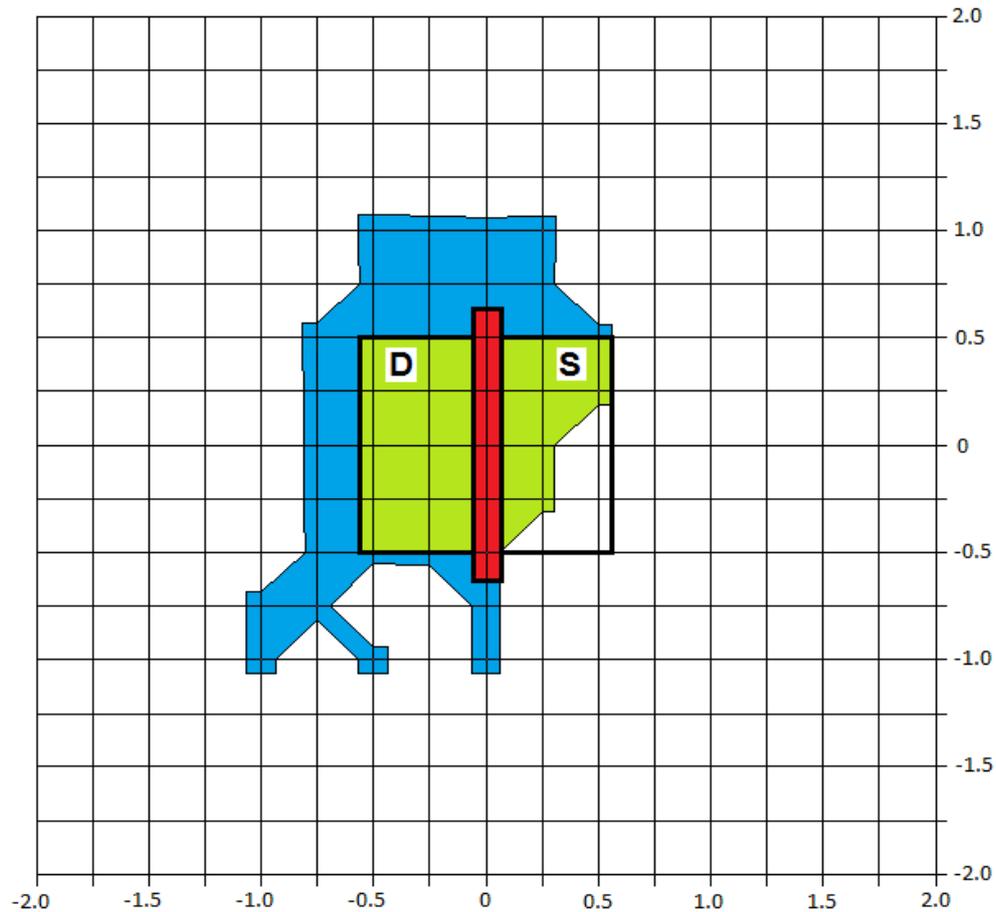


Figura 36 Mapa de sensibilidade do transistor-alvo do sensor Dyn_N. Dimensões do retículo em μm .

uma captura do pulso laser. As diferentes cores servem apenas para identificar as diversas regiões do transistor de teste: porta em vermelho, dreno e parte sensível da fonte em verde. A área sensível periférica ao transistor está em azul. Nenhum pulso foi capturado quando o feixe laser foi posicionado sobre os nós do reticulado da área em branco.

Os dados colhidos para o sensor Dyn_P não foram registrados pelo osciloscópio e não houve oportunidade para se refazer o ensaio, razões pelas quais o mapa de sensibilidade do sensor Dyn_P não pôde ser elaborado.

3.6 FINALIZAÇÃO DO CAPÍTULO

O capítulo apresentou o princípio de funcionamento dos circuitos DynBICS e os detalhes da implementação física na forma de um circuito integrado fabricado em tecnologia

IBM 130 nm. O protótipo foi submetido a testes elétricos, que mostraram que os circuitos são funcionais. Um ensaio de dose total irradiada mostrou a robustez dos circuitos à radiação acumulada de 600 krad(Si). O problema do uso de um sinal de reset recorrente foi estudado e apresentou-se uma forma de estabilizar a célula de memória dinâmica ao repouso através do uso de um sinal de reset de três níveis. Por fim, mostrou-se os resultados de um ensaio sob irradiação laser, que confirmou a capacidade dos sensores em capturar a corrente transiente induzida nos transistores-alvo do protótipo. Conclui-se, assim, que os circuitos DynBICS e a topologia da célula de memória dinâmica são funcionais, robustos e adequados para a captura dos transientes gerados por radiação ionizante.

4 O SENSOR DE CORRENTE TRANSIENTE COM CÉLULA DE MEMÓRIA INTEGRATIVA (TRIBICS)

Neste capítulo será apresentada uma nova topologia para um sensor de corrente transiente, a qual busca resolver certas limitações apresentadas pelos sensores DynBICS. É apresentada a topologia da célula integrativa, seguido do circuito desenvolvido e dos resultados obtidos por simulação de circuitos. É conduzida uma comparação entre as células de memória estáticas de circuitos propostos na literatura com a célula de memória integrativa, no tocante a tempo de resposta e limiar de disparo, bem como é mostrado o comportamento de vários sensores interligados entre si.

4.1 A CÉLULA DE MEMÓRIA INTEGRATIVA

Com o advento do sensor SingleBBICS (BASTOS, 2014) e o natural avanço do estado da arte, procurou-se incorporar aos DynBICS melhorias que os tornassem ainda mais competitivos como circuito de escolha em uma implantação física da técnica Bulk-BICS. Os pontos que mereceram melhorias foram :

- a) A célula dinâmica exibe um tempo de repouso finito em reset, ditado pelas correntes de fuga internas associadas ao nó de armazenagem. Esse problema foi resolvido acrescentando-se uma tensão de polarização ao sinal de reset, conforme descrito no capítulo anterior.
- b) A célula dinâmica exibe um tempo de retenção finito em set, também ditado pelas correntes de fuga internas associadas ao nó de armazenagem. Apesar de os tempos de retenção medidos serem suficientes para o eficiente funcionamento do processo de recomputação, um tempo de retenção infinito seria convenientemente vantajoso a fim de eliminar um argumento em favor da célula estática.
- c) A célula dinâmica exibe um nível lógico indefinido na saída quando a carga acumulada no nó de armazenagem é inferior, mas está marginalmente próxima, à carga mínima, conforme mostrado em (SIMIONOVSKI, 2012a).

Com um sinal de saída verdadeiramente biestável também se elimina um argumento em favor da célula estática.

- d) Os circuitos Dyn_P e Dyn_N devem ser aglutinados em um circuito único capaz de monitorar simultaneamente transistores PMOS e NMOS, eliminando-se a necessidade de sinais de controle com duas polaridades (normal e complementar).

É possível alterar a célula de memória dinâmica incorporando-se um laço de realimentação positiva, o que elimina qualquer indefinição no nível lógico de saída dando à mesma um comportamento verdadeiramente biestável. A sensibilização da célula permanece ocorrendo através da integração de corrente na capacitância de armazenamento C_{ST} , entretanto, o caráter dinâmico da célula é perdido, pelo que optou-se por nomeá-la como “célula integrativa”. Com essa nova topologia, acrescenta-se as melhorias indicadas em (b) e (c). O circuito da célula de memória integrativa é mostrado na figura 37.

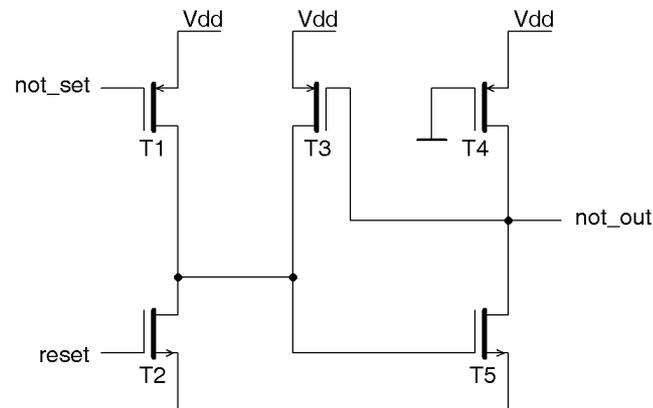


Figura 37 Circuito da célula de memória integrativa.

Nessa topologia, existe um nó de integração em torno da porta do transistor T5, com uma capacitância de integração C_{INT} que compreende as capacitâncias de porta de T5, as capacitâncias de dreno de T1, T2 e T3 e as capacitâncias parasitas associadas ao nó. Na figura 37, o transistor T5 controla o nível lógico de saída em função da carga acumulada na capacitância C_{INT} . T4 age como carga de T5 provendo um nível lógico definido na saída enquanto T5 permanece em não-condução. T1 é o transistor responsável pela injeção de

corrente no nó de integração e T2 é o transistor de descarga, responsável pelo reset da célula. O transistor T3 é o elemento de realimentação positiva através do qual obtém-se um tempo de retenção infinito e um comportamento verdadeiramente biestável no sinal de saída.

A célula é levada ao estado de reset pela condução de T2, que descarrega o nó de integração sob a ação do sinal de reset e é mantido em condução subthreshold pela tensão de polarização V_{bias} , evitando o acúmulo de cargas em C_{INT} oriundas da integração das correntes de fuga que concorrem ao nó de integração. Nessas circunstâncias, a saída not_out exibe nível 1 e o transistor T3 é mantido em estado de não-condução.

A célula é sensibilizada através da corrente injetada por T1 no nó de integração, sob o comando do sinal not_set . Essa corrente é integrada ao longo do tempo pela capacitância C_{INT} de forma que a tensão V_{GS} de T5 aumenta ao longo do tempo. Em certo momento, T5 começa a entrar em condução, o que faz a tensão em not_out começar a cair devido à queda em T4, aumentando a tensão V_{GS} de T3. T3 começa a conduzir quando a queda em T4 se aproxima de sua tensão de limiar V_{TH} , o que reforça a injeção de corrente no nó de integração. Essa ação é regenerativa, provocando uma rápida acumulação de carga em C_{INT} que leva T3 e T5 à plena condução e a saída ao nível 0 em um curto espaço de tempo. Essa situação perdura até que um sinal de reset seja aplicado a T2 e force T5 a entrar em corte, pois a corrente de subthreshold de T2 não é suficiente para descarregar C_{INT} devido à forte condução de T3.

Observa-se que a célula integrativa comporta-se de modo muito semelhante à célula dinâmica usada nos DynBICS, visto que a sua sensibilização é feita também através do acúmulo de cargas na capacitância de integração, diferindo pelo fato de que, uma vez que um certo valor de carga é acumulado em C_{INT} , o processo regenerativo se inicia e o nível lógico na saída se define com rapidez. Assim, ainda que o circuito não mais opere em laço aberto, permanece inexistindo a necessidade de uma duração mínima para o pulso de disparo. Da mesma forma, a realimentação positiva remove qualquer indefinição no nível lógico de saída,

que antes ocorria quando a célula dinâmica era sensibilizada de forma marginal (SIMIONOVSKI, 2012a). Mais ainda, como agora a maioria da carga necessária para levar T5 à plena condução é proveniente da condução de T3, o valor da carga mínima Q_{\min} necessária para sensibilizar a célula é diminuído.

4.2 O SENSOR DE CORRENTE TRANSIENTE COM CÉLULA DE MEMÓRIA INTEGRATIVA

Um novo circuito Bulk-BICS que utiliza a célula de memória integrativa foi desenvolvido através de simulação, utilizando-se a tecnologia UMC 40 nm de baixa potência UMC 40LP, que foi a tecnologia disponibilizada para este trabalho, não tendo sido possível utilizar a tecnologia IBM de 130 nm utilizada nos circuitos DynBICS. Nomeado Distributive Integrative Bulk Built-In Current Sensor (TRIBICS), o novo circuito permite a monitoração simultânea de transistores PMOS e NMOS ao mesmo tempo em que preserva as características de baixo consumo de corrente quiescente, alta sensibilidade e rápida velocidade de resposta inerentes ao seu antecessor DynBICS. A figura 38 mostra o circuito desenvolvido.

O circuito possui duas entradas `bulk_P` e `bulk_N` que são conectadas às conexões de bulk/substrato dos transistores a serem monitorados. As correntes de substrato fluem então através dos transistores sensores T0 e T10. O transistor T7 controla o nível lógico de saída em função da carga acumulada na capacitância C_{INT} associada ao seu porta. T4 age como carga de T7 provendo um nível lógico definido na saída enquanto T7 permanece em não-condução. T3 é o transistor de realimentação positiva e T6 é o transistor de descarga, responsável pelo reset do circuito. Em situação de repouso, o transistor T7 encontra-se em não-condução, com a saída `not_out` mantida em nível 1 e T6 é mantido em condução subthreshold através da tensão de polarização existente no sinal reset, desviando ao gnd as correntes de fuga que concorrem ao nó da porta de T7. Os transistores T5 e T8 destinam-se a permitir o teste elétrico do sensor, caso ele venha a ser prototipado no futuro.

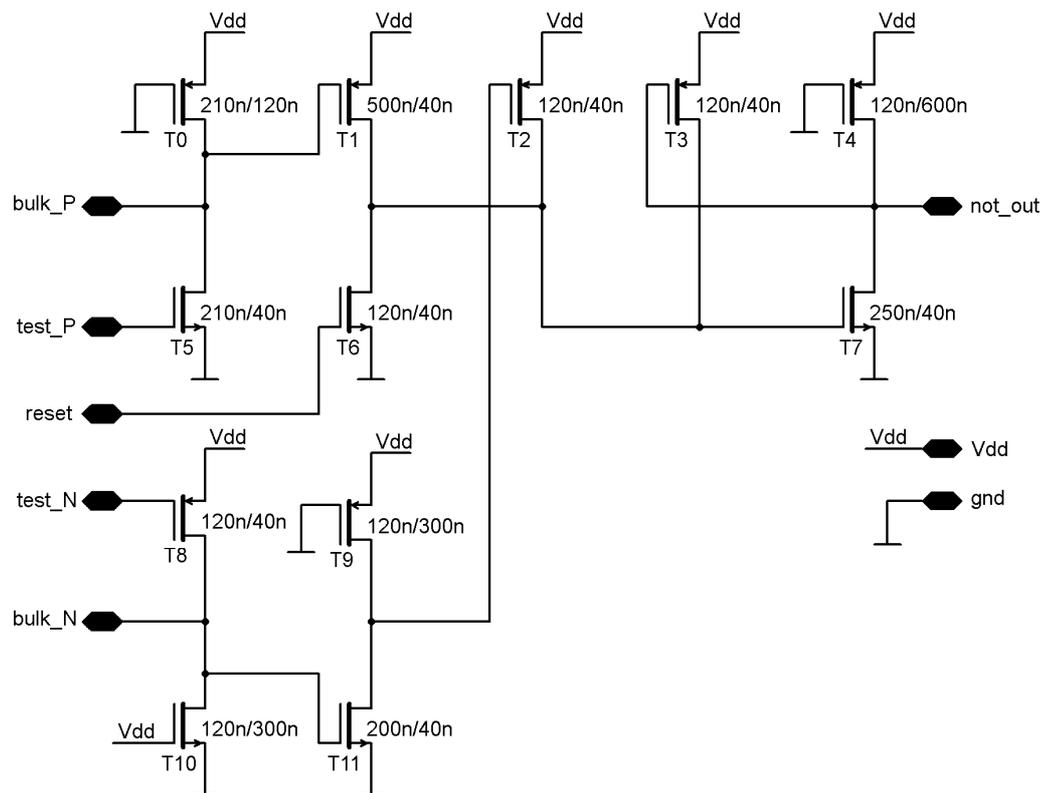


Figura 38 Circuito do sensor de corrente transiente TRIBICS.

Considerando-se o ramo PMOS, a queda de tensão entre dreno e fonte de T0 criada pela corrente transitória provoca a condução de T1, o qual injeta corrente no nó de integração. Assim que um valor mínimo de carga é integrado, T7 entra em condução, provocando a redução na tensão de seu dreno e eventualmente disparando a ação regenerativa de T3 que culmina levando T3 e T7 à plena condução. Nessa situação, a saída not_out bascula para o nível 0 e nele permanece até que um sinal de reset seja aplicado ao transistor T6.

Considerando-se o ramo NMOS, a queda de tensão entre dreno e fonte de T10 criada pela corrente transitória provoca a condução de T11, que por sua vez aciona T2, o qual injeta corrente no nó de integração. O processo de disparo do sensor segue idêntico ao descrito para o ramo PMOS. T9 age como carga de T11 mantendo T2 em não-condução durante o repouso.

O circuito utiliza transistores de tensão de limiar normal (regular- V_{TH}) exceto para T1, T2 e T11, para os quais foram utilizados transistores de baixa tensão de limiar (low- V_{TH}).

Os transistores regular- V_{TH} oferecem o melhor compromisso entre corrente de fuga em não-condução e velocidade de operação; por essa razão, foram os dispositivos de escolha para o projeto do circuito. Os transistores low- V_{TH} oferecem uma maior capacidade de condução de corrente em relação às unidades regular- V_{TH} para uma mesma tensão V_{GS} , à custa de uma maior corrente de fuga entre dreno e fonte em situação de corte. Embora o circuito exiba um desempenho satisfatório com transistores regular- V_{TH} em T1, T2 e T11, observou-se que a sensibilidade e a velocidade de resposta melhoram com o uso de unidades low- V_{TH} , e que a melhora obtida era compensadora em relação ao aumento na corrente quiescente causado pelo uso dos transistores low- V_{TH} . As tecnologias destinadas a aplicações de baixa potência oferecem transistores com tensões de limiar V_{TH} superiores às tecnologias destinadas a aplicações de alta velocidade, de forma a contrabalançar velocidade de operação com consumo de corrente estático. Dessa forma, o uso de dispositivos low- V_{TH} para T1, T2 e T11 compensa, em primeira ordem, a menor velocidade de operação inerente à tecnologia utilizada, proporcionando um rápido caminho de injeção de corrente ao nó de integração.

4.3 RESULTADOS DAS SIMULAÇÕES

Os circuitos DynBICS foram simulados apenas com o simulador de circuitos, utilizando-se os modelos fornecidos com o design kit da tecnologia IBM empregada. Presentemente, reconhece-se que a simulação de circuitos não pode prever o comportamento das correntes de substrato, dreno e fonte derivadas das cargas geradas internamente em um transistor impactado por radiação ionizante. Apesar disso, a simulação de circuitos utilizando os modelos compactos (SPICE, por exemplo) proporciona uma maneira rápida de verificar o funcionamento do circuito do sensor e avaliar o seu potencial desempenho. Tendo isso em vista, o circuito da figura 38 foi simulado e ajustado para o melhor desempenho possível através de ferramentas Cadence sobre uma vista *schematic* sob o

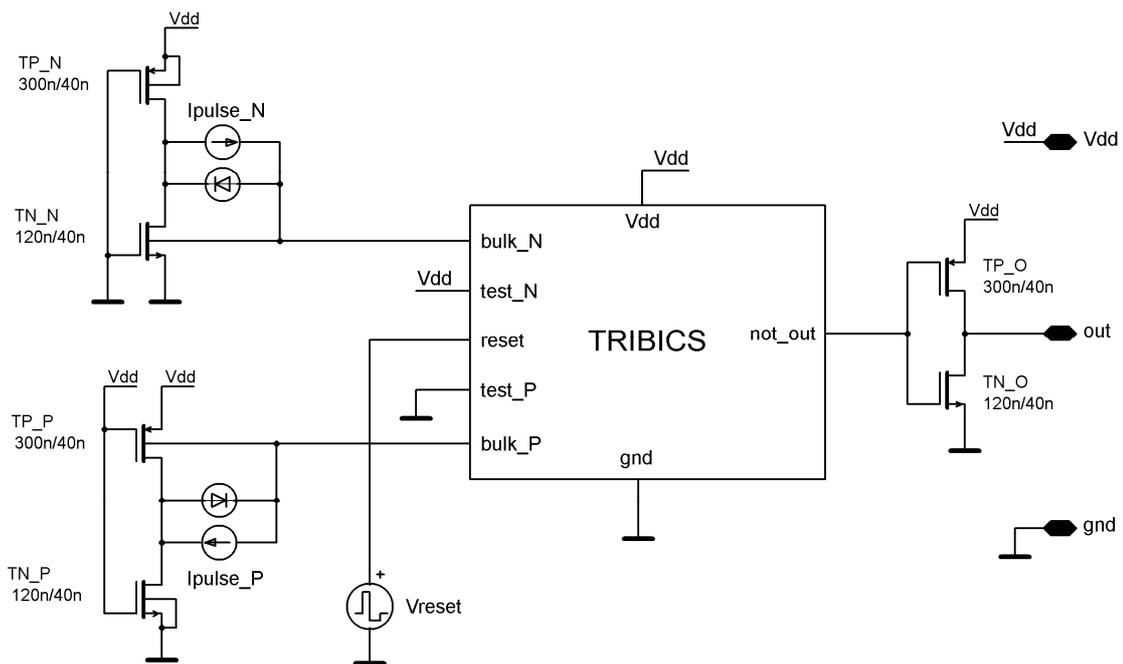


Figura 39 Circuito de teste para o sensor TRIBICS

corner de processo típico TT, a uma temperatura de 27° C. A tensão de alimentação para a tecnologia UMC 40nm LP é de 1,1 V nominais.

O circuito de teste utilizado para as simulações de desempenho é mostrado na figura 39, onde os terminais de substrato dos transistores-alvo são ligados aos terminais bulk_P e bulk_N . Cada transistor-alvo faz parte de um inversor mínimo, cuja entrada é polarizada de forma a deixar o transistor-alvo em estado de não-condução. Um terceiro inversor mínimo é acrescentado ao terminal de saída not_out para simular o carregamento que o circuito teria em uma aplicação real.

Duas fontes de corrente exponenciais foram usadas para emular as correntes transitórias provocadas pelo SET, colocadas em paralelo com as junções dreno-substrato dos transistores TN_N e TP_P, as quais são as regiões sensíveis, reversamente polarizadas, em cada um dos inversores. As fontes de corrente Ipulse_N e Ipulse_P foram programadas para proporcionar uma forma de onda de corrente em dupla exponencial com tempo de ataque de 5 ps, sendo a amplitude e a duração do pulso ajustáveis. Dois diodos ideais descritos em

linguagem VHDL foram postos em paralelo com as fontes de corrente de forma a evitar tensões não-realísticas nos nós impactados (acima de V_{DD} ou abaixo de gnd) que podem ocorrer quando a corrente de pico fornecida pelas fontes de corrente é suficientemente elevada (KAUPILLA, 2009).

Com relação ao sinal aplicado ao terminal reset, a tensão de polarização que permite estabilizar a célula integrativa foi escolhida em 190 mV. Esse valor não é especialmente crítico, sendo adequado qualquer valor entre 150 mV e 250 mV. A tensão V_{reset} é um sinal de dois níveis variando de 190 mV quando em repouso, para 1,1 V quando a ação de reset é efetuada. O sensor TRIBICS prescinde da necessidade de um sinal de três níveis como proposto para os DynBICS, em virtude de a realimentação positiva existente na célula integrativa manter o transistor T6 em condução permanente, após a célula ser sensibilizada. A figura 40 mostra o conjunto de formas de onda relevantes para o sensor TRIBICS em operação.

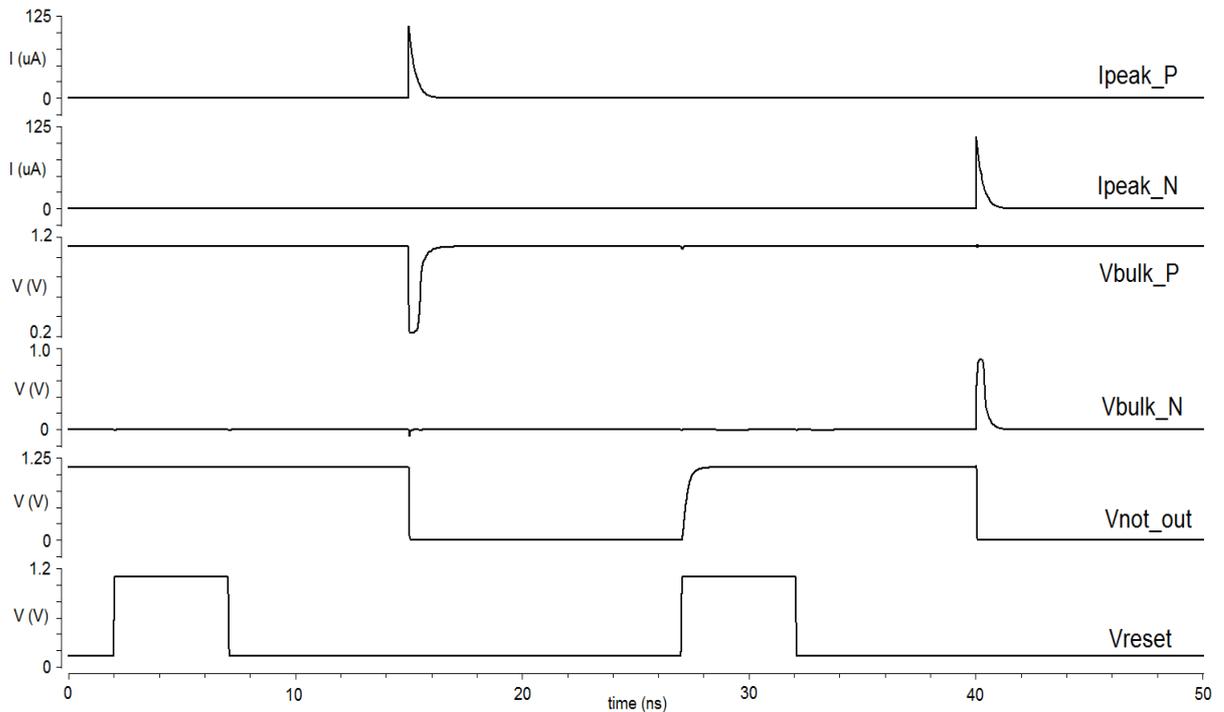


Figura 40 Formas de onda relevantes do sensor TRIBICS em operação.

4.3.1 Sensibilidade e tempo de resposta

A tabela 9 resume os resultados obtidos para a menor corrente detectável pelo circuito, em função da duração do pulso. A carga crítica de disparo, obtida integrando-se a menor corrente detectável ao longo do tempo, e o tempo de resposta do circuito também são mostrados na tabela. O circuito foi capaz de capturar pulsos tão estreitos quanto 20 ps em duração, mas resultados para pulsos com 50 ps e 100 ps também foram extraídos a fim de proporcionar dados para uma eventual comparação com os resultados de outras topologias publicadas. A corrente medida foi aquela que efetivamente fluiu através das conexões bulk_P e bulk_N e representam o menor valor de corrente que dispara o circuito, com o valor de pico de cada fonte de corrente sendo variado em passos de 1,0 μA . Em nenhum caso ocorreu a condução do diodo reverso, de forma que as correntes circulantes através do BICS foram as próprias correntes injetadas pelas fontes exponenciais.

Tabela 9 Mínima corrente detectável, carga crítica e tempo de resposta

Duração do pulso T_P	Ramo PMOS			Ramo NMOS		
	Ibulk_P (pk)	Carga Crítica	Tempo de Resposta	Ibulk_N (pk)	Carga Crítica	Tempo de Resposta
20 ps	59 μA	1,524 fC	209 ps	67 μA	1,733 fC	350 ps
50 ps	39 μA	2,675 fC	315 ps	48 μA	3,292 fC	486 ps
100 ps	32 μA	4,446 fC	279 ps	41 μA	5,697 fC	732 ps

Embora os tempos de resposta possam parecer longos, eles refletem a condição marginal de operação do circuito no limiar do disparo. Com efeito, o tempo de resposta reduz-se sensivelmente à medida que o circuito é sobreexcitado, conforme mostra a figura 41. À medida que a corrente de pico aumenta além do valor mínimo, o tempo de resposta tende ao valor de 28 ps para o ramo PMOS e 41 ps para o ramo NMOS e esses valores são atingidos para uma sobreexcitação de cerca de 10 μA para todos os casos.

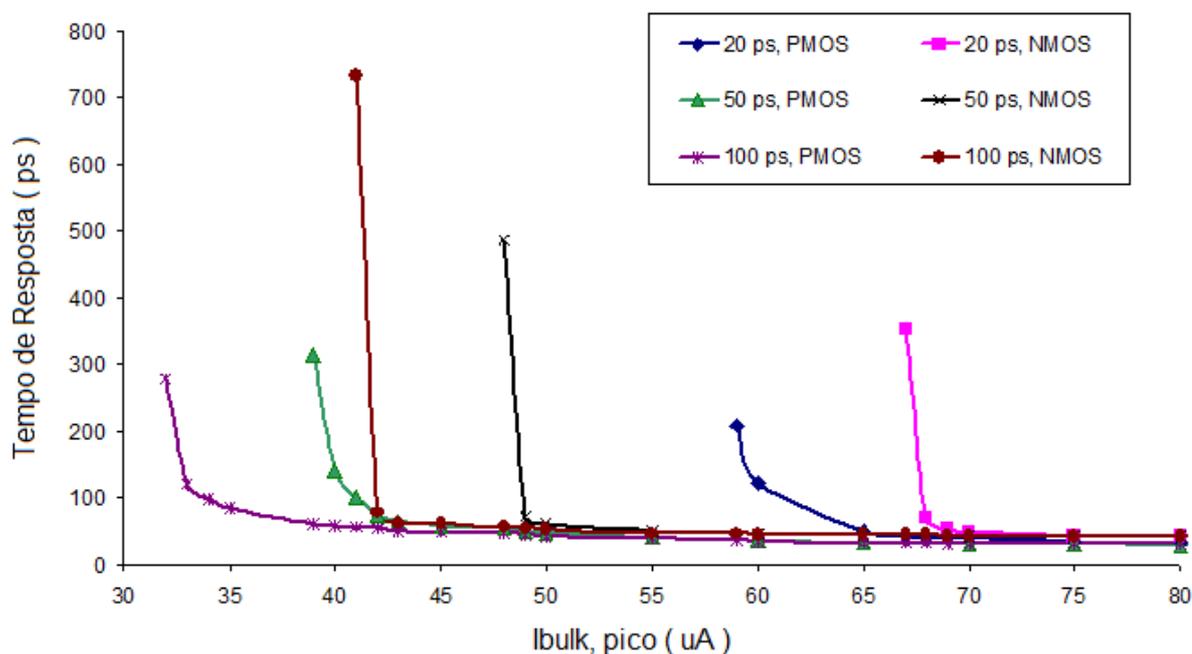


Figura 41 Tempo de resposta do circuito TRIBICS em função do valor de pico da corrente transiente, para as diferentes durações de pulso T_p .

4.3.2 Efeito da realimentação na excursão de saída

O efeito da realimentação no funcionamento do circuito foi investigado, desconectando-se a porta de T3 do terminal de saída not_out e conectando-o ao V_{DD} . Os resultados obtidos revelaram que a corrente mínima de disparo aumenta em $1,0 \mu A$ e os tempos de resposta resultam semelhantes dentro de 10% aos tempos que se obtém simulando o circuito com esses novos valores de corrente e a realimentação ligada. A explicação é que, na tecnologia empregada, a tensão V_{TH} dos transistores é relativamente elevada e assim T3 somente pode exercer alguma influência no circuito quando a tensão de saída encontra-se próxima a 50% de V_{DD} . A figura 42 mostra a forma de onda do sinal not_out em ambas as situações de realimentação ligada e desligada, em que é possível ver-se que a realimentação somente começa a exercer alguma influência no sinal de saída quando a maior parte do tempo de resposta já se encontra decorrido. O uso de um transistor low- V_{TH} em T3 foi investigado, mas a melhoria obtida não justificou a sua adoção naquela posição: obteve-se uma redução de

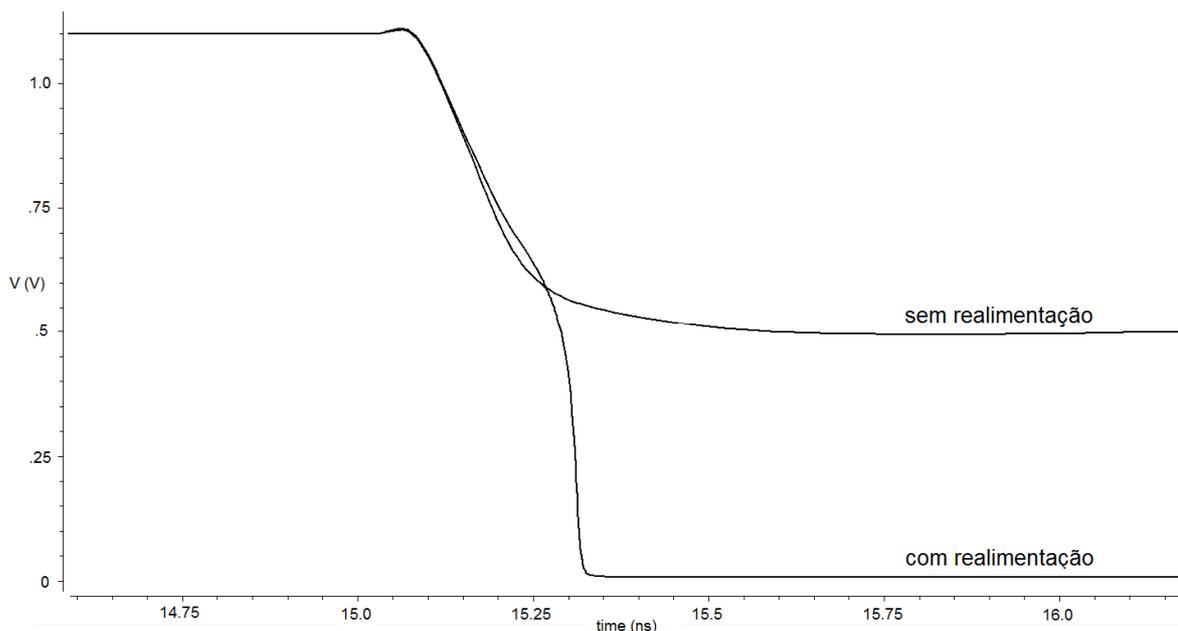


Figura 42 Forma de onda do sinal not_out com e sem realimentação. Ramo PMOS, corrente de pico = 32 μ A, duração do pulso = 100 ps.

20 ps (melhoria de 10% a $T_p = 20$ ps) no tempo de resposta à custa de um aumento de 15% no consumo de corrente estático do circuito com o aumento da corrente de fuga injetada no nó de integração, preferindo-se, então, manter T3 como uma unidade regular- V_{TH} .

Conforme já mencionado, tecnologias destinadas a circuitos de alta velocidade têm transistores com tensões de limiares menores do que aqueles disponíveis em tecnologias low-power e, assim, o projeto desse circuito em uma dessas tecnologias pode apresentar melhoramentos na sensibilidade e velocidade de resposta como consequência de uma ação mais efetiva da realimentação positiva. Não obstante, a realimentação positiva cumpre um papel significativo ao remover a indefinição no sinal de saída quando o circuito é sensibilizado em condições marginais de disparo.

4.3.3 Comparação de resultados com células estáticas descritas na literatura

Com relação à sensibilidade e à velocidade de resposta, é conveniente fazer-se uma comparação com os circuitos baseados em células de memória estáticas. Os circuitos descritos em (HENES NETO, 2006), (HENES NETO, 2008), (LISBOA, 2007), (ZHANG, 2010),

(ZHANG, 2013), (TORRES, 2012), (BASTOS, 2012), (BASTOS, 2013a), (BASTOS, 2013b), (BASTOS, 2014) e (DUTERTRE, 2014) utilizam uma célula de memória estática na forma de dois inversores interligados com realimentação positiva cruzada (latch). O latch possui dois nós que servem simultaneamente como entrada e saída e o basculamento do latch é efetuado injetando-se corrente em um ou ambos os nós; com a polaridade adequada, a injeção de corrente promove a troca de estado do latch passando-o de reset para set e vice-versa.

Para a discussão que segue, será considerado um latch construído com dois inversores mínimos em tecnologia UMC 40 nm LP. O gráfico mostrado na figura 43 mostra o ganho de tensão $|A|$ do inversor mínimo em função do ponto quiescente estabelecido pela polarização DC de entrada dada pela fonte Vdc.

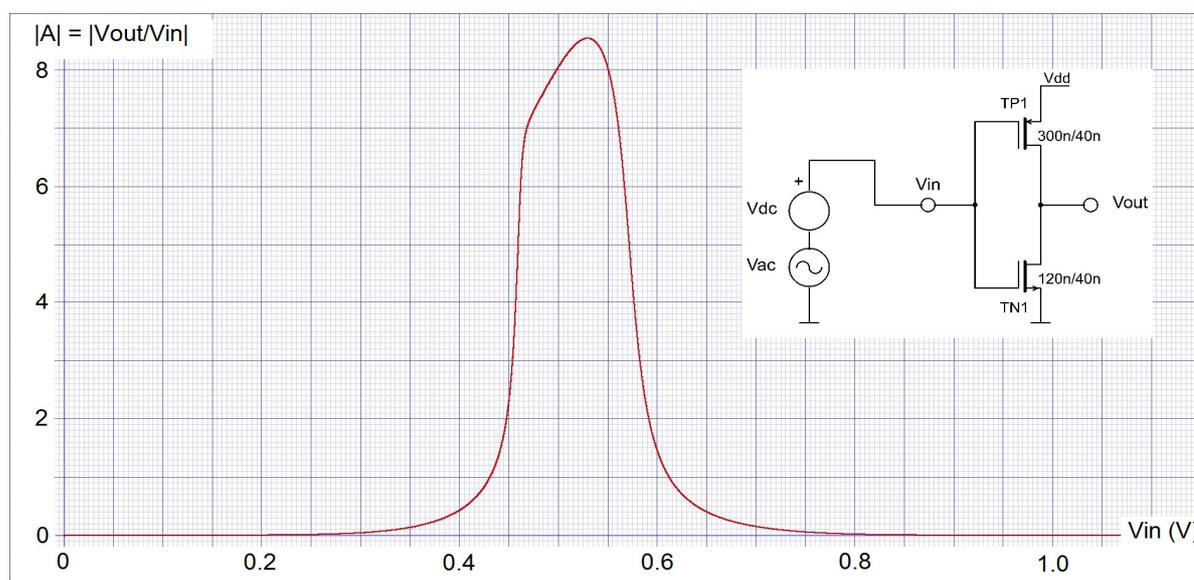


Figura 43 Ganho em malha aberta de um inversores mínimos em 40 nm LP.

(MILLMAN, 1956) analisa o funcionamento de dois amplificadores inversores em realimentação cruzada sujeito a uma variação Δv simétrica e oposta em suas tensões de entrada ($e_1 + \Delta v$; $e_2 - \Delta v$). Com base no circuito equivalente mostrado na figura 44, resulta que as tensões e_1 e e_2 variam, a partir de um ponto de equilíbrio, segundo as expressões :

$$e_1 = \Delta v * \mathcal{E}^{\frac{|A|-1}{RC}} \quad (7)$$

e

$$e_2 = -\Delta v * \mathcal{E}^{\frac{|A|-1}{RC}} \quad (8)$$

onde e_1 e e_2 são as tensões na entrada de cada um dos amplificadores, A é o ganho de tensão de cada amplificador, R é a resistência de saída e C é a capacitância de entrada dos amplificadores, e Δv é a variação de tensão imposta à entrada de cada amplificador. Com base em (7) e (8), se o módulo do ganho A é maior do que 1,0 então a tensão e_1 cresce e a tensão e_2 decresce rapidamente com o tempo, o que significa que, deslocando o circuito de seu estado inicial de repouso, “ele continuará se movendo na direção para a qual foi deslocado até que esse deslocamento seja limitado pelas não-linearidades que reduzem o ganho de laço abaixo da unidade” (MILLMAN, 1956).

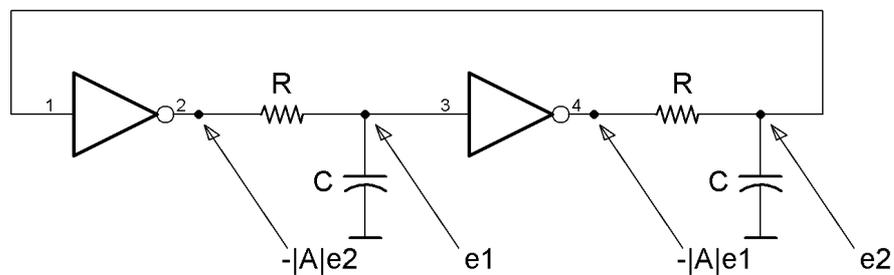


Figura 44 Dois amplificadores inversores em cascata com realimentação cruzada.

Para que o latch bascule de estado, é necessário então levá-lo a um dos pontos em que $|A|$ seja unitário, o que é feito através da injeção de corrente em um ou ambos os nós. A corrente injetada, circulando pelo canal do transistor em estado de condução, cria uma queda de tensão que desloca o ponto quiescente do circuito. Quando esse deslocamento é suficiente para satisfazer a condição $|A| = 1$ o circuito bascula para o estado oposto ao inicial.

Simulou-se o latch em basculamento, a fim de determinar-se o seu comportamento em função da intensidade de corrente injetada em apenas um dos nós. Um resistor ligado entre o V_{DD} e o nó V_{out} determina a corrente injetada, com o controle sendo feito por uma chave ativada por uma fonte V_{pulse} . Esse procedimento visa emular os circuitos publicados, nos quais a injeção de corrente é feita por um transistor ligado ao V_{DD} (ou gnd , conforme a polaridade pretendida) ativado pela corrente transitória. O valor do resistor é escolhido levando-se em conta a resistência do canal de $TN1$ em condução, de forma a produzir a corrente inicial pretendida. A figura 45 mostra o resultado obtido para correntes próximas ao limiar de basculamento e a tabela 10 sumariza os resultados encontrados. A corrente é estabelecida em $t = 1,0$ ns e o latch bascula da posição $V_{out} = 0$ V para a posição $V_{out} = 1,1$ V. O circuito foi simulado com uma tensão de alimentação de $V_{DD} = 1,1$ V, a 27° C, corner típico TT. Observa-se que a menor corrente que causa o basculamento do circuito é de $62,54 \mu A$, para o qual se observa um tempo de resposta de $815,6$ ps medido desde o momento $t = 1,0$ ns até o ponto em que a tensão em V_{out} cruza por $0,55$ V (50% V_{DD}). Nota-se que o

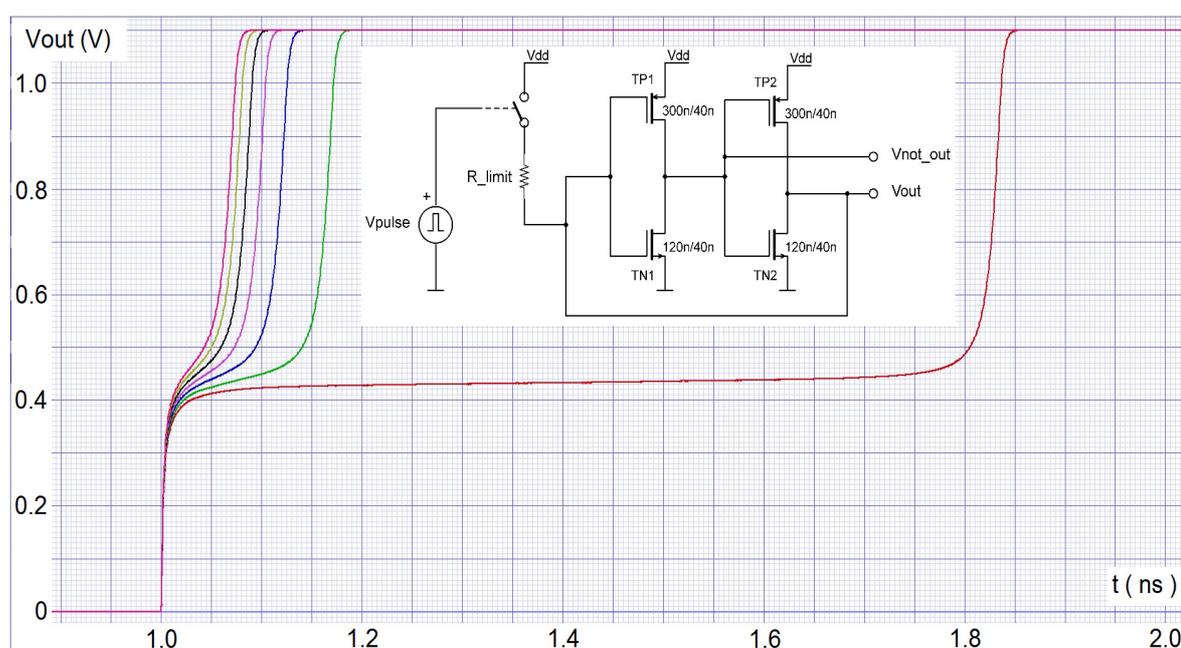


Figura 45 Resposta do latch mínimo para diversas correntes injetadas no nó V_{out} . As correntes injetadas estão indicadas na tabela 2.

tempo de resposta do circuito reduz-se rapidamente à medida que a corrente injetada aumenta. Conforme mostram as equações (7) e (8), a rapidez com a qual as tensões nos nós do circuito variam são dependentes do ganho $|A|$, e esse é função da queda de tensão inicial provocada pela corrente injetada fluindo pela resistência de TN2. A própria corrente injetada contribui para carregar a capacitância do nó Vout, o que contribui para acelerar o processo de transição. Esse efeito se torna mais evidente à medida que a corrente injetada aumenta ainda mais, conforme se observa na tabela 11.

Tabela 10 Tempos de resposta em função da corrente injetada (1)

Corrente	Forma de onda	Tempo de resposta (ps)	Queda de tensão inicial em TN1
62,54 μ A	vermelha	815,6 ps	397,6 mV
63,00 μ A	verde	150,1 ps	406,9 mV
63,41 μ A	azul	103,9 ps	415,2 mV
63,80 μ A	violeta	82,45 ps	423,6 mV
64,20 μ A	preta	69,11 ps	432,3 mV
64,58 μ A	amarela	59,39 ps	441,2 mV
64,96 μ A	magenta	52,09 ps	450,4 mV

Tabela 11 Tempos de resposta em função da corrente injetada (2)

Corrente	Tempo de resposta (ps)	Queda de tensão inicial em TN1
62,54 μ A	815,6 ps	397,6 mV
64,96 μ A	52,09 ps	450,0 mV
66,79 μ A	30,49 ps	500,0 mV
68,51 μ A	18,72 ps	550,0 mV
69,88 μ A	11,96 ps	600,0 mV
71,20 μ A	7,294 ps	650,0 mV

A queda de tensão inicial no transistor em condução pode atingir valores próximos ao novo nível lógico pretendido, se essa for intensa o suficiente. Dessa forma, o nível de saída do

latch passa a não ser mais definido pelo basculamento do circuito, mas, sim, simplesmente pela queda de tensão que a corrente injetada produz no transistor em condução. Considerando-se o limite para nível 1 CMOS em 70% V_{DD} (770 mV) esse valor é atingido para uma corrente injetada de 78,0 μA , apenas 24,7% superior ao valor de limiar de basculamento. Com isso, o latch deixa de ter uma função amplificadora do sinal de comando, que era proporcionada pela realimentação positiva, e passa apenas a ser responsável pela sustentação permanente do nível lógico criado pela própria corrente derivada da corrente transitória detectada. Em outras palavras, a faixa de correntes na qual o latch contribui com algum ganho é restrita, pois abaixo de um certo valor, próximo ao que já produz diretamente o nível lógico esperado na saída, o circuito não responde ao estímulo aplicado.

O período mínimo do pulso de corrente que dispara efetivamente o latch é relacionado com o tempo de resposta do circuito. É necessário que o efeito da realimentação positiva amplifique cumulativamente a variação inicial provocada em V_{out} e produza uma tensão à entrada do inversor TP2/TN2 suficiente para sustentar o novo nível lógico, o qual depende do ganho inicial a que os inversores são conduzidos quando a corrente é injetada. Com efeito, a simulação mostra que é necessário que V_{not_out} caia até 520 mV para que a sustentação ocorra; em caso contrário, o latch retorna ao estado inicial após a remoção da corrente injetada. Para correntes mais elevadas, o atraso de propagação do inversor TP1/TN1 para grandes sinais passa a ser relevante.

A partir do detalhamento do funcionamento do latch biestável, pode-se fazer uma comparação entre o funcionamento das células estática e dinâmica, com extensão à célula integradora. Na célula estática, é necessário satisfazer simultaneamente os requisitos de mínima corrente de disparo I_{disp_min} e mínimo tempo de pulso t_p , a fim de que a informação seja efetivamente armazenada. Na célula dinâmica/integradora os requisitos para o disparo são definidos de forma diferente. O elemento de memória da célula dinâmica/integradora é

uma capacitância de armazenamento C_{ST} / integração C_{INT} . Quando ocorre a detecção de um SET, há injeção de corrente na capacitância C_{ST}/C_{INT} da mesma forma como ocorre na célula estática. Entretanto, a capacitância C_{ST}/C_{INT} integra a corrente recebida ao longo do tempo acumulando uma certa carga Q ; uma vez que um valor de carga mínima Q_{min} é atingido, a saída muda de estado e a informação da ocorrência de SET é considerada armazenada. A célula dinâmica opera em laço aberto, não havendo qualquer sinal de realimentação que mantenha o nível lógico armazenado. A célula integrativa, por sua vez, incorpora um laço de realimentação positiva que apenas reforça a carga Q_{min} já acumulada; em ambos os circuitos, a saída bascula tão logo o valor de Q_{min} é atingido. Esse valor de carga pode ser obtido através da integração de uma corrente injetada de valor maior em um intervalo de tempo curto, ou de uma corrente de valor menor, durante um intervalo mais longo. Essa propriedade permite contrabalançar corrente injetada e tempo de integração, de forma que pulsos longos e de pequena amplitude podem ser capturados tão facilmente quanto pulsos curtos de grande amplitude, inexistindo o valor I_{disp_min} tal como é definido para a célula estática.

A carga elétrica mínima demandada para bascular a célula de memória está relacionada com a sensibilidade do BICS. A carga Q_{min} é derivada da carga do pulso de SET detectado através da queda de tensão no transistor sensor de corrente. Quanto menor a carga Q_{min} , mais sensível é o circuito. Isso se traduz na capacidade de detectar transientes de menor amplitude, ou, por outro lado, para uma dada amplitude a ser detectada, na possibilidade de usar um transistor sensor com menor resistência entre dreno e fonte, o que minimiza o impacto da introdução de uma resistência em série com a conexão de bulk ou substrato dos transistores sob supervisão.

Há uma necessidade de minimizar o tempo de resposta da célula de memória e essa advém de vários fatores. Historicamente, o primeiro deles é relacionado ao fato de que o SET é um evento de duração muito curta; assim, o circuito encarregado de detectá-lo precisa ter

uma velocidade compatível à duração do evento. Assim, quanto mais curto for o pulso necessário para o disparo da célula de memória, mais curto pode ser o SET detectável. O segundo fator é o atraso entre a ocorrência do SET e a resposta na saída da célula de memória. O sistema de recomputação precisa responder rapidamente à ocorrência do SET, ou torna-se necessário aumentar o número de estados armazenados no banco de registradores de último estado (BASTOS, 2011). Considerando-se o critério de que o tempo de resposta do BICS deve ser de até 50% do período de clock, estabelece-se um limite bastante restritivo a esse parâmetro para que a técnica Bulk-BICS possa ser implantada em sistemas digitais que operem nas frequências mais elevadas utilizadas na atualidade.

A comparação direta do circuito TRIBICS com as demais propostas existentes na literatura é dificultada, pois o tempo de resposta, o tempo mínimo de disparo e a corrente mínima de disparo são fortemente influenciados pela tecnologia empregada, que é diferente para cada um dos circuitos publicados. Dado que a detecção da corrente transiente e o disparo da célula de memória em todos os circuitos são feitos da mesma forma - através da injeção ou retirada de corrente em um nó da célula de memória - é razoável comparar o desempenho apenas das células de memória entre si, já que são essas que diferenciam um circuito do outro.

As células de memória estáticas dos circuitos de três propostas que representam o estado da arte desses circuitos (TORRES, 2012; BASTOS, 2012; BASTOS, 2014) foram descritas e simuladas utilizando-se a mesma tecnologia empregada para o TRIBICS, escalando-se apropriadamente os tamanhos dos transistores originalmente publicados. Os resultados de corrente de disparo mínima $I_{\text{disp_min}}$ e duração do pulso t_p encontrados foram então comparados com os resultados obtidos para o circuito da célula integrativa utilizada no TRIBICS.

Os circuitos foram simulados a uma tensão de alimentação de $V_{DD} = 1,1V$, a $27^\circ C$, corner típico TT. Foram simuladas as versões PMOS e NMOS nas transições de $V_{out} 0 \rightarrow 1$ e

1→0, controladas pelo acionamento adequado das fontes V_{pulse1} e V_{pulse2} , cujas tensões de saída têm tempos de subida e descida de 1 ps. Para o circuito SingleBBICS (BASTOS, 2014), a mesma célula de memória é usada tanto para o ramo NMOS quanto para o PMOS. Assim, a corrente foi injetada no nó V_{out} para o teste de sensibilidade do ramo NMOS, e no nó V_{not_out} para o teste de sensibilidade do ramo PMOS. A figura 46 mostra o circuito utilizado para a simulação das células estáticas, com a tabela 12 resumando os tamanhos dos transistores utilizados.

Uma célula de memória integrativa, igual à que é usada no TRIBICS, também foi preparada e simulada nas mesmas condições descritas para as células estáticas. A célula contém todos os elementos que contribuem para formar a capacitância de integração C_{INT} e que perfazem funções de injeção de corrente durante o funcionamento normal do TRIBICS. Entretanto, a fim de possibilitar resultados que pudessem ser comparados com aqueles provenientes das células estáticas, a injeção de corrente no nó de integração foi feita da mesma forma utilizada para as células estáticas. A figura 47 mostra o circuito de teste utilizado, onde a corrente é injetada no nó de integração através do acionamento da fonte V_{pulse1} , com o circuito resetado previamente através de V_{pulse2} , a qual também mantém o circuito estável em repouso mantendo T5 em condução sublimiar, fora do período de reset.

Para as células estáticas, determinou-se o período t_p necessário para a captura de uma

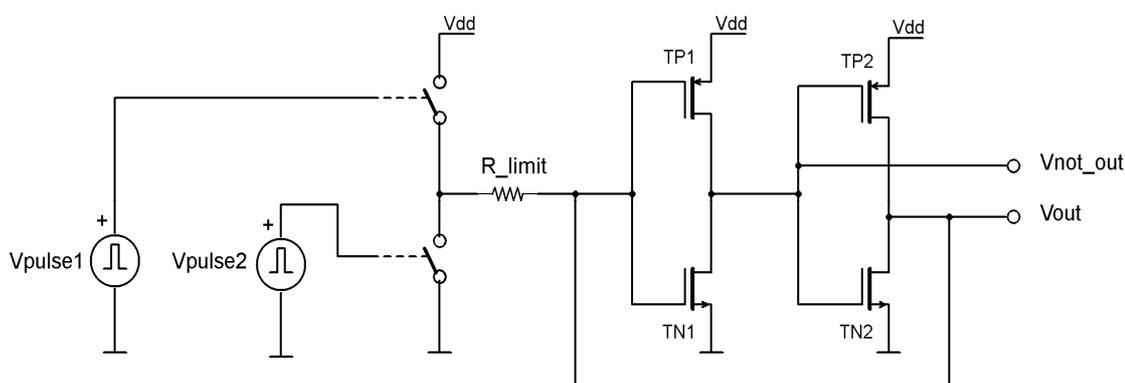


Figura 46 Circuito de teste para as células de memória estáticas.

dada corrente inicial, que circula no exato momento em que a chave controlada por V_{pulse1} ou V_{pulse2} é fechada. Essa corrente foi determinada levando-se em conta a resistência drenofonte do transistor que se encontra em condução, para cada caso e para cada nó, através do qual a corrente flui inicialmente. A determinação de t_p foi feita partindo-se de um período suficientemente longo que garanta a captura da corrente injetada ou retirada, o qual é reduzido paulatinamente até que a captura não mais ocorra, com célula estática retornando ao estado inicial após o fim do sinal V_{pulse1} ou V_{pulse2} .

Tabela 12 Tamanho dos transistores das células de memória estáticas

Torres, 2012		NMOS		PMOS	
Transistor no circuito		original	escalado	original	escalado
Teste	Original	W/L, nm	W/L, nm	W/L, nm	W/L, nm
TP1	PT1	64/16	160/40	16/160	40/400
TN1	NT1	16/64	40/160	160/16	400/40
TP2	PT2	16/160	40/400	16/32	40/80
TN2	NT2	16/32	40/80	16/320	40/800
Bastos, 2012		NMOS		PMOS	
Transistor no circuito		original	escalado	original	escalado
Teste	Original	W/L	W/L, nm	W/L	W/L, nm
TP1	P7	wmin/5,3lmin	120/212	wmin/10,7lmin	120/428
TN1	N8	5wmin/lmin	600/40	5wmin/lmin	600/40
TP2	P6	5wmin/lmin	600/40	5wmin/lmin	600/40
TN2	N5	wmin/5,3lmin	120/212	wmin/10,7lmin	120/428
Bastos, 2014		SingleBBICS			
Transistor no circuito		original	escalado		
Teste	Original	W/L	W/L, nm		
TP1	P12	wmin/9lmin	120/360		
TN1	N13	wmin/lmin	120/40		
TP2	P14	wmin/lmin	120/40		
TN2	N15	wmin/9lmin	120/360		

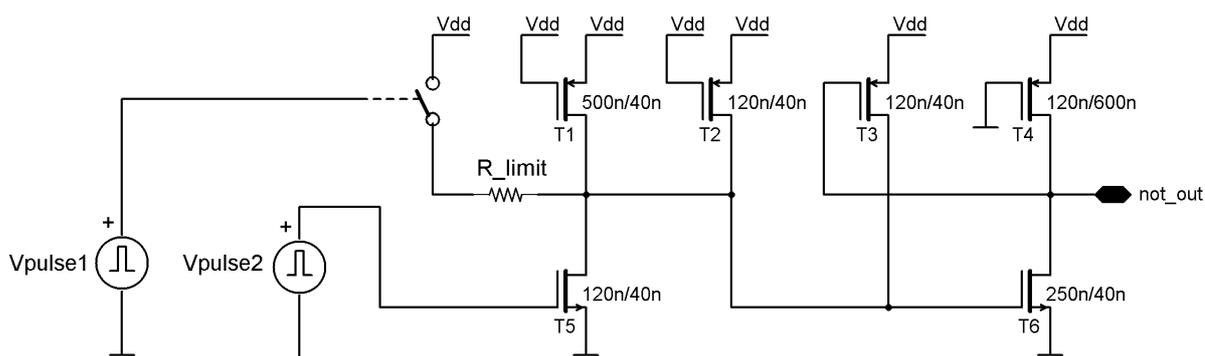


Figura 47 Circuito de teste para a célula de memória integrativa do TRIBICS.

A corrente $I_{\text{disp_min}}$ foi determinada utilizando-se uma janela de tempo de 100 ns, a fim de garantir tempo suficiente para que a realimentação positiva em torno dos dois inversores pudesse efetuar o basculamento da célula mesmo em condições extremamente marginais de corrente injetada. Os valores subsequentes de corrente foram estabelecidos com base na alteração inicial da tensão V_{out} , provocada pela corrente injetada.

A célula integrativa foi testada com correntes dentro da faixa determinada pelos testes das células estáticas. Em uma primeira análise, a célula integrativa não possui um valor definido para $I_{\text{disp_min}}$, embora esse valor exista e seja desprezível para fins práticos, pois é determinado pela corrente de condução sublimiar de T5, que é, pelo menos, duas ordens de grandeza inferior à menor corrente utilizada nesse teste. A determinação de t_p foi feita da mesma forma utilizada para as células estáticas. Os resultados encontrados são apresentados nas tabelas 13 a 18. O circuito Torres, 2012, versão NMOS, não pôde ser simulado na tecnologia UMC 40nm LP pois apresentou basculamento espontâneo para o estado $V_{\text{out}} = 0$ V sempre que posicionado no estado inicial $V_{\text{out}} = 1,1$ V.

Os circuitos estáticos necessitam um período mínimo de disparo t_p extremamente longo quando sensibilizados pela corrente de disparo mínima. Esse período de tempo está associado com a operação do circuito realimentado com um ganho de malha apenas marginalmente superior à unidade, mas observa-se que uma pequena sobreexcitação já reduz

o valor de t_p sensivelmente. Os valores de corrente injetada que resultam nas tensões V_{out} ou V_{not_out} de 700 mV (transição 0→1) e 200 mV (transição 1→0) representam, aproximadamente, o máximo de corrente que pode ser injetada ou drenada do nó devido à

Tabela 13 Resultados para o circuito Torres, 2012, versão PMOS

Transição V_{out} 0→1			Transição V_{out} 1→0		
I_{disp} μA	t_p ps	V_{out} inicial mV	I_{disp} μA	t_p ps	V_{out} inicial mV
6,82	78000	282	10,38	38000	468
7,13	1409	300	10,46	446	450
7,94	474	350	10,73	250	400
8,63	287	400	10,96	191	350
9,21	199	450	11,23	156	300
9,70	150	500	11,45	132	250
10,06	117	550	11,66	112	200
10,37	94	600			
10,58	77	650			
10,76	62	700			

Tabela 14 Resultados para o circuito Bastos, 2012, versão NMOS

Transição V_{out} 0→1			Transição V_{out} 1→0		
I_{disp} μA	t_p ps	V_{out} inicial mV	I_{disp} μA	t_p ps	V_{out} inicial mV
30,08	39000	304	128,5	4937	490
32,87	268	350	132,5	204	450
35,38	147	400	137,4	150	400
37,40	99	450	142,2	127	350
38,99	72	500	146,9	112	300
40,20	55	550	151,4	101	250
41,14	43	600	155,9	92	200
41,89	35	650			
42,47	28	700			

Tabela 15 Resultados para o circuito Bastos, 2012, versão PMOS

Transição Vout 0→1			Transição Vout 1→0		
I_{disp} μA	t_p ps	Vout inicial mV	I_{disp} μA	t_p ps	Vout inicial mV
17,60	75000	286	130,3	21000	471
18,18	1745	300	132,5	416	450
20,09	490	350	137,4	277	400
21,73	285	400	142,2	235	350
23,07	193	450	146,9	210	300
24,15	141	500	151,4	192	250
24,98	108	550	155,9	177	200
25,61	86	600			
26,07	69	650			
26,44	56	700			

resistência dreno-fonte do transistor em condução no momento inicial. Observa-se que a maior relação entre a mínima e a máxima corrente de disparo vale 1,58 e ocorre em Torres, 2012, PMOS. Algumas transições são particularmente insensíveis; elas estão marcadas em

Tabela 16 Resultados para o circuito Bastos, 2014, ramo NMOS

Transição Vout 0→1			Transição Vout 1→0		
I_{disp} μA	t_p ps	Vout inicial mV	I_{disp} μA	t_p ps	Vout inicial mV
22,42	49000	334	32,10	18000	527
22,90	1039	350	32,77	235	500
24,73	366	400	33,98	144	450
26,22	226	450	35,15	112	400
27,42	158	500	36,26	93	350
28,34	118	550	37,35	79	300
29,04	90	600	38,38	68	250
29,57	72	650	39,36	59	200
29,97	58	700			

Tabela 17 Resultados para o circuito Bastos, 2014, ramo PMOS

Transição Vout 0→1				Transição Vout 1→0			
I_{disp} μA	t_p ps	Vnot_out inicial mV	Vout inicial mV	I_{disp} μA	t_p ps	Vnot_out inicial mV	Vout inicial mV
6,91	78000	654	20	62,96	7500	406	1083
6,93	2867	650	21	64,94	114	450	1050
7,17	516	600	54	66,84	75	500	706
7,31	337	550	151	68,45	56	550	151
7,42	252	500	706	69,87	45	600	51
7,52	197	450	1051	71,17	37	650	21
7,6	157	400	1087	72,35	31	700	8
7,68	127	350	1095				
7,76	102	300	1099				
7,83	81	250	1100				
7,89	62	200	1100				

Tabela 18 Resultados para a célula integrativa

I_{disp} μA	5	10	20	30	40	50	60	90	120	160
t_p ps	105	62	23	15	11	9	7	5	4	3

vermelho e representam modos de operação não utilizados nos circuitos originais, estando aqui apresentadas apenas para fins comparativos.

Os gráficos mostrados nas figuras 48 e 49 permitem comparar o desempenho dos circuitos estáticos entre si e com o desempenho da célula integrativa. Observa-se que a célula integrativa requer um período t_p inferior a todas os demais circuitos, exceto o circuito Torres, 2012 PMOS sensibilizado com uma corrente de disparo acima de $7,8 \mu A$. Os dados apresentados permitem concluir que a célula integrativa é mais rápida e mais sensível do que as células estáticas presentemente publicadas na literatura.

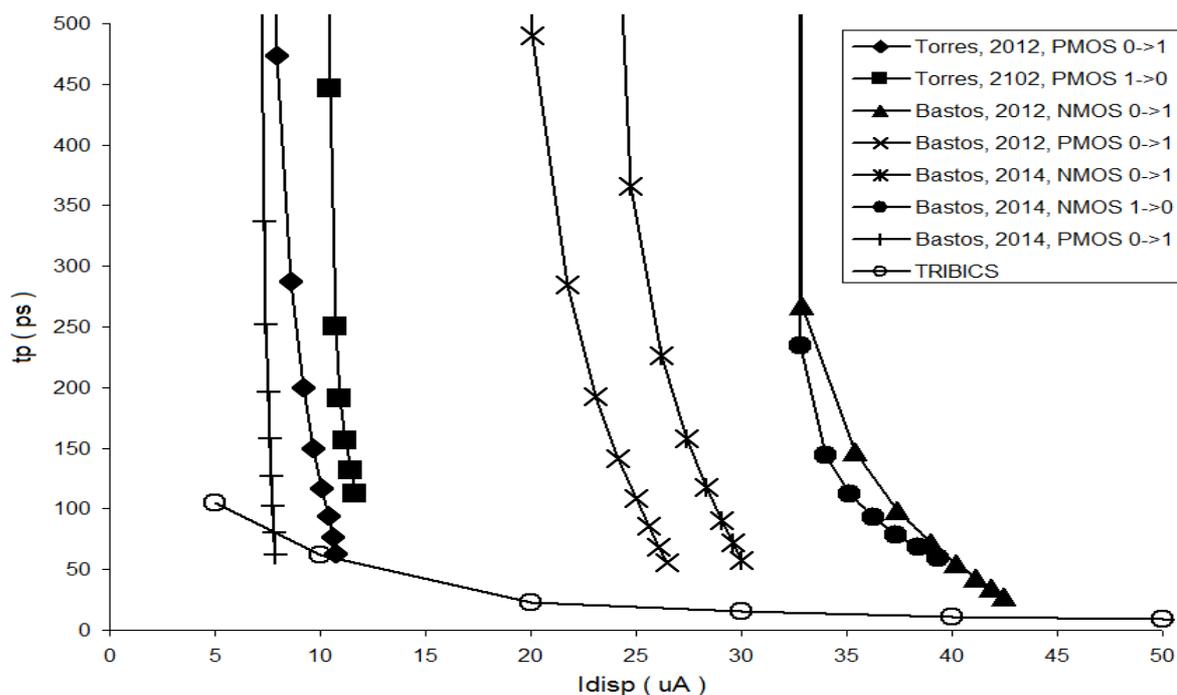


Figura 48 Tempo mínimo de pulso para disparo em função da corrente de disparo (1).

É interessante mencionar que os testes foram feitos sem acrescentar aos nós de saída qualquer capacitância que poderia ser atribuída ao circuito que recebe o sinal fornecido pela célula. Isso foi feito para mostrar o desempenho final dos circuitos operando isolados.

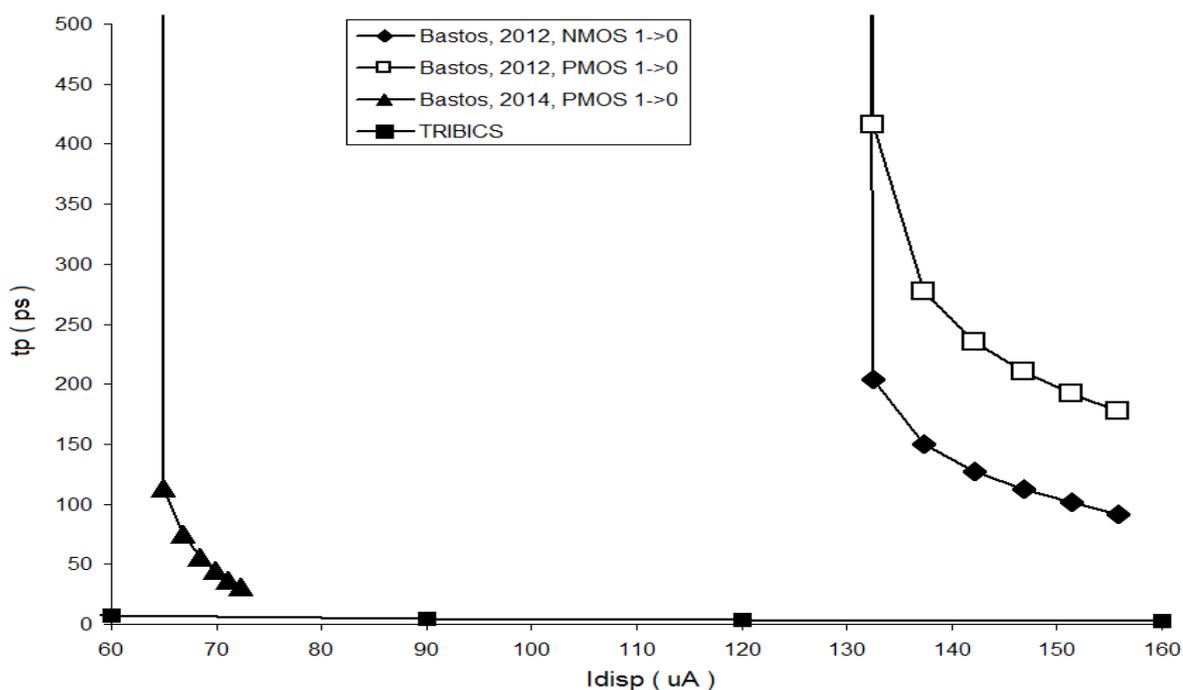


Figura 49 Tempo mínimo de pulso para disparo em função da corrente de disparo (2).

Levando-se em consideração o carregamento imposto ao nó V_{out} pelo circuito subsequente, tem-se que o desempenho das células estáticas é alterado no sentido de aumentar o período t_p , de acordo com as equações (7) e (8). Por outro lado, o período t_p da célula integrativa permanece inalterado. Com efeito, o fenômeno que provoca o basculamento da célula integrativa é o acúmulo de carga no nó de integração, o qual depende, em primeira análise, apenas da corrente injetada e da capacitância de integração C_{INT} . A influência da capacitância de carga existente na saída é isolada do nó de integração pela capacitâncias porta-dreno de T3 e T6, comparecendo como uma influência de segunda ordem. A grande vantagem da célula integrativa sobre as células estáticas baseadas no latch biestável reside no fato de que, na primeira, os nós de entrada e de saída estão isolados um do outro; nas células estáticas, os nós de entrada e de saída se confundem. Qualquer capacitância adicionada aos nós da célula estática influencia diretamente no seu tempo de resposta, vinculado que está ao período de pulso mínimo. A influência da capacitância de carga imposta pelo circuito subsequente ao BICS no tempo de resposta da célula estática pode ser minimizada, mas à custa de componentes adicionais, como é feito no circuito Torres, 2012 onde um inversor isola a conexão entre a célula estática e a linha de saída. A capacitância de carga também afeta o tempo de resposta da célula integrativa, mas nota-se que essa influência é igual ou inferior àquela sofrida pelas células estáticas. De fato, a tabela 19 mostra a relação W/L dos transistores TP2 e TN2 e a relação W/L de T6, o que permite comparar a capacidade de condução de corrente na saída dos diversos circuitos. Na tabela, o valor W/L dos transistores PMOS foi modificado para o valor equivalente NMOS pela relação 2,5:1. Quanto maior a relação W/L de um transistor, maior a sua corrente de condução para a mesma excitação de porta. Observa-se, assim, a vantagem do circuito TRIBICS em relação a todos os demais; a maior capacidade de condução de corrente de T6 permite descarregar a capacitância de carga existente à saída do TRIBICS com uma velocidade maior do que aquela que pode ser obtida

conectando-se a mesma capacitância de carga à saída de qualquer um dos circuitos estáticos, para qualquer transição de saída.

Tabela 19 Relação W/L dos transistores TP2, TN2 e T6

Circuito	Versão	TP2, real	TP2, modificado	TN2	T6
Torres, 2012	PMOS	0,5	0,2	0,05	
Bastos, 2012	NMOS	15	6	0,57	
	PMOS	15	6	0,28	
Bastos, 2014	Unica	3	1,2	0,33	
TRIBICS	Unica				6,25

4.3.4 A conexão de vários TRIBICS entre si e o efeito distributivo

Um interessante efeito secundário da realimentação positiva introduzida por T3 é a possibilidade de disparar a célula de memória através do terminal de saída not_out se esse, por algum meio externo, for forçado ao nível 0. Nessas condições, o transistor T3 entra em condução, forçando T6 também a entrar em condução. Devido ao fato de que o nível 1 da saída é proporcionado por um transistor em condução permanente T4, é possível conectar vários TRIBICS em paralelo em conexão wired-OR sem a necessidade de qualquer circuito ou porta intermediária. De fato, em uma aplicação real, um único sensor não é capaz de monitorar todos os transistores que compõem o circuito sob supervisão, assim, vários BICS devem ser usados e as suas saídas devem ser combinadas de forma a proporcionar um único sinal a ser enviado ao circuito de recomputação. É possível, assim, fabricar os TRIBICS individuais sem o transistor T4 e interligar todas as saídas entre si, formando um único sinal “flag”, ao qual se coloca um único transistor de carga que serve para todos os sensores. Se um dos circuitos que compõe o grupo em wired-OR é disparado pela corrente transiente, então todos os demais circuitos também serão disparados e a linha do sinal flag será excitada pelos vários transistores T6 ligados em paralelo, o que, em uma primeira análise, proporciona uma

transição mais rápida por proporcionar um caminho de menor resistência para a descarga da capacitância associada à saída. Esse efeito é chamado aqui de “efeito distributivo”.

A fim de se quantificar a eficácia do efeito distributivo e da capacidade de associar-se a saída de vários sensores em uma única linha not_out, procurou-se determinar o número máximo de sensores que podem ser conectadas em paralelo. Foi utilizado um circuito de teste com a mesma configuração mostrada na figura 39; à saída do TRIBICS excitado pelos pulsos de corrente foram interligadas as saídas de um grupo de TRIBICS deixados em repouso. Os transistores T4 dos sensores deixados em repouso foram removidos. Variando-se o número de sensores em repouso, procurou-se determinar o número máximo de sensores que pode ser associado em um único agrupamento. As simulações revelam que esse número depende do valor do atraso de propagação de saída que pode ser tolerado. A tabela 20 mostra os resultados obtidos excitando-se ambos os ramos, um por vez, com um pulso de corrente de 70 μ A de pico e $T_P = 20$ ps, corner TT a $V_{DD} = 1,1$ V a 27° C.

Tabela 20 Atraso de propagação e mínima duração do pulso de reset

Número de células	Atraso de propagação		Mínima duração do pulso de reset
	Ramo PMOS	Ramo NMOS	
01	39 ps	47 ps	70 ps
01 + 12	49 ps	59 ps	400 ps
01 + 24	58 ps	71 ps	600 ps
01 + 48	75 ps	93 ps	1,40 ns
01 + 96	109 ps	150 ps	2,80 ns
01 + 192	174 ps	227 ps	5,60 ns

Observa-se que é possível associar-se 193 células e ainda obter-se um atraso de propagação compatível com uma frequência de clock de 3 GHz. O atraso de propagação aumenta com o número de sensores agrupados, o que é razoável, pois a capacitância total existente na saída not_out combinada aumenta na mesma proporção. Ressalta-se que as simulações não levaram em conta as capacitâncias parasitas que seriam acrescidas à saída

após o layout de um projeto real. A duração do pulso de reset, por outro lado, torna-se inconvenientemente longa para 193 células (5,60 ns) como consequência do tempo necessário para carregar a capacitância da linha not_out através de um transistor estreito e longo como T4 ($W/L = 120\text{nm}/600\text{nm}$), resultado necessários vários ciclos de clock para que o reset das células se efetive corretamente. A solução para esse problema é direta e consiste em colocar em paralelo com T4 um transistor com uma relação W/L maior, acionado pelo sinal de reset, capaz de restaurar rapidamente a tensão de repouso da linha not_out.

A ação do efeito distributivo pode ser observada na figura 50, que mostra a forma de onda do sinal not_out em função do número de sensores agrupados. As formas de onda foram obtidas para o ramo PMOS disparado pelo pulso de corrente com $T_p = 20$ ps em $t = 50$ ns, corrente de pico $70 \mu\text{A}$, corner TT a $1,1$ V, 27°C .

Na figura 50, (a) mostra a resposta de um sensor sendo disparado isoladamente; o mesmo sensor é associado a 48 sensores em repouso (b), 96 sensores em repouso (c) e 192 sensores em repouso (d, e). A fim de mostrar o efeito distributivo, os sensores em repouso

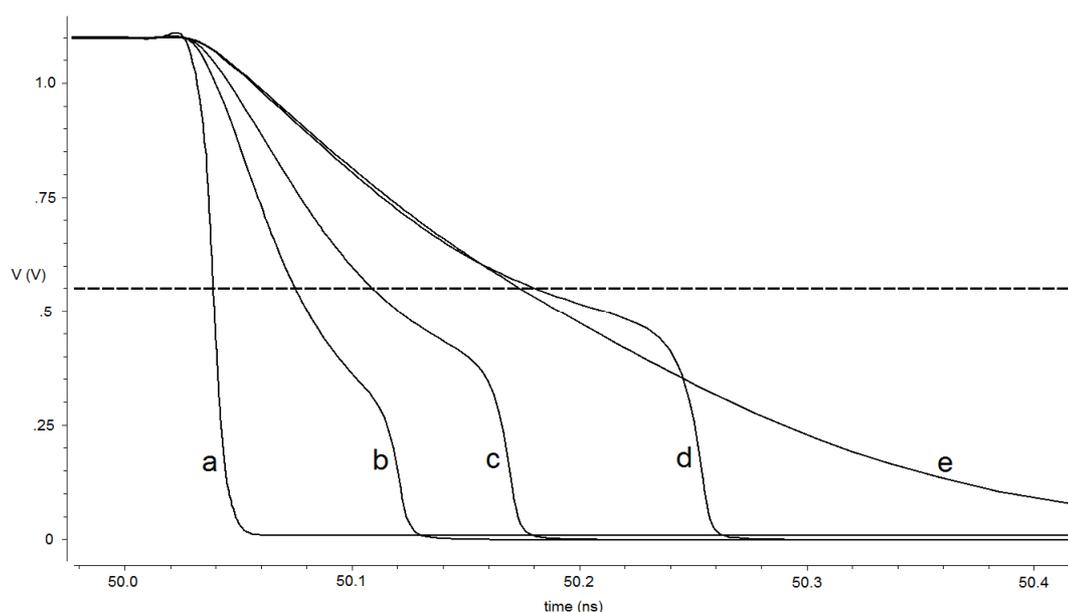


Figura 50 Sinal not_out à saída de um grupo de sensores TRIBICS mostrando o efeito distributivo. Detalhes no texto.

tiveram sua realimentação desligada para o sinal mostrado em (e). É possível observar que o efeito distributivo se manifesta formando a parte mais íngreme do sinal de saída, mas ele acontece tarde demais para contribuir com qualquer redução significativa no atraso de propagação do sinal de saída. Com certeza, para que o efeito distributivo aconteça, é necessário um certo tempo até que a tensão em not_out ative a condução de T3 e inicie o processo de realimentação positiva, bem como um certo tempo até que a carga mínima seja integrada nas células que inicialmente estavam em repouso. É possível que o efeito distributivo seja mais proeminente em tecnologias de alta velocidade. O estabelecimento da realimentação positiva em função da tensão na saída not_out já foi discutido e foi mostrado que é dependente da tensão de limiar dos transistores utilizados, essa última, função da tecnologia empregada.

4.4 FINALIZAÇÃO DO CAPÍTULO

O capítulo apresentou a topologia de célula de memória integrativa e o respectivo circuito do sensor de corrente TRIBICS desenvolvido. O resultado das simulações mostra que o desempenho do TRIBICS é superior em sensibilidade e velocidade de resposta, comparado ao do seu antecessor DynBICS e a todos os circuitos anteriormente propostos, baseados em células de memória estáticas à base de latches biestáveis. Foi mostrado que é possível interligar os sensores TRIBICS em paralelo simplesmente conectando suas saídas em uma ligação wired-OR, bem como a manifestação do efeito distributivo decorrente dessa interligação.

5 O PULSO DE CORRENTE TRANSIENTE INVESTIGADO ATRAVÉS DE SIMULAÇÃO TCAD

Neste capítulo, o pulso de corrente transiente é investigado usando um simulador Technology Computer-Aided Design (TCAD), a qual é apresentada como a forma de simular o real comportamento de um dispositivo semicondutor. A estrutura dos dispositivos de teste é detalhada e avalia-se o comportamento das correntes de dreno, fonte e substrato em um transistor no qual incide a radiação ionizante. Mostra-se-á a formação do platô de corrente que surge quando a corrente transitória é limitada por uma carga externa e discutir-se-á os efeitos que interligam dreno e fonte durante o SET. Mostra-se-á, também, que o pico de corrente que ocorre no instante inicial do platô se deve à acomodação de cargas na capacitância associada ao dreno do transistor impactado. Avaliar-se-á o tempo necessário para que um transistor recupere suas funções, após ser impactado por uma partícula ionizante. Por fim, estimar-se-á a resistência ôhmica dos contatos de substrato e poço N.

5.1 DISPOSITIVO-ALVO : MODELO NMOS5

O simulador TCAD é um programa computacional que resolve as equações diferenciais parciais físicas fundamentais envolvidas no funcionamento dos dispositivos de estado sólido, tais como as equações de Poisson, a equação da continuidade e as equações que descrevem os fenômenos de difusão e transporte de portadores de carga em semicondutores, a partir de um dispositivo representado como uma estrutura reticulada (meshed) de elementos finitos. Os resultados das simulações realizadas utilizando TCAD podem ser consideradas como representações virtuais do real comportamento elétrico do dispositivo semicondutor, proporcionando, assim, para o caso do SET, uma descrição fisicamente embasada das correntes geradas pelas cargas criadas pela radiação ionizante. Tal tipo de resultado não pode ser predito pela simulação de circuitos, pois esse se baseia em modelos matemáticos que

apenas relacionam as tensões e correntes nos terminais dos dispositivos semicondutores. Assim, a simulação de circuitos utilizando modelos SPICE, por exemplo, pode prever muito eficientemente o funcionamento do circuito dos sensores de corrente quando esse é excitado com um pulso de corrente modelado pela dupla exponencial de (MESSENGER, 1982), mas falha em determinar a divisão das correntes entre o dreno, a fonte e o substrato do transistor-alvo ao ser impactado, as quais são determinadas pelos fenômenos físicos que ocorrem dentro do dispositivo pelos mecanismos de transporte das cargas injetadas, que não são levados em conta nas equações dos modelos compactos utilizados no simulador de circuitos. A simulação TCAD, por outro lado, não só caracteriza com precisão a própria corrente impulsiva, como descreve como as correntes se dividem dentro do dispositivo. Associando-se a simulação TCAD com a simulação de circuitos, simultaneamente, através de uma simulação combinada (mixed-mode), tem-se como resultado o comportamento conjunto do sensor e do dispositivo impactado, o qual considera-se muito próximo ao comportamento real do dispositivo fisicamente implementado.

A simulação TCAD exige a descrição física do dispositivo de interesse, a qual contém as dimensões das diversas regiões semicondutoras, metálicas e isolantes, bem como os dopantes utilizados em cada região, suas concentrações e perfis de dopagem, além de detalhes da concepção interna dos dispositivos. Essas informações não são disponibilizadas pelos fabricantes de semicondutores, embora algumas dimensões possam ser extraídas do PDK mediante uma instância gerado pelo extrator de layout. Dessa forma, as informações faltantes precisam ser colhidas de diversas fontes e adaptadas ao modelo que se deseja criar, fazendo-se, depois, um ajuste fino que busca casar a resposta elétrica do modelo com a resposta proporcionada pelo simulador de circuitos. Quando isso é atingido, diz-se que o modelo TCAD está “calibrado” e representa o dispositivo real com um relativo grau de precisão.

Um transistor NMOS foi modelado em três dimensões a partir dos comprimentos e larguras fornecidas pelo extrator de layout para o transistor NMOS regular- V_{TH} UMC 40nm LP com o uso do programa Synopsys SDE. O transistor gerado pelo script de descrição NMOS5 dispõe de uma camada enterrada P+ e dopagens para controle das propriedades do canal, e foi baseado em scripts utilizados em (DASGUPTA, 2007a) e (CHATTERJEE, 2012). O tamanho do bloco de silício que perfaz a função de substrato tem as dimensões de $10\ \mu\text{m} \times 10\ \mu\text{m} \times 10\ \mu\text{m}$, seguindo as orientações dadas em (DASGUPTA, 2007a). O modelo contém dois contatos de substrato pwell_l e pwell_r de dimensão mínima para a tecnologia UMC 40nm LP, medindo 420 nm de largura e 260 nm de comprimento. Com o canal centrado na coordenada (0; 0), os contatos pwell_l e pwell_r estão localizados nas coordenadas (-1,0 μm ; 0) e (+1,0 μm ; 0). O script permite alterar a largura W e o comprimento L do transistor. A figura 51 mostra o modelo NMOS5 gerando um transistor mínimo, NMOS5_120/40, com detalhamento do dispositivo na figura 52, onde a camada de óxido foi removida para uma melhor visualização dos elementos.

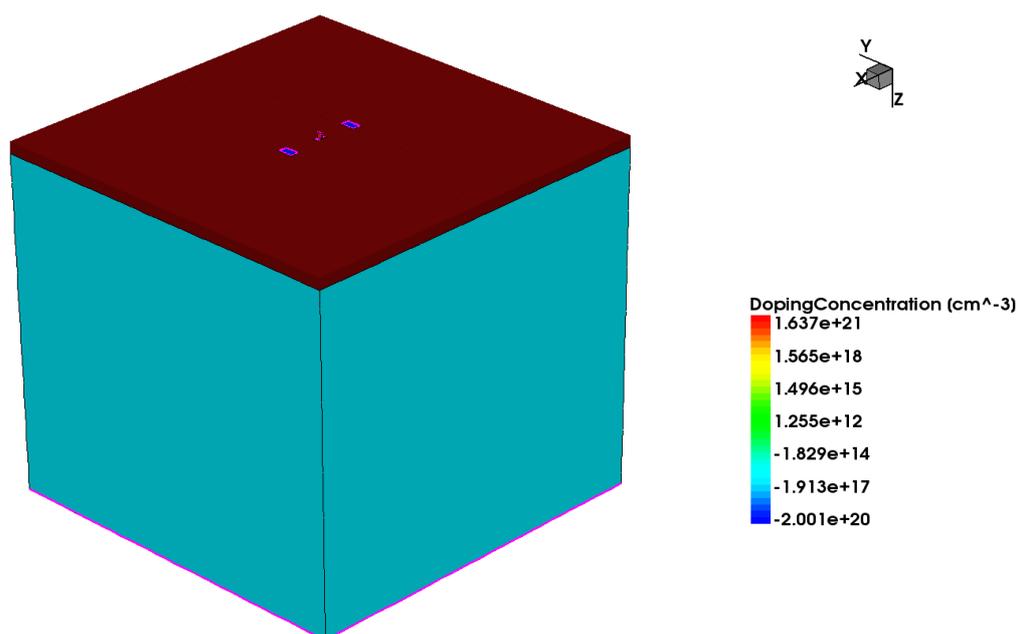


Figura 51 Transistor 120 nm/40 nm criado pelo modelo NMOS5.

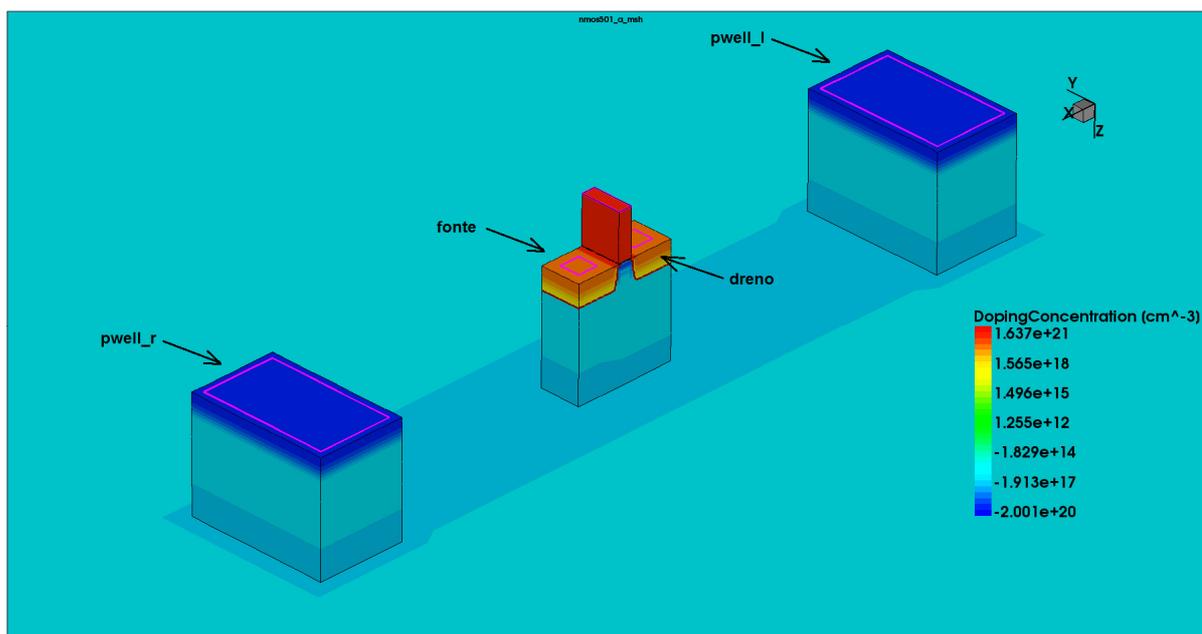


Figura 52 Detalhe da estrutura NMOS5 mostrando o transistor 120 nm/40 nm e os contatos de substrato.

A figura 53 mostra o perfil das dopagens em um corte na direção X. As dopagens de substrato, camada P+ enterrada, dreno, fonte, porta e Ptap foram adotadas do modelo 40 nm existente em (CHATTERJEE, 2012). O funcionamento do transistor é controlado pelas dopagens existentes na área do canal, as quais foram ajustadas a partir daquelas dadas na

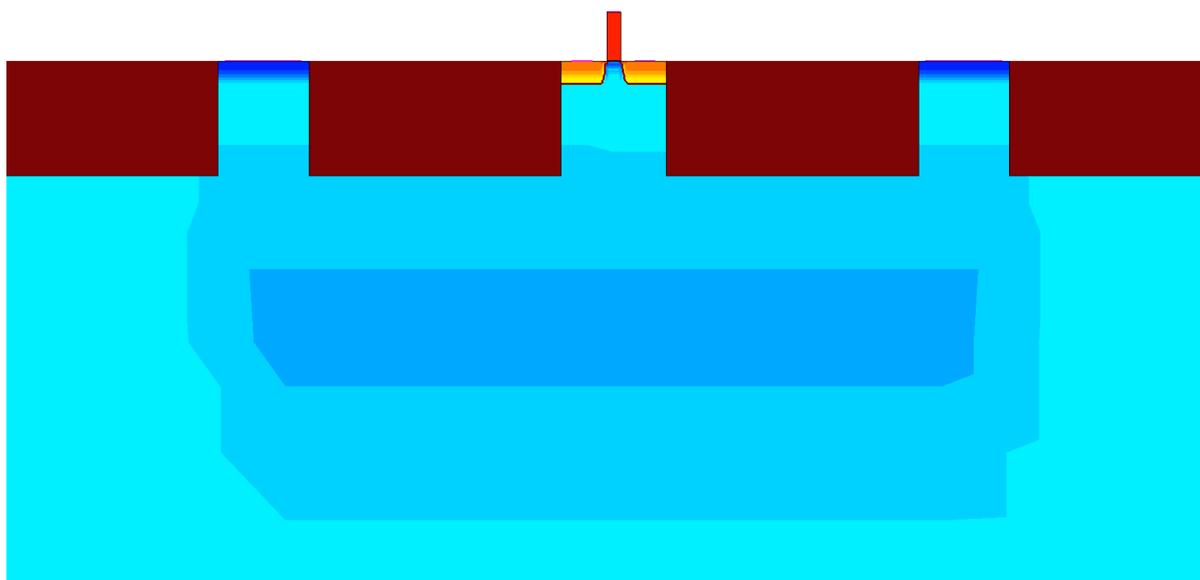


Figura 53 Corte na direção X mostrando os diversos perfis de dopagem.

mesma referência. A calibração do modelo TCAD foi feita para um transistor mínimo de $W/L = 120 \text{ nm} / 40 \text{ nm}$ alterando-se os perfis de dopagem dessas regiões até que a curva $I_D \times V_{GS}$ do dispositivo modelado se aproxime daquela proporcionada pelo modelo compacto, com a precisão desejada. (DASGUPTA, 2007a) provê uma descrição da função de cada uma dessas dopagens. O implante para ajuste da tensão de limiar (threshold implant) é o principal elemento de controle da tensão V_{TH} do dispositivo. Extensões levemente dopadas no dreno e na fonte (Lightly-Doped Drain, LDD), junto à região do canal, controlam a resistência série do dispositivo e têm papel relevante na capacidade de condução de corrente do transistor, quando fortemente excitado. A corrente de fuga do transistor em corte e durante a operação sublimiar é controlada pelos halos (halo implant) de dreno e fonte e pelo implante para ajuste da corrente de fuga (leakage implant). A figura 54 mostra o transistor em detalhe, indicando a posição dos diversos implantes que controlam o canal.

A tabela 21 mostra os valores relevantes da curva $I_D \times V_{GS}$ para um transistor mínimo, mostrando que o modelo TCAD concorda com o modelo compacto com erro máximo de 2,4% dentro da zona de inversão forte. O reticulamento (meshing) da estrutura foi efetuado

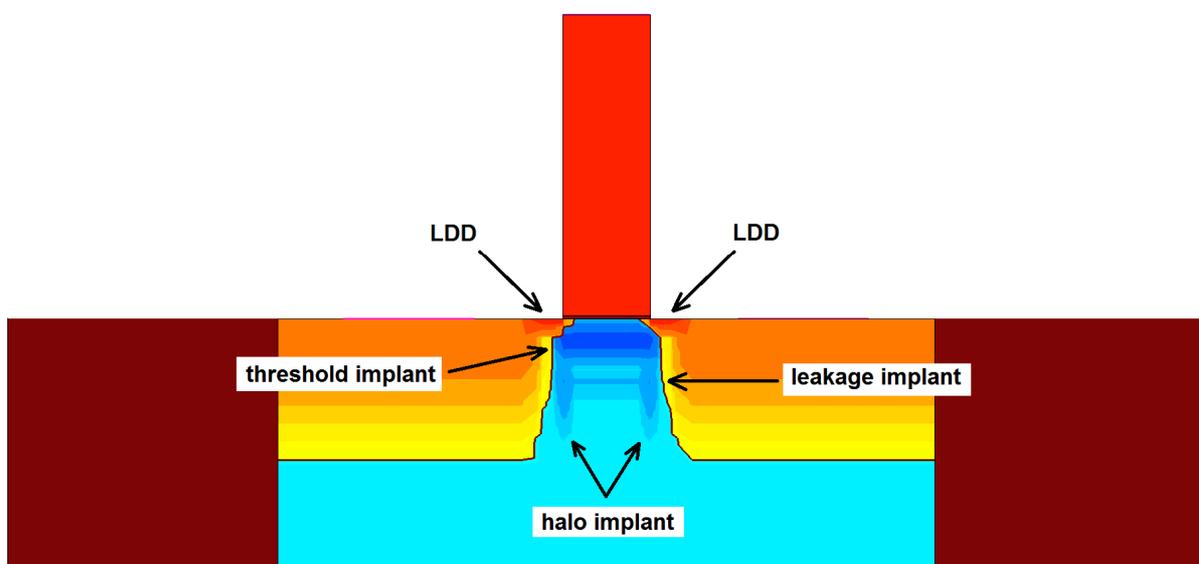


Figura 54 Transistor NMOS5 120/40 em corte na direção X mostrando os diversos implantes que controlam o canal.

segundo os critérios apontados em (DASGUPTA, 2007a) e (CHATTERJEE, 2012), usando como base os índices utilizados no modelo fornecido por esse último.

Tabela 21 Comparação entre as correntes de dreno do modelo compacto e do modelo TCAD para um transistor NMOS de W/L = 120nm / 40 nm corner TT a 27° C

Tensão porta-fonte V_{GS}	Corrente de dreno PDK I_{D1}	Corrente de dreno TCAD I_{D2}	Erro $(I_{D2} - I_{D1}) / I_{D1}$
500 mV	4,1 μA	4,0 μA	-2,4%
600 mV	11,8 μA	11,6 μA	-1,7%
700 mV	22,9 μA	22,6 μA	-1,3%
800 mV	36,3 μA	35,9 μA	-1,1%
900 mV	51,3 μA	50,7 μA	-1,2%
1,0 V	67,3 μA	66,6 μA	-1,1%
1,1 V	84,2 μA	83,3 μA	-1,1%

5.2 SIMULAÇÕES COM NMOS5

As simulações foram feitas utilizando-se o programa Synopsys SDEVICE com $V_{DD} = 1,1$ V e temperatura de 27° C. O script de simulação foi adaptado daquele fornecido por (CHATTERJEE, 2012). Em todas as simulações, a fonte, a porta e os terminais `pwel1_l` e `pwel1_r` foram conectados ao `gnd`, mantendo o transistor em corte. Investigou-se o comportamento da corrente transitória de dreno para os casos em que esse eletrodo é ligado diretamente ao V_{DD} e, também, para o caso em que ele é ligado a um transistor PMOS em condução permanente, formando um inversor. O detalhamento das configurações utilizadas acompanha cada conjunto de resultados. O comando `HeavyIon` é utilizado para injetar pares elétron-lacuna no dispositivo, em consonância com os trabalhos de (DASGUPTA, 2007a) e (CHATTERJEE, 2012), nos quais este trabalho de baseia. O ponto de injeção de cargas, para todos os casos, foi o centro da região de dreno, direção vertical, perpendicular ao plano X-Y, de cima para baixo. O raio do rastro de cargas foi de 50 nm, com perfil gaussiano, comprimento 7 μm a partir da superfície do silício e a injeção acontece após um período de acomodação de 20 ps (150 ps para as figuras 57 e 58) a partir do início da simulação. Foi

empregado o comando PicoCoulomb, que controla a LET utilizada para a determinação da densidade de geração de portadores na trilha ionizada em pC/ μ m através do parâmetro LET_f. Os valores de LET das simulações são expressos em MeV/mg/cm², assim, os valores do parâmetro LET_f foram determinados utilizando-se a relação 1 MeV/mg/cm² = 10 fC/ μ m = 0,01 pC/ μ m (NICOLAIDIS, 2012). Um exemplo do conjunto de instruções utilizado para controlar o comando HeavyIon nas simulações efetuadas segue abaixo :

```
HeavyIon (  
    PicoCoulomb  
    Direction=(0,0,1)  
    Location=(-0.095,0,0)  
    Length=7  
    Time=2e-11  
    LET_f=0.05  
    wt_hi=0.05  
    Gaussian )
```

Nas instruções acima, as coordenadas Location e os parâmetros Length e wt_hi (raio da trilha ionizada) são dados em μ m, o parâmetro Time (momento da incidência) é dado em segundos e o parâmetro LET_f é dado em pC/ μ m. Cabe detalhar a escolha dos parâmetros que descrevem a trilha ionizada. O raio da trilha foi escolhido em 50 nm porque esse valor é o valor padrão utilizado pelo grupo de pesquisas em radiação da Vanderbilt University tendo sido usado em (DASGUPTA, 2007a) e (CHATTERJEE, 2012), e indicado em (BUCHNER, 1990). Baseando-se em (MAKINO, 2009) e (SEIFERT, 2010), (CHATTERJEE, 2012) discorre sobre o assunto, declarando que o perfil gaussiano não é a melhor estimativa do perfil de trilha ionizada para um SET mas que o uso do perfil gaussiano associado com os mecanismos de recombinação Shockley-Read-Hall (SRH) e Auger proporcionam uma abordagem realística para as simulações em termos da densidade de cargas na trilha. Assim,

adotou-se aqui a configuração de 50 nm de raio, perfil gaussiano e recombinações Auger e SRH. O comprimento da trilha em 7 μm decorre do resultado de simulações preliminares e do exposto em (AMUSAN, 2006), que conclui que a carga coletada em um nó impactado não aumenta para comprimentos de trilha que se prolongam em profundidade além de 1,2 μm dentro do substrato. Nas simulações, empregou-se um valor maior do que esse, mas evitando um comprimento de trilha excessivamente grande. O fundo do bloco de silício possui um contato ôhmico através do qual o bloco é conectado ao gnd por meio de um resistor de 1 M Ω . Dessa forma, evita-se deixar o bloco flutuante em relação à fonte, o que poderia criar problemas de convergência durante a simulação. Como a trilha é ionizada e incide sobre o dreno, cria-se dentro do bloco de silício um caminho de baixa resistência que interliga a região de dreno com o fundo da trilha. Uma trilha com 10 μm de comprimento interligaria o dreno com o contato de fundo através de um caminho de baixa resistência, o que perturbaria o potencial em todo o contato de fundo e introduziria uma condição não-realística às simulações. A adoção de uma trilha de 7 μm de comprimento permite manter uma distância segura entre o fundo da trilha e o contato de fundo, evitando esse fenômeno. A incidência normal ao dreno foi escolhida para concentrar a carga injetada exatamente sob o dreno do transistor impactado, evitando o espalhamento que ocorre com uma incidência angular (CHATTERJEE, 2012). Quando necessário, dispositivos da tecnologia UMC 40nm LP, corner TT, descritos em SPICE são acrescentados ao script formando uma simulação combinada.

5.3 SIMULAÇÃO DO PULSO TRANSIENTE COM NMOS5

Os resultados obtidos para a corrente de dreno de NMOS5_120/40 quando esse está conectado diretamente ao V_{DD} , em função da LET da partícula, são mostrados na figura 55. A tabela 22 apresenta os valores de corrente de pico máxima e período de pulso a 50% da

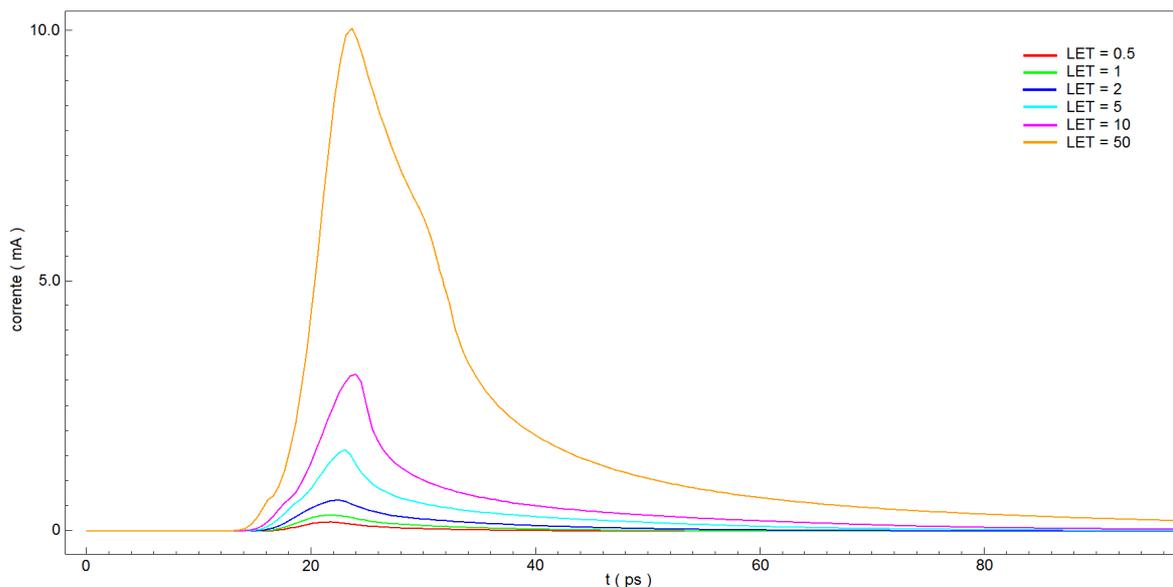


Figura 55 Corrente de dreno para várias LETs, dreno ligado ao V_{DD} .

corrente máxima. A faixa de LETs de interesse foi determinada com base em simulações preliminares, e variou de 0,5 MeV/mg/cm² a 50 MeV/mg/cm². Essa faixa concorda com a faixa de valores usada para o teste de uma estrutura em 90 nm (NARASIMHAN, 2007) tendo sido incluídas LETs menores a fim de contemplar situações de baixa energia que, segundo as simulações prévias, não produzam um SET capaz de ser reconhecido como uma transição de nível lógico quando o transistor impactado faz parte de um inversor mínimo.

Tabela 22 Corrente de pico e período do pulso da corrente de dreno, para várias LETs

LET em MeV/mg/cm ²	Corrente de pico I_{peak}	Período do pulso T_P a 50% de I_{peak}
0,5	182 μ A	7,29 ps
1,0	318 μ A	8,44 ps
2,0	620 μ A	8,72 ps
5,0	1,77 mA	6,27 ps
10	3,13 mA	6,31 ps
50	10,0 mA	11,39 ps

A figura 56 mostra a distribuição das correntes de dreno, fonte e p_well para uma LET de 5 MeV/mg/cm². O gráfico mostra apenas a corrente no contato pwell_1, pois a corrente no

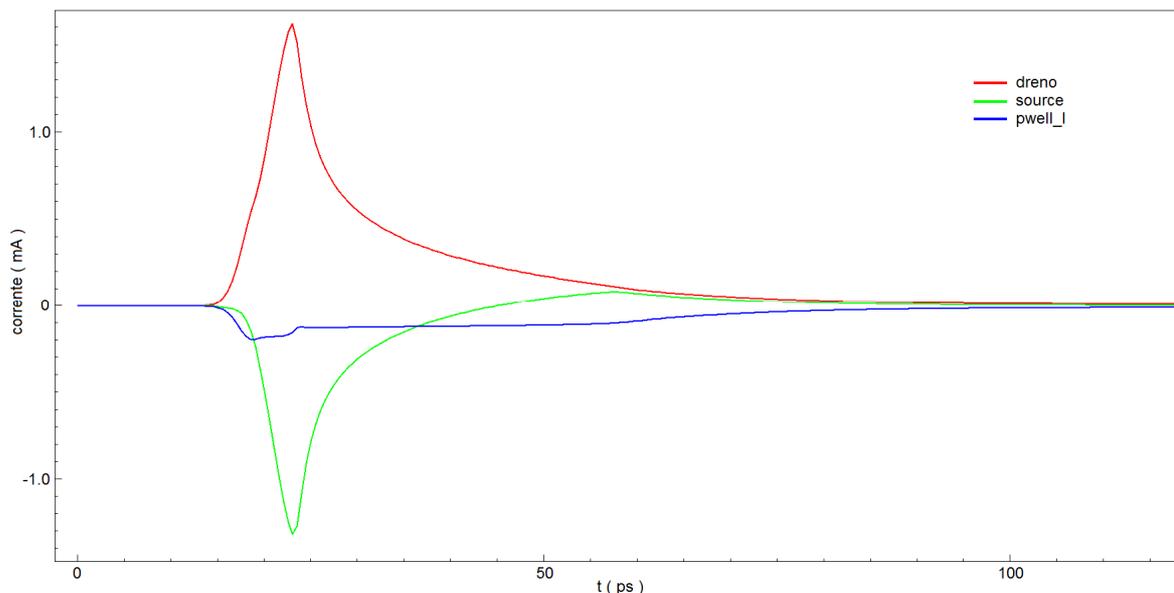


Figura 56 Correntes de dreno, fonte e pwell_l para uma LET de 5 MeV/mg/cm².

contato pwell_r é, para fins gráficos, exatamente coincidente à primeira. No momento em que o pico de corrente de dreno ocorre, a corrente de fonte é máxima e vale 1,31 μ A, com cada pwell contribuindo com apenas 153 μ A. A corrente que efetivamente flui pelos contatos de substrato é apenas uma pequena fração da corrente de dreno, ao contrário do que prevê a simulação com modelo compacto, onde toda a corrente de dreno provém do substrato.

Acrescentando-se um transistor PMOS de W/L = 300 nm/40 nm em SPICE como carga ativa de dreno ao transistor NMOS modelado em TCAD, verifica-se a ocorrência do chamado “platô” na corrente de dreno. O transistor PMOS limita a máxima corrente de dreno do transistor impactado ao valor de sua corrente de dreno para um $|V_{GS}|$ aproximadamente igual a V_{DD} (KAUPPILA, 2009). As figuras 57 e 58 mostram o conjunto de formas de onda da corrente e tensão de dreno do transistor NMOS5_120/40, A tabela 23 sumariza os valores dos tempos de duração dos SETs gerados.

Variando-se a carga ativa de dreno do NMOS5_120/40, estabelece-se diferentes valores para a corrente de platô, como pode ser visto na figura 59. As curvas foram obtidas

Tabela 23 Tempos de duração do SET gerado, em função da LET

LET (MeV/mg/cm ²)	SET gerado	LET (MeV/mg/cm ²)	SET gerado
0,5	18,7 ps	2	63,7 ps
0,75	31,2 ps	5	102,2 ps
1	40,1 ps	10	144,3 ps

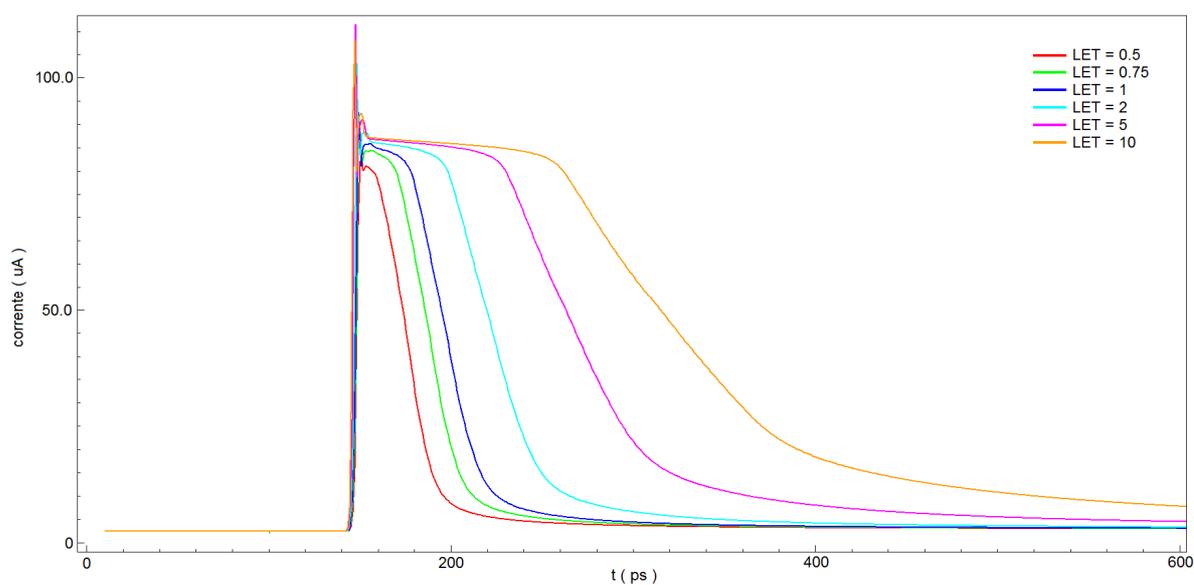


Figura 57 Corrente de dreno no transistor NMOS5_120/40 com carga ativa de dreno, para várias LETs.

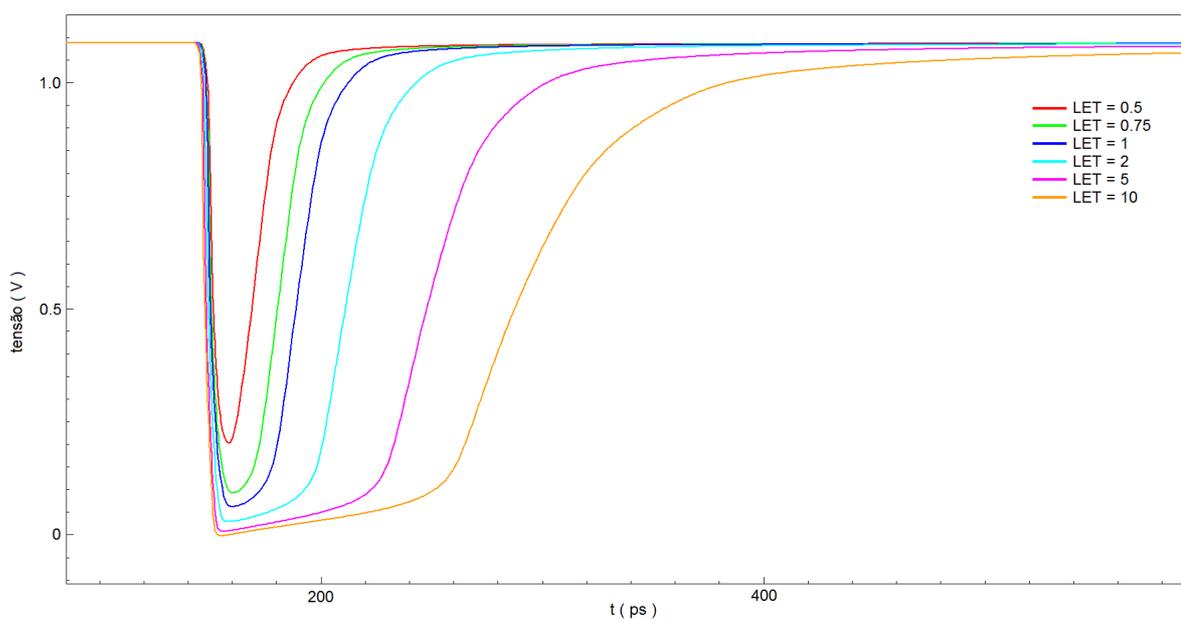


Figura 58 Tensão no dreno no transistor NMOS5_120/40 com carga ativa de dreno, para várias LETs.

utilizando-se uma instância do transistor PMOS 300 nm/40 nm na simulação $W = 300$ nm, e instâncias em paralelo para as demais (duas para $W = 600$ nm, três para $W = 900$ nm e quatro para $W = 1200$ nm). Para essas simulações e as seguintes, acrescentou-se um inversor mínimo (NMOS = 120 nm/40 nm; PMOS = 300 nm/40 nm) em SPICE, cuja entrada é conectada ao dreno do transistor impactado. A presença desse inversor permite não só dar uma característica mais realista ao SET gerado no dreno impactado, por incluir a capacitância da eventual porta que estaria ligada ao transistor impactado em um circuito real, como também permite mensurar o SET que se propagaria através da lógica. Observa-se que a corrente de platô é limitada pela máxima corrente fornecida pela carga ativa. A tabela 24 sumariza os valores dos tempos de duração dos SETs gerados e propagados.

Tabela 24 Tempos de duração do SET gerado e propagado

Carga Ativa PMOS $W =$	Tempo de duração	
	SET gerado	SET propagado
300 nm	64,0 ps	69,9 ps
600 nm	48,3 ps	52,8 ps
900 nm	39,4 ps	43,4 ps
1200 nm	32,5 ps	36,3 ps

O resultado mostrado na figura 59 traz uma revelação importante com respeito ao comportamento da corrente de dreno em função do carregamento a ele imposto: as curvas de corrente de dreno, obtidas com o dreno limitado em corrente, seguem uma mesma envoltória de decaimento após o período de platô, e essa envoltória segue com bastante aproximação a curva da corrente de dreno sem limitação de corrente. O decaimento na corrente praticamente segue o decaimento não-limitado para a curva $W = 300$ nm; para as demais curvas, o ponto de início do decaimento sofre um certo atraso em relação à curva não-limitada, que é máximo para a curva $W = 1200$ nm e vale 2,9 ps. Essa informação é útil ao projetista que busca verificar a robustez ao SET de um dado circuito lógico utilizando simulação de circuitos e

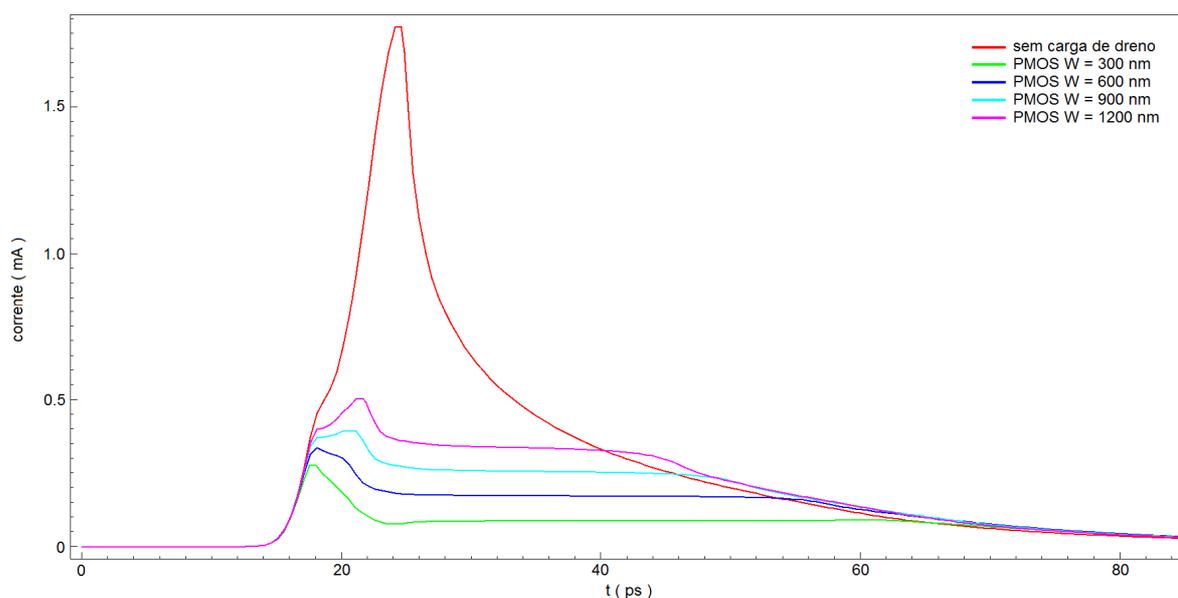


Figura 59 Corrente de dreno no transistor NMOS5_120/40 para várias larguras de canal do transistor de carga PMOS.

necessita configurar a fonte de corrente em dupla exponencial. Para tanto, é necessário determinar a duração do SET e, para isso, basta conhecer a curva característica da corrente não-limitada para o transistor da tecnologia em uso e o limite de corrente imposto quando o nó é levado ao gnd ou V_{DD} pelo carregamento. A curva característica da corrente não-limitada pode ser determinada através de simulação TCAD, de forma relativamente fácil e rápida, pois o dispositivo em simulação é apenas um único transistor.

A figura 58 mostra que a tensão de dreno durante o platô é aproximadamente igual a zero, contrariando o resultado que se obtém com a simulação de circuito, na qual a corrente em dupla exponencial, usada para simular a corrente transiente, pode forçar o dreno abaixo de gnd (ou acima de V_{DD} , em um transistor PMOS) e polarizar diretamente a junção dreno-substrato (KAUPPILA, 2009). Essa é a razão pela qual se utilizou um diodo ideal em paralelo com a fonte de corrente em dupla exponencial nas simulações de circuito, com modelo compacto, dos circuitos DynBICS e TRIBICS. O uso do diodo ideal grampeia a tensão de dreno à tensão de substrato e proporciona um resultado bastante realístico à simulação com

modelo compacto - pelo menos, no tocante à formação do platô e à forma de onda da corrente de dreno. Essa abordagem pode ser útil quando modelamentos mais complexos (KAUPPILA, 2009) não sejam de fácil obtenção, ou não tenham ainda sido desenvolvidos para a tecnologia em questão.

5.4 INFLUÊNCIA DOS PARÂMETROS TECNOLÓGICOS NA CORRENTE TRANSIENTE

A influência dos parâmetros controlados pela tecnologia de fabricação sobre o comportamento da corrente transitória de dreno foi avaliada utilizando-se o modelo NMOS5.

Os parâmetros de interesse foram os seguintes:

- a) comprimento de canal
- b) largura de canal
- c) dopagem de substrato
- d) perfis de dopagem e concentração de dopantes nos implantes de canal

Observou-se que a largura e o comprimento do canal, cujas dimensões mínimas são dependentes da tecnologia, exercem influência sobre a duração da corrente transiente de dreno, a qual aumenta em duração à medida que o canal do transistor impactado se torna mais longo ou mais largo. Há um aumento de 6,4 % no período do pulso ao se dobrar a largura do canal e de 15,6 % ao se triplicar a largura do canal, o pico de corrente sofre um acréscimo de 5,6% e 9,6%, respectivamente. Com relação ao aumento no comprimento do canal, a corrente de pico se reduz em 28% para um aumento de 4x no comprimento do canal, e em 43% para um aumento de 6,25x, com os períodos do pulso transiente aumentando, respectivamente, em 27% e 86%

A duração do SET mostrou reduzida dependência com relação à concentração de dopantes do substrato, onde uma redução de 8x na concentração do dopante de substrato causou uma redução de 1,6% na duração do pulso transiente e um aumento de 1,7% no valor de pico da corrente.

Por último, com relação aos perfis de dopagem utilizados nos implantes que controlam as propriedades do canal do transistor impactado, as simulações revelaram que esses parâmetros não afetam a duração do SET.

Os resultados das simulações efetuadas alterando-se os parâmetros controlados pela tecnologia de fabricação encontram-se no Apêndice.

5.5 DISPOSITIVO-ALVO - MODELO PMOS3

Um modelo PMOS calibrado para o processo UMC 40nm LP também foi criado para posterior uso em conjunto com o modelo NMOS5, utilizando-se o mesmo script básico mas alterando-se adequadamente os dopantes e os perfis de dopagem, e acrescentando-se o poço N e seus contatos nwell_l e nwell_r. Com o centro do canal na coordenada (0; 0), os contatos nwell_l e nwell_r estão localizados nas coordenadas (-1,0 μm ; 0) e (+1,0 μm ; 0) e os contatos pwell_l e pwell_r, de substrato, estão localizados nas coordenadas (-1,75 μm ; 0) e (+1,75 μm ; 0). Todos os contatos têm a dimensão mínima para a tecnologia UMC 40nm LP, medindo 420 nm de largura e 260 nm de comprimento. A figura 60 mostra o transistor mínimo PMOS3_300/40, com canal de 300 nm de largura e 40 nm de comprimento. As figuras 61 a 63 mostram, respectivamente, a estrutura PMOS3 em detalhe, os perfis de dopagem e a vista detalhada dos perfis de dopagem do transistor.

A tabela 25 mostra os valores relevantes da curva $I_D \times V_{GS}$ para o transistor mínimo, mostrando que o modelo TCAD concorda com o modelo compacto com erro de 17,5% para $|V_{GS}| = 500 \text{ mV}$, o qual vai diminuindo à medida que o transistor é operado em inversão forte. Embora o erro para inversão moderada não seja desprezível, o modelo é satisfatório; no Apêndice é mostrado que a corrente transitória de dreno não depende das propriedades do canal do transistor, resultando que a parte da curva $I_D \times V_{GS}$ de maior interesse durante a ocorrência do SET é a região de inversão forte, na qual os transistores irão operar quando os

modelos formarem um inversor completo. Os detalhes de reticulamento e perfis de dopagem seguem os já descritos para o modelo NMOS5.

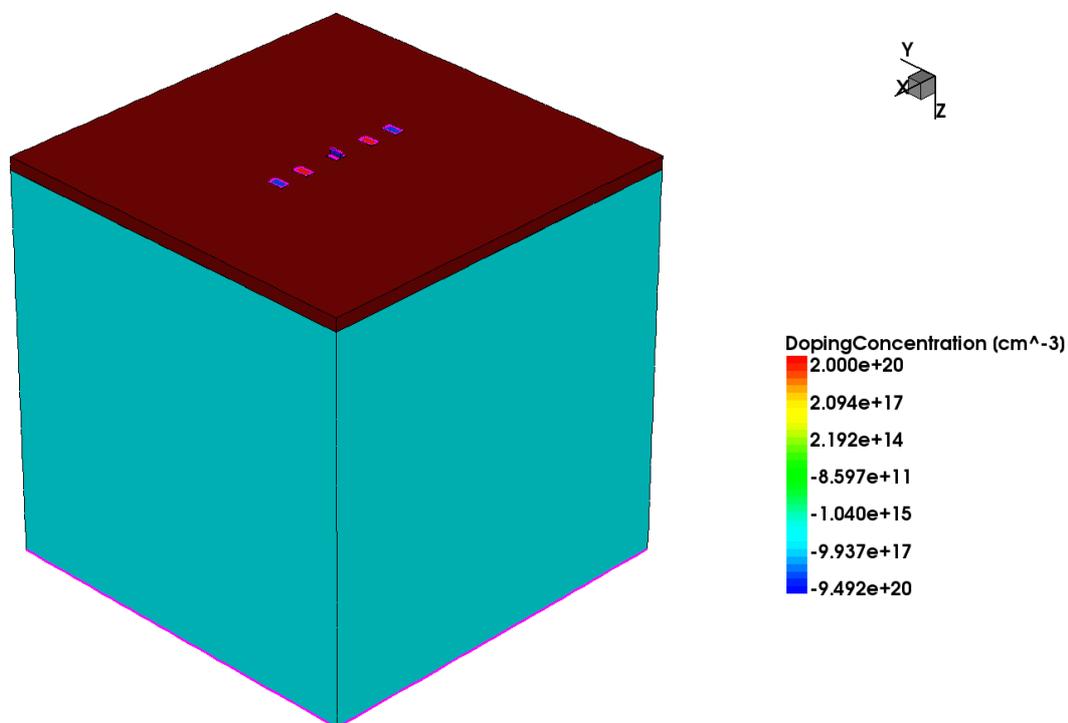


Figura 60 Transistor 300 nm/40 nm criado pelo modelo PMOS3.

Tabela 25 Comparação entre as correntes de dreno do modelo compacto e do modelo TCAD para um transistorPMOS de W/L = 3000nm / 40 nm corner TT a 27° C

Tensão porta-fonte $ V_{GS} $	Corrente de dreno PDK I_{D1}	Corrente de dreno TCAD I_{D2}	Erro $(I_{D2} - I_{D1}) / I_{D1}$
500 mV	-4,0 μA	-3,3 μA	-17,5%
600 mV	-11,2 μA	-10,0 μA	-10,7%
700 mV	-21,6 μA	-20,5 μA	-5,1%
800 mV	-35,4 μA	-33,9 μA	-4,2%
900 mV	-50,2 μA	-49,4 μA	-1,6%
1,0 V	-67,5 μA	-66,7 μA	-1,2%
1,1 V	-84,0 μA	-85,0 μA	+1,2%

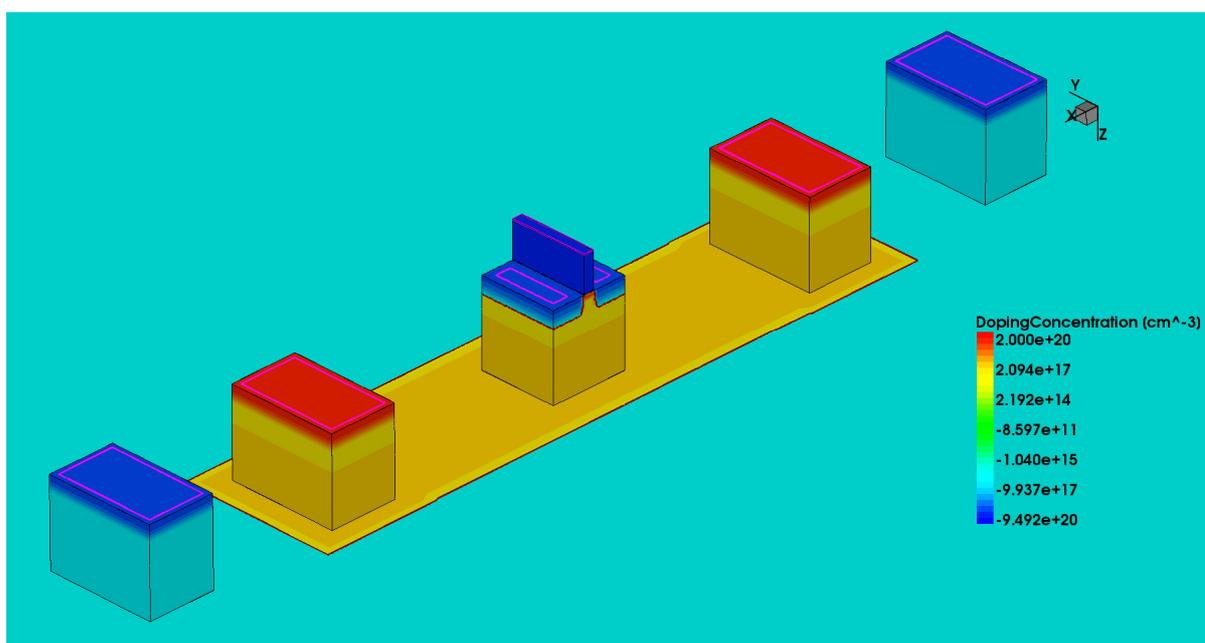


Figura 61 Detalhe da estrutura PMOS3 mostrando o transistor 300 nm/40 nm e os contatos de poço e substrato.

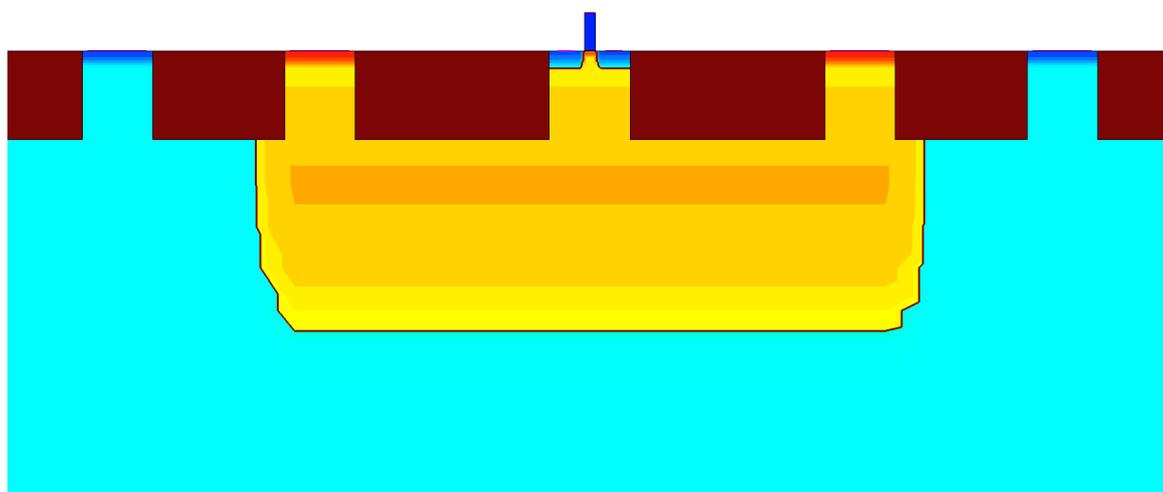


Figura 62 Corte na direção X mostrando os diversos perfis de dopagem.

5.6 SIMULAÇÃO DO PULSO TRANSIENTE COM PMOS3

Foi feita uma simulação com o modelo PMOS3_300/40 com uma LET de 5 MeV/mg/cm², carregado com um transistor NMOS 120/40 e o inversor de carga.. Os terminais de fonte, porta, nwell_l e nwell_r são ligados ao V_{DD} enquanto que os terminais

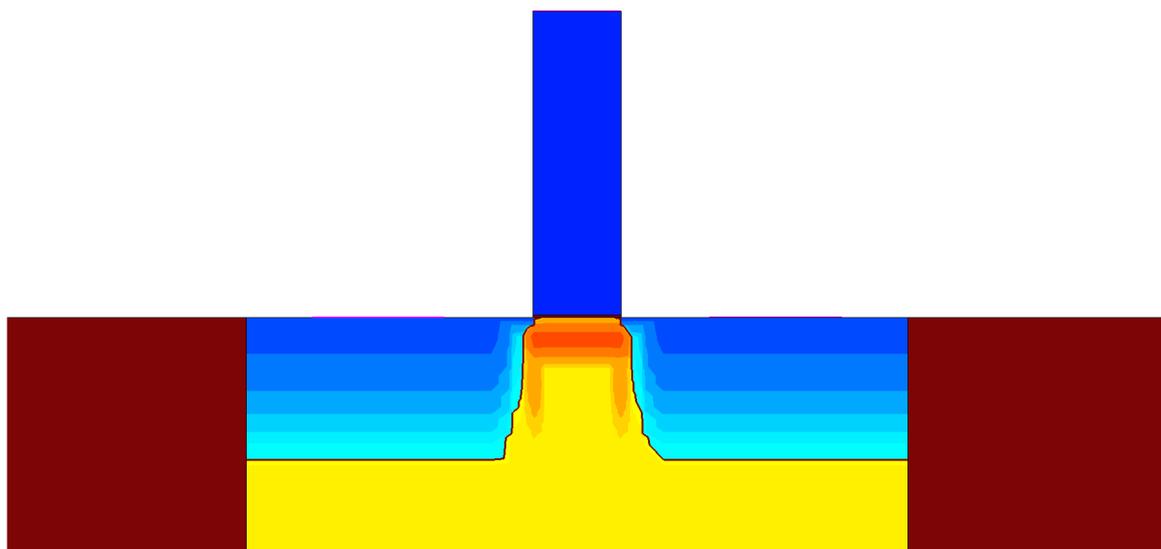


Figura 63 Transistor PMOS3 300/40 em corte na direção X.

pwel_l e pwel_r são ligados ao gnd. As condições de simulação são as mesmas utilizadas para o modelo NMOS5.

A figura 64 mostra as formas de onda de corrente nos vários terminais do dispositivo. Nota-se que a corrente de dreno segue um perfil igual ao apresentado para o transistor NMOS. As formas de onda das correntes de subtrato pwel_l e pwel_são coincidentes para efeito de gráfico, de modo que apenas uma está representada. Há uma discreta diferença entre as

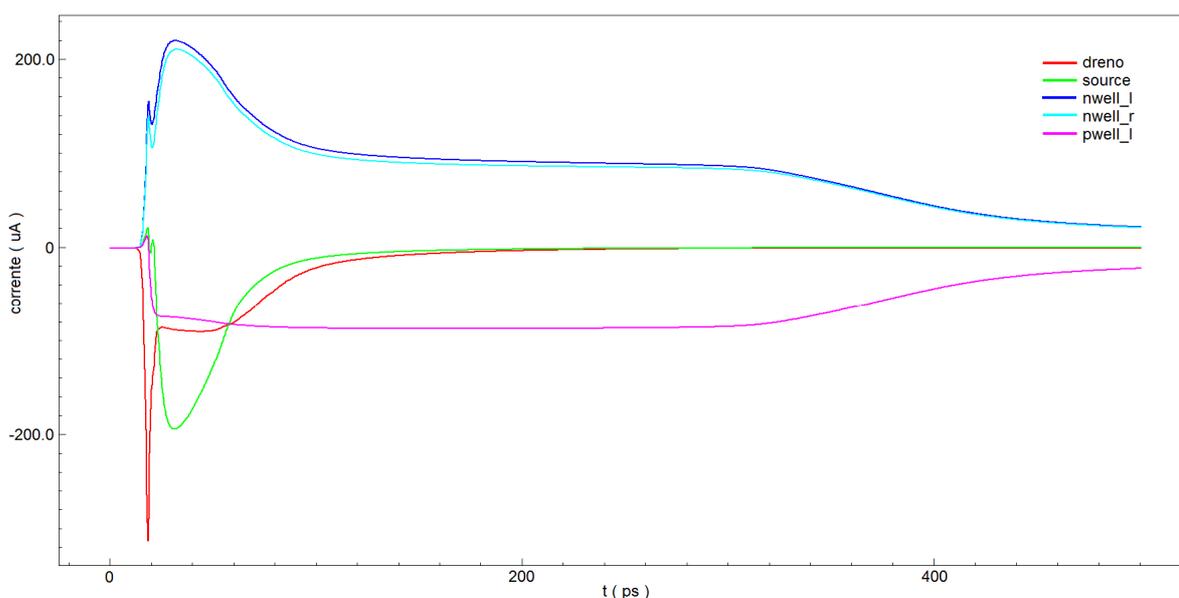


Figura 64 Correntes nos diversos terminais do transistor PMOS3_300/40 para uma LET de 5 MeV/mg/cm².

correntes de poço `nwell_l` e `nwell_r` devida ao fato de os taps localizam-se a distâncias diferentes do dreno impactado e, assim, a divisão de correntes entre `nwell_l` e `nwell_r` é desigual cabendo a maior corrente àquele tap que se encontra mais próximo do dreno. A rigor, embora muito pequena e desprezível para fins práticos, essa diferença também existe nas correntes de substrato do transistor NMOS, mas aqui a diferença é muito mais notável. A estrutura do transistor PMOS difere do NMOS em virtude de o poço N ser relativamente raso em relação à profundidade do substrato P e devido ao fato de existir uma junção PN entre o poço e o substrato que também se encontra reversamente polarizada no momento da incidência da partícula e, assim, também sofre incidência e gera a sua própria corrente transiente. As correntes de poço e substrato permanecem fluindo mesmo após a corrente transiente de dreno ter se esvanecido completamente, em função dos portadores minoritários injetados no substrato que, movendo-se por difusão, são coletados pela junção poço-substrato.

5.7 A CORRENTE DE FONTE DURANTE O SET

A discussão sobre o comportamento da corrente de fonte durante o SET nas situações com e sem carregamento de dreno será feita aqui, após a apresentação dos dois modelos, possibilitando tratá-los conjuntamente.

A figura 56 mostra o comportamento das correntes de dreno, fonte e substrato para o transistor NMOS sem carregamento, na qual se verifica que a maior parte da corrente de dreno provém da fonte do transistor impactado. Esse comportamento se altera quando o transistor está sob carregamento, como mostra a figura 65. Observa-se que a corrente de fonte não mais contribui para a formação da corrente de dreno e que ela supera, inclusive, a corrente de dreno na maior parte do platô, tendo sentido contrário ao mostrado na figura 56. Na situação onde o dreno não está carregado, todos os portadores coletados pelo dreno são removidos pela fonte de alimentação, pois não há limitação externa à corrente de dreno. A

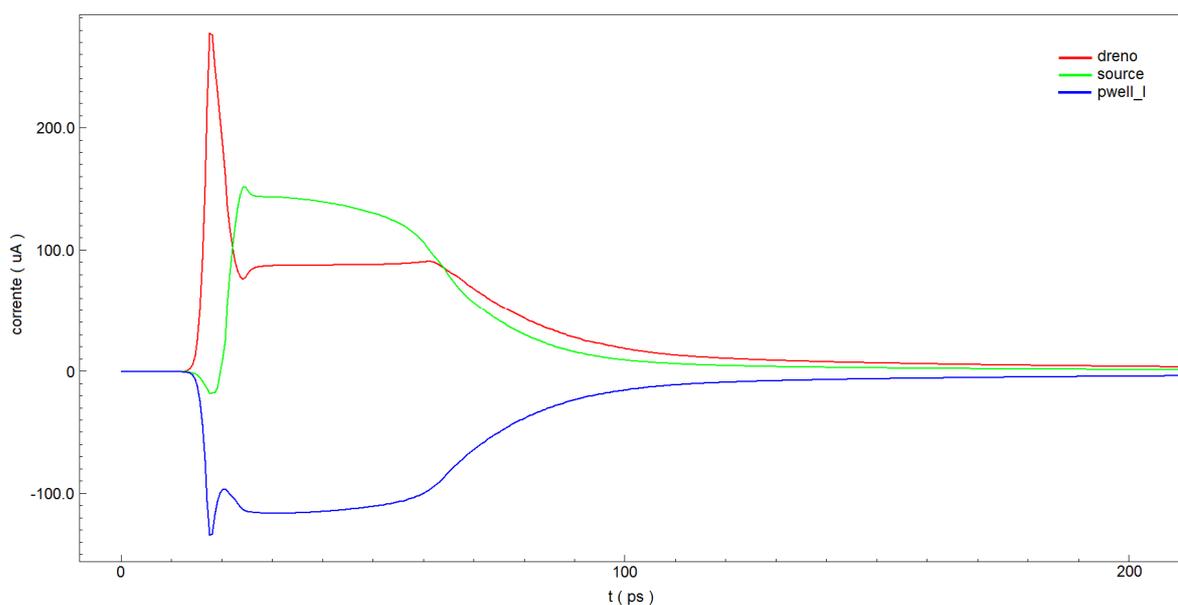


Figura 65 Correntes de dreno, fonte e pwell_1 para o transistor NMOS5_120/40 com carga PMOS 300/40. LET de 5 MeV/mg/cm².

corrente de dreno é estabelecida pela quantidade de portadores coletados, mais a corrente advinda da fonte.

Essa situação se modifica quando a corrente é limitada pelo transistor de carga, o qual passa a determinar a quantidade de carga que pode sair pelo terminal de dreno, por unidade de tempo. Se a quantidade de carga coletada, por unidade de tempo, superar a corrente determinada pelo transistor de carga, a região de dreno começará a acumular carga, ficando cada vez mais negativa. A figura 66 mostra a tensão de dreno do transistor NMOS5_120/40 para as várias cargas de dreno utilizadas na simulação da figura 59. Observa-se que a tensão de dreno resulta aproximadamente constante e igual a zero durante o platô, indicando que existe um mecanismo de alívio de cargas que impede a acumulação de elétrons na região de dreno. Esse alívio de cargas é feito por um mecanismo que interliga dreno e fonte durante o SET e que será discutido adiante. O excesso de elétrons coletados pelo dreno, que não são removidos pela fonte de alimentação, encontram caminho em direção ao gnd através da fonte. Como a fonte é ligado ao gnd, o potencial de dreno precisa ficar levemente negativo, como

mostrado na figura 66, a fim de proporcionar a diferença de potencial necessária para que a corrente se estabeleça.

É interessante notar, na figura 66 que, durante o platô, a tensão de dreno é aproximadamente nula quando a carga ativa tem $W = 900$ nm e, mesmo, levemente positiva quando a carga ativa tem $W = 1200$ nm. A figura 67 mostra as correntes de dreno, fonte e substrato para esses dois casos, na qual se conclui que a carga ativa com $W = 900$ nm fornece uma corrente aproximadamente suficiente para drenar todos os portadores que chegam à região de dreno, de forma que a contribuição da fonte é mínima. Com a carga ativa de $W = 1200$ nm, a corrente de fonte volta a contribuir para a formação da corrente de dreno pois, com efeito, a corrente de descarga proporcionada pela carga ativa de $W = 1200$ nm é superior àquela proporcionada apenas pelo fluxo de portadores coletados. Para que a corrente de fonte tenha o sentido indicado no gráfico, é necessário que o dreno seja positivo, o que é confirmado na figura 66.

Nesse ponto é interessante relacionar o comportamento da corrente de fonte com os dois efeitos que proporcionam o mecanismo que interliga dreno e fonte durante o SET. O

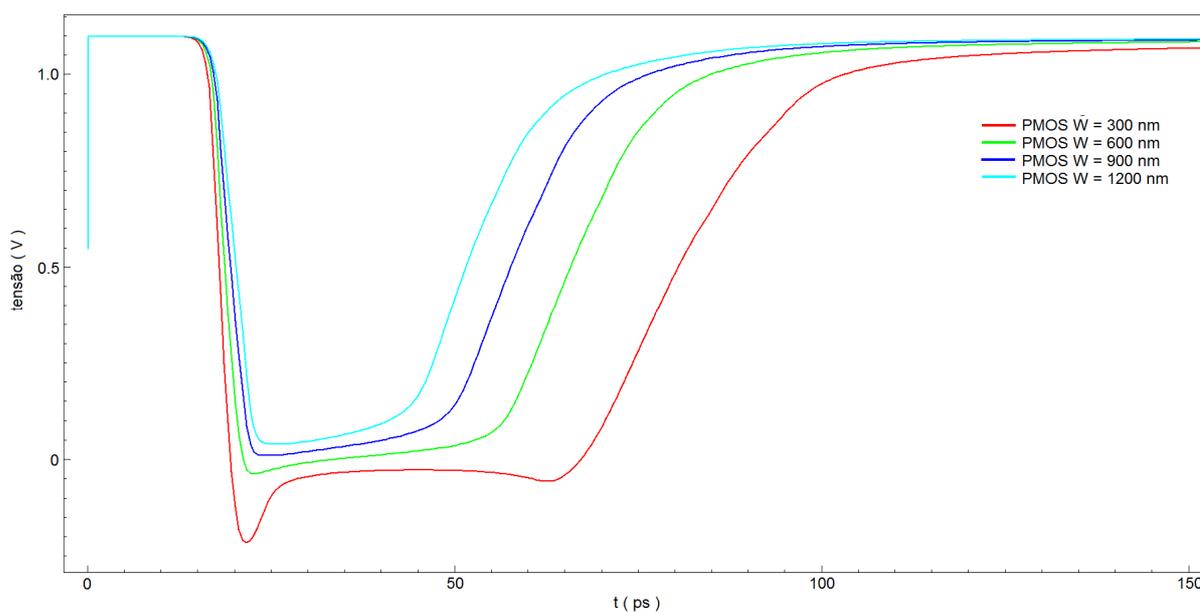


Figura 66 Tensão de dreno no transistor NMOS5_120/40 para várias larguras de canal do transistor de carga PMOS. LET de 5 MeV/mg/cm².

primeiro deles é um transistor bipolar parasita que seria acionado pela modulação do potencial de substrato. (DASGUPTA, 2007b) postula que, em um transistor NMOS, o contato de substrato é uma junção fortemente dopada P+, difundida em uma região fracamente dopada P (o substrato), formando uma junção fraca entre regiões de mesma polaridade. A corrente de substrato, atravessando essa junção gera uma queda de tensão não-desprezível, que eleva o potencial do substrato em relação ao gnd. Com a elevação do potencial de substrato, a junção fonte-substrato fica polarizada diretamente e elétrons são injetados no substrato, com a região de fonte servindo como o emissor do transistor parasita. Esses elétrons difundem-se pela região do canal e são coletados pela região de dreno, que perfaz a função de coletor.

O transistor bipolar parasita, entretanto, não é suficiente para explicar o

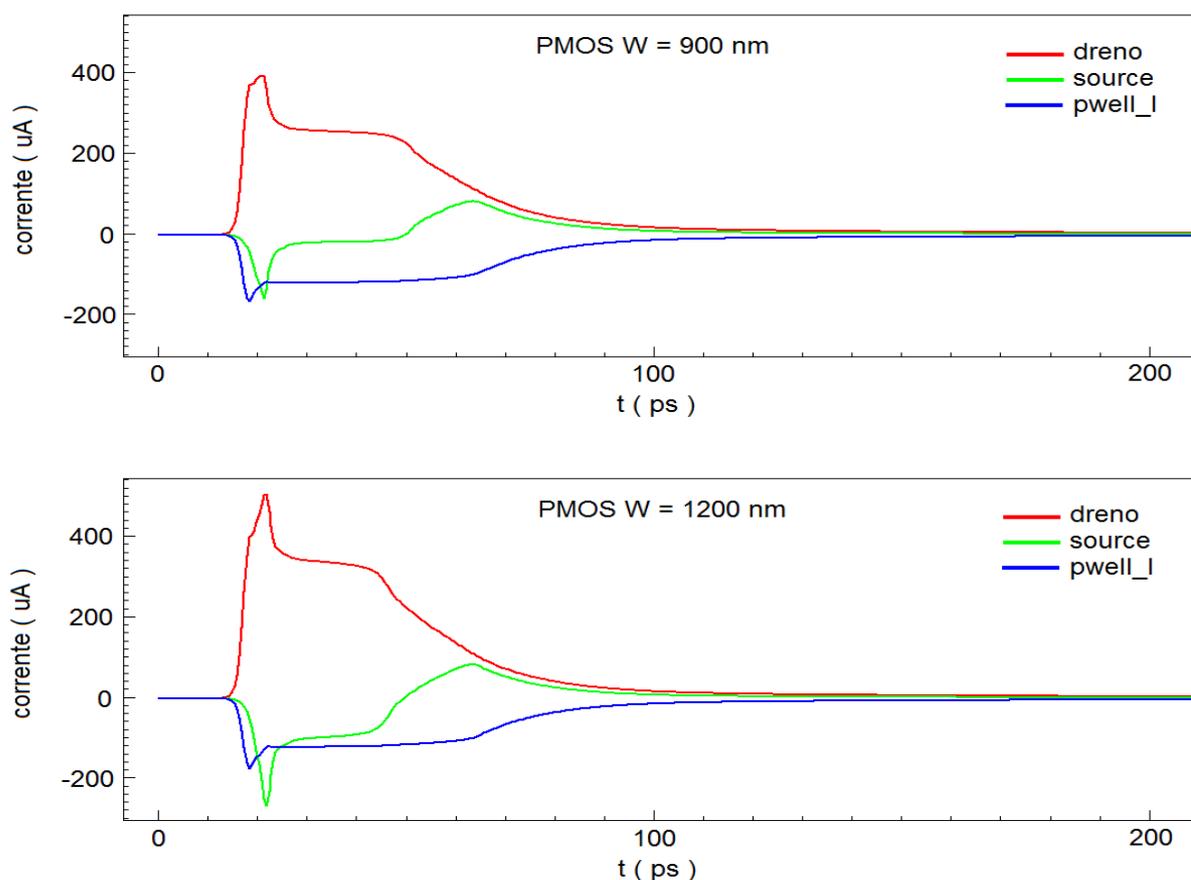


Figura 67 Correntes de dreno, fonte e pwell_1 para o transistor NMOS5_120/40 com cargas PMOS 900/40 e 1200/40. LET de 5 MeV/mg/cm².

comportamento da corrente de fonte durante o platô, mostrado nas figuras 65 e 67. Nos três casos, as correntes nos terminais pwell são aproximadamente iguais entre si (em $t = 30$ ps, $116 \mu\text{A}$ para $W = 300$ nm, $120 \mu\text{A}$ para $W = 900$ nm e $121 \mu\text{A}$ para $W = 1200$ nm) de forma que o potencial de substrato é aproximadamente igual nas três situações. Baseado nisso, a corrente de elétrons injetada pela fonte seria aproximadamente a mesma nas três situações, e a corrente no terminal de fonte seria sempre positiva, o que não é verdade segundo as figuras 65 e 67. Nesse ínterim, o dreno também poderia emitir elétrons, pois seu potencial é aproximadamente zero durante o platô e a junção dreno-substrato também estaria diretamente polarizada. Não é razoável considerar que um emissor colete elétrons de outro emissor, a fim de justificar a forma de onda de corrente mostrada na figura 65, nem que a corrente da fonte "emissor" seja nula durante o platô, como mostra a figura 67 para o caso da carga ativa de $W = 900$ nm.

A formação de um canal que interligue dreno e fonte, na forma proposta em (VELACHERI, 1994) explica o comportamento das correntes de fonte e do potencial de dreno durante o SET. Havendo um canal induzido, de baixa resistência, que interligue dreno e fonte durante o platô, qualquer acúmulo ou falta de carga no dreno pode ser compensado através do terminal de fonte. O potencial de dreno fica vinculado ao potencial de fonte e qualquer diferença de potencial é o resultado da queda de tensão provocada pela corrente de compensação circulando através da resistência do canal, pois o transistor operaria na região triodo devido à pequena diferença de potencial existente entre dreno e fonte. Com efeito, a figura 68 permite comparar a tensão de dreno durante o platô para os casos onde a tensão de fonte é nula e, também, quando ela é mantida em 100 mV acima do gnd. A corrente de dreno se mantém essencialmente a mesma em ambos os casos, mas o patamar de tensão de dreno durante o platô acompanha a elevação do potencial de fonte. A $t = 400$ ps, a tensão de dreno

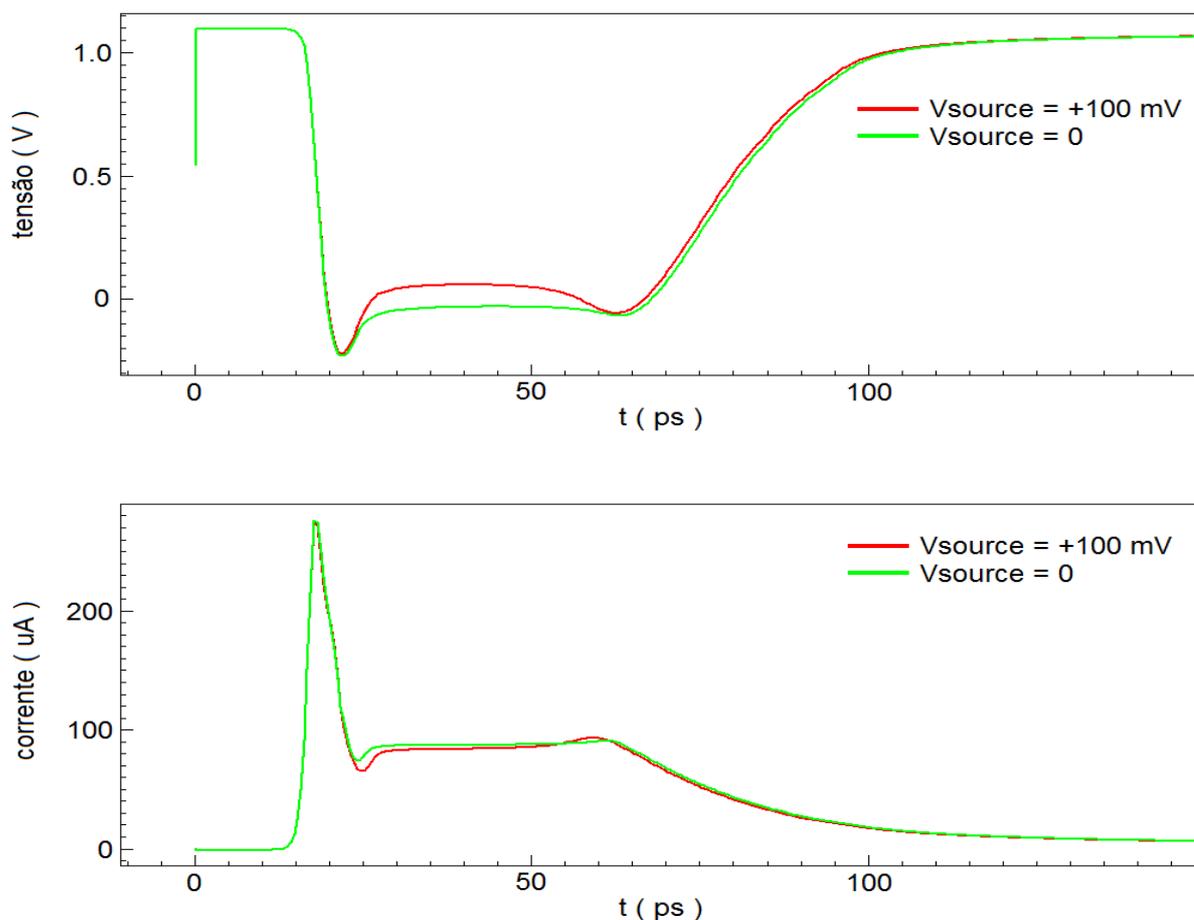


Figura 68 Tensões e correntes de dreno do transistor NMOS5_120/40 com carga PMOS 300/40. Tensões de fonte 0 V e +100 mV. LET = 5 MeV/mg/cm².

passa de -25,6 mV para +63,7 mV, em uma variação de +89,3 mV, o que concorda com a variação de 100 mV da fonte dentro de 11%.

O simulador TCAD permite salvar o estado do dispositivo em um determinado momento da simulação, possibilitando que se faça a plotagem de variáveis de interesse. A plotagem das densidades de corrente nos canais dos transistores NMOS5_120/40 e PMOS3_300/40, durante o platô das figuras 64 e 65, mostra uma concentração de corrente junto à porta do mesmo, como mostra a figura 69. No desenho, os drenos estão à esquerda e os fontes, à direita, com as setas indicando o sentido convencional da corrente. A figura 70 mostra os perfis de densidade de portadores na direção vertical, no centro do canal. A posição desses perfis está indicada na figura 69 através de linhas tracejadas verticais. Nota-se que

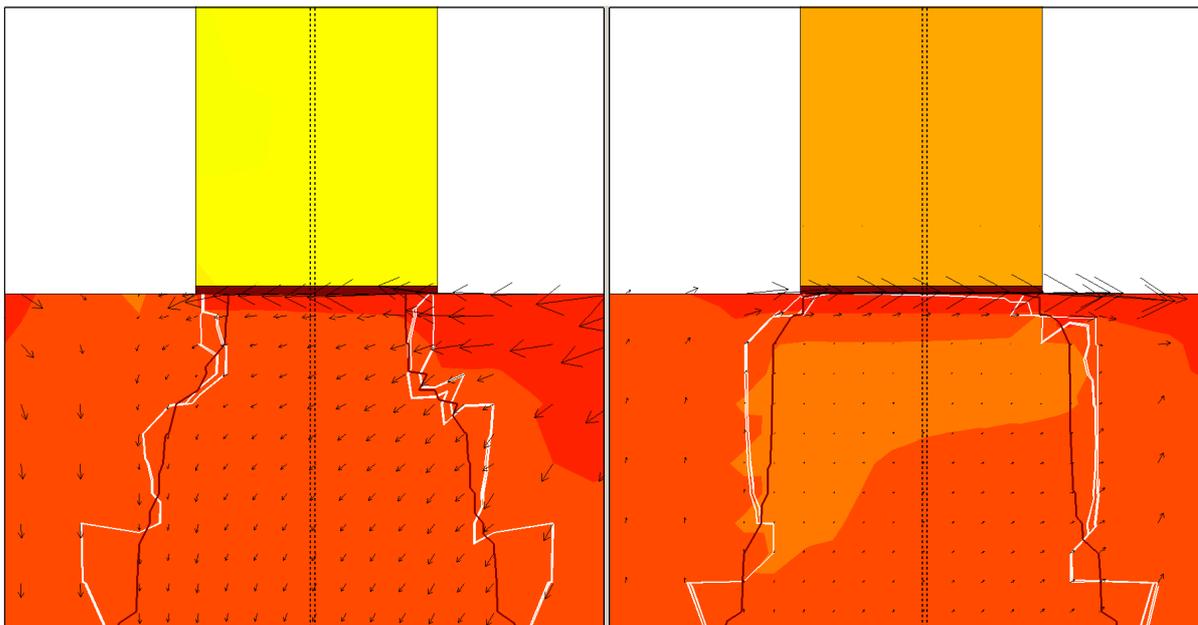


Figura 69 Densidade de corrente na região de canal, indicada pelas setas segundo o sentido convencional da corrente. Esquerda : NMOS (elétrons). Direita : PMOS (lacunas).

existe uma concentração de portadores minoritários no canal, em $Y = 0$, ponto que corresponde à interface entre o óxido de porta e o substrato. Os perfis indicam que a condução de corrente é essencialmente unipolar, típica de canais de transistores MOS.

A região de fonte também age como um coletor de cargas, ajudando a remover as

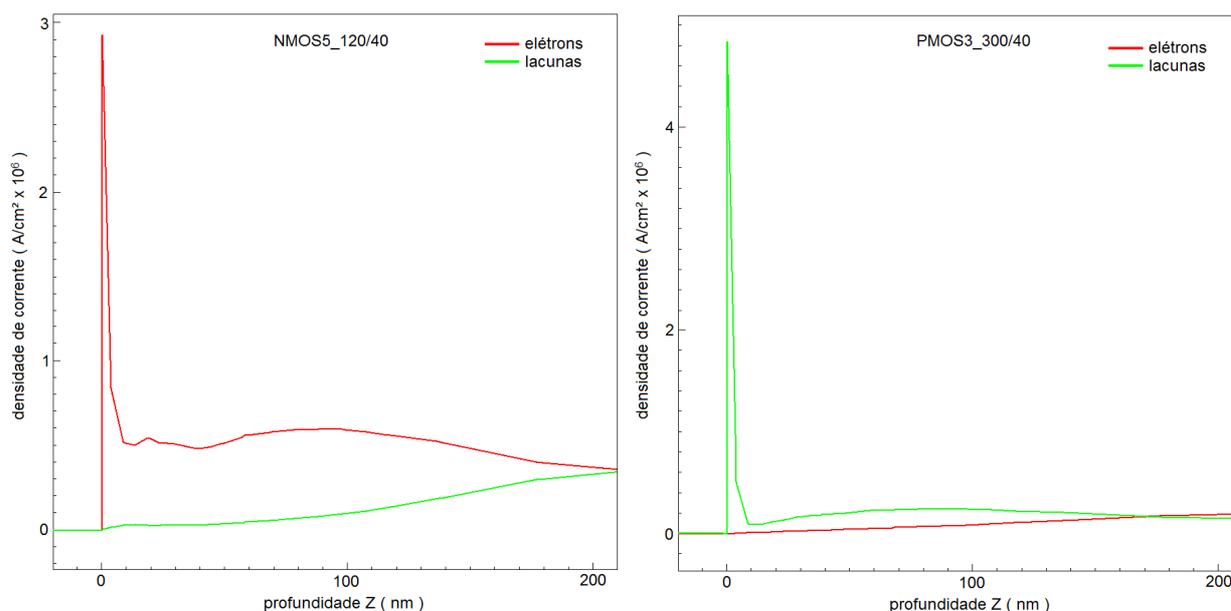


Figura 70 Densidade de corrente de elétrons e lacunas em função da profundidade do canal. NMOS à esquerda; PMOS à direita.

cargas depositadas pela radiação. Isso pode ser visto na figura 69, onde as setas (que indicam o sentido convencional) mostram que existe um fluxo de elétrons saindo da região de canal e entrando na região de dreno, o que é mais evidente para o transistor NMOS. Com efeito, no final do platô, o canal entre dreno e fonte desaparece, deixando a região de fonte isolada. Os elétrons ainda existentes no substrato difundem-se através da região de depleção existente entre a fonte e o substrato, atingindo a região de fonte e fluindo para o gnd. Esse comportamento é notável na figura 67, quando as cargas PMOS proporcionam uma corrente de descarga maior, demandando que a fonte forneça elétrons ao dreno. A quantidade de elétrons necessária supera a quantidade coletada naturalmente pela fonte e, assim, é necessário que haja um fluxo de elétrons vindo do gnd, deixando a corrente de fonte negativa nesse período. Quando o canal induzido se desfaz, a corrente de fonte inverte de sentido, pois é necessário esgotar os elétrons coletados pela fonte. Na figura 65, a fonte está sempre a esgotar elétrons para o gnd, com a corrente de fonte sendo composta pelos elétrons coletados pela fonte e pelos elétrons advindos do dreno.

A coleta de elétrons pela fonte reduz a duração do SET. A figura 71 mostra os resultados de duas simulações com o NMOS5_120/40 a uma LET = 5 MeV/mg/cm², a primeira onde a fonte é conectada diretamente ao gnd e a segunda onde a fonte é deixado flutuante, conectada ao gnd através de um resistor de 10 MΩ. Com a desconexão da fonte ao gnd, a duração do SET gerado passa de 64,0 ps para 88,4 ps e o SET propagado passa de 69,9 ps para 94,0 ps. Esse resultado contraria o conceito de que a “amplificação bipolar” aumenta a duração do SET, apresentado em (AMUSAN, 2007). O que se verifica é que a fonte proporciona não só uma segunda área próxima ao dreno, capaz de coletar as cargas depositadas pela radiação e, assim, restaurar mais rapidamente o estado inicial de cargas do substrato, como também proporciona um meio de esgotar as cargas coletadas pelo dreno e que não podem ser rapidamente removidas pela corrente fornecida pela carga de dreno.

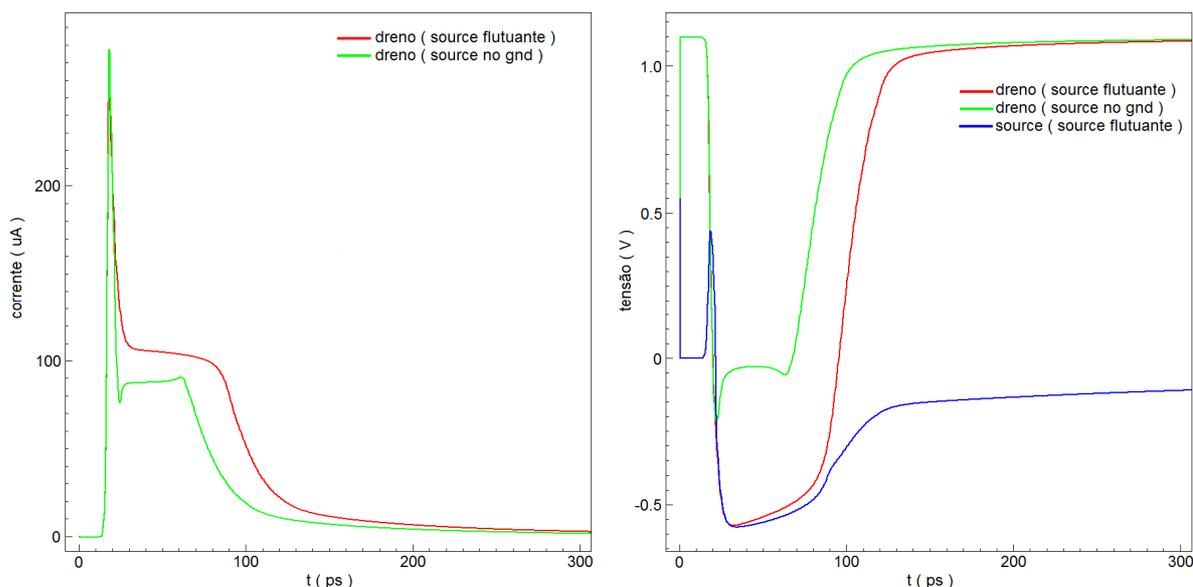


Figura 71 Correntes e tensões de dreno, e tensão de fonte, para o transistor NMOS5_120/40 com carga PMOS 300/40 e fonte flutuante.

A figura 71 ilustra, também, que a tensão na fonte flutuante segue com bastante precisão a tensão de dreno, evidenciando novamente a presença do canal induzido. Com a fonte flutuante, não há como haver injeção de portadores pela junção fonte-substrato, assim, a função de “emissor” não se caracteriza e inexistente efeito bipolar. Não havendo o canal induzido, dreno e fonte estariam isolados um do outro e, como suas áreas são iguais, a corrente de portadores que chega a cada uma dessas regiões, por difusão através da região de depleção, é bastante semelhante, como mostram as figuras 65 e 67 nas quais, após o final do platô, as correntes de dreno e fonte são próximas. Como não há esgotamento de cargas na fonte, mas há um esgotamento parcial no dreno, há um acúmulo de cargas desigual nessas regiões, que levaria a fonte a ficar muito mais negativo do que o dreno. Isso não acontece, pois as tensões de dreno e fonte são praticamente iguais, a menos da diferença de potencial necessária para deixar o dreno levemente positivo em relação à fonte e permitir o fluxo dos elétrons da fonte para o dreno através do canal induzido.

O comportamento da corrente de fonte do transistor PMOS3_300/40 segue o mostrado para o transistor NMO5_120/40, com a observação de que o canal induzido no transistor

PMOS tem uma resistência maior do que o canal induzido no transistor NMOS, em virtude da diferença de mobilidades entre elétrons e lacunas. No transistor PMOS, o dreno coleta lacunas, que tendem a deixá-lo mais positivo do que a tensão V_{DD} . As lacunas acumuladas são esgotadas para a fonte através do canal induzido e são neutralizadas por elétrons advindos da fonte de alimentação. Como a resistência de canal é maior no PMOS do que no NMOS, a sobretensão no dreno do PMOS é maior do que a subtensão no dreno do NMOS, para a mesma corrente de descarga.

O poço N tem apenas 1 μm de profundidade, 0,5 μm de largura e 2,5 μm de comprimento, representando um volume de silício pequeno em relação ao volume do substrato. Como as lacunas criadas pela radiação ficam confinadas dentro do poço e o volume é pequeno, a concentração desses portadores junto ao transistor impactado não diminui tão rapidamente quanto no transistor NMOS, de forma que a taxa de coleta por parte das regiões de dreno e fonte aumenta em relação ao transistor NMOS. Isso faz com que a corrente de fonte do transistor PMOS na figura 64 seja maior do que a do NMOS na figura 65, apesar de os platôs terem o mesmo patamar de corrente.

5.8 O PICO DE CORRENTE INICIAL

A corrente de dreno nas simulações com dreno carregado apresentam um pico de corrente imediatamente antes que o platô se estabeleça, como mostra a figura 72 que repete, por conveniência, as formas de onda da corrente e tensão de dreno para um transistor NMOS5_120/40 carregado por um PMOS 300/40. Na sequência, será mostrado que o pico de corrente é a corrente de carga ou descarga do nó ao qual o dreno impactado pertence e que a integral tempo x corrente do pico representa a quantidade de carga necessária para mudar a tensão de dreno para o valor que ela vai apresentar durante o platô. A capacitância de interesse do nó de dreno é composta pelas capacitâncias de dreno do transistor PMOS 300/40,

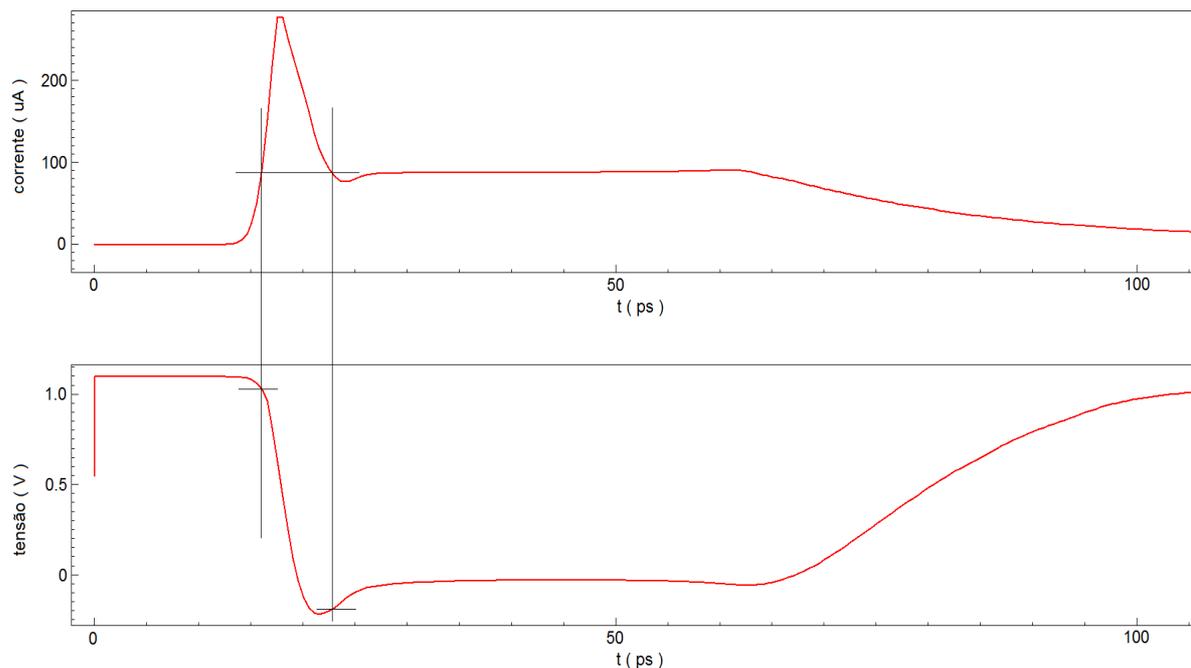


Figura 72 Corrente e tensão de dreno para o transistor NMOS5_120/40 carregado por um transistor PMOS 300/40, mostrando os momentos de interesse.

mais a capacitância de entrada do inversor de carga. A capacitância de dreno do transistor NMOS5_120/40 não deve ser levada em consideração, pois a mesma é carregada ou descarregada pelos portadores que fluem internamente pelo modelo TCAD.

Não havendo qualquer capacitância associada ao nó de dreno, a corrente de dreno deveria crescer, a partir de zero, até atingir a corrente limite determinada pelo transistor PMOS. Como essa capacitância existe e está carregada com a tensão V_{DD} , é necessário remover-lhe a carga elétrica necessária até que a sua tensão se acomode ao novo valor que terá durante o platô. Assim, é razoável considerar o pico de corrente acima do platô como a corrente de descarga, ou acomodação, da capacitância do nó de dreno.

Considerando-se os pontos marcados na figura 72, o pico de corrente dura $22,8 \text{ ps} - 15,9 \text{ ps} = 6,9 \text{ ps}$, período no qual a tensão de dreno excursiona $1,04 \text{ V} - (-0,183 \text{ V}) = 1,223 \text{ V}$. Sendo a corrente de pico igual a $277 \mu\text{A}$ e a corrente de platô igual a $88 \mu\text{A}$, tem-se que a carga do pico de corrente é aproximadamente igual à área do triângulo formado :

$$Q = \int i(t)dt \cong \frac{\Delta I \cdot \Delta t}{2} \quad (9)$$

onde ΔI representa a diferença entre a corrente de pico e a corrente de platô e Δt representa o período de tempo em que o pulso ocorre. Com os valores obtidos da figura 72, calcula-se uma carga para o pulso de corrente, igual a $Q = ((277-88) \cdot 10^{-6} \text{ A} \times 6,9 \cdot 10^{-12} \text{ s})/2 = 6,52 \cdot 10^{-16} \text{ C}$.

Através de simulação de circuitos, estimou-se a capacitância do nó de dreno em repouso e desconsiderando a capacitância de dreno do transistor NMOS5_120/40. Uma fonte AC com frequência de 100 MHz e tensão DC variável foi aplicada ao nó; mediu-se a parte reativa da corrente fornecida pela fonte e, a partir desses dados, obteve-se a capacitância em função da tensão do nó de dreno, cujo valor não é constante, mas varia conforme mostrado na figura 73.

A carga elétrica movida da capacitância de dreno durante o pico de corrente pode ser estimada integrando-se a curva da figura 73 entre os pontos $V_1 = -0,183 \text{ V}$ e $V_2 = 1,04 \text{ V}$. Com efeito, tem-se a definição de capacitância :

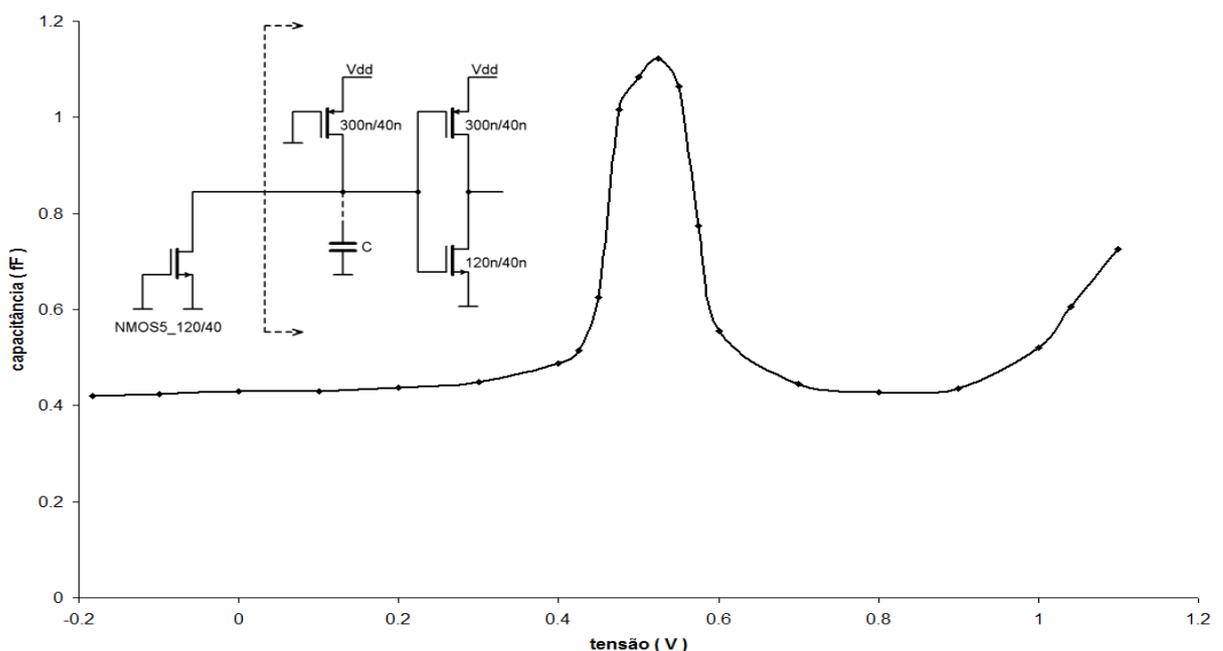


Figura 73 Capacitância C associada ao dreno do transistor impactado em função da tensão de dreno.

$$C = \frac{dq}{dv} \quad (10)$$

onde C representa a capacitância, dq a variação infinitesimal de carga e dv a variação infinitesimal de tensão. Rearranjando-se a equação, fazendo-se $C = C(v)$ e integrando-se, obtém-se:

$$dq = C(v).dv \quad (11)$$

$$\int dq = Q = \int_{v_1}^{v_2} C(v).dv \quad (12)$$

Integrando-se numericamente a curva da figura 73 entre os limites indicados, obtém-se um valor de carga $Q = 6,30.10^{-16}$ C, que concorda com o valor de $6,52.10^{-16}$ C obtido pela integração da corrente. Isso permite concluir que o pico de corrente inicial é devido à acomodação de carga da capacitância do nó ao qual o dreno impactado pertence. É importante mencionar que tanto o pico de corrente inicial como o platô também se apresentam nas simulações de circuitos, tais como as utilizadas para caracterizar os DynBICS e o TRIBICS, quando o valor da corrente da fonte dupla exponencial é ajustado para um valor que provoque a condução do diodo ideal. Dessa forma, a criação artificial do pico de corrente inicial em simulações de circuitos (BLACK, 2015) não é realística e não precisa ser empregada para que se reproduza, em uma simulação de circuitos, o comportamento real da tensão de dreno durante um SET, bastando ajustar-se adequadamente os parâmetros da fonte de corrente que emula o transiente.

5.9 COMPORTAMENTO ELÉTRICO DO TRANSISTOR DURANTE O SET

O comportamento elétrico do transistor se altera durante a ocorrência do SET, em virtude de que tanto a região do canal, como as regiões de depleção em torno do dreno e da

fonte são inundadas com portadores gerados pela radiação (DASGUPTA, 2007b). Dessa forma, questiona-se quanto tempo o transistor impactado leva para recuperar suas propriedades originais e ficar apto a funcionar novamente. Efetuou-se a simulação da figura 65 (NMOS5_120/40 com PMOS $W = 300$ nm, LET de 5 MeV/mg/cm^2), salvando-se os estados em diversos momentos ao longo do pulso de corrente transiente do dreno. A figura 74 mostra a posição dos primeiros 12 estados salvos, cujos dados temporais (instantes de gravação e intervalo de tempo transcorrido desde a injeção das cargas) estão discriminados na tabela 26. O número total de estados salvos foi de 23, sendo o último estado salvo em $t = 1,5$ ns. Para cada estado, determinou-se a curva $I_D \times V_{GS}$ e as curvas mais relevantes são mostradas na figura 75. O estado 0 representa o estado não-perturbado do transistor NMOS5_120/40.

Nota-se que a corrente de dreno é negativa para os estados 1 e 2; apesar disso, a corrente de dreno permanece sendo função da tensão V_{GS} . A tensão de limiar é reduzida em relação ao seu valor real, o que indica que a presença massiva de elétrons na região do canal neutraliza o efeito das dopagens de canal, que são do tipo P. No estado 3, a curva $I_D \times V_{GS}$

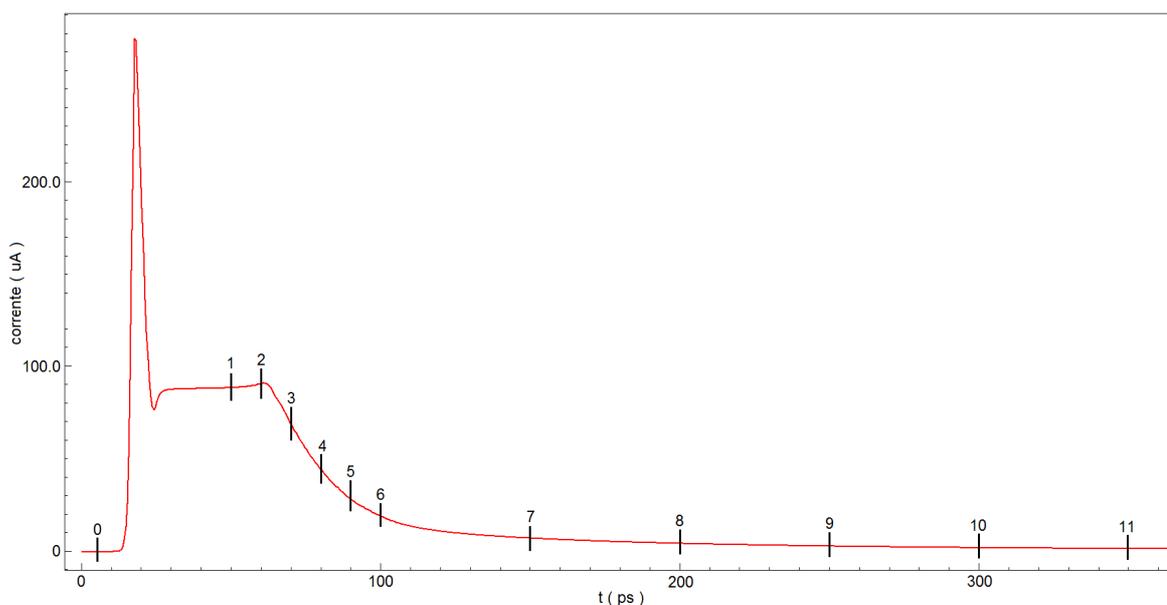
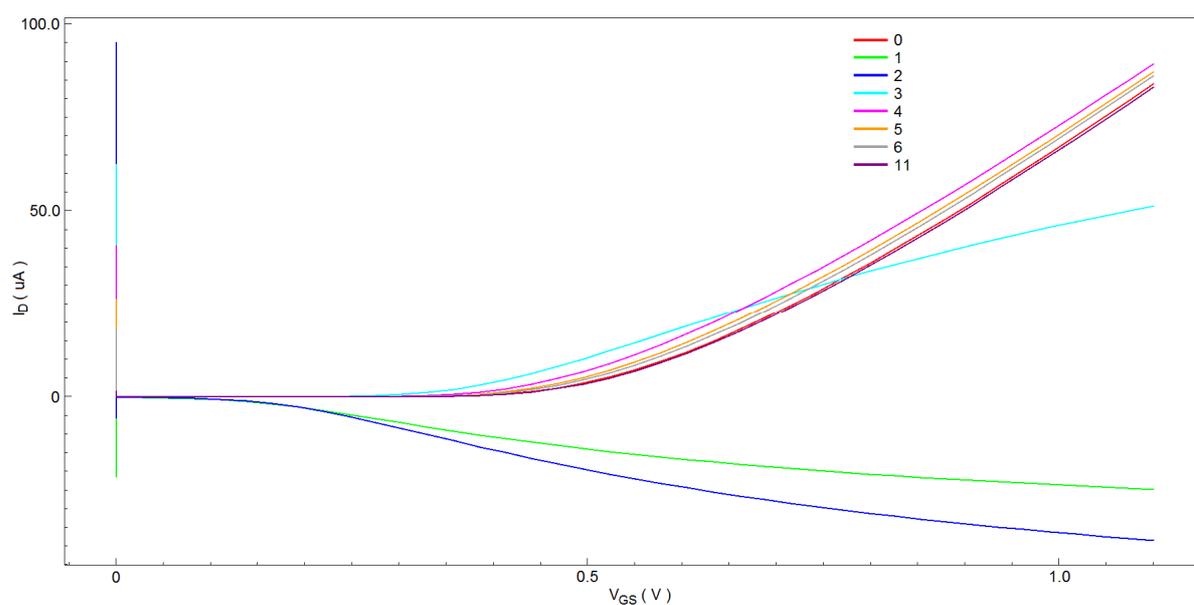


Figura 74 Pontos onde o estado do transistor NMOS5_120/40 foi salvo para a determinação das curvas $I_D \times V_{GS}$.

Tabela 26 Dados temporais dos estados gravados

Estado	Instante de gravação	Intervalo desde a injeção de cargas
0	5 ps	-15 ps
1	50 ps	30 ps
2	60 ps	40 ps
3	70 ps	50 ps
4	80 ps	60 ps
5	90 ps	70 ps
6	100 ps	80 ps
7	150 ps	130 ps
8	200 ps	180 ps
9	250 ps	230 ps
10	300 ps	280 ps
11	350 ps	330 ps

retorna à sua curvatura normal e a tensão de limiar aumenta, o que indica que as dopagens de canal deixam de estar neutralizadas com a redução da carga de elétrons nessa região e a consequente interrupção do canal induzido. Nos estados subsequentes, a curva $I_D \times V_{GS}$ se

**Figura 75 Curvas $I_D \times V_{GS}$ do transistor NMOS5_120/40 nos estados listados na tabela 30.**

aproxima progressivamente da curva não-perturbada; a partir do estado 7, a corrente para $V_{GS} = 1,1$ V está próxima da corrente de dreno não perturbada com um erro menor do que 1%, conforme indica a tabela 27. O estado 11 apresenta o máximo erro da curva $I_D \times V_{GS}$ no sentido negativo após o estado 4. A recuperação do transistor, a partir do estado 11 toma cada vez mais tempo: em $t = 1,5$ ns (não mostrado nas figuras 74 e 75) o erro ainda atinge -0,39%, o que permite concluir que a plena recuperação do transistor pode ocorrer muito tempo após o SET já ter se extinguido. Com isso, pode ser necessário parar o sistema por um intervalo de tempo superior àquele que se supunha inicialmente, ou seja, mantê-lo em suspenso por um período maior do que apenas a duração do SET.

Tabela 27 Correntes de dreno para $V_{GS} = 1,1$ V

Estado	Corrente I_D para $V_{GS}=1,1$ V	Erro em relação ao estado 0
0	84,16 μ A	0%
1	-24,65 μ A	-129%
2	-38,34 μ A	-145%
3	51,44 μ A	-38%
4	89,58 μ A	6,4%
5	87,45 μ A	3,9%
6	86,46 μ A	2,7%
7	84,24 μ A	0,95%
8	83,68 μ A	-0,57%
9	83,45 μ A	-0,84%
10	83,36 μ A	-0,95%
11	83,34 μ A	-0,97%

5.10 A RESISTÊNCIA DOS CONTATOS DE POÇO E SUBSTRATO

Durante a ocorrência do SET, o potencial de poço ou substrato não permanece fixo no potencial impresso no respectivo contato ou terminal, mas flutua em função da corrente que

atravessa a junção fraca formada pela região do contato, fortemente dopada, e a região de substrato ou poço, fracamente dopada (DASGUPTA, 2007b). Em operação normal, a corrente de substrato ou poço não é intensa o suficiente para provocar qualquer queda de tensão apreciável, mas o mesmo não ocorre com as correntes anormais que fluem durante o SET. Quando a variação no potencial de substrato ou poço é tal que polarize diretamente a junção fonte/poço de um transistor PMOS, os portadores injetados podem ativar o transistor bipolar parasita vertical fonte/poço/substrato e provocar o latch-up da estrutura CMOS (FU, 1984).

A implantação da técnica Bulk-BICS impõe a necessidade de se interpor um elemento resistivo entre a conexão de substrato ou poço e a correspondente linha de alimentação, a fim de permitir o sensoreamento da corrente de substrato. A determinação da resistência de contato de poço ou substrato permite avaliar o impacto que a resistência adicional interposta pelo BICS na resistência total.

A figura 76 mostra uma sequência de 14 estados capturados durante a simulação do transistor PMOS3_300/40 mostrada na figura 64. Em $t = 5$ ps tem-se o estado não-perturbado pré-incidência. Nota-se que existe um campo elétrico nas regiões de interface entre as dopagens dos taps e o substrato ou poço, criado pela diferença na concentração dos dopantes. O campo elétrico na fronteira entre o poço N e o substrato P também é notável. A partir do ponto de injeção de cargas, em $t = 20$ ps, a sequência de instantâneos mostra que o campo elétrico na interface dos contatos de poço e substrato, bem como na região de depleção entre o substrato e o poço N, se altera à medida que a corrente através dos contatos aumenta, enquanto que o campo elétrico no restante do poço ou substrato permanece sem alteração, confirmando que toda a queda de tensão do substrato ou poço acontece na interface N/N+ ou P/P+ dos contatos (DASGUPTA, 2007b).

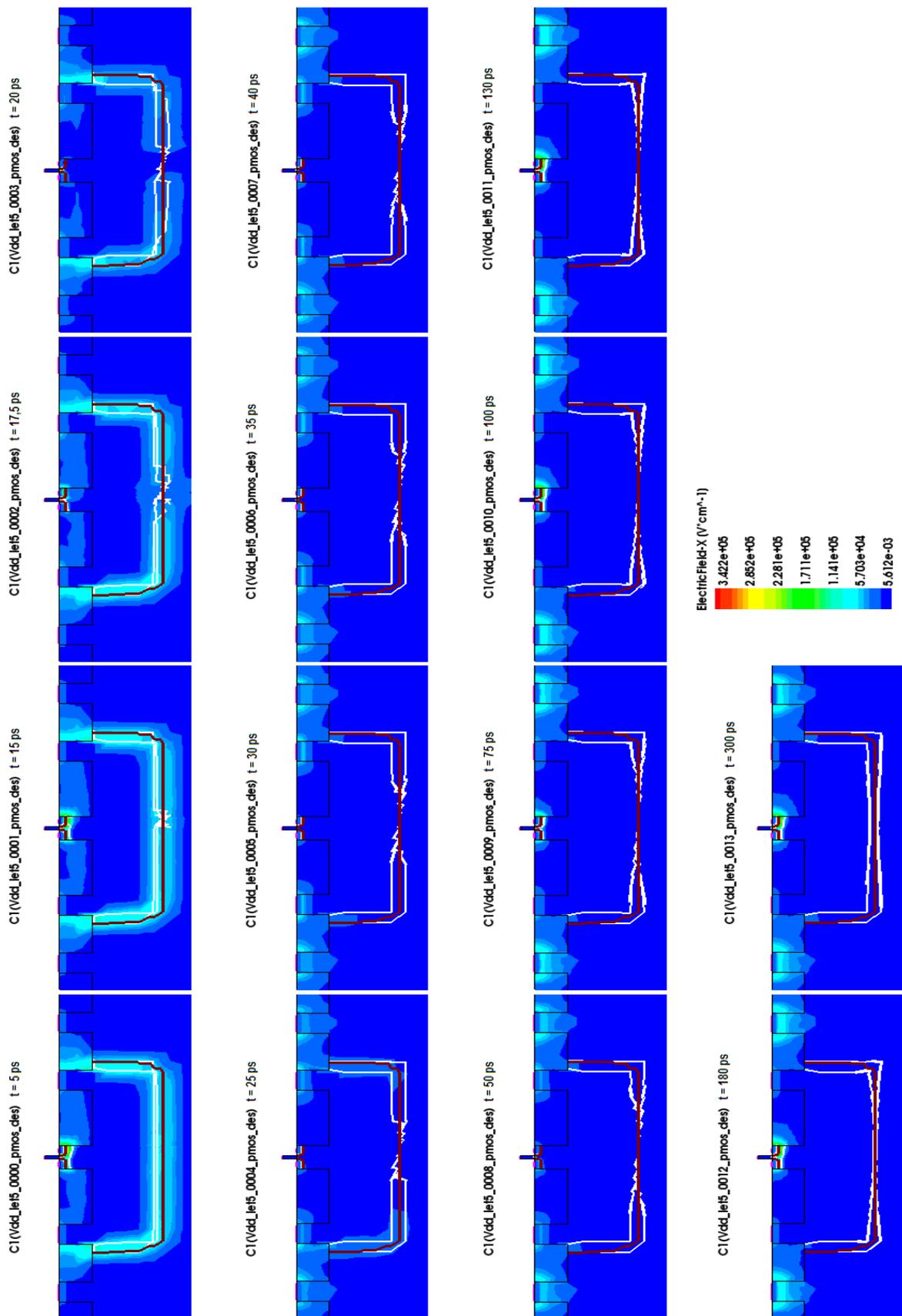


Figura 76 Sequência de instantâneos do campo elétrico na estrutura PMOS3_300/40 para uma LET de 5 MeV/mg/cm^2 .

É possível estimar a resistência dos contatos a partir da corrente circulante e da queda de tensão nas interfaces, a partir da variação do potencial eletrostático. Efetuando-se um corte vertical na região de contato e determinando-se a variação de potencial ao longo do corte, obteve-se os valores da tabela 28. Os pontos dos cortes correspondem àqueles mostrados na figura 77 como C1 e C2.

Tabela 28 Correntes e potenciais eletrostáticos para a determinação das resistências dos contatos de poço e substrato

Instante	I_{nwell_l}	V_{N_well}	I_{pwell_l}	V_{P_subs}
15 ps	8,6 μ A	1,529 V	-1,7 μ A	-0,406 V
17,5 ps	121,4 μ A	1,324 V	-12,8 μ A	-0,462 V
20 ps	131,3 μ A	1,255 V	-55,1 μ A	0,043 V
25 ps	198,9 μ A	1,095 V	-73,4 μ A	0,684 V
30 ps	219,7 μ A	1,024 V	-74,2 μ A	0,763 V
35 ps	218,4 μ A	1,029 V	-75,1 μ A	0,795 V
40 ps	211,8 μ A	1,054 V	-76,4 μ A	0,833 V
50 ps	190,9 μ A	1,128 V	-79,3 μ A	0,930 V
75 ps	129,8 μ A	1,306 V	-84,5 μ A	1,153 V
100 ps	105,8 μ A	1,361 V	-85,9 μ A	1,224 V
130 ps	97,6 μ A	1,378 V	-86,4 μ A	1,246 V
180 ps	92,7 μ A	1,388 V	-86,5 μ A	1,250 V
300 ps	86,8 μ A	1,397 V	-84,1 μ A	1,160 V
Potencial externo do contato		1,664 V		-0,557 V

Na tabela 28, as correntes I_{nwell_l} e I_{pwell_l} foram obtidas das curvas mostradas na figura 64. O potencial eletrostático V_{N_well} foi medido a uma profundidade de 500 nm abaixo da superfície, ponto que corresponde ao meio da região N+ enterrada, mostrada na figura 77. O potencial eletrostático V_{P_subs} foi medido a uma profundidade de 3 μ m abaixo da superfície. Esses pontos foram escolhidos porque são aqueles onde o potencial estabiliza em um valor relativamente constante. Determinando-se a resistência do contato como $R = (\text{potencial externo} - \text{potencial interno}) / (\text{corrente no contato})$, obteve-se os gráficos da figura 78.

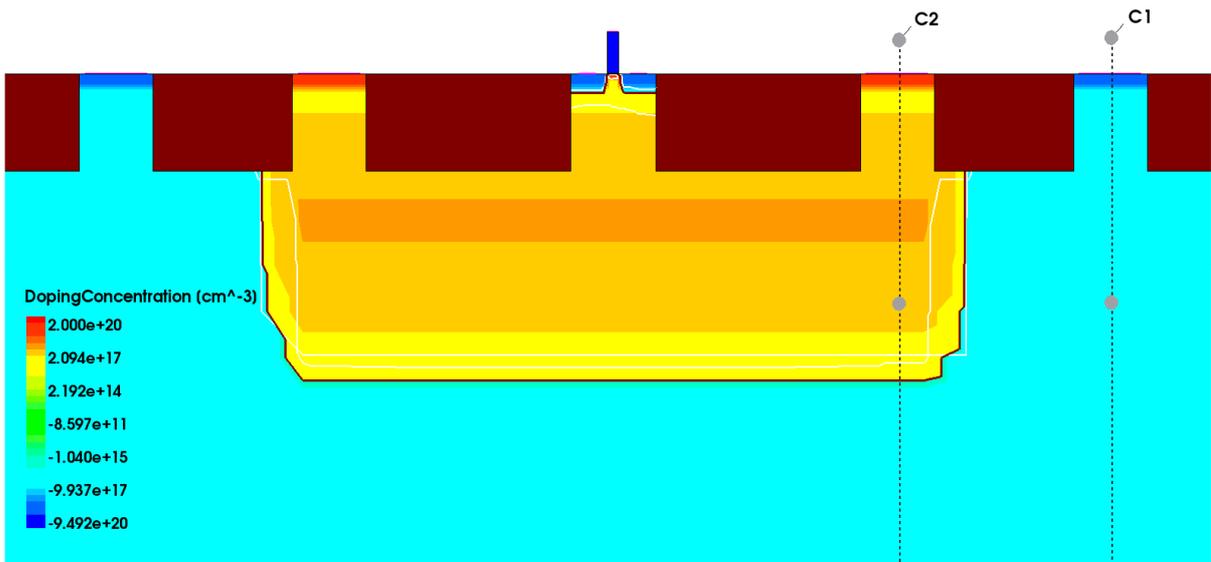


Figura 77 Perfil na direção (Y, 0) mostrando as posições dos cortes verticais C1 e C2 utilizados para a determinação das resistências de contato de poço e substrato.

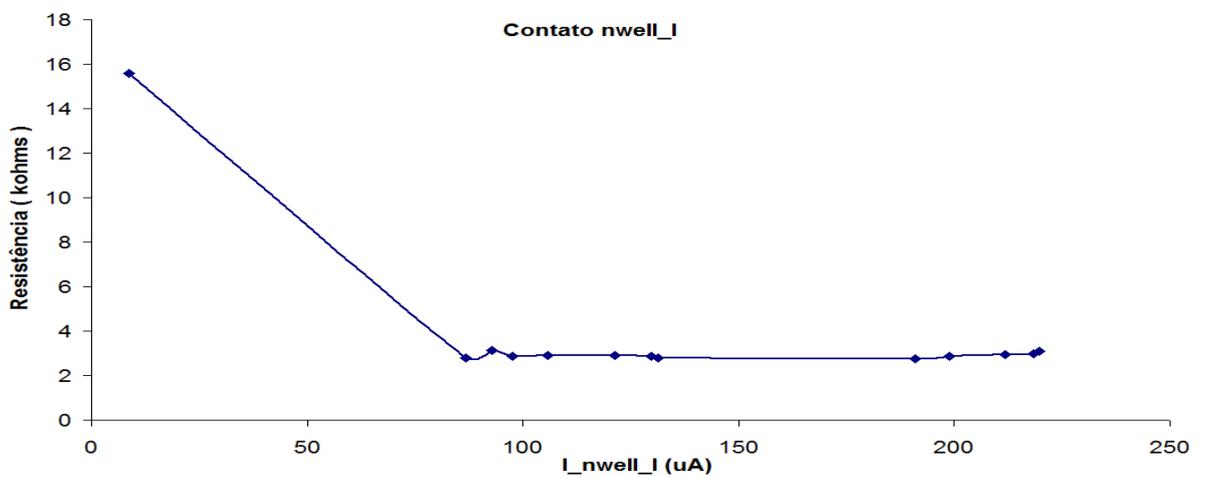
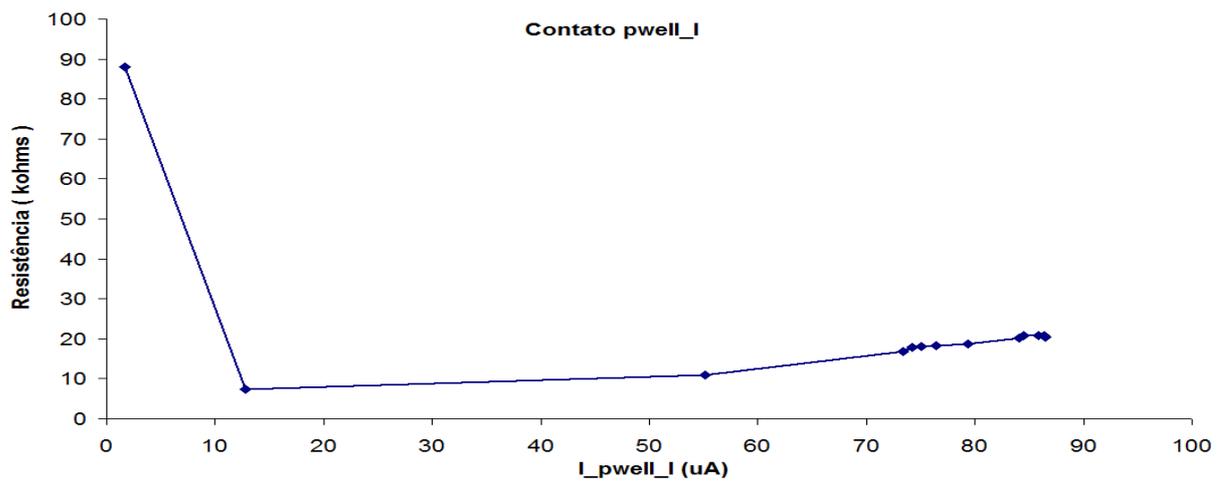


Figura 78 Resistências dos contatos pwell_I e nwell_I em função da corrente circulante.

Observa-se que a resistência dos contatos varia bastante com a corrente circulante. A resistência do contato `nweel_1` atinge 15,6 k Ω para uma corrente de 8,6 μ A enquanto que a resistência do contato `pwell_1` atinge 88 k Ω para uma corrente de 1,7 μ A. Devido ao fato de que os contatos esquerdo e direito são iguais, dispensou-se a determinação da resistência dos contatos do lado direito. Nota-se uma pronunciada queda na resistência dos contatos com a passagem da corrente : para as correntes de interesse, que acontecem durante a ocorrência do SET, a resistência do contato `nwell_1` estabiliza em um valor aproximado de 3 k Ω , enquanto a resistência do contato `pwell_1` excursiona entre 11 k Ω e 21 k Ω . Os valores calculados são apenas uma aproximação, visto que a distribuição das correntes e dos potenciais, nos volumes considerados, não são uniformes. Apesar disso, proporcionam uma ordem de grandeza para o parâmetro, o que permitirá, mais adiante, que se efetue uma comparação entre a resistência dos contatos e a resistência sensora de corrente do BICS.

5.11 FINALIZAÇÃO DO CAPÍTULO

Nesse capítulo apresentou-se os modelos NMOS5 e PMOS3 que descrevem em TCAD os transistores da tecnologia UMC 40 nm LP. O comportamento do pulso de corrente foi simulado através do comando HeavyIon, que injeta pares elétron-lacuna nas coordenadas de escolha, seguindo os parâmetros de raio e comprimento de rastro e carga total injetada, determinados no momento da simulação. Mostrou-se a formação do platô de corrente que surge quando a corrente transitória é limitada por uma carga externa e discutiu-se os efeitos que interligam dreno e fonte durante o SET. O pico de corrente que ocorre no instante inicial do platô foi mostrado dever-se à acomodação de cargas na capacitância associada ao dreno do transistor impactado. Mostrou-se que o tempo necessário para que um transistor recupere suas funções, após ser impactado por uma partícula ionizante, é muito maior do que a duração do SET. Por fim, estimou-se a resistência ôhmica dos contatos de substrato e poço N.

6 O CIRCUITO TRIBICS VALIDADO ATRAVÉS DE SIMULAÇÃO TCAD

Neste capítulo, é apresentado o modelo INVMOS, que contém um par complementar de transistores mínimos na tecnologia UMC 40 nm LP. Será apresentado o modo de distribuir os BICS entre os transistores que compõe o sistema digital a ser monitorado, em função da forma como a corrente transiente se distribui entre os contatos de poço N e substrato. Serão mostrados os resultados das simulações efetuadas com o modelo INVMOS conectado a dois circuitos TRIBICS, evidenciando a influência da estrutura PNP parasita. A influência da distância entre os contatos de poço N ou substrato será avaliada. Por fim, será discutido o fato das regiões de substrato e poço N não serem conectados diretamente ao V_{DD} ou gnd, em virtude de terem a resistência dos transistores sensores de corrente do BICS interpostos nessas conexões.

6.1 DISPOSITIVO-ALVO : MODELO INVMOS

Um par inversor NMOS/PMOS foi modelado em três dimensões a partir dos modelos individuais NMOS5 e PMOS3. Os modelos foram agrupados em um único script INVMOS, o qual permite alterar os parâmetros de interesse para as simulações deste capítulo. As dimensões utilizadas para compor o par inversor foram obtidas pelo programa de layout Cadence, levando-se em conta as dimensões e espaçamentos mínimos para a tecnologia UMC 40nm LP.

Na tecnologia UMC 40 nm LP, os contatos de poço e substrato são utilizados aos pares (par ptap/ntap) como uma instância única. No modelo INVMOS, os contatos de poço e substrato seguem tendo as dimensões mínimas para a tecnologia (420 nm de largura, 260 nm de comprimento). O manual da tecnologia estabelece uma distância entre taps (ITD - inter-tap distance) máxima de 60 μm (regras N_DF-P_PU.S5.PW e P_DF-N_PU.S5.PW), exceto para circuitos de entrada/saída (I/O), RAM e ROM (UMC, 2013). Baseado nisso, foram preparadas

estruturas com ITDs de 30 μm (INVMOS4), 45 μm (INVMOS5) e 60 μm (INVMOS6), o que permite avaliar a variação do limiar de detecção em função da quantidade de transistores sob monitoração. Cada estrutura básica conta com duas versões, conforme o dispositivo atingido seja o transistor NMOS (INVMOS4n, por exemplo) ou o PMOS (INVMOS4p, por exemplo). Nessas estruturas, o par inversor está sempre localizado exatamente no centro da ITD, na coordenada (0; 0). O comprimento do bloco de silício é igual a ITD + 2 μm e as dimensões Y e Z do bloco de silício foram mantidas em 10 μm .

A figura 79 mostra o modelo INVMOS4 completo e também com a camada de óxido (Shallow Trench Insulation, STI) removida, para uma melhor visualização dos elementos. Os perfis de dopagem dos elementos da estrutura são mostrados nas figuras 80 a 83. Os perfis específicos dos transistores não são mostrados, pois são idênticos aos já apresentados nas figuras 54 e 63. As estruturas INVMOS5 e INVMOS6 são idênticas, exceto pelo comprimento do substrato e pela ITD.

6.2 ESTRATÉGIA DE CONEXÃO DOS BICS AOS TRANSISTORES MONITORADOS

A estrutura INVMOS dispõe de dois contatos de poço e substrato para a conexão dos BICS, tendo sido ligado um circuito em cada par ptap/ntap. Essa estratégia se justifica pela forma como os circuitos digitais são implementados, através do uso de standard cells, e pela maneira como a corrente transitória se distribui entre os diferentes contatos de poço/substrato.

Os circuitos digitais são implementados através do uso de blocos lógicos padronizados, fornecidos pelo fabricante, na forma de standard cells. Esses blocos perfazem as funções lógicas básicas (portas lógicas, flip-flops, seletores, entre outras) e funções mais complexas são obtidas através da interligação de diversos desses blocos, sob o comando da ferramenta de layout de circuitos digitais.

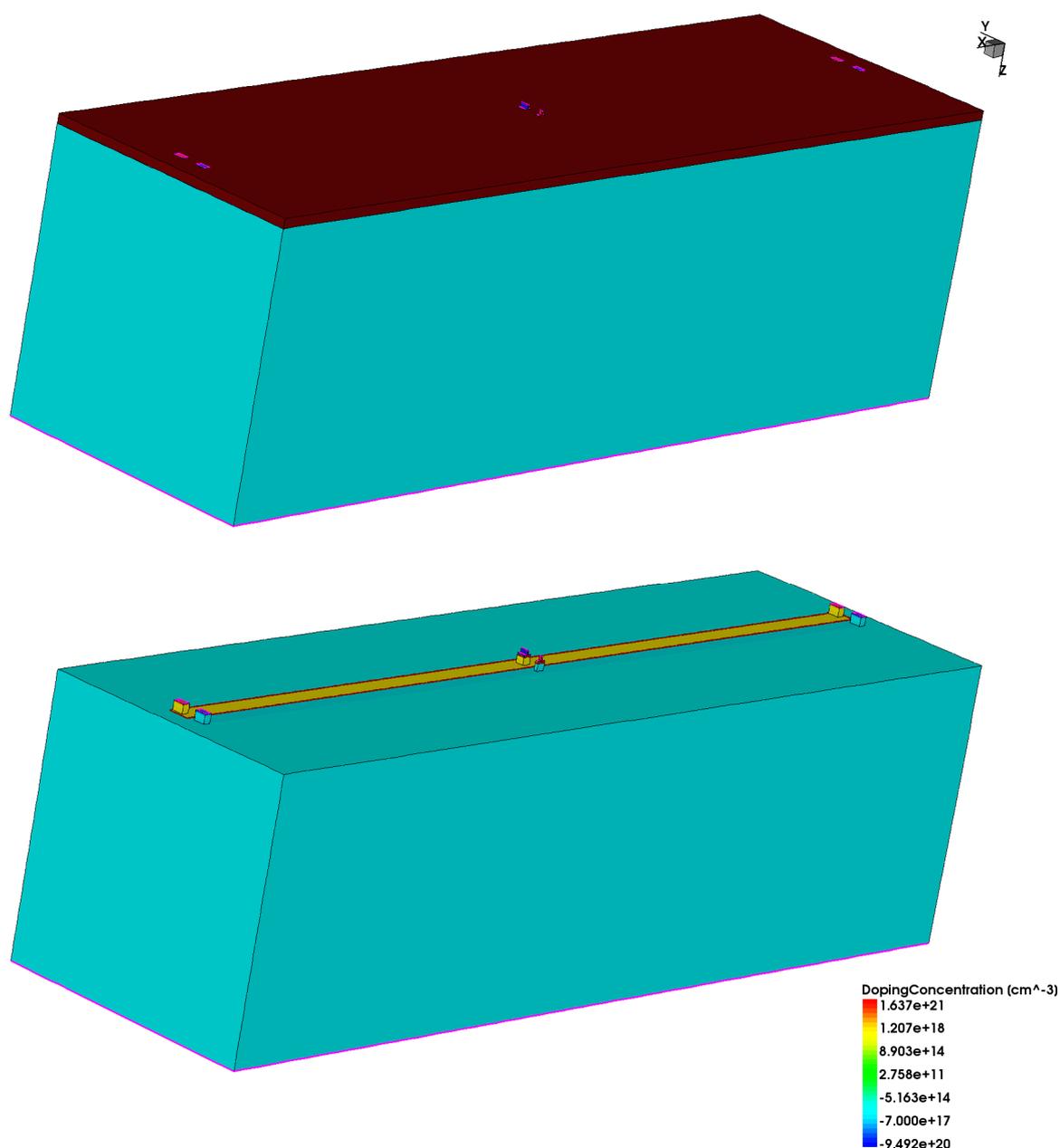


Figura 79 Estrutura INVMOS4 completa (alto) e com o óxido STI removido (embaixo).

As standard cells são desenhadas dispondo os transistores NMOS e PMOS em duas fileiras paralelas. A ferramenta de layout digital posiciona os diversos blocos formando uma matriz X-Y de forma que, no layout final, tem-se fileiras de transistores NMOS alternadas com fileiras de transistores PMOS. Por exigência da tecnologia, a sequência de transistores é interrompida a cada 60 μm , no máximo, para a colocação de um par ptap/ntap.

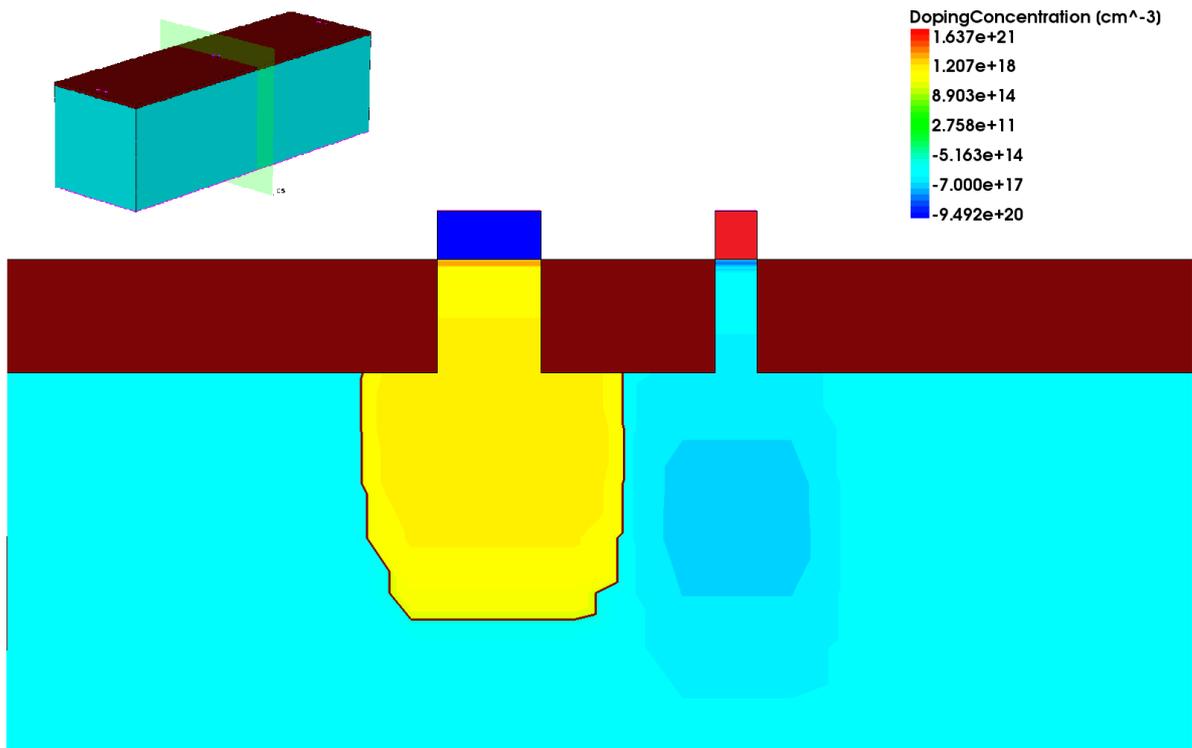


Figura 80 Corte em $X = 0$ através dos canais dos transistores NMOS e PMOS.

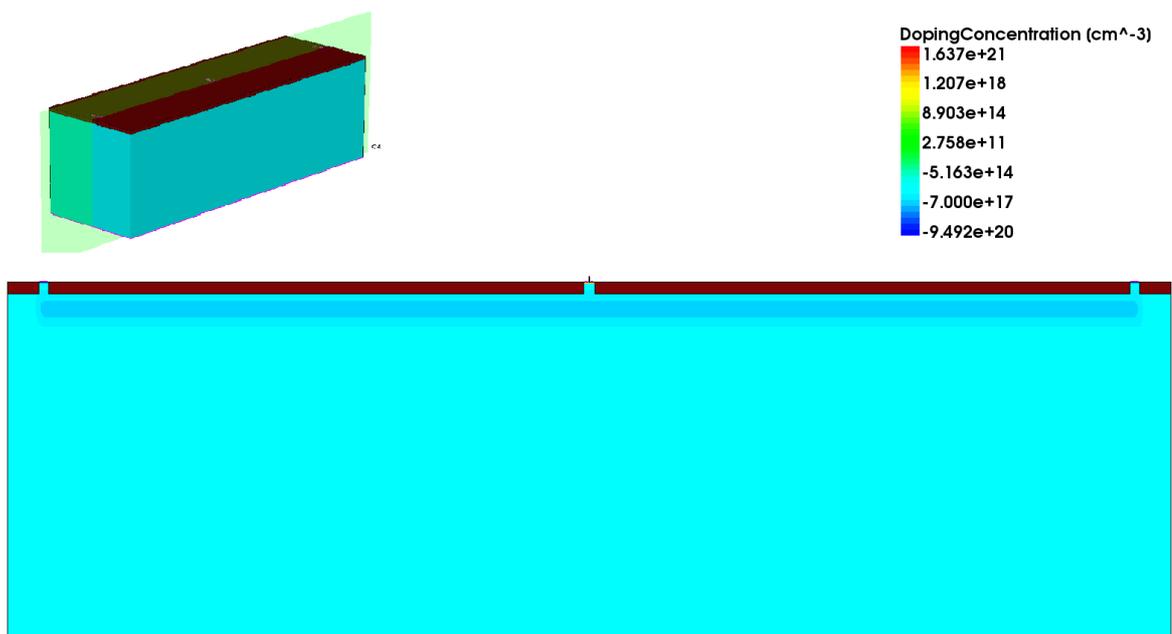


Figura 81 Corte em $Y = -0,31 \mu\text{m}$ através do centro do transistor NMOS.

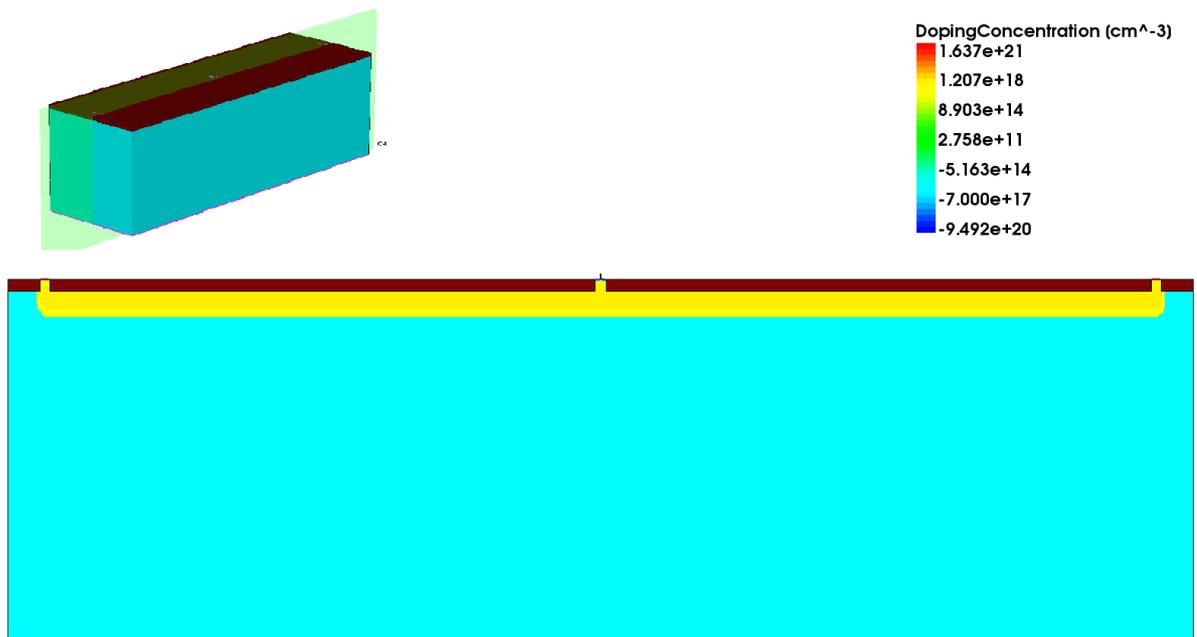


Figura 82 Corte em $Y = +0,40 \mu\text{m}$ através do centro do transistor PMOS.

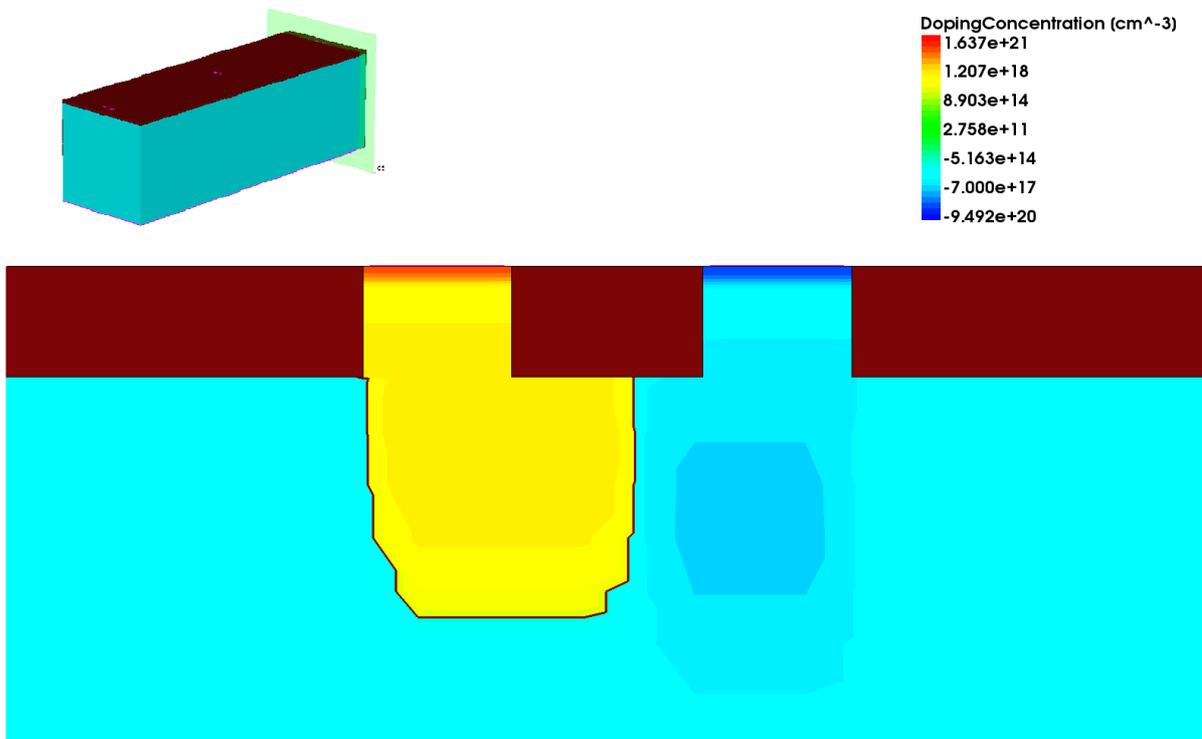


Figura 83 Corte em $Y = +15 \mu\text{m}$ através do centro dos contatos de poço N e substrato.

Com o uso dessa estratégia de posicionamento para os transistores, o poço N toma a forma de um longo trecho retilíneo. A cada linha alternada, o layout das standard cells é espelhado no momento do posicionamento, de forma a trocar verticalmente de posição os transistores NMOS e PMOS de posição. Com isso, verticalmente, cria-se uma estrutura de posicionamento a qual permite que um mesmo poço N abrigue os transistores PMOS de duas linhas contíguas de standard cells. Com a adoção dessas estratégias de dimensionamento e posicionamento, visa-se minimizar a área de silício necessária para o layout de um dado blocológico. A figura 84 mostra um arranjo de transistores segundo as diretrizes citadas, com os transistores em laranja e vermelho, os poços N em amarelo e os contatos ntap e ptap em azul.

Embora os transistores possam ter larguras diferentes entre si, eles têm sempre o mesmo comprimento de porta e são posicionados a um certo passo fixo. A tecnologia UMC 40nm LP exige o uso de estruturas do tipo dummy no layout, para a fabricação da porta, a fim de reduzir a variabilidade dimensional desse elemento do transistor. Posicionando-se os

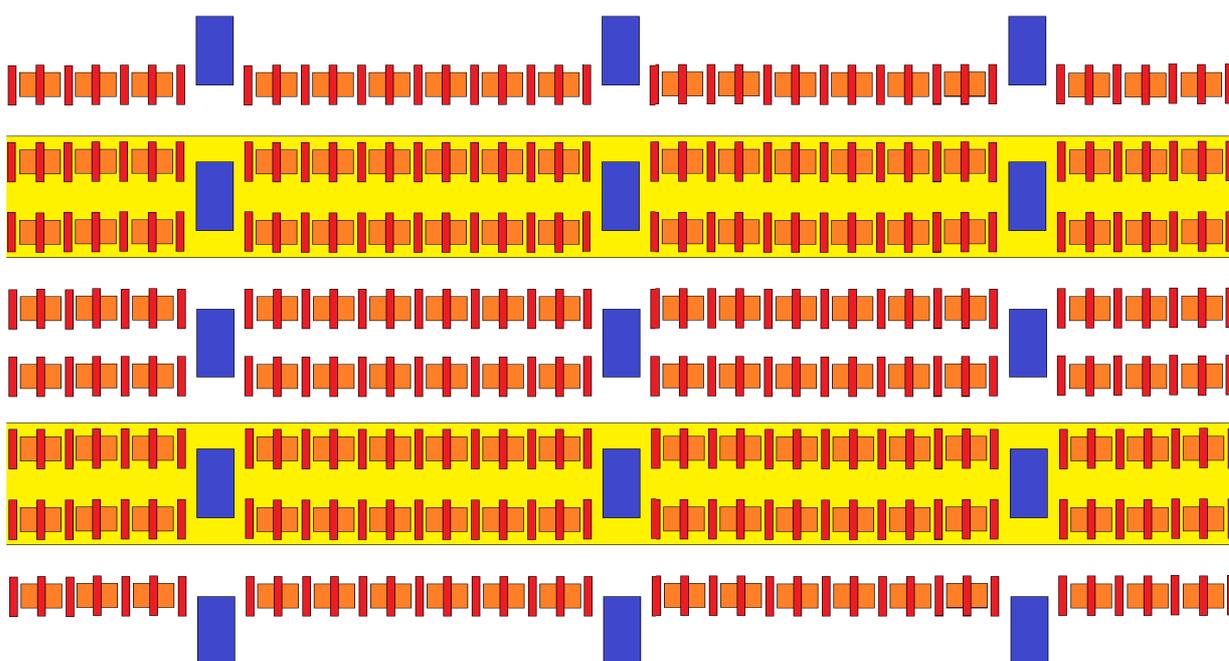


Figura 84 Esboço mostrando a disposição dos transistores em fileiras PPNN e a colocação dos taps de poço N e substrato.

transistores da forma indicada, dois transistores contíguos necessitam um único dummy entre eles, evitando o desperdício de área que seria inevitável se cada transistor tivesse de dispor de suas estruturas dummy particulares. Na tecnologia UMC 40nm LP, os transistores são posicionados com passo de 400 nm.

A quantidade de transistores que pode ser monitorada por um único BICS é limitada (ZHANG, 2013; BASTOS, 2013b; DUTERTRE, 2014). Através de simulação, determinou-se que a corrente transiente divide-se entre os contatos de substrato ou poço entre os quais a injeção de carga ocorre. Quando a injeção de cargas acontece no ponto médio entre os dois contatos de poço ou substrato, as correntes nos taps esquerdo e direito são aproximadamente iguais e a corrente transitória total resulta na soma das duas correntes. Quando a injeção de cargas acontece deslocada do ponto médio, ao contato mais próximo do ponto de injeção corresponde uma parcela maior da corrente total, o inverso acontecendo em relação ao contato mais distante. Dos resultados obtidos pelas simulações, conclui-se que a maior parte da corrente de substrato provocada pela carga injetada aparece nos contatos imediatamente adjacentes ao ponto de incidência da radiação, com os contatos mais distantes contribuindo com pouca corrente.

Dado que a quantidade de transistores monitoráveis por circuito BICS é limitada, um dado bloco lógico pode necessitar vários circuitos para monitorar todos os transistores que o compõe. Assim, um determinado número de ptaps/ntaps é conectado entre si, compreendendo uma quantidade de transistores dentro do limite monitorável, e esse grupo, então, é ligado aos terminais bulk_N ou bulk_P de cada TRIBICS, conforme o caso. Essa foi a abordagem feita por (ZHANG, 2013) em seu protótipo, esquematizada na figura 85.

Desde que a corrente transitória de substrato é a soma das correntes nos diversos taps, o BICS é capaz de detectar a ocorrência do SET não importando qual transistor é impactado pela radiação, desde que o mesmo esteja posicionado entre os taps que formam um grupo. No

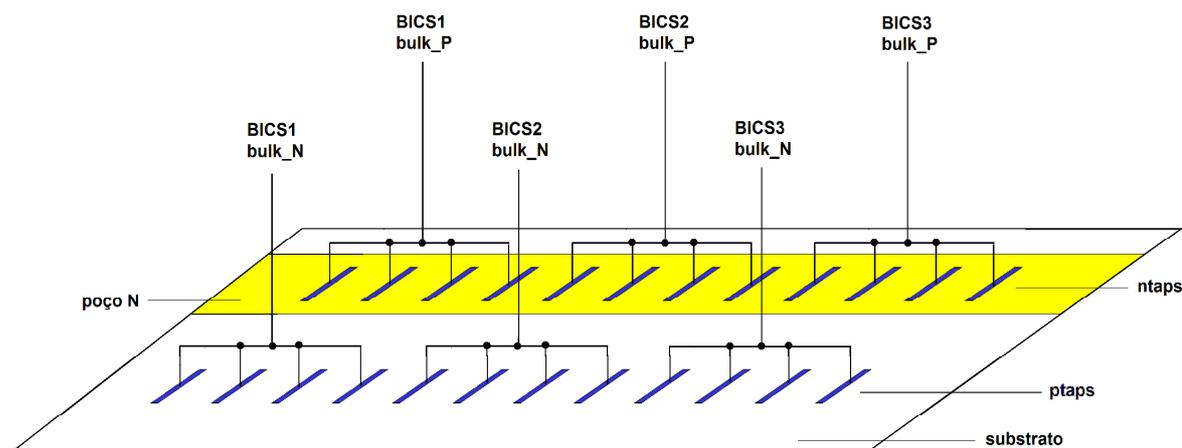


Figura 85 Modo de agrupar os contatos ntaps e ptaps, conectando-os aos BICS. O desenho não está em escala.

entanto, para os transistores posicionados no espaço entre taps que pertencem a BICS diferentes, a corrente transitória gerada será dividida entre os dois BICS, na proporção indicada anteriormente. Assim, a pior situação para a detecção da ocorrência de SET ocorre quando a radiação atinge um transistor posicionado no ponto médio entre dois taps conectados a BICS diferentes. Nesse caso, cada BICS recebe metade da corrente transitória total, o que significa que o limite de detecção dos BICS deve ser ajustado para essa situação. Por essa razão, os comprimentos dos transistores T0 e T10 foram aumentados, respectivamente, de 120 nm para 240 nm, e de 300 nm para 600 nm, nos circuitos utilizados para as simulações deste capítulo.

A figura 85 mostre uma estrutura de poço N contínua, pois em (ZHANG, 2013) os BICS estão localizados em uma área separada em relação aos transistores monitorados. A implementação dos circuitos BICS na forma de standard cells que poderiam ser incluídas durante o projeto do sistema exige que o poço N seja interrompido e limitado a um certo comprimento. Essa interrupção se faz necessária a fim de dar lugar a um poço N exclusivo para os transistores PMOS do BICS, visto que os poços N dos transistores monitorados e o poço N que contém os transistores PMOS do BICS estão em potenciais diferentes. O detalhamento dessa necessidade será visto no capítulo 7.

6.3 SIMULAÇÕES

As simulações foram feitas utilizando-se o programa Synopsys SDEVICE com $V_{DD} = 1,1$ V e temperatura de 27° C. O par de transistores do modelo INVMOS foi interligado na forma de um inversor mínimo, cuja entrada é conectada a V_{DD} ou gnd, conforme o transistor que se escolhe deixar sensível ($V_{DD} =$ PMOS; gnd = NMOS). A saída do inversor é carregada por um inversor mínimo descrito em SPICE. Dois circuitos TRIBICS descritos em SPICE foram acrescentados ao script de simulação com o BICS_L conectado aos terminais nwell_l e pwell_l, e o BICS_R conectado aos terminais nwell_r e pwell_r. Cada BICS tem um inversor mínimo como carga e a resposta dos BICS foi tomada na saída desses inversores como os sinais BICS_out_R e BICS_out_L. A figura 86 mostra o diagrama esquemático do circuito utilizado nas simulações.

O comando HeavyIon foi utilizado para a injeção de cargas no dispositivo INVMOS e o ponto de injeção de cargas, para todos os casos, foi o centro da região de dreno, direção vertical, perpendicular ao plano X-Y, de cima para baixo. Os demais parâmetros da injeção de cargas seguem idênticos aos especificados para as simulações com os modelos NMOS5 e PMOS3, com exceção do instante de injeção de cargas, que passa a ocorrer em $t = 150$ ps.

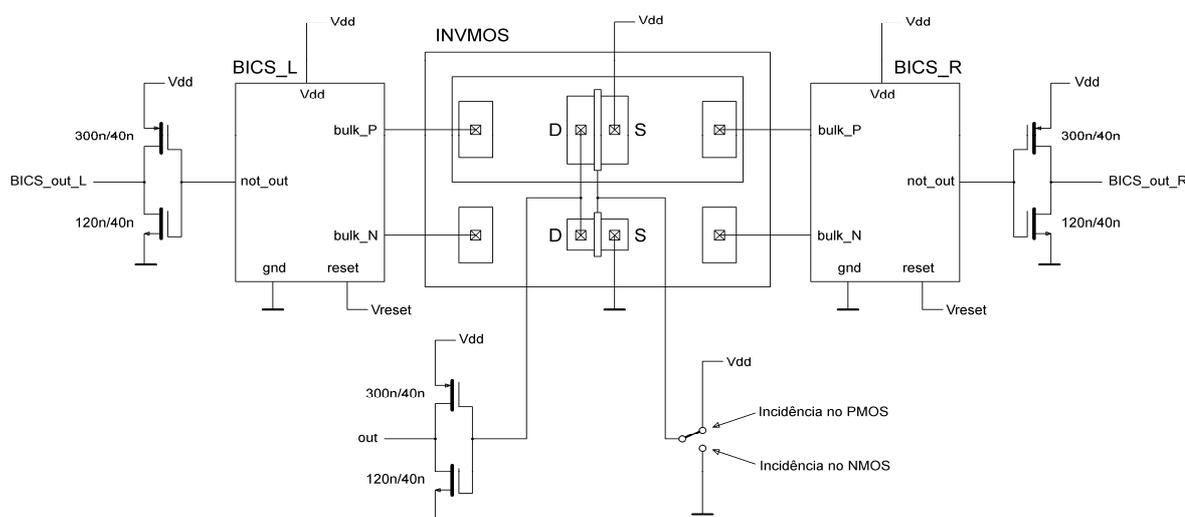


Figura 86 Diagrama esquemático do circuito utilizado nas simulações.

Conforme se verá, a incidência de radiação nos transistores do modelo INVMOS provoca o surgimento de correntes anormais tanto nos contatos de substrato quanto nos contatos de poço, independentemente do transistor escolhido como alvo. Para evitar dúvidas quanto à eficácia da captura da corrente transiente pelos BICS, apenas os ramos correspondentes ao transistor impactado foram habilitados a disparar a célula de memória. Os ramos de polaridade oposta foram mantidos no circuito, mas permaneceram desabilitados.

6.3.1 Incidência no transistor NMOS com ITD = 30 μm

As formas de onda de corrente e tensão de dreno do transistor NMOS para as LETs de 0,5 MeV/mg/cm² a 50 MeV/mg/cm² são apresentadas nas figuras 87 e 88, com o SET propagado sendo mostrado na figura 89. Nota-se a formação do platô para LETs a partir de 1 MeV/mg/cm². A tabela 29 sumariza os tempos de duração dos SETs gerados e propagados, e os tempos de resposta dos BICS. Observa-se na figura 88 que há a formação de um SET marginal com uma LET de 0,5 MeV/mg/cm², o qual não tem duração suficiente para se propagar. A duração dos SETs aumenta com a LET, mas há uma reversão nessa tendência

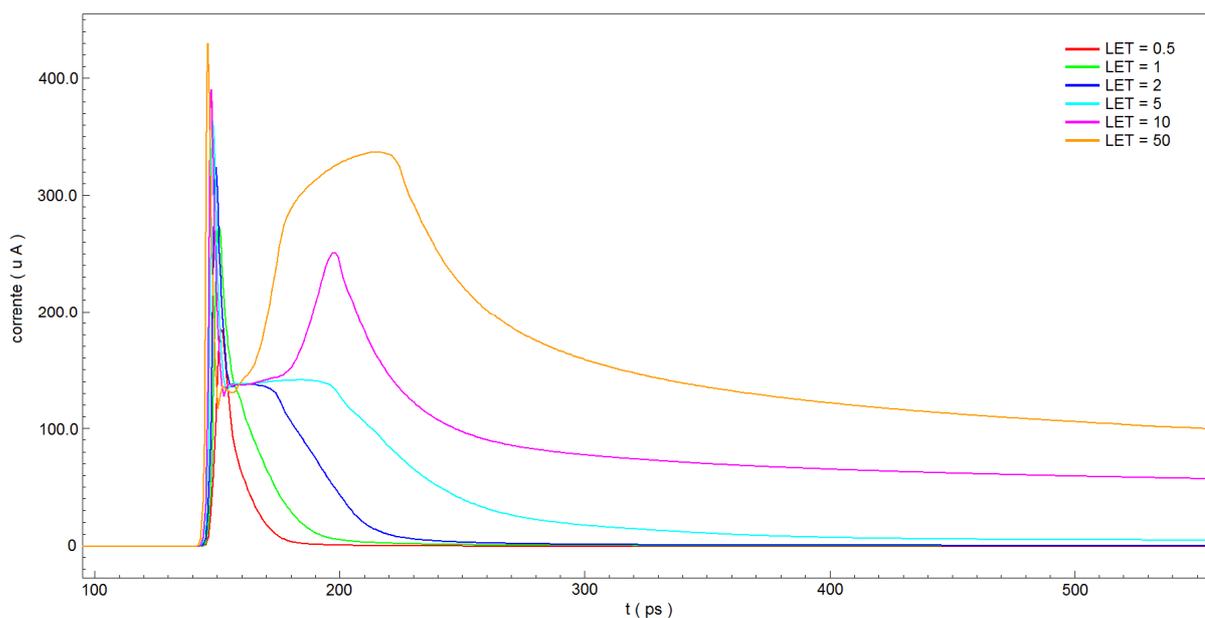


Figura 87 Correntes no dreno do transistor NMOS, para várias LETs em MeV/mg/cm².

entre as LETs de 5 e 10 MeV/mg/cm². Esse comportamento não é mostrado na tabela 23, na qual a duração do SET gerado aumenta monotonicamente com a LET.

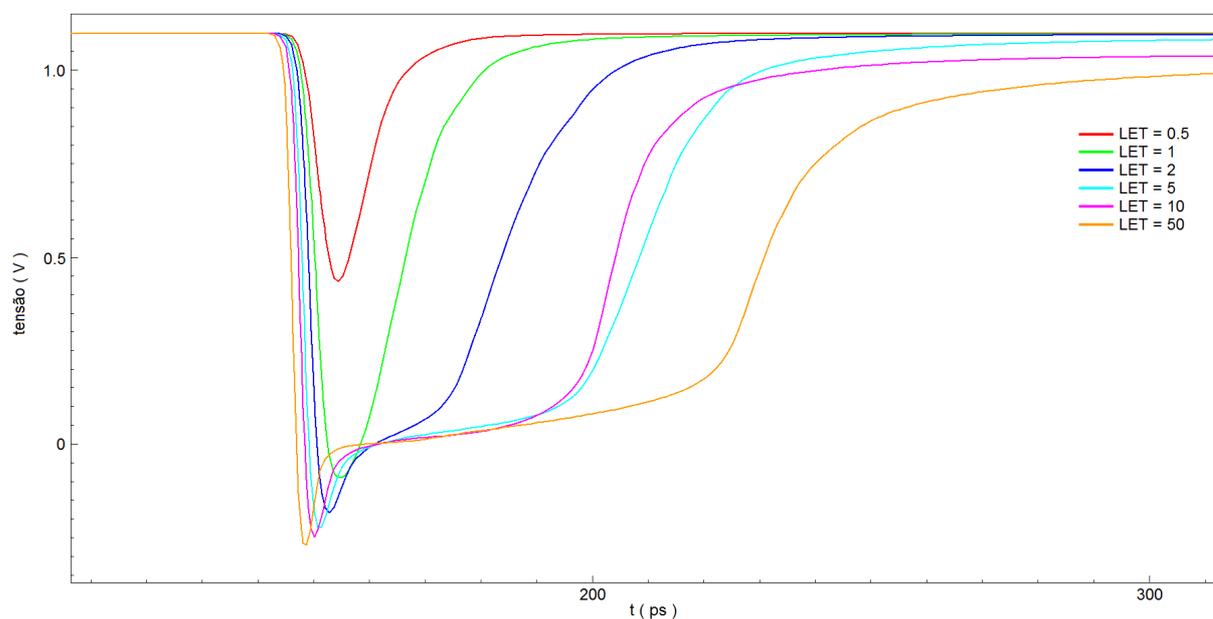


Figura 88 Tensões no dreno do transistor NMOS, para várias LETs em MeV/mg/cm².

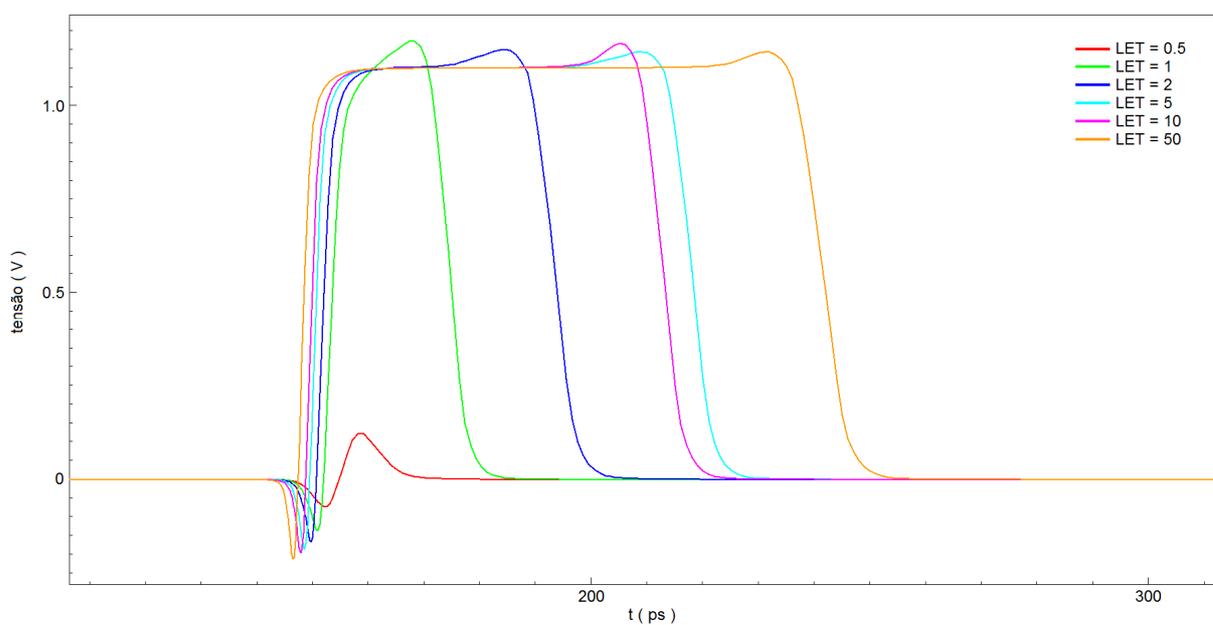


Figura 89 SET propagado com incidência no dreno do transistor NMOS, para várias LETs em MeV/mg/cm².

Tabela 29 Tempos de duração do SET gerado e propagado e de resposta dos BICS

LET (MeV/mg/cm ²)	Tempo de duração		Tempo de resposta dos BICS
	SET gerado	SET propagado	
0,5	5,0 ps	não propaga	não respondem
1	17,1 ps	21,0 ps	92,7 ps
2	35,9 ps	41,4 ps	45,6 ps
5	61,8 ps	67,3 ps	41,7 ps
10	57,7 ps	63,0 ps	40,1 ps
50	86,2 ps	93,0 ps	36,6 ps

A corrente e a tensão nos contatos de substrato `pwell_l` e `pwell_r`, e a corrente de fonte do transistor NMOS, são mostradas na figura 90. Verifica-se que a corrente dos contatos de substrato mostra um ponto de saturação em 21 μA , ao mesmo tempo em que a tensão nos contatos de substrato nivelam em cerca de 840 mV. A variação do potencial de substrato, acima do `gnd`, é significativa a ponto de polarizar diretamente a junção substrato-fonte do transistor NMOS, por onde passa a fluir o excedente da corrente de substrato. A variação do potencial de substrato é acoplada ao poço N através da capacitância da junção substrato-poço N, elevando o potencial do poço N acima do V_{DD} no momento da injeção das cargas, como mostra a figura 91. Nessas condições, uma corrente inicial flui para fora dos terminais `nwell_l` e `nwell_r`, equalizando as cargas na capacitância substrato-poço N. O poço N é uma junção reversamente polarizada em relação ao substrato, de grande tamanho e bastante próxima ao ponto de incidência da radiação, assim, uma parte dos elétrons liberados pela radiação, que se difundem pelo substrato, chegam até a região de depleção da junção substrato-poço N e são coletados pelo poço N. Esses elétrons formam a corrente que flui nos terminais `nwell_l` e `nwell_r` após o período de acomodação da capacitância substrato-poço N. Para fins práticos, as correntes nos contatos de poço N foram consideradas idênticas no gráfico da figura 91, embora, a rigor, as correntes nos contatos `nwell_l` e `nwell_r` não sejam exatamente próximas entre si como o são as correntes nos contatos `pwell_l` e `pwell_r`.

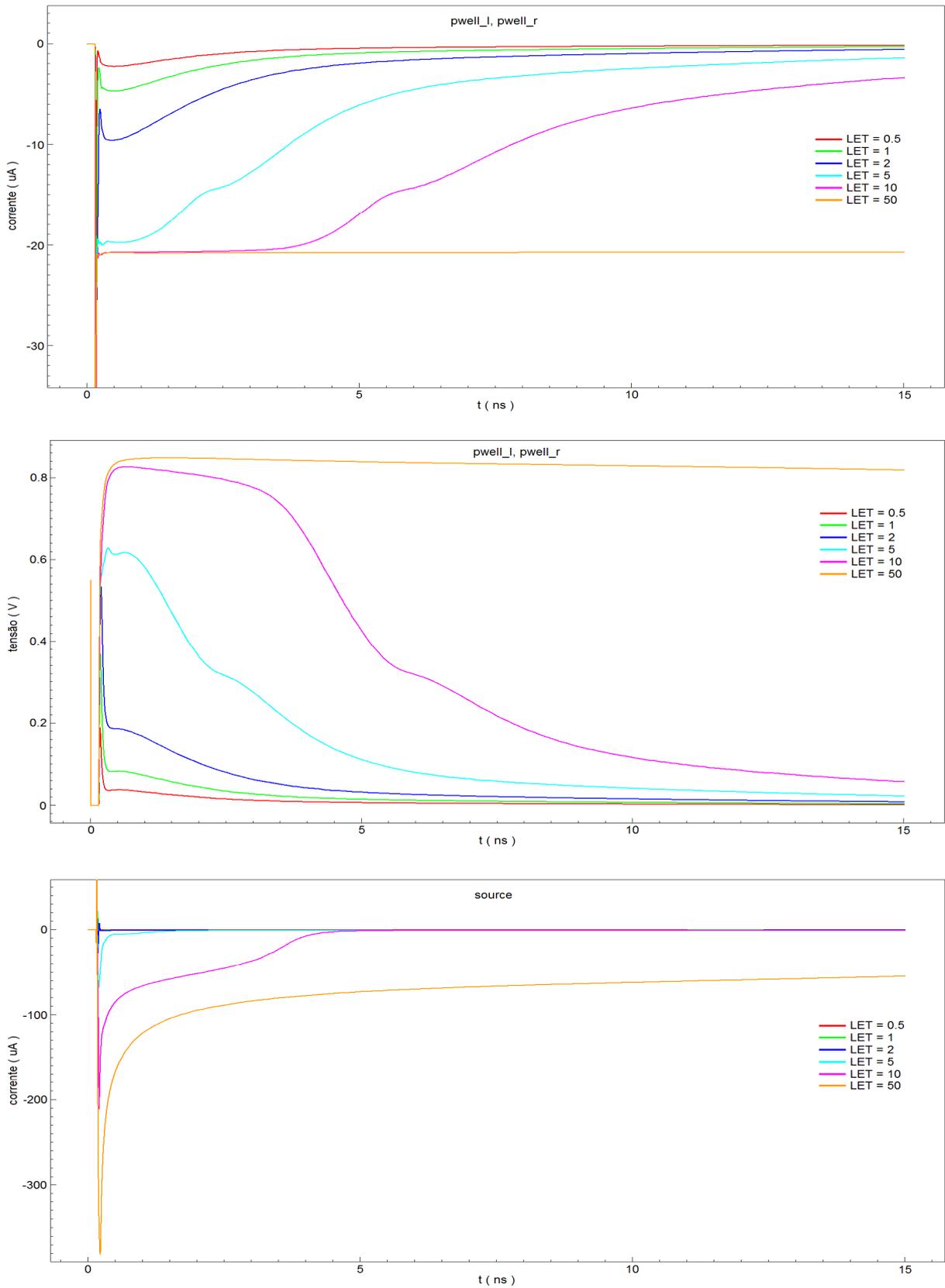


Figura 90 Correntes e tensões nos contatos pwell_l e pwell_r, e corrente no fonte do transistor NMOS, para várias LETs em MeV/mg/cm².

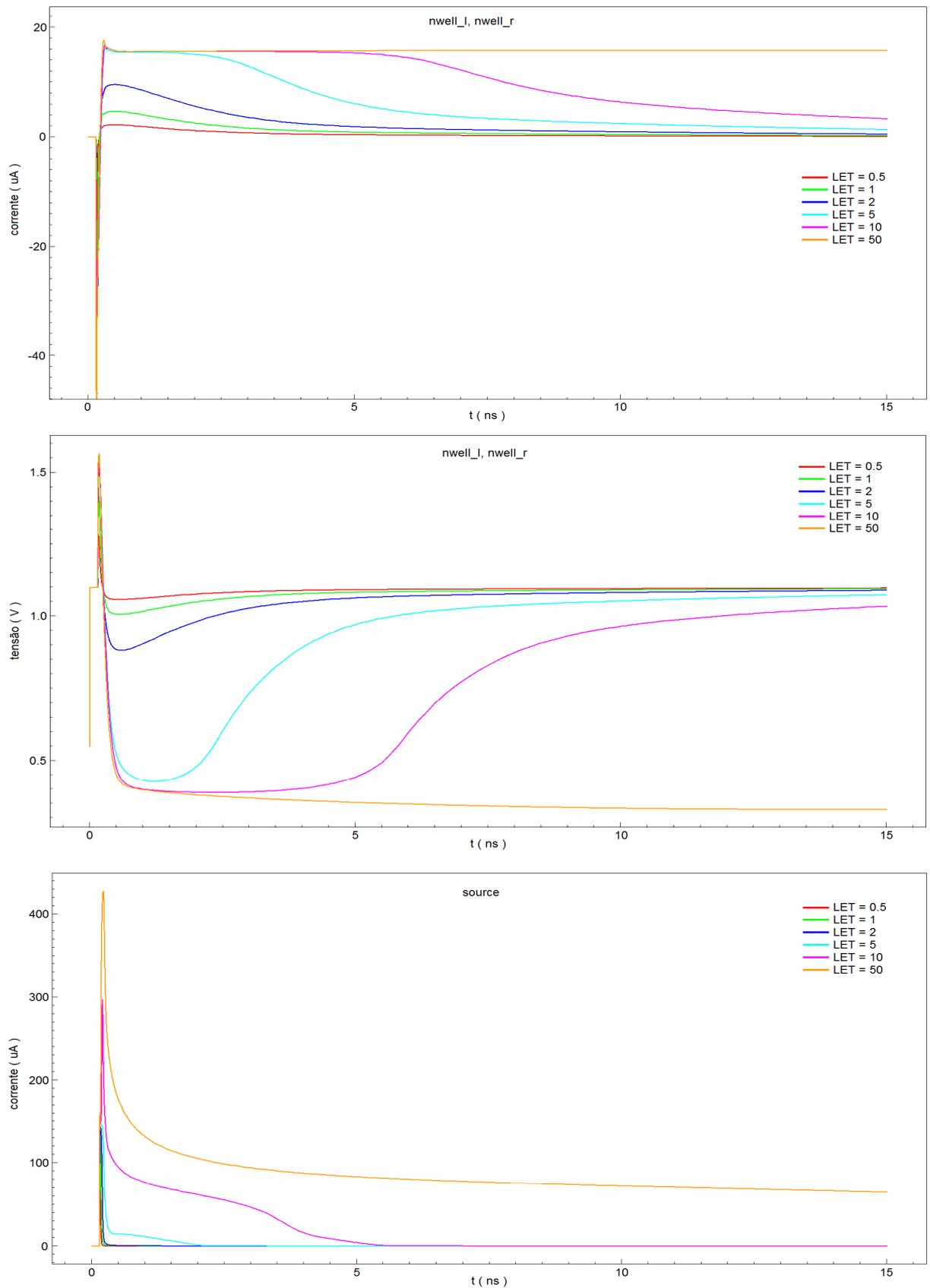


Figura 91 Correntes e tensões nos contatos nwell_l e nwell_r, e corrente na fonte do transistor PMOS, para várias LETs em MeV/mg/cm².

A corrente circulante nos terminais de poço N provoca uma queda de tensão no transistor sensor de corrente do ramo PMOS do BICS, de forma que o potencial do poço N também varia durante a ocorrência do SET. A incidência de radiação no dreno do transistor NMOS perturba não só o funcionamento desse dispositivo, como também afeta a operação do transistor PMOS. Esse acoplamento entre os dispositivos devido ao fluxo das cargas injetadas não é previsto pela simulação de circuitos, mas aparece claramente na simulação TCAD. Para as LETs a partir de 5 MeV/mg/cm², nota-se, na figura 91, uma saturação na corrente que flui pelos contatos de poço N e um aumento significativo na corrente de fonte do transistor PMOS, indicando que, à semelhança do que acontece com o transistor NMOS, a junção fonte-poço N do transistor PMOS é polarizada diretamente. Ao mesmo tempo, nota-se que as correntes nos terminais do poço N e do substrato passam a estender-se por um período muitas vezes superior à duração do SET. Esse comportamento é atribuído à ativação do par de transistores bipolares parasitas que perfazem a estrutura PNPN inerente ao processo CMOS e que é responsável pelo fenômeno de latch-up nos circuitos CMOS. A figura 92 mostra as estruturas bipolares parasitas presentes no inversor CMOS, onde Q1 e Q2 são os transistores que formam o par regenerativo e QP e QN são os transistores que perfazem os sensores de corrente, internos aos BICS. R_{sub} e R_{well} são resistências atribuídas ao caminho que a corrente percorre através das regiões de substrato e poço (FAIRCHILD SEMICONDUCTOR, 1989), e incluem as resistências de contato dos respectivos ptaps e ntaps.

Se qualquer um dos transistores Q1 ou Q2, for posto em condução, a realimentação positiva existente entre esses dois dispositivos provoca a condução simultânea de ambos os transistores. Sob condições suficientes de tensão e corrente, a condução simultânea é auto-sustentada e passa a haver um caminho de corrente permanente entre o V_{DD} e o gnd através das regiões fonte P/poço N/substrato P/fonte N. Caso a corrente circulante não seja limitada a

um valor seguro, o dispositivo é danificado permanentemente devido à fusão de alguma conexão metálica ou, mesmo, alguma junção pela qual a corrente atravesse.

É evidente que a ativação do par parasita efetivamente acontece, visto que a polarização direta da junção fonte P/poço N ativa a condução de Q2 e, por conseguinte, Q1. Dado que Q1 e Q2 estão em condução, as junções PN de fonte dos dois transistores MOS estão polarizadas diretamente, com a fonte do transistor PMOS injetando lacunas no poço N e a fonte do transistor NMOS injetando elétrons no substrato. Esses portadores são minoritários nas regiões onde são injetados; ao se difundirem nas respectivas regiões de injeção, atingem as correspondentes regiões de dreno, onde são coletados. Essa ação bipolar é representada na figura 92 pelos transistores Q3 e Q4. Note-se que esses transistores são os mesmos aos quais se atribui o efeito bipolar parasita que ocorre durante o SET mas, aqui, os transistores entram em condução ao mesmo tempo. Com isso, a corrente que circula entre os drenos é composta da corrente que normalmente circularia durante o SET, acrescida da corrente extra injetada nos drenos por Q3 e Q4. Essa é a razão pela qual a corrente de platô mostrada na figura 87 ($138 \mu\text{A}$) não concorda com o valor de $87 \mu\text{A}$ mostrado na figura 57, muito embora ambos os

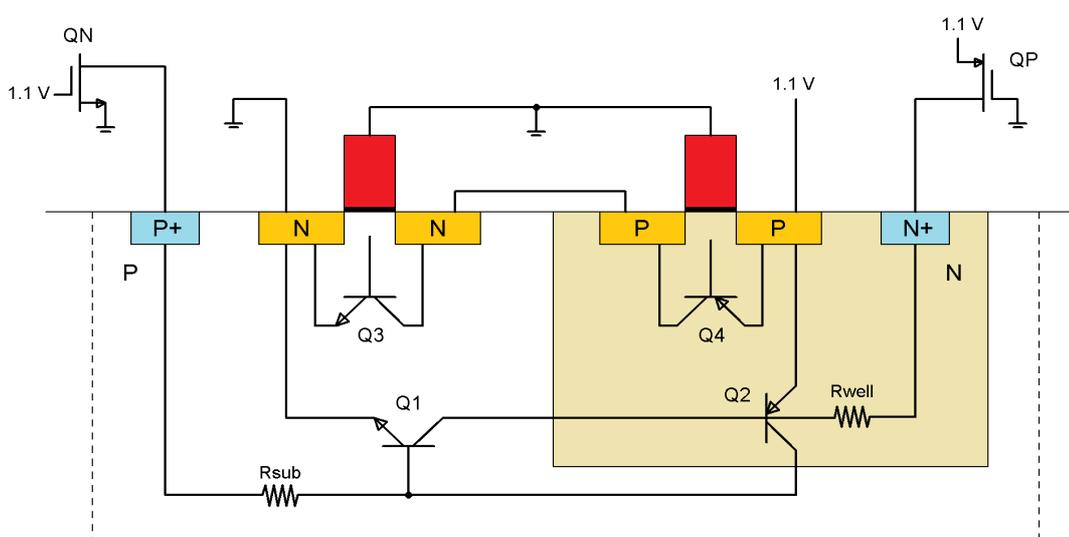


Figura 92 Estruturas bipolares parasitas presentes em um inversor CMOS.

transistores que compõe o modelo INVMOS estejam calibrados em relação ao modelo fornecido no PDK. A condução dos transistores parasitas Q3 e Q4 também é responsável pela sustentação da corrente de dreno após o final do platô, também visível na figura 87. Observa-se que a corrente através dos drenos se mantém por muito tempo após o funil de cargas ter se dissipado (3,5 ns para LET = 10 MeV/mg/cm²; >15 ns para LET = 50 MeV/mg/cm²).

O efeito regenerativo permanece atuando até que as cargas injetadas pela radiação se dissipem a ponto de não mais sustentar o processo. As simulações revelam que a estrutura INVMOS não entra em latch-up. A razão disso é que a tensão de alimentação (1,1 V) não é elevada o suficiente para que o par regenerativo entre em condução permanente, já que a estrutura PNP parasita precisa de um valor de tensão mínimo entre o V_{DD} e o gnd para que isso aconteça (JIANG, 2017). É possível que, com o aumento da temperatura, o efeito de latch-up se manifeste como mostra (JIANG, 2017), o que não foi investigado.

Para as LETs a partir de 5 MeV/mg/cm², o potencial do poço N se reduz significativamente após o período de reorganização de cargas, o que aumenta a capacidade de condução de corrente do transistor PMOS. Como consequência, ocorre um aumento repentino na corrente de dreno, próximo ao final do platô, que determina aproximadamente o final do SET no dreno do transistor impactado. Com a capacidade de fornecer corrente bastante reforçada, o transistor PMOS leva a tensão no dreno do transistor NMOS para próximo de V_{DD}, apesar de ainda haver a circulação de uma corrente que seria capaz de sustentar o SET, como mostra a figura 87 quando comparada com a figura 88.

Nesse ponto é possível mostrar o que acontece com as correntes dos contatos de substrato quando o transistor-alvo é deslocado de sua posição mediana em relação aos contatos. Um modelo INVMOS4n_asym foi preparado especialmente, onde o par de transistores é posicionado na coordenada X = +14 μm, ficando a 1 μm de distância do contato de substrato pwell_r.

Nessas condições, as correntes nos contatos de substrato não são mais essencialmente idênticas, com a corrente no contato `pwell_r` sendo discretamente superior à corrente no contato `pwell_l`. Tomando-se por referência o instante em que as cargas são injetadas ($t = 150$ ps), a figura 90 mostra que há um pico na corrente dos contatos de substrato que ocorre imediatamente após a injeção de cargas e ao qual é atribuído o disparo do BICS. Para ambos os modelos INVMOS, com incidência no transistor NMOS, os valores de pico da corrente dos contatos de substrato foram medidos para as várias LETs e os resultados estão sumarizados na tabela 30.

Tabela 30 Correntes de pico nos contatos de substrato

LET (MeV/mg/cm ²)	INVMOS4n		INVMOS4n_asym	
	<code>pwell_r</code>	<code>pwell_l</code>	<code>pwell_r</code>	<code>pwell_l</code>
0,5	-40,67 μ A	-40,70 μ A	-49,08 μ A	-38,33 μ A
1	-55,59 μ A	-55,63 μ A	-66,83 μ A	-52,38 μ A
2	-61,52 μ A	-61,58 μ A	-75,21 μ A	-58,32 μ A
5	-66,75 μ A	-66,81 μ A	-82,48 μ A	-63,56 μ A

Os valores de corrente mostrados na tabela 30 para o modelo INVMOS4n comprovam que a corrente de substrato se divide igualmente entre os contatos `pwell_l` e `pwell_r`, dentro de um erro incapaz de ser mostrado adequadamente nos gráficos até aqui apresentados e, por essa razão, assumiu-se que, para efeitos práticos, ambas as correntes são idênticas. Para o modelo INVMOS4n_asym, por outro lado, `pwell_r` é maior do que `pwell_l` em um percentual que varia de 23% a 30%, conforme a LET considerada. Comprova-se, assim, que a pior situação para a detecção da corrente transiente de um transistor ocorre quando ele se encontra na posição mediana entre dois contatos de substrato conectados a dois BICS diferentes. O fato de que a corrente no contato `pwell_r` aumenta de 20% a 23% quando o transistor é mudado da posição mediana para uma posição mais próxima ao contato e que a soma das correntes nos contatos `pwell_l` e `pwell_r` não resulta a mesma em ambas as simulações mostra que o

substrato contribui com alguma parcela resistiva em série com o percurso da corrente. Isso indica que a condução dos portadores pelo substrato não é feita exclusivamente por difusão, mas que algum efeito de deriva também está presente.

6.3.2 Incidência no transistor PMOS com ITD = 30 μm

As formas de onda de corrente e tensão de dreno do transistor NMOS para as LETs de 0,5 MeV/mg/cm² a 50 MeV/mg/cm² são apresentadas nas figuras 93 e 94, com o SET propagado sendo mostrado na figura 95. A tabela 31 sumariza os tempos de duração dos SETs gerados e propagados, e os tempos de resposta dos BICS. Nota-se que a formação de um platô definido é bastante prejudicada pelo efeito regenerativo da estrutura PNP parasita, que se manifesta claramente já a partir de uma LET de 5 MeV/mg/cm², como se pode ver na figura 93. A corrente e a tensão nos contatos de poço N nwell_l e nwell_r, e a corrente de fonte do transistor PMOS, são mostradas na figura 96. Verifica-se que a corrente nos contatos de poço N satura em 15,5 μA e a tensão nos contatos do poço N nivela em 650 mV, pontos atingidos a partir da LET de 5 MeV/mg/cm². Na figura 97 pode-se ver que os pontos de saturação da

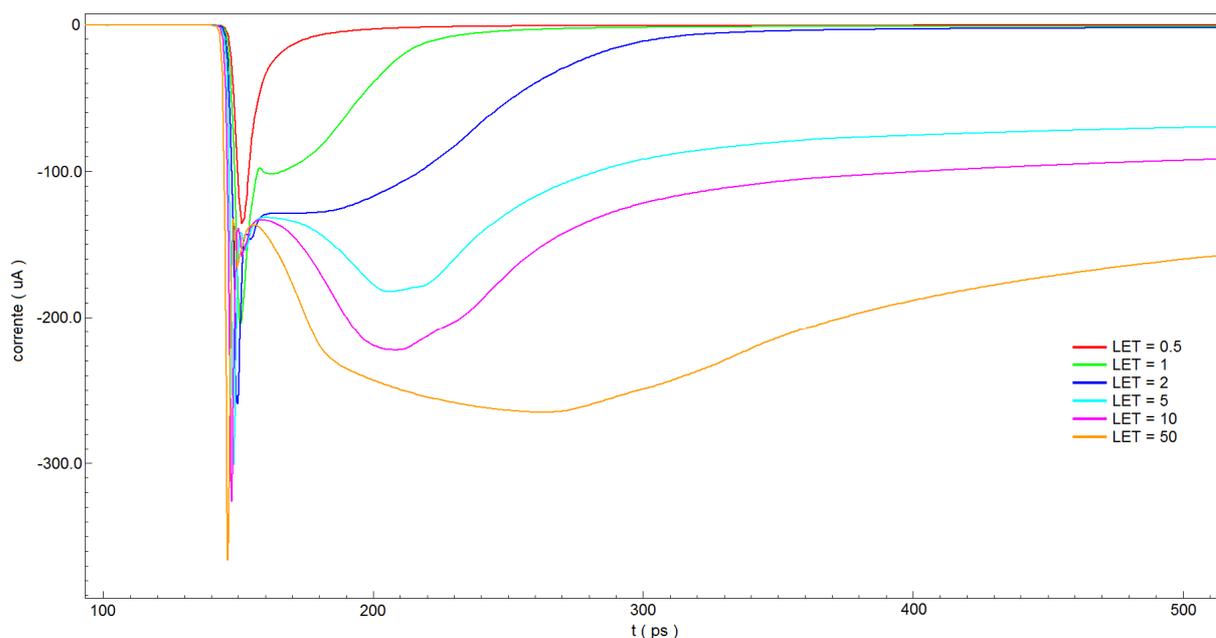


Figura 93 Correntes no dreno do transistor PMOS, para várias LETs em MeV/mg/cm².

corrente de substrato e nivelamento da tensão de substrato permanecem aproximadamente os mesmos registrados para a incidência no transistor NMOS (21 μA e 825 mV) mas que o ponto de saturação é atingido já com uma LET de 5 MeV/mg/cm². Isso mostra que a incidência no transistor PMOS é mais eficiente em ativar o par regenerativo por excitar ambos os transistores parasitas Q1 e Q2.

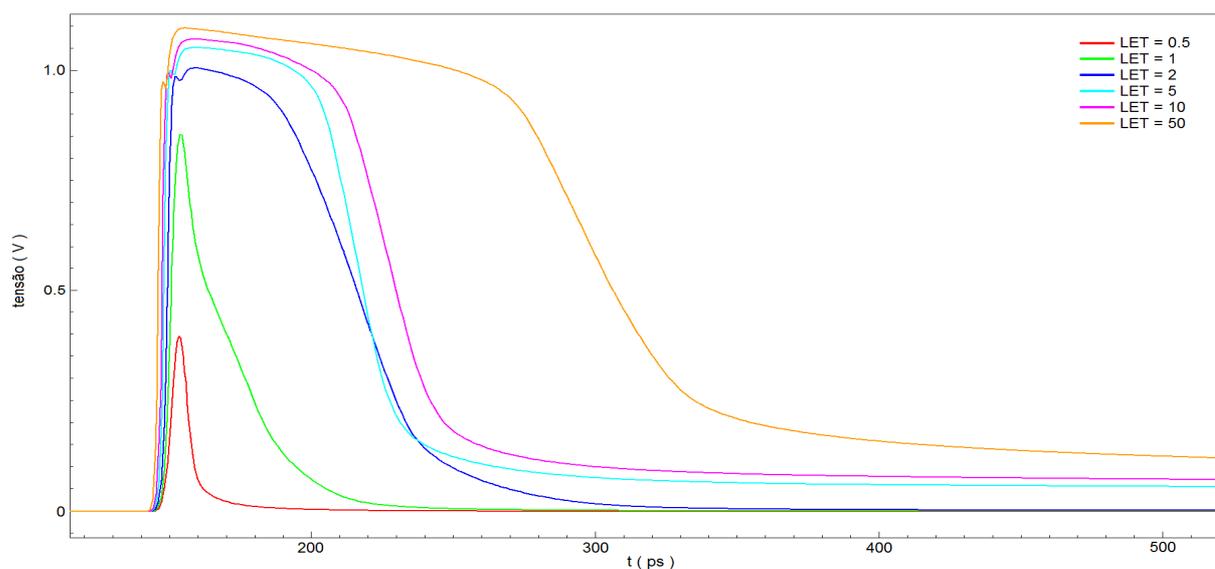


Figura 94 Tensões no dreno do transistor PMOS, para várias LETs em MeV/mg/cm².

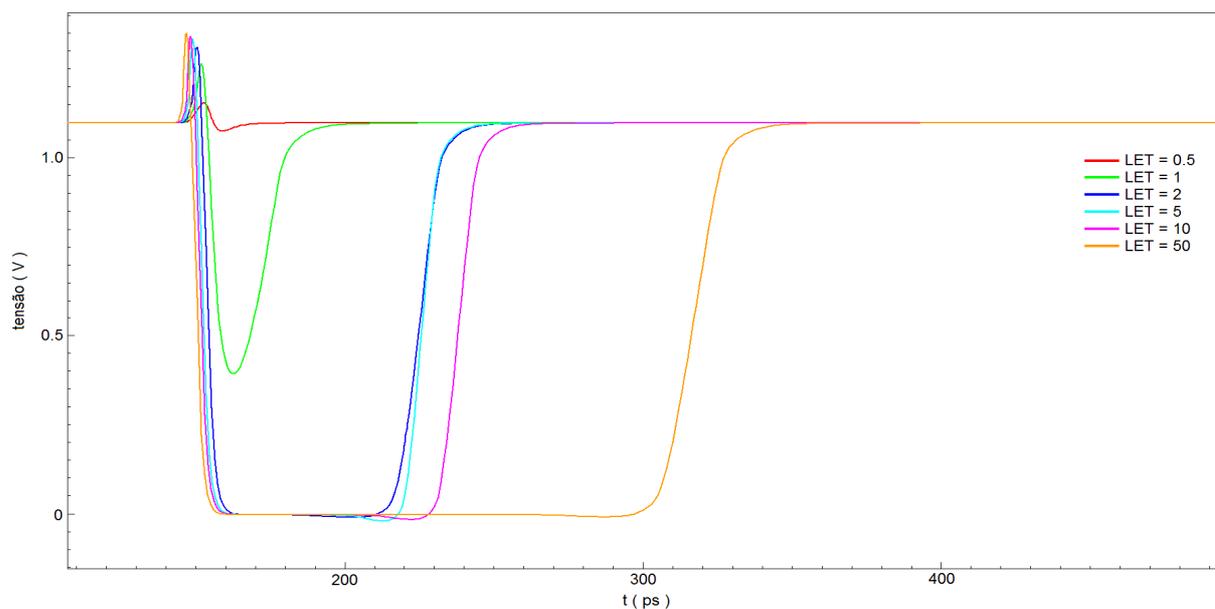


Figura 95 SET propagado com incidência no dreno do transistor PMOS, para várias LETs em MeV/mg/cm².

Tabela 31 Tempos de duração do SET gerado e propagado e de resposta dos BICS

LET (MeV/mg/cm ²)	Tempo de duração		Tempo de resposta dos BICS
	SET gerado	SET propagado	
0,5	não gera	não propaga	não respondem
1	10,7 ps	11,7 ps	293,4 ps
2	64,0 ps	71,1 ps	155,0 ps
5	68,6 ps	73,4 ps	199,4 ps
10	80,5 ps	86,4 ps	194,1 ps
50	156,4 ps	166,5 ps	184,7 ps

É interessante estudar o comportamento das tensões de substrato e poço N no momento da incidência da radiação. Devido à capacitância poço N/substrato, essas tensões permanecem interdependentes também para o caso da incidência no transistor PMOS. A figura 98 mostra as tensões nos contatos nwell_1 e pwell_1. Para a LET de 1 MeV/mg/cm², a flutuação no potencial de substrato é pequena (140 mV, figura 97) e o efeito regenerativo praticamente não acontece. Entretanto, para a LET de 5 MeV/mg/cm², o efeito regenerativo é franco e resulta em uma elevação do potencial de substrato de 770 mV, que acoplada ao poço N faz com que o potencial do poço N seja superior a V_{DD} durante cerca de 90 ps. As consequências desse acoplamento serão discutidas mais adiante, ao se tratar do modo como os BICS são disparados.

6.3.3 Incidência no transistor NMOS com ITD = 45 μm e ITD = 60 μm

As formas de onda para as simulações com ITD = 45 μm e ITD = 60 μm são semelhantes àquelas mostradas para a ITD = 30 μm. As figuras 99 e 100 mostram que a corrente no dreno do transistor NMOS praticamente não se altera com a ITD para a LET de 1 MeV/mg/cm² mas que há uma discreta alteração no nível da corrente sustentada pelo efeito regenerativo para a LET de 10 MeV/mg/cm². Os valores de pico da corrente nos contatos de substrato não são afetados pela ITD (56 μA para LET = 1; 71 μA para LET = 10).

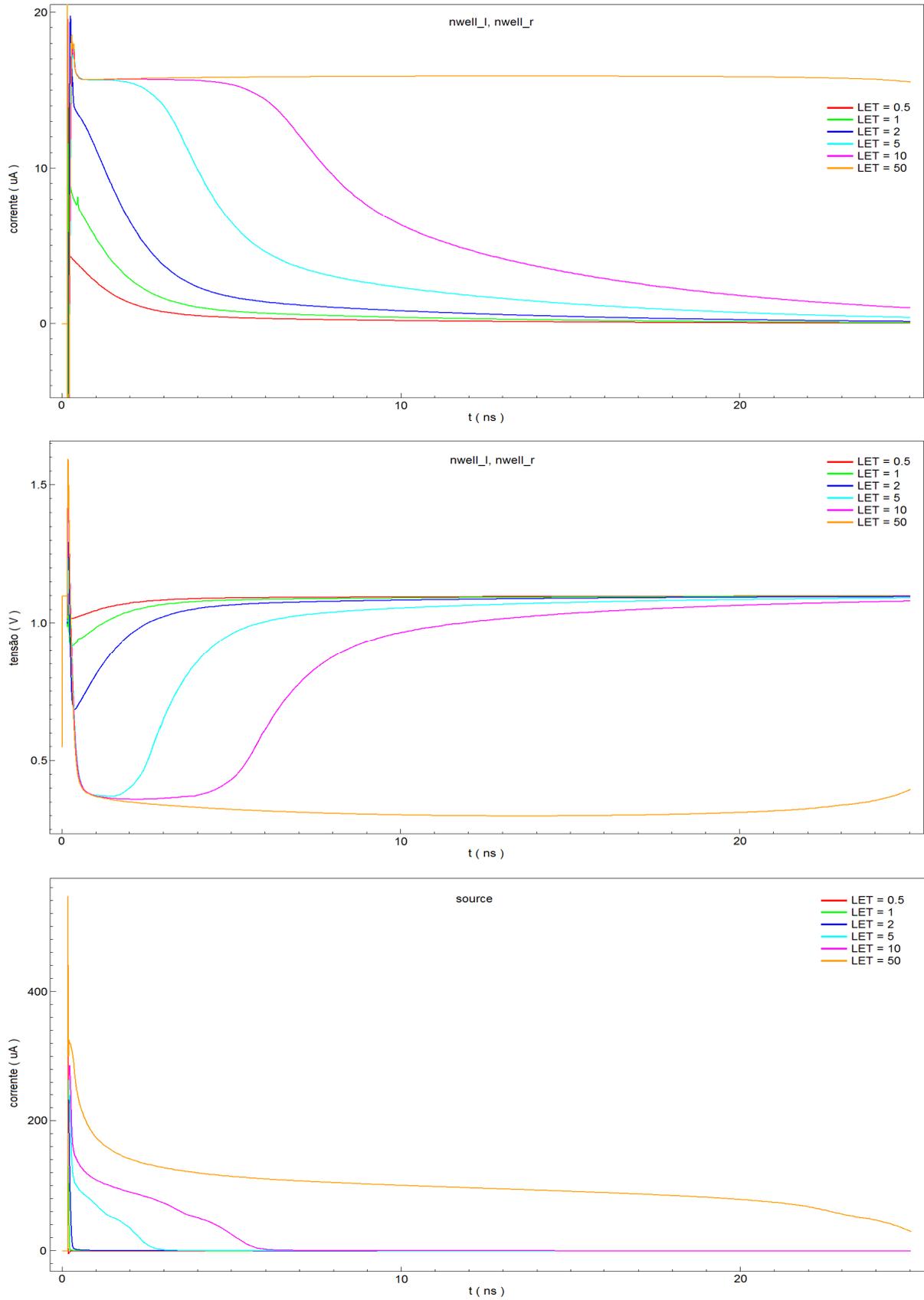


Figura 96 Correntes e tensões nos contatos nwell_l e nwell_r, e corrente na fonte do transistor PMOS, para várias LETs em MeV/mg/cm².

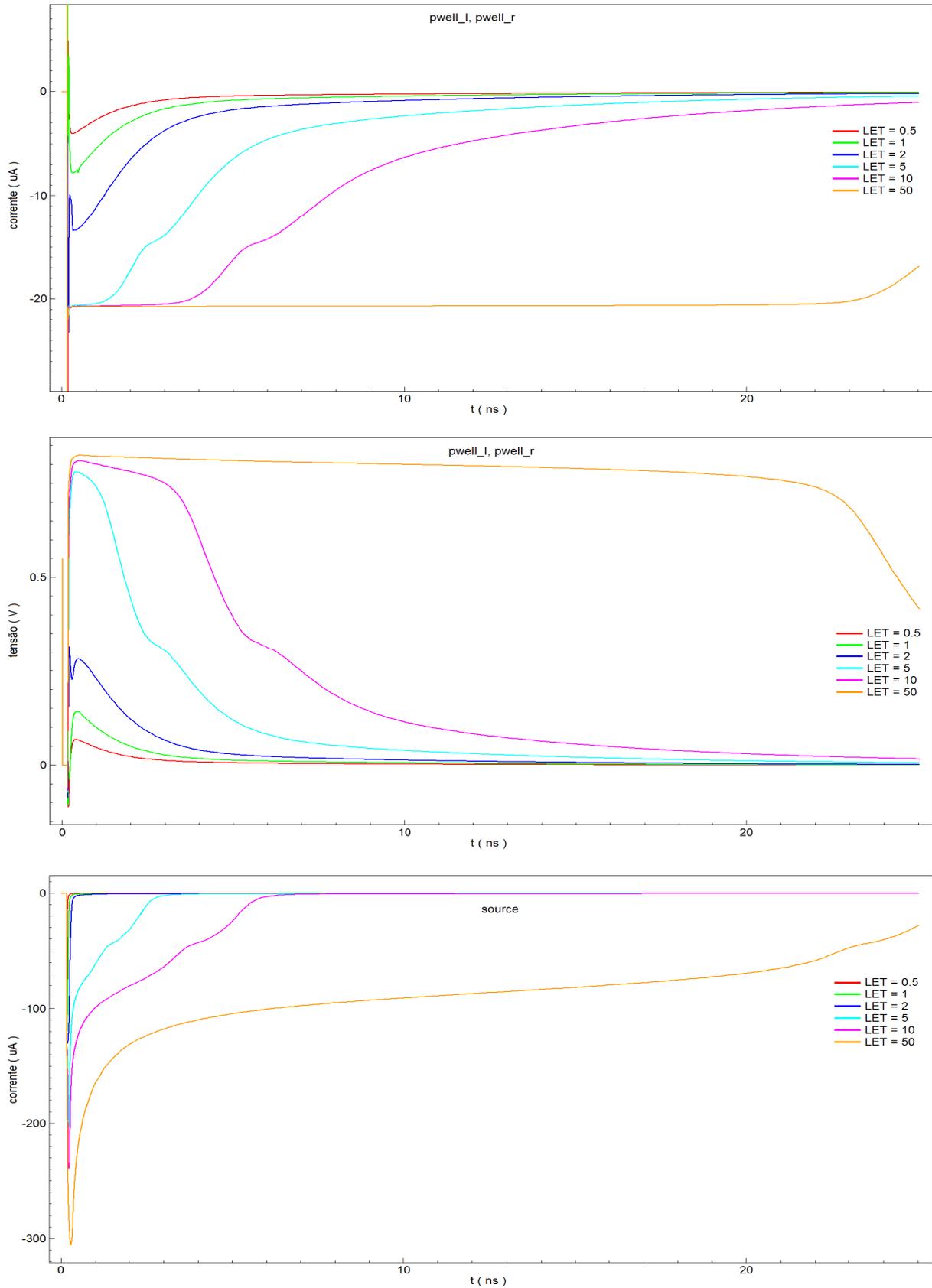


Figura 97 Correntes e tensões nos contatos pwell_l e pwell_r, e corrente na fonte do transistor NMOS, para várias LETs em $\text{MeV}/\text{mg}/\text{cm}^2$.

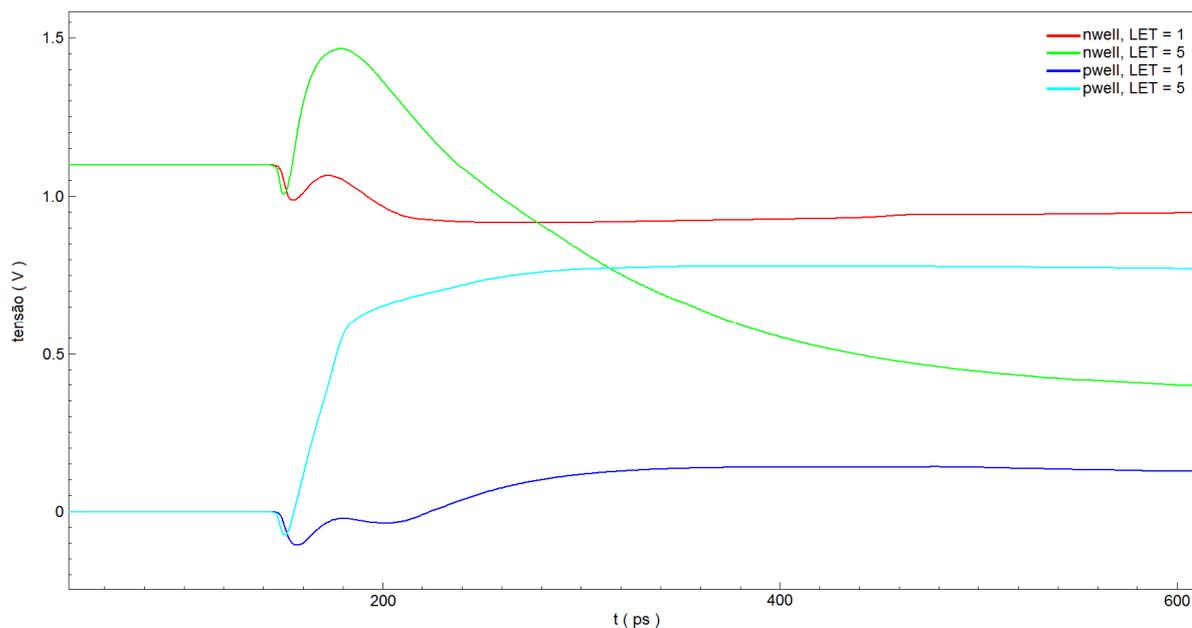


Figura 98 Tensões de substrato e poço N para as LETs de 1 e 5 MeV/mg/cm².

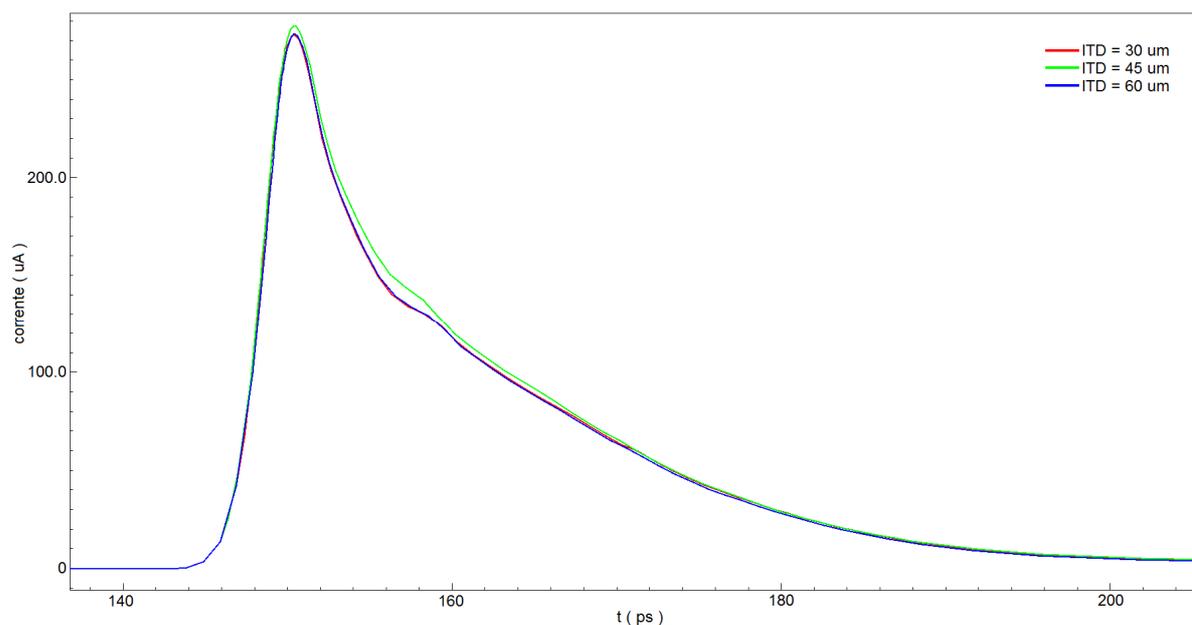


Figura 99 Correntes de dreno do transistor NMOS em função da ITD. LET = 1 MeV/mg/cm².

As simulações mostram que, para LETs até 5 MeV/mg/cm², o valor de pico e regime da corrente de substrato do transistor NMOS são reduzidas à medida que a ITD aumenta. Assim, a detecção do SET pelo BICS é prejudicada e o valor de LET que atinge o limiar de detecção aumenta. As tabelas 32 e 33 sumarizam os tempos de duração dos SETs gerados e propagados, e os tempos de resposta dos BICS para cada ITD.

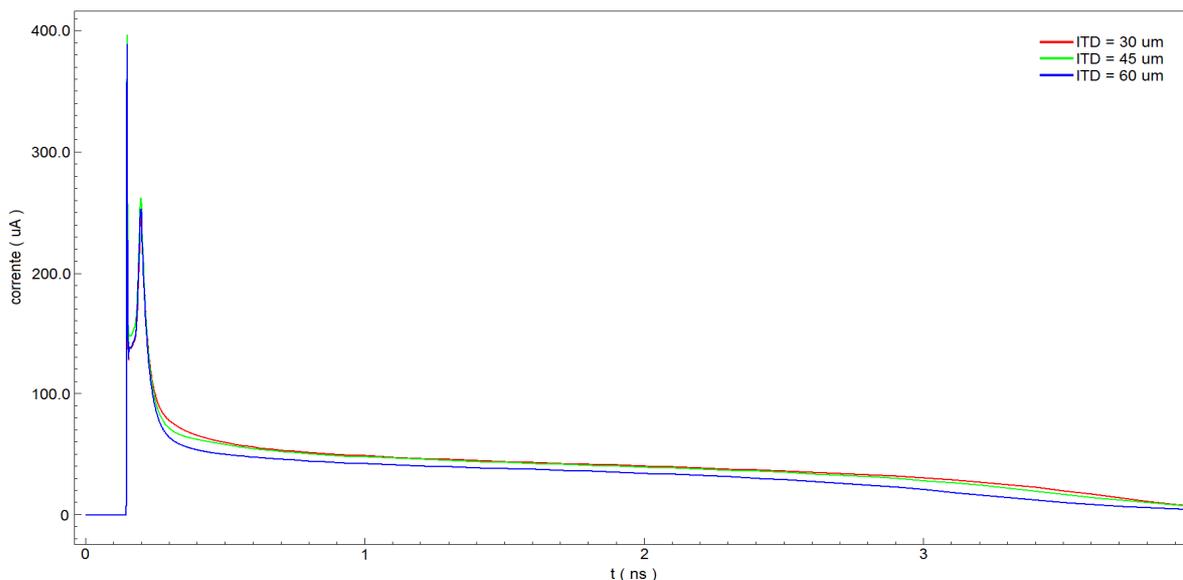


Figura 100 Correntes de dreno do transistor NMOS em função da ITD. LET = 10 MeV/mg/cm².

Tabela 32 Tempos de duração do SET gerado e propagado e de resposta dos BICS para ITD = 45 μm e incidência no transistor NMOS

LET (MeV/mg/cm ²)	Tempo de duração		Tempo de resposta dos BICS
	SET gerado	SET propagado	
0,5	4,3 ps	não propaga	não respondem
1	15,9 ps	19,4 ps	80,9 ps
2	34,2 ps	39,5 ps	45,0 ps
5	59,4 ps	64,6 ps	41,2 ps
10	56,5 ps	61,5 ps	39,6 ps
50	84,6 ps	91,1 ps	36,1 ps

Tabela 33 Tempos de duração do SET gerado e propagado e de resposta dos BICS para ITD = 60 μm e incidência no transistor NMOS

LET (MeV/mg/cm ²)	Tempo de duração		Tempo de resposta dos BICS
	SET gerado	SET propagado	
0,5	5,2 ps	não propaga	não respondem
1	16,8 ps	20,6 ps	102,4 ps
2	35,7 ps	41,1 ps	45,4 ps
5	60,5 ps	65,7 ps	41,5 ps
10	57,0 ps	62,1 ps	39,9 ps
50	84,8 ps	91,4 ps	36,2 ps

6.3.4 Incidência no transistor PMOS com ITD = 45 μm e ITD = 60 μm

As figuras 101 e 102 mostram que as correntes no dreno do transistor PMOS, nas quais nota-se que o aumento do comprimento do poço N afeta o comportamento do transistor PMOS de forma mais acentuada em relação ao transistor NMOS. Isso se deve à natureza confinada do poço N, que acentua a variação de resistência do poço em função do seu comprimento. As tabelas 34 e 35 sumarizam os tempos de duração dos SETs gerados e propagados, e os tempos de resposta dos BICS para cada ITD.

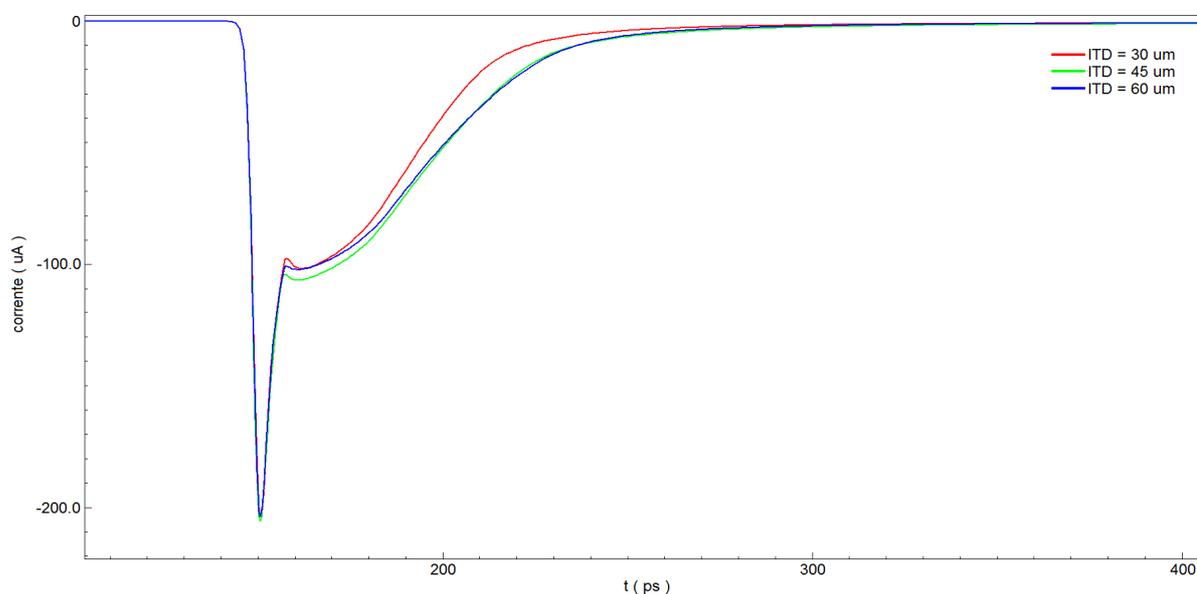


Figura 101 Correntes de dreno do transistor PMOS em função da ITD. LET = 1 MeV/mg/cm².

Tabela 34 Tempos de duração do SET gerado e propagado e de resposta dos BICS para ITD = 45 μm e incidência no transistor PMOS

LET (MeV/mg/cm ²)	Tempo de duração		Tempo de resposta dos BICS
	SET gerado	SET propagado	
0,5	não gera	não propaga	não respondem
1	10,2 ps	10,0 ps	920,2 ps
2	63,7 ps	71,7 ps	296,0 ps
5	72,7 ps	78,5 ps	353,3 ps
10	83,9 ps	90,7 ps	355,4 ps
50	165,0 ps	175,6 ps	342,2 ps

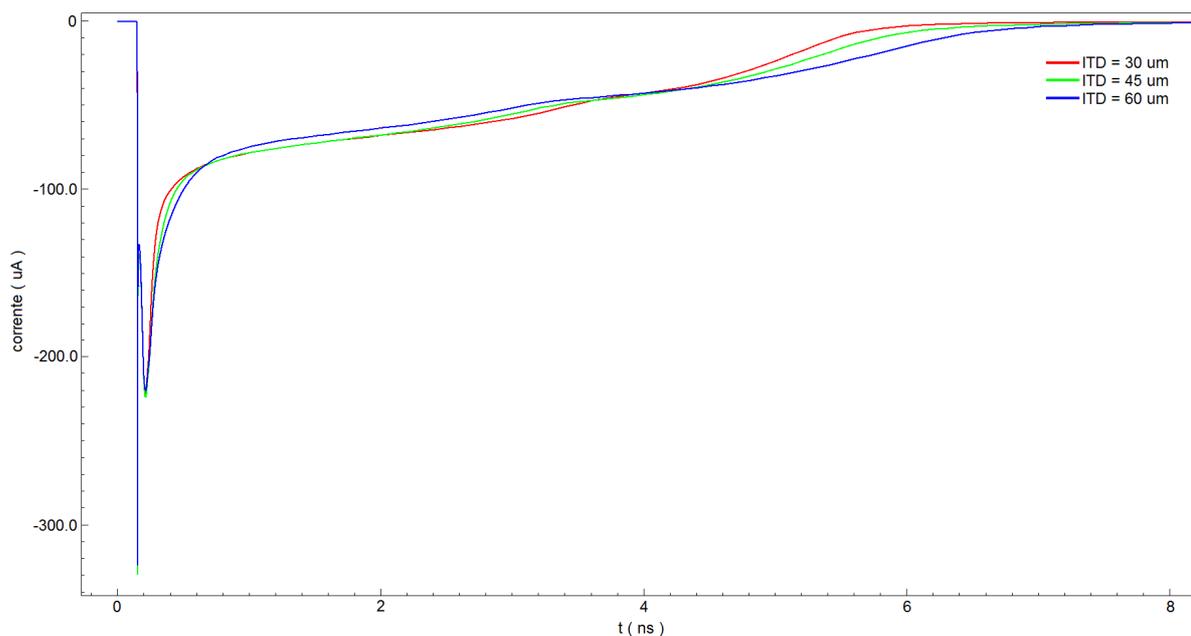


Figura 102 Correntes de dreno do transistor PMOS em função da ITD. LET = 10 MeV/mg/cm².

Tabela 35 Tempos de duração do SET gerado e propagado e de resposta dos BICS para ITD = 60 μ m e incidência no transistor PMOS

LET (MeV/mg/cm ²)	Tempo de duração		Tempo de resposta dos BICS
	SET gerado	SET propagado	
0,5	não gera	não propaga	não respondem
1	11,4 ps	14,3 ps	não respondem
2	70,0 ps	78,5 ps	505,4 ps
5	73,4 ps	79,6 ps	439,7 ps
10	86,4 ps	93,6 ps	541,1 ps
50	169,4 ps	180,4 ps	537,9 ps

Da mesma forma como para o transistor NMOS, os valores de pico e regime da corrente de substrato do transistor NMOS são reduzidos à medida que a ITD aumenta, contribuindo para elevar o valor de LET que atinge o limiar de detecção do BICS.

6.4 A RESPOSTA DOS BICS EM FUNÇÃO DA LET E DA ITD

O limiar de detecção dos BICS foi ajustado variando-se o comprimento dos transistores sensores de corrente T0 e T10 experimentalmente até que os circuitos respondessem à menor

LET capaz de produzir um SET que se propagasse através do inversor de carga, utilizando-se os modelos NMOS5 e PMOS3 separadamente, com transistores de carga mínimos descritos em SPICE. Determinou-se que a menor LET que provoca um SET propagável é de cerca de $0,75 \text{ MeV/mg/cm}^2$ e, com esse valor, ajustou-se os comprimentos de T0 e T10, na figura 38, para 240 nm e 600 nm, respectivamente. Nas simulações de ajuste, toda a corrente de poço N ou substrato atravessava o transistor sensor de corrente. Uma vez que nas simulações com o modelo INVMOS essas correntes são divididas entre dois BICS, o limiar de detecção foi reajustado para $0,75 \text{ MeV/mg/cm}^2$ dobrando-se o comprimento dos transistores T0 e T10.

A tabela 36 sumariza os tempos de resposta dos BICS em função da LET e da ITD. Para a incidência no NMOS, observa-se que os BICS detectam eficientemente os SETs propagados em todas as ITDs, com um atraso de resposta máximo de 102,4 ps. Para a incidência no PMOS, os atrasos de resposta são pelo menos três vezes maiores, a $30 \mu\text{m}$, em comparação aos atrasos para o NMOS, e ainda maiores para as ITDs de $45 \mu\text{m}$ e $60 \mu\text{m}$. O maior valor para o atraso na resposta do BICS é de 920,2 ps e acontece em uma situação marginal de resposta, a 1 MeV/mg/cm^2 e $45 \mu\text{m}$.

Tabela 36 Tempos de resposta dos BICS em função da LET e da ITD

LET (MeV/mg/cm ²)	Incidência no NMOS			Incidência no PMOS		
	30 μm	45 μm	60 μm	30 μm	45 μm	60 μm
0,5	NR	NR	NR	NR	NR	NR
1	92,7 ps	80,9 ps	102,4 ps	293,4 ps	920,2 ps	NR
2	45,6 ps	45,0 ps	45,4 ps	155,0 ps	296,0 ps	505,4 ps
5	41,7 ps	41,2 ps	41,5 ps	199,4 ps	353,3 ps	439,7 ps
10	40,1 ps	39,6 ps	39,9 ps	194,1 ps	355,4 ps	541,1 ps
50	36,6 ps	36,1 ps	36,2 ps	184,7 ps	342,2 ps	537,9 ps

NR: não responde

Esses resultados mostram que a detecção pelo ramo PMOS é deficiente em relação ao ramo NMOS, o que não concorda com os resultados mostrados na tabela 9. O motivo que

explica a aparente discrepância entre os resultados encontrados nas simulações TCAD e de circuito é o fato de que na simulação de circuito não é levado em conta o efeito do acoplamento capacitivo entre o substrato e o poço N, mostrado na figura 98. Em função desse acoplamento, as variações do potencial de substrato são refletidas no potencial de poço N, fazendo com que, logo após a injeção de cargas, o potencial do poço N suba acima de V_{DD} .

Quando a incidência ocorre no NMOS, o potencial de substrato move-se apenas em uma direção, elevando-se em relação ao gnd e, em dado momento, a queda de tensão no transistor sensor do ramo NMOS é suficiente para disparar a célula de memória. Quando a incidência ocorre no PMOS, entretanto, o potencial do poço N tem duas direções opostas para se deslocar: reduzir-se abaixo de V_{DD} devido à queda de tensão no transistor sensor de corrente do ramo PMOS, e elevar-se acima do V_{DD} devido à elevação do potencial de substrato, acoplada pela capacitância substrato-poço N.

Na figura 98, vê-se que as variações na tensão de substrato são refletidas na tensão do poço N de tal forma que invertem a tendência natural da tensão de poço N de reduzir-se ao longo do tempo. Para uma LET elevada, a variação do potencial do substrato faz com que o potencial do poço N eleve-se acima do V_{DD} , forçando uma corrente de compensação a sair pelos terminais nwell_l e nwell_r logo após a injeção de cargas. Em um dado momento, a carga da capacitância poço N/substrato se rearranja, e a corrente de poço N passa a fluir entrando pelo contatos nwell_l e nwell_r. Para LETs reduzidas, esse transitório é de menor amplitude e duração, mas, em ambos os casos, a detecção da corrente transitória é retardada, na proporção da variação do potencial de substrato. Como essa variação é função da corrente de substrato e essa ainda recebe a contribuição dos transistores parasitas Q1 e Q2 para as LETs mais elevadas, o retardo na detecção da corrente transitória no ramo PMOS é consideravelmente maior do que no ramo NMOS. O BICS só pode ser disparado quando a queda de tensão no transistor sensor de corrente é suficiente para disparar a célula de

memória, o que evidentemente só pode acontecer após o período de rearranjo de carga. Com isso, o tempo de resposta do ramo P resulta maior do que o tempo de resposta do ramo N.

As figuras 103 e 104 esclarecem o exposto, mostrando como a tensão no nó de integração se comporta ao longo do tempo, em função da tensão no poço N e da corrente nos contatos nwell_l e nwell_r. Na figura 103 é possível visualizar o exato momento em que a realimentação positiva da célula de memória passa a atuar. No momento da injeção de cargas ($t = 150$ ps) há a formação de um pico positivo na corrente dos contatos de poço, que promove uma redução momentânea na tensão do poço N. A corrente se inverte logo em seguida, devido ao acoplamento da elevação da tensão de substrato, o que faz a corrente nos contatos de poço inverter de sentido. No momento $t = 160$ ps a corrente retoma o sentido

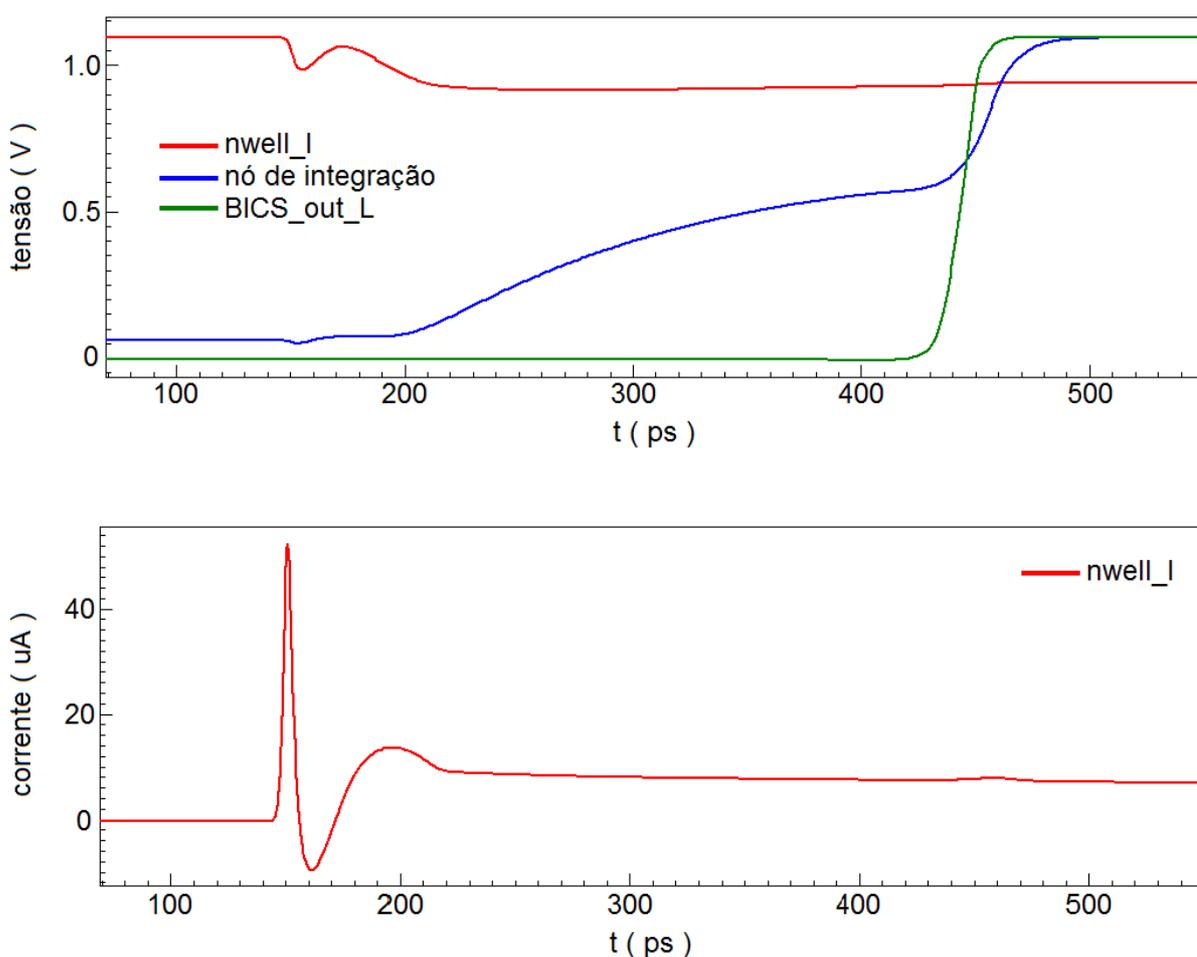


Figura 103 Tensão no nó de integração em função da tensão e da corrente no contato de poço N, e respectiva resposta do BICS. LET = 1 MeV/mg/cm².

inicial, mas apenas em $t = 193$ ps o nó de integração começa a receber corrente, quando a tensão de poço N atinge o valor de 0,99 V. A célula de memória é disparada em $t = 443$ ps, 293 ps após a injeção de cargas. Observe-se que a célula de memória inicia a integração de corrente com 33 ps de atraso e que o tempo de resposta relativamente longo (comparado com o tempo de resposta do ramo NMOS, para a mesma LET) está relacionado com a situação de disparo marginal do BICS.

O aumento da LET acarreta uma redução no tempo de resposta dos BICs, como se pode ver na figura 104. Porém, embora a corrente nos contatos de poço proporcione uma

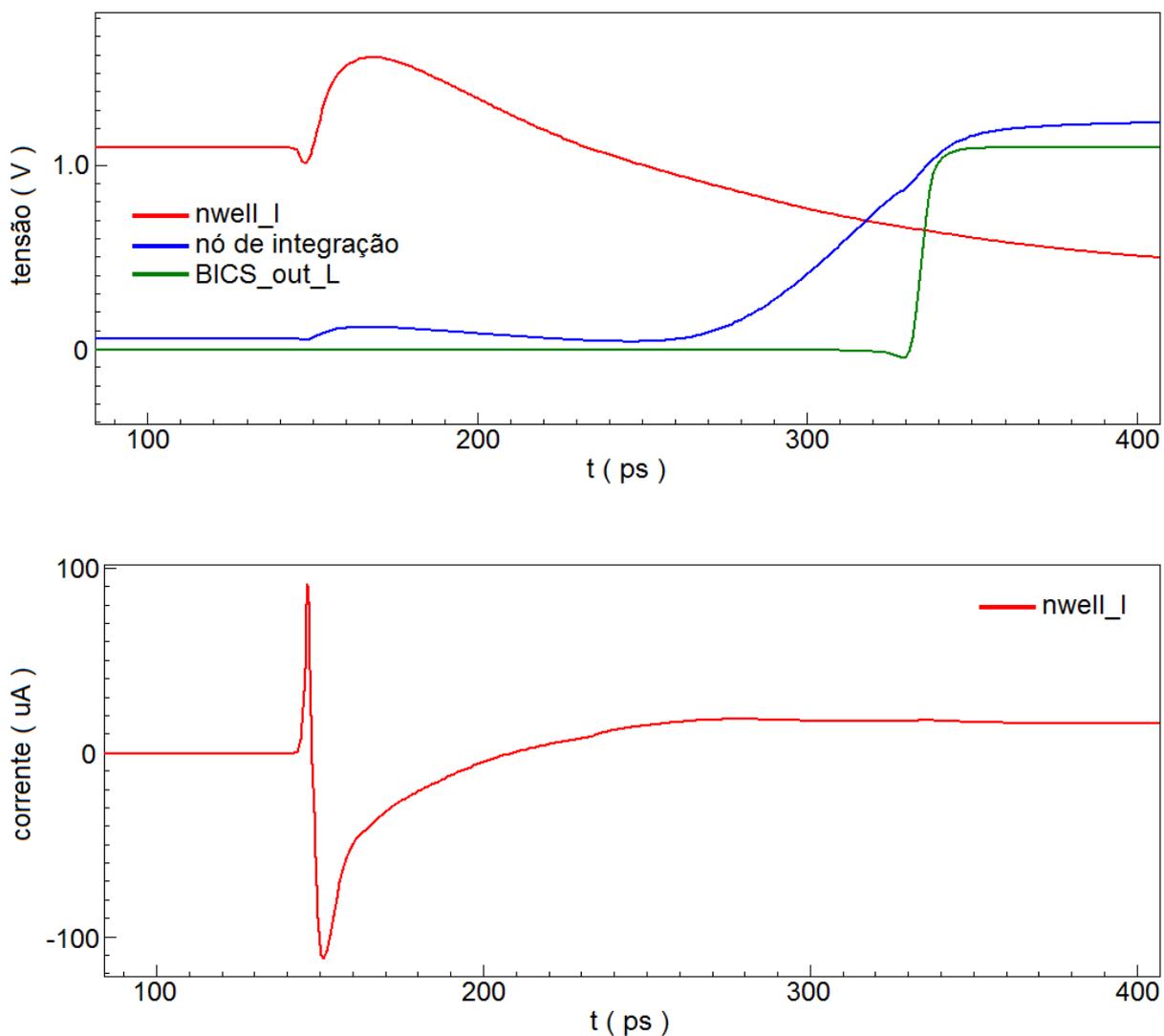


Figura 104 Tensão no nó de integração em função da tensão e da corrente no contato de poço N, e respectiva resposta do BICS. LET = 50 MeV/mg/cm².

queda de tensão maior e isso intensifique a injeção de corrente no nó de integração, o início da integração somente se inicia em $t = 253$ p, com 103 ps de atraso, de forma que o efeito do aumento na corrente dos contatos de poço N não é tão notável. A redução obtida no tempo de integração é contrabalançada com um aumento no tempo de acomodação da carga na capacitância poço N/substrato.

A máxima velocidade de operação do sistema monitorado e o número máximo de transistores que podem ser monitorados por um único BICS podem ser estimados a partir dos dados informados na tabela 36. O tempo de resposta do BICS deve ser de até 50% do período de clock do sistema, conforme (BASTOS, 2011). Considerando-se o tempo de resposta do ramo PMOS como dominante para cada ITD, e que no processo UMC os transistores são posicionados com passo de 400 nm, obtém-se os valores mostrados na tabela 37, na qual o número máximo de transistores foi estimado dividindo-se a ITD pelo passo e representa uma estimativa do número de transistores totais (NMOS e PMOS) que podem ser alocados no espaço da ITD. O número real somente pode ser determinado após cumprir-se com as regras de layout específicas da tecnologia. Como a cada NMOS corresponde um PMOS no arranjo, os 150 transistores indicados para a ITD de 30 μm representam 75 transistores NMOS e 75 transistores PMOS. O modelo INVMOS foi idealizado seguindo um posicionamento PNPN; se o posicionamento dos transistores for feito na forma PPNN conforme mostra a figura 84, infere-se que a ITD deverá ser reduzida para acomodar o número máximo de transistores indicados na tabela 37. Ao se dobrar a largura do poço N, permitindo a alocação de duas fileiras de transistores PMOS, tornar-se-á necessário reduzir o comprimento do poço pela metade. Isso manteria a capacitância poço N/substrato inalterada (desconsiderando os erros introduzidos pelo novo perímetro da junção poço/substrato) e os resultados encontrados permaneceriam válidos, em uma primeira aproximação.

Tabela 37 Número máximo de transistores, frequência de clock máxima e mínima LET detectável em função da ITD

ITD	nº máximo de transistores	f _{clock} máxima	LET mínima detectada (MeV/mg/cm ²)
30 µm	150	1,7 GHz	0,75
45 µm	224	543 MHz	entre 0,75 e 1
60 µm	300	990 MHz	entre 1 e 2

Para a ITD de 30 µm, o limite de detecção de 0,75 MeV/mg/cm² foi estabelecido por projeto ao se dimensionar os transistores T0 e T10. Para as demais ITDs, os limiares de detecção encontram-se entre os valores indicados na tabela. A detecção da ocorrência de SET com 100% de acerto somente é possível para uma ITD de 30 µm ou menor; para ITDs maiores, os SETs provocados pela incidência de radiação com LETs de valor mais reduzido são propensos a não serem detectados. Dos resultados obtidos, conclui-se ser necessário implantar um circuito BICS para cada intervalo de 30 µm em disposição PNPN, ou 15 µm em disposição PPNN se a detecção com 100% de acerto e a máxima velocidade de operação for pretendida. Essa limitação não é determinada pelo circuito ou topologia dos BICS; ao invés disso, é determinada pelo comportamento da corrente que flui pelos contatos do poço N, o qual introduz um atraso na operação do ramo PMOS em função da necessidade de equalizar a carga da capacitância poço N/substrato.

Mostrar-se-á, agora, que a técnica Bulk-BICS suspende a operação do sistema sob supervisão por um tempo maior do que o necessário para que o SET se esvança totalmente. Conforme exposto em 4.3.1, o tempo de resposta dos circuitos TRIBICS é função da rapidez com que a carga mínima é integrada, ou seja, o valor de corrente que dispara o BICS é dependente do período em que essa corrente circula através do transistor sensor. A fim de quantificar o limiar de disparo do circuitos TRIBICS, efetuou-se uma simulação de circuito excitando-se as entradas bulk_N e bulk_P com um pulso de corrente retangular, de período

fixo e amplitude variável, em função do comprimento dos transistores T0 e T10. Os tempos de subida e descida da corrente foram ajustados em 2 ps e o tempo total do pulso é medido entre os pontos de início e fim (por exemplo, 10 ps = 2 ps subida + 8 ps constante + 2 ps descida). Os resultados são mostrados nas tabelas 38 e 39.

Tabela 38 Corrente de disparo do ramo NMOS para um pulso retangular em função da duração do pulso e do comprimento do transistor T10

T _p (ps)	Corrente do pulso (μ A)						
	200 nm	250 nm	300 nm	400 nm	500 nm	600 nm	700nm
5	89	89	91	95	102	109	116
10	61	59	59	60	63	66	70
15	50	47	46	46	47	49	51
20	44	41	40	38	39	40	41
25	40	37	35	34	33	34	35
50	33	30	27	24	22	22	21
75	30	27	24	21	19	18	17
100	29	26	23	19	17	16	15
250	26	23	20	17	14	12	11
500	25	21	19	15	13	11	10
750	24	21	18	15	13	11	10
1000	23	20	18	15	12	11	10

A corrente necessária para disparar o BICS, em qualquer ramo, aumenta à medida que a duração do pulso diminui. Para o ramo NMOS, a corrente de disparo aumenta com o comprimento do transistor T10 para os tempos mais curtos, de 5 ps a 15 ps. A razão disso é que o BICS somente pode ser disparado após haver a carga da capacitância do nó bulk_N até um valor de tensão que ponha em condução o transistor T10. O valor de corrente de disparo, assim, não está ligado à queda de tensão no transistor sensor; para pulsos curtos, toda a corrente é destinada a promover a carga da capacitância do nó bulk_N e pouca corrente circula, efetivamente, através do transistor T10. À medida que o tamanho de T10 aumenta, mais corrente é necessária para pôr T10 em condução, e isso deve ser atingido durante o curto

intervalo do pulso de corrente. Para os pulsos mais longos, há mais tempo para esse carregamento acontecer, com o que a corrente necessária se reduz àquela que, circulando exclusivamente através de T10, causa a queda de tensão necessária para pôr T11 em condução. O comportamento do ramo PMOS é equivalente, com a diferença de que o tamanho do transistor T0 é menor, exercendo, assim, uma menor influência na capacitância do nó bulk_P.

Tabela 39 Corrente de disparo do ramo PMOS para um pulso retangular em função da duração do pulso e do comprimento do transistor T0

T _p (ps)	Corrente do pulso (μA)				
	40 nm	80 nm	120 nm	240 nm	320 nm
5	83	75	73	76	81
10	58	50	47	47	49
15	48	39	36	35	36
20	42	34	30	28	28
25	39	31	27	24	24
50	31	23	19	15	14
75	28	20	16	12	11
100	26	19	15	10	9
250	19	14	11	7	6
500	15	11	8	5	4
750	13	9	7	5	4
1000	12	9	7	4	3

Os comprimentos de T0 (240 nm) e T10 (600 nm) foram escolhidos a fim de que os BICS respondessem à LET de 0,75 MeV/mg/cm² com ITD = 30 μm. Esses comprimentos determinam uma corrente de disparo, para durações maiores do que 250 ps, de 11 μA para o ramo NMOS e 5 μA para o ramo PMOS. O BICS somente aceita ser restaurado ao estado de repouso quando a corrente de poço N ou substrato cai abaixo desses limites. A partir das figuras 90 e 96, obtém-se a tabela 40, que mostra os momentos nos quais as correntes nos

contatos de poço N ou substrato caem abaixo do limite de detecção dos BICS, e os momentos nos quais o SET gerado termina.

Tabela 40 Momentos nos quais a corrente nos contatos de poço N ou substrato caem abaixo do limite de detecção dos BICS, e momentos de término do SET, para várias LETS.

LET (MeV/mg/cm ²)	ramo NMOS	
	t para $I_{pwell_1} < 11 \mu A$	t para $V_{dreno_NMOS} < 0,55 V$
1	179,9 ps	167,1 ps
2	207,8 ps	184,7 ps
5	344,4 ps	209,5 ps
10	7,4 ns	204,7 ps
50	>15 ns	232,0 ps
	ramo PMOS	
	t para $I_{nwell_1} < 5 \mu A$	t para $V_{dreno_PMOS} < 0,55 V$
1	1,1 ns	161,0 ps
2	2,5 ns	213,1 ps
5	5,7 ns	216,4 ps
10	11,6 ns	227,7 ps
50	>25 ns	302,1 ps

A tabela 40 mostra que os BICS deixam de ser sensibilizados pela corrente que flui pelos contatos de poço ou substrato um certo tempo após o SET gerado deixar de existir. O intervalo de tempo decorrido entre o fim do SET e o momento em que a corrente monitorada cai abaixo do limite de detecção pode ser de vários nanosegundos, especialmente para o caso do transistor PMOS. Isso indica que o sistema sob supervisão ficará inativo por um intervalo de tempo bastante superior à duração do SET que ocorre no dreno do transistor impactado. Esse fenômeno impacta negativamente a eficácia da técnica Bulk-BICS no que tange à pronta responderá retornar à operação normal após a restauração dos BICS ao estado de repouso, o que só é possível após a corrente monitorada cair abaixo do limiar de detecção do BICS.

6.5 A QUESTÃO DO POÇO N E SUBSTRATO QUENTES

A implantação da técnica Bulk-BICS em um sistema digital implica em interpor, em série com os contatos de poço N e substrato, um elemento resistivo como sensor de corrente. No circuito do TRIBICS, esses elementos são representados pelos transistores T0 e T10. Com isso, tanto o poço N quanto o substrato passam a ser “quentes”, ou seja, não têm uma conexão direta com o V_{DD} ou o gnd.

A resistência dos contatos de poço N e substrato já foi determinada em 5.10. Sendo as larguras de T0 e T10, respectivamente, 210 nm e 120 nm, determinou-se a resistência ôhmica desses transistores para diferentes comprimentos de canal, em função da tensão V_{DS} . Considerando o circuito da figura 38, a resistência do canal de T10 foi avaliada variando-se a tensão de dreno V_{bulk_N} de zero a 1,1 V. Da mesma forma, a resistência do canal de T0 foi avaliada variando-se a tensão de dreno V_{bulk_P} de 1,1 V a zero. Os resultados são mostrados nas figuras 105 e 106.

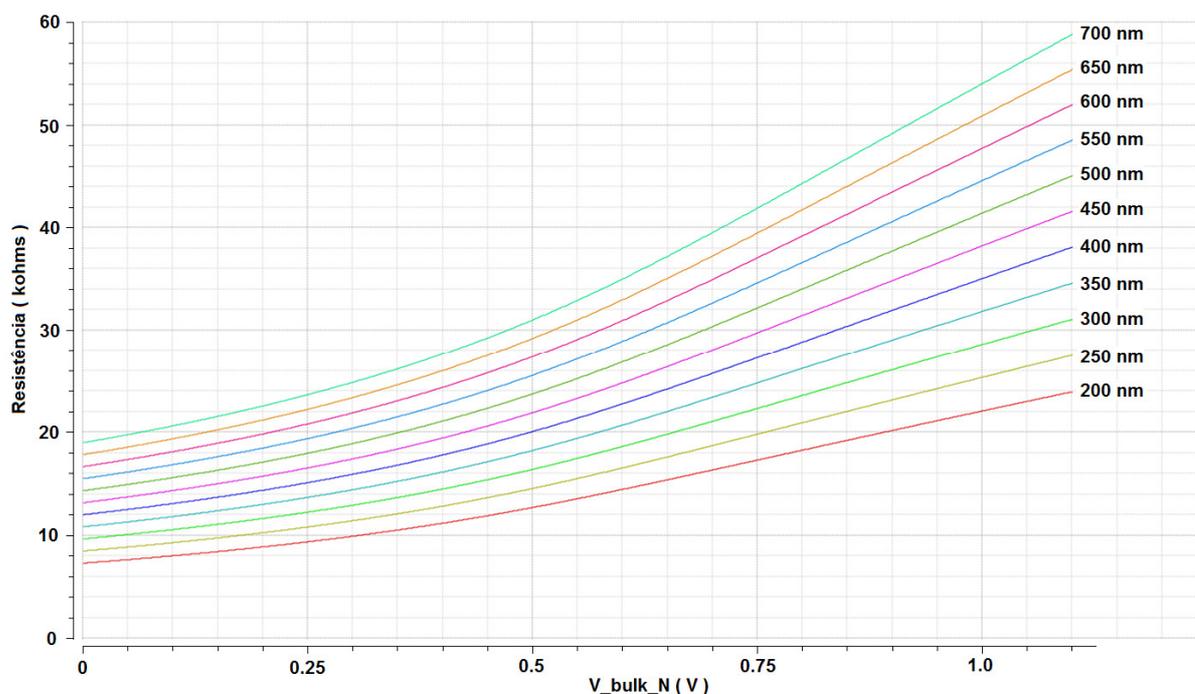


Figura 105 Resistência dreno-fonte do transistor T10 em função da tensão V_{bulk_N} para vários comprimentos de canal.

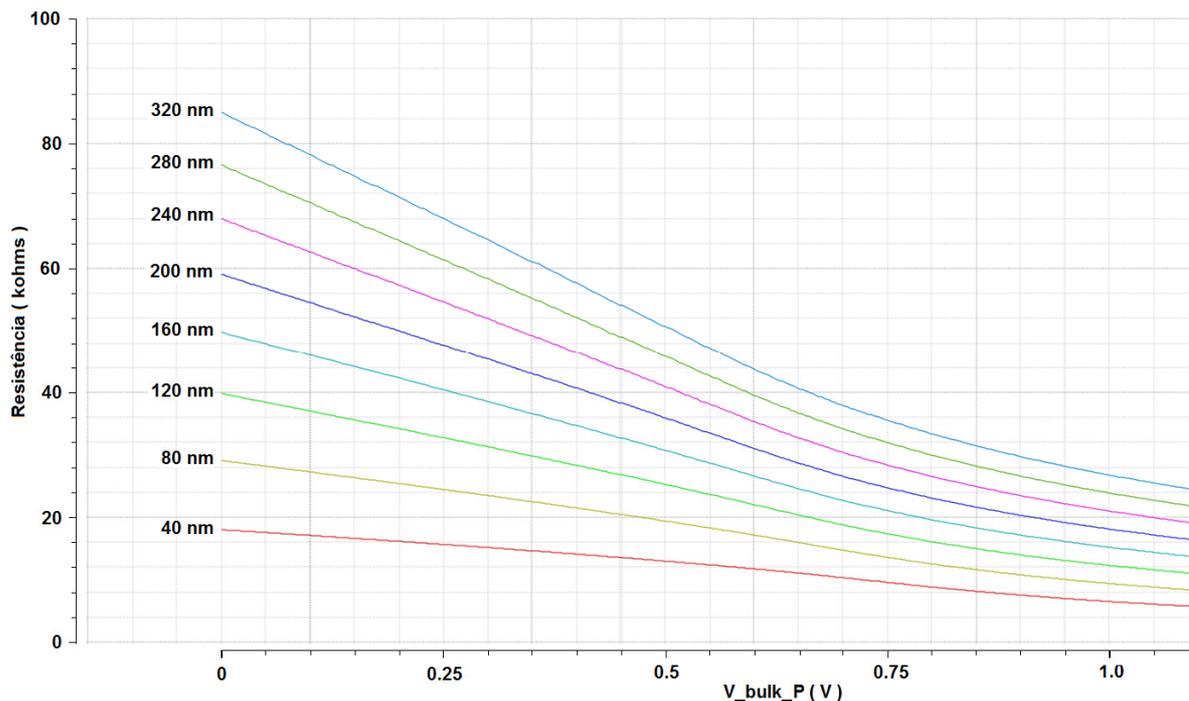


Figura 106 Resistência dreno-fonte do transistor T0 em função da tensão V_{bulk_P} para vários comprimentos de canal.

As simulações visaram determinar o comportamento da resistência do canal desses transistores que ocorre durante a ocorrência do SET, enquanto a tensão dos contatos de poço N e de substrato variam. Em operação normal, as tensões V_{bulk_N} e V_{bulk_P} são zero (valor real 67 pV) e 1,1 V, respectivamente, conforme indicam as figuras 90, 91, 96 e 97. Para esses valores de tensão, as resistências de T0, com 240 nm de comprimento, e T10, com 600 nm de comprimento, valem, respectivamente, 19 k Ω e 17 k Ω . As resistências dos contatos de poço N e substrato, determinadas em 5.10 valem, respectivamente, 15,6 k Ω a 8,6 μ A e 88 k Ω a 1,7 μ A. A tendência mostrada na figura 78, pelas resistências de contato, é a de aumentarem de valor com a redução da corrente circulante. Assim, é razoável supor que as resistências dos contatos de poço N e substrato serão ainda maiores para as correntes que circulam por esses contatos em operação normal (valores simulados: -134 pA para o contato pwell_1, 135 pA para o contato nwell_1). Nota-se que a queda de tensão nos transistores T0 e T10 é desprezível em operação normal, e que a resistência introduzida pelos transistores é menor do que a

resistência do próprio contato. Conclui-se que a interposição dos transistores sensores de corrente do BICS não afeta a operação normal do circuito sob monitoração.

Durante a ocorrência do SET, a resistência dos contatos de poço N e substrato se reduz, e a resistência de canal dos transistor sensores de corrente passa a compor uma parcela significativa da resistência total. A duração do SET é função da resistência de contato de poço N ou substrato (AMUSAN, 2007; GASPARD, 2011; AHLBIN, 2011). A fim de quantificar a influência da introdução das resistências dos transistores sensores de corrente, efetuou-se uma simulação com injeção de cargas no transistor NMOS ($LET = 10 \text{ MeV/mg/cm}^2$), na qual os contatos de poço N e substrato são diretamente ligados ao V_{DD} e gnd, respectivamente. As figuras 107 e 108 mostram as correntes de dreno e fonte dos transistores NMOS e PMOS, e as corrente de contato pwell_1 e nwell_1, comparadas com a mesma simulação onde o BICS está presente.

Observa-se que a conexão dos contatos de poço N e substrato diretamente à fonte de alimentação reduz a duração do SET no dreno, a qual passa de 57,7 ps para 51,4 ps. As correntes de fonte se reduzem em intensidade e duração, o que indica que o efeito regenerativo é menos intenso. O principal efeito da interposição dos transistores sensores de corrente é o de intensificar o efeito regenerativo e tornar o circuito sob supervisão mais propenso ao latch-up. Visto que a corrente através dos contatos de poço N e substrato ficam limitadas pela maior resistência interposta, todo o excesso de corrente é fornecido pelas regiões de fonte. Com uma maior injeção de portadores vindos das regiões de fonte, a condução de todos os transistores bipolares parasitas se intensifica. Nota-se, assim, um prolongamento na duração da circulação de corrente em todos os eletrodos dos transistores. Sem a presença do BICS, os limiares de 11 μA e 5 μA das correntes de poço N e substrato são atingidos nos instantes $t = 3,51 \text{ ns}$ e $t = 9,12 \text{ ns}$. Não foi possível efetuar-se simulações verificando qual seria a funcionalidade dos transistores durante o intervalo de tempo em que o

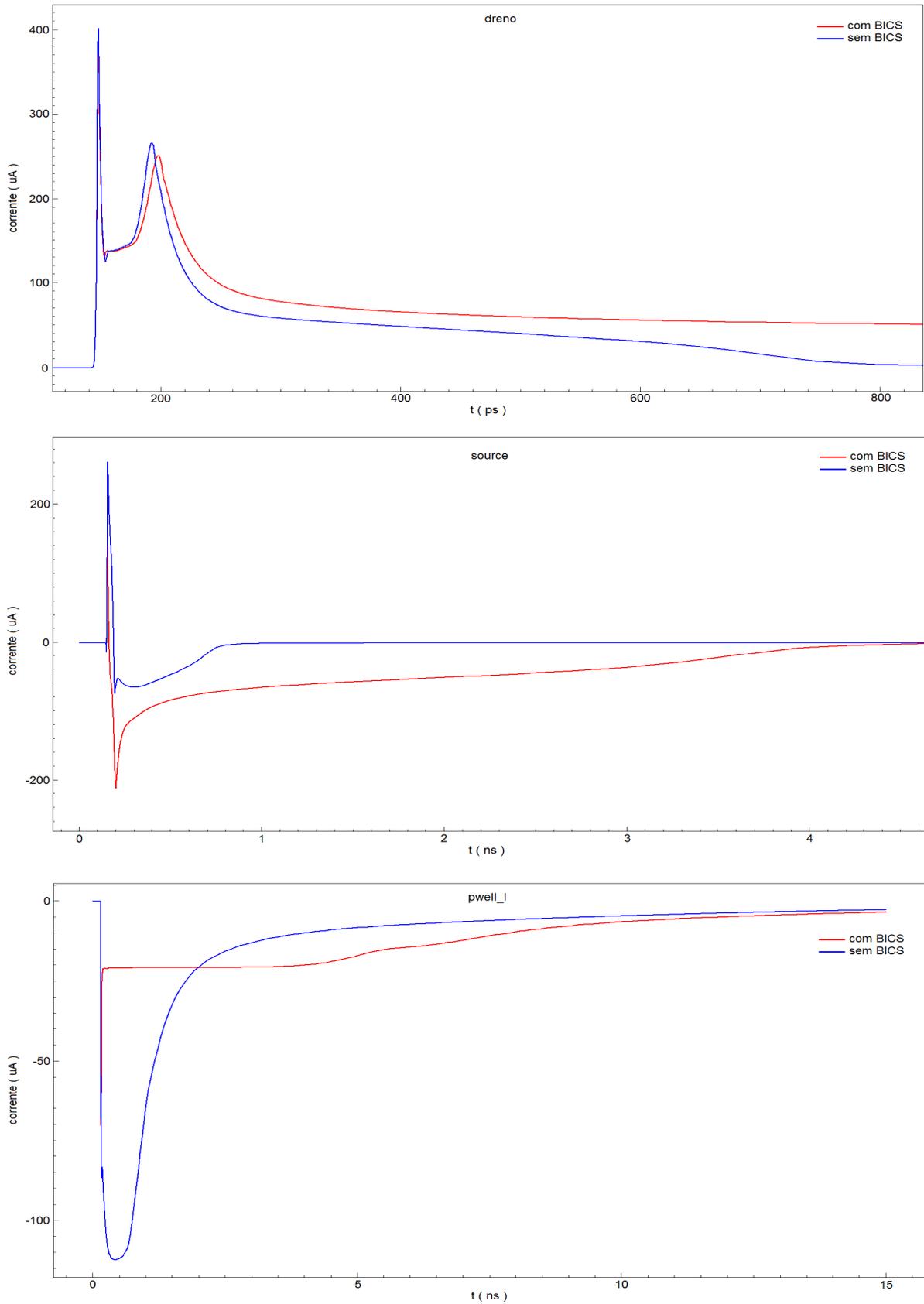


Figura 107 Corrente de dreno e fonte do transistor NMOS, e corrente do contato pwell_1 com e sem a presença do BICS. LET = 10 MeV/mg/cm².

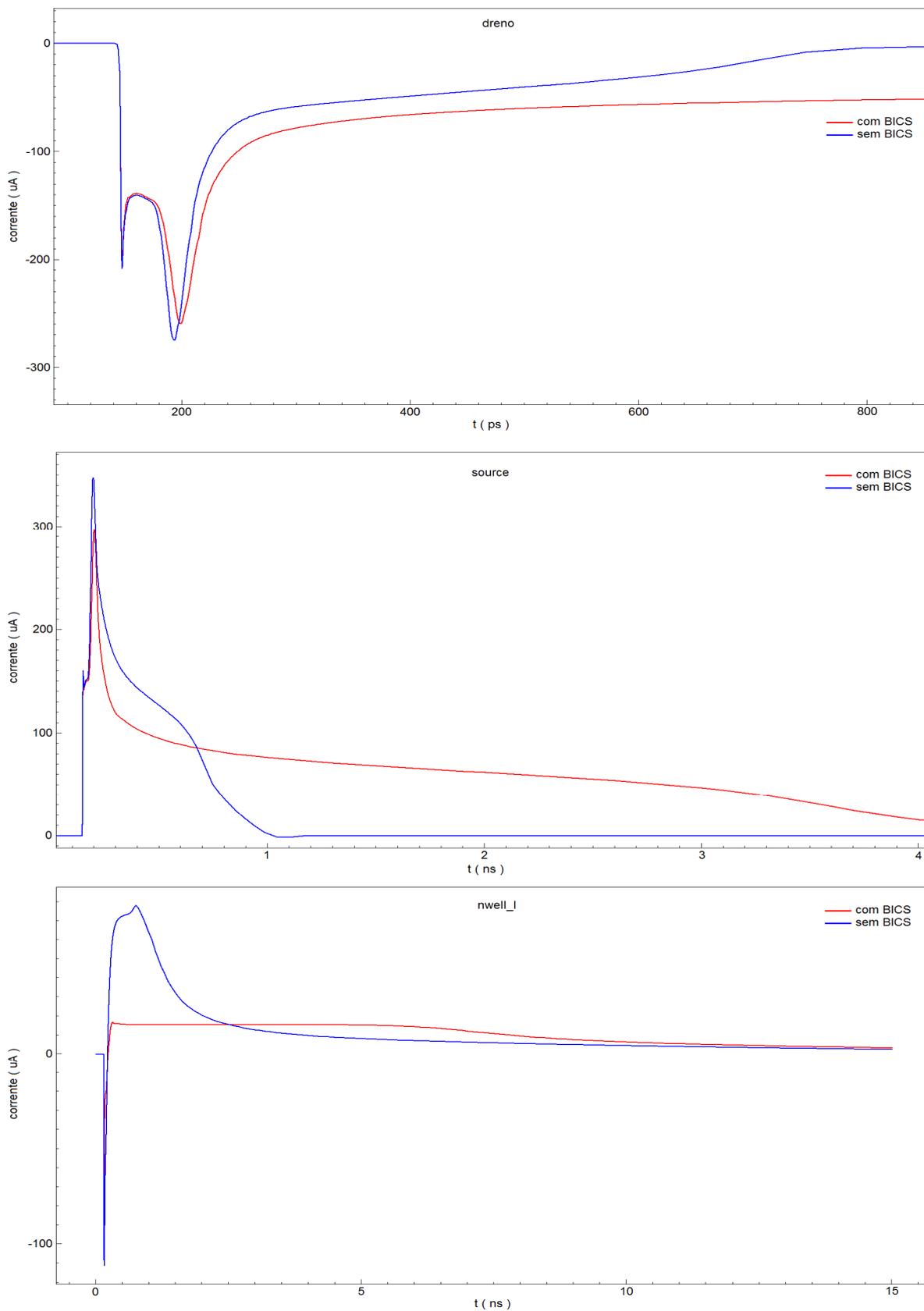


Figura 108 Corrente de dreno e fonte do transistor PMOS, e corrente do contato nwell_1 com e sem a presença do BICS. LET = 10 MeV/mg/cm².

efeito regenerativo se mantém, mas a condução dos transistores bipolares parasitas afeta o funcionamento dos transistores MOS, notavelmente através dos transistores Q3 e Q4. Conclui-se, com isso, que a inclusão do BICS como circuito supervisor de um sistema digital, apesar de não impactar a sua operação normal, aumenta o tempo em que o sistema precisará ficar inativo durante o SET, não só pelo aumento da duração do SET de dreno em si, mas também pelo aumento no tempo de recuperação após o SET haver se extinguido. A propensão à ocorrência do latch-up também é aumentada, mas esse vem a ser um problema de menor ordem. A sustentação do par regenerativo em condução permanente exige que a tensão de alimentação seja pelo menos igual à soma de duas quedas de junção PN (MARSHALL, 2010) que, a 27 °C, resulta em uma tensão entre 1,2 V e 1,4 V. Dadas as tensões de alimentação das tecnologias modernas (tabela 41), a ocorrência de latch-up é improvável à temperatura ambiente, embora o problema seja passível de acontecer em temperaturas elevadas.

Tabela 41 Tensões de alimentação em função do nó tecnológico

Nó tecnológico (Lmin)	Tensão de alimentação
7 nm	0,70 V
10nm	0,75 V
14 nm	0,80 V
16 nm	0,90 V
22 nm	0,95 V
32nm	1,00 V
45 nm	1,10 V

Fonte: www.ptm.asu.edu em 26/10/2017

6.6 FINALIZAÇÃO DO CAPÍTULO

O capítulo apresentou o modelo INVMOS, que contém um par complementar de transistores mínimos na tecnologia UMC 40 nm LP. Foi apresentada a maneira de distribuir os BICS entre os transistores que compõe o sistema digital a ser monitorado, em função da

forma como a corrente transiente se distribui entre os contatos de poço N e substrato. As simulações efetuadas com o modelo INVMOS conectado a dois circuitos TRIBICS mostraram a influência da estrutura PNP parasita, que prolonga a duração do SET e da corrente transiente que circula nos contatos de poço N e substrato. Esse efeito acarreta um aumento no período em que a operação do sistema fica suspensa após a ocorrência do SET. A influência da ITD foi avaliada e, com isso, determinou-se a máxima distância que permite detectar a ocorrência de um SET com 100% de acerto, em 30 μm . Essa distância estabelece que 75 pares de transistores mínimos PMOS/NMOS é o número máximo de transistores que um único BICS pode monitorar, na tecnologia UMC utilizada, e determina uma frequência de clock máxima de 1,7 GHz ao sistema. Por fim, foi avaliada a influência da resistência interposta pelos transistores sensores de corrente do BICS às conexões de poço N e substrato, mostrando-se que a operação normal do circuito não é afetada, mas que há um aumento da duração, tanto do SET como da corrente transitória de substrato e poço N.

7 A FABRICAÇÃO DO SENSOR BULK-BICS NO MESMO SUBSTRATO DOS TRANSISTORES DO CIRCUITO SOB SUPERVISÃO

Um dos questionamentos recorrentes sobre a técnica Bulk-BICS refere-se ao modo como o circuito sensor será fabricado no mesmo substrato, isolado do circuito sob supervisão, já que, estando no mesmo substrato, os transistores do circuito sensor também seriam perturbados pelas cargas injetadas que provocam o SET. Dependendo do grau e direção da perturbação elétrica nos transistores, o BICS poderia gerar um sinal de saída falsamente positivo, o que seria tolerável, ou não responder à ocorrência de um SET, com a saída em repouso representando um falso negativo. Neste capítulo, são apresentados os resultados das simulações que visam determinar a magnitude dessa perturbação, sendo proposta uma maneira de fabricar o BICS no mesmo substrato no qual o circuito monitorado está fabricado. O consumo de área imposto pela implantação dos BICS em um dado sistema também é estimado, levando-se em conta a relação entre o número de transistores necessários à fabricação do BICS e o número máximo de transistores capazes de serem monitorados.

7.1 ESTRATÉGIA DE POSICIONAMENTO DOS BICS EM UM SISTEMA DIGITAL

(ZHANG, 2013), em seu trabalho pioneiro, implementou um multiplicador 4 x 4 bits utilizando o posicionamento PNP. Os BICS destinados ao monitoramento foram dispostos em uma fileira PN separada, conforme mostra a figura 3 em (ZHANG, 2013). Essa estratégia de posicionamento introduz a penalidade de aumentar o tempo de resposta dos BICS, em virtude da capacitância acrescentada pela interligação entre um determinado número de transistores e o BICS, posicionado a certa distância. Além do mais, a síntese automática de circuitos digitais se baseia na existência das standard cells de altura fixa, de forma que o próprio BICS deve ser fabricado seguindo as diretrizes das standard cells em uma dada tecnologia. Dessa forma, o BICS poderia ser posicionado alinhado com as standard cells do

circuito, e a posição ótima para o seu posicionamento seria entre dois blocos de transistores, a cada ITD julgada conveniente pelo projetista. Assim, cada BICS estaria ligado a um p_{tap}/n_{tap} à sua esquerda e outro p_{tap}/n_{tap} à sua direita, com ligações curtas, o que minimizaria os efeitos parasitas introduzidos.

Os transistores PMOS do BICS não podem ser fabricados no mesmo poço comum aos transistores monitorados, mas, sim, em um poço N separado. Essa necessidade decorre do fato de que os poços N do BICS e dos transistores monitorados não são ligados ao mesmo ponto. O poço N do BICS é ligado diretamente ao V_{DD} , enquanto o poço N dos transistores monitorados é ligado ao dreno do transistor PMOS T₀, que está dentro do poço N do BICS. Em não havendo essa isolamento, nenhuma corrente fluiria através de T₀ e o BICS não funcionaria.

Os transistores NMOS representam um problema em especial. Nas tecnologias de duplo poço (double well) os transistores NMOS são fabricados diretamente no substrato P. Disso decorre que algum isolamento é necessário entre os transistores do BICS e os transistores monitorados, caso contrário, a corrente de substrato dos transistores monitorados não fluirá através de T₁₀ e o BICS novamente não funcionará. Além disso, os transistores NMOS do BICS estarão sujeitos à flutuação do potencial de substrato e à ação das cargas criadas pela radiação, o que certamente influencia o correto funcionamento dos transistores NMOS, gerando a possibilidade de o BICS ser disparado indevidamente, ou mesmo, sofrer reset indevido durante a detecção de um SET.

A fabricação dos transistores NMOS em estrutura de triplo poço (triple well) foi proposta em (SIMIONOVSKI, 2012b; DUTERTRE, 2014) como uma forma de se obter uma conexão de substrato separada para os transistores NMOS. Já foi mostrado que a incidência de uma partícula ionizante em um transistor PMOS atravessa o poço N e cria cargas não só no poço N, mas também no substrato. Em virtude da profundidade atingida por uma partícula

ionizante, determinada a partir da figura 1, conclui-se que a mesma cruzaria a estrutura triple-well e continuaria criando cargas no substrato. Assim, apesar de se obter a necessária conexão de substrato dos transistores NMOS monitorados, o uso da estrutura triple-well não evita que os transistores NMOS do BICS sejam afetados pelas cargas criadas pela partícula ionizante ao atravessar o substrato.

Entretanto, a fabricação dos transistores NMOS do BICS em uma estrutura triple-well parece atraente como solução ao problema, pois os mesmos estariam protegidos em seu próprio poço P, circundado pelo poço N que o separa do substrato. Dada a natureza do campo elétrico existente entre o poço N e o substrato, apenas elétrons podem se difundir através da região de depleção, sendo drenados para o V_{DD} pelos contatos do poço N. Pela mesma razão, esses elétrons não atravessam a região de depleção existente entre os poços N e P, de forma que os transistores NMOS não seriam afetados pelas cargas livres criadas no substrato.

Uma alternativa cuja eficácia se deseja verificar é a colocação de um anel de guarda P ao redor dos transistores do BICS. Os anéis de guarda aumentam o percurso das correntes de substrato e estabelecem uma região de coleta de elétrons, pelo mecanismo anteriormente descrito. Embora o processo triple-well esteja disponível nas tecnologias modernas e seja utilizado para isolar transistores de blocos analógicos do efeito das corrente de substrato criadas por blocos digitais integrados no mesmo circuito (mixed-mode systems) conforme (CHATTERJEE, 2012), a possibilidade do uso de um anel de guarda como elemento de blindagem abriria espaço para uma solução mais simples e econômica, viável a tecnologias que não disponha de processo triple-well. Os modelos desenvolvidos para as simulações TCAD contemplam essas duas alternativas, além da alternativa onde os transistores NMOS estão desprovidos de qualquer estrutura de proteção. Com essa abordagem, é possível verificar a intensidade com que os transistores do BICS são afetados, quando desprovidos de proteção, e o grau de proteção que as estruturas de blindagem proporcionam.

7.2 DISPOSITIVOS-ALVO : MODELOS BICS1, BICS2 E BICS3

Três dispositivos-alvo foram modelados aproveitando-se o modelo básico INVMOS4 descrito no capítulo anterior. Os modelos contêm dois pares de transistores NMOS5 e PMOS3, dispostos lado a lado e distantes entre si de 1,5 μm . Os transistores do primeiro par, nomeados NMOS_a e PMOS_a, destinam-se a formar o inversor mínimo que serve de alvo para a injeção de cargas. Os transistores do segundo par, nomeados NMOS_t e PMOS_t, perfazem os dispositivos de teste, cujo comportamento elétrico, durante a injeção de cargas, pretende-se monitorar.

A diferença entre as três estruturas reside na forma escolhida para o isolamento dos transistores de teste. Na estrutura BICS1, não há isolamento algum; os resultados obtidos a partir dessa estrutura servem para se quantificar a magnitude e natureza da perturbação que os transistores do BICS estariam sujeitos se fossem fabricados juntamente com os transistores monitorados, sem qualquer proteção. Na estrutura BICS2, os transistores de teste NMOS_t e PMOS_t são circundados por um anel de guarda N+, conectado ao V_{DD} . Na estrutura BICS3, é utilizada um anel de guarda N+ conectado ao V_{DD} e uma camada N+ enterrada, formando uma estrutura triple-well para o transistor NMOS_t.

As figuras 109 e 110 mostram os transistores em detalhe sobre o substrato do modelo INVMOS4 (30 μm x 10 μm x 10 μm), com o óxido STI removido. Os transistores dispõem de contatos de poço e substrato individuais, esquerdos e direitos, herdados do modelo original INVMOS4. Os contatos são nomeados com o índice **a** indicando os pertencentes aos transistores-alvo e índice **t** para os pertencentes aos transistores de teste (nwell_r_a e nwell_r_t, por exemplo).

As figuras 111 e 112 mostram os perfis de dopagem em cortes cruzando através dos transistores, na direção Y.

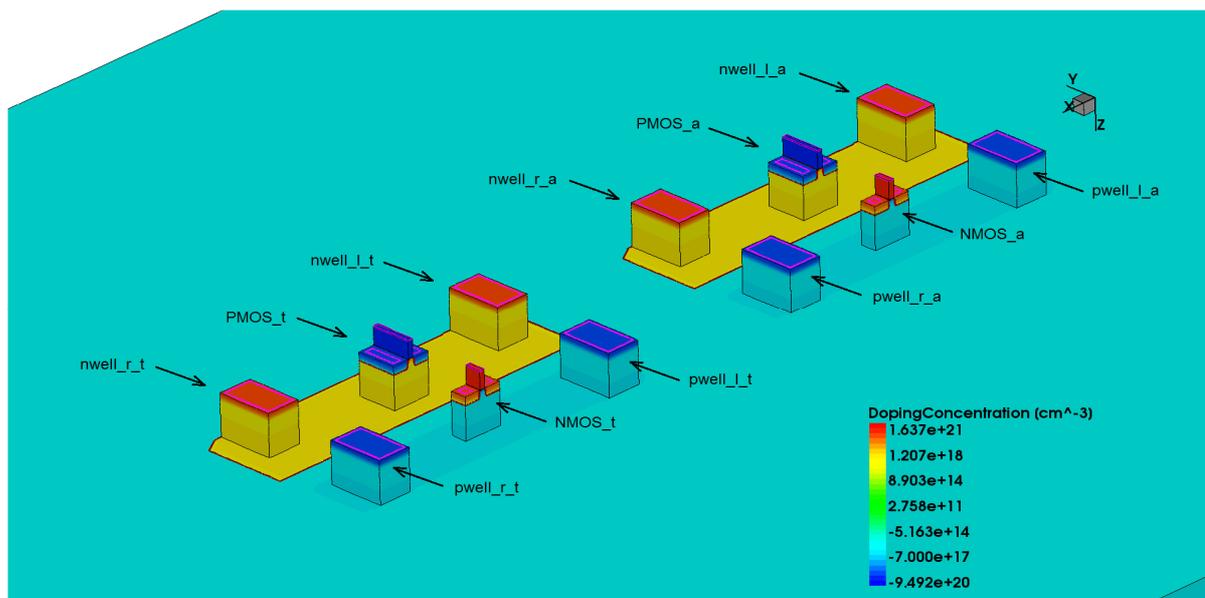


Figura 109 Detalhe mostrando os transistores do modelo BICS1, com o óxido STI removido.

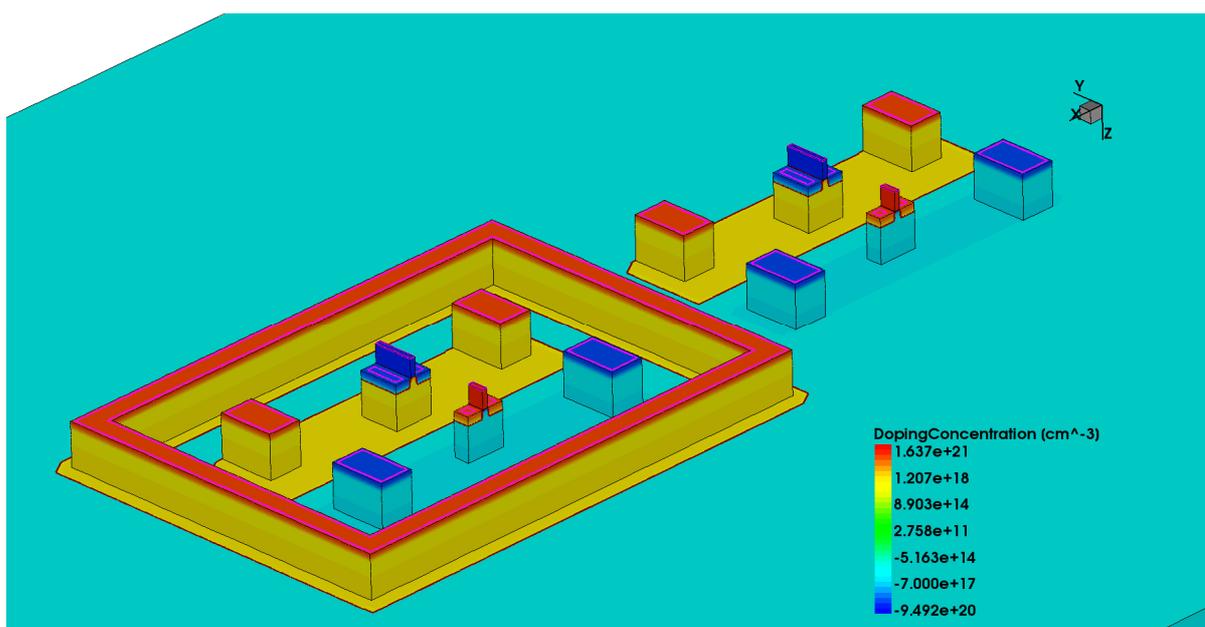


Figura 110 Detalhe mostrando os transistores do modelo BICS2 e BICS3, com o óxido STI removido. A identificação das estruturas segue a mostrada na figura 109.

7.3 SIMULAÇÕES TCAD

As simulações foram feitas utilizando-se o programa Synopsys SDEVICE com $V_{DD} = 1,1$ V e temperatura de 27° C. O par de transistores-alvo foi interligado na forma de um inversor mínimo, cuja entrada é conectada ao V_{DD} , deixando o dreno do transistor PMOS_a

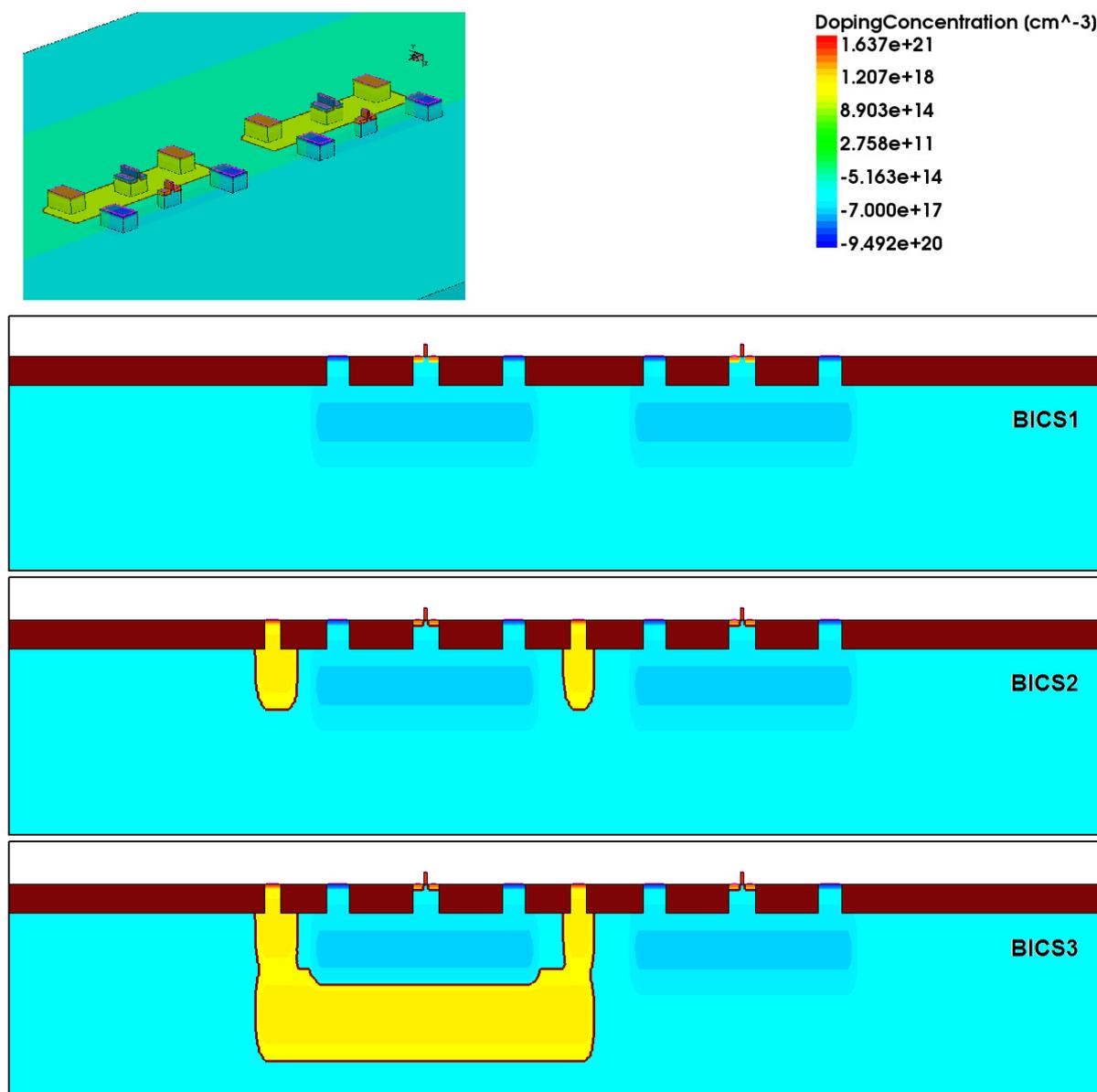


Figura 111 Perfis de dopagem através do corte em $Y = -0,31$ (NMOS).

como a região sensível à radiação. A saída do inversor é carregada por um inversor mínimo descrito em SPICE. Dois circuitos TRIBICS descritos em SPICE foram acrescentados ao script de simulação, com o BICS_L conectado aos terminais nwell_l_a e pwell_l_a, e o BICS_R conectado aos terminais nwell_r_a e pwell_r_a. Cada BICS tem um inversor mínimo como carga. Esses detalhes da simulação foram herdados das simulações anteriores feitas com os modelos INVMOS, a fim de manter as mesmas condições de teste daquelas. O comando HeavyIon foi utilizado para injetar as cargas no centro do dreno do transistor PMOS_a, na

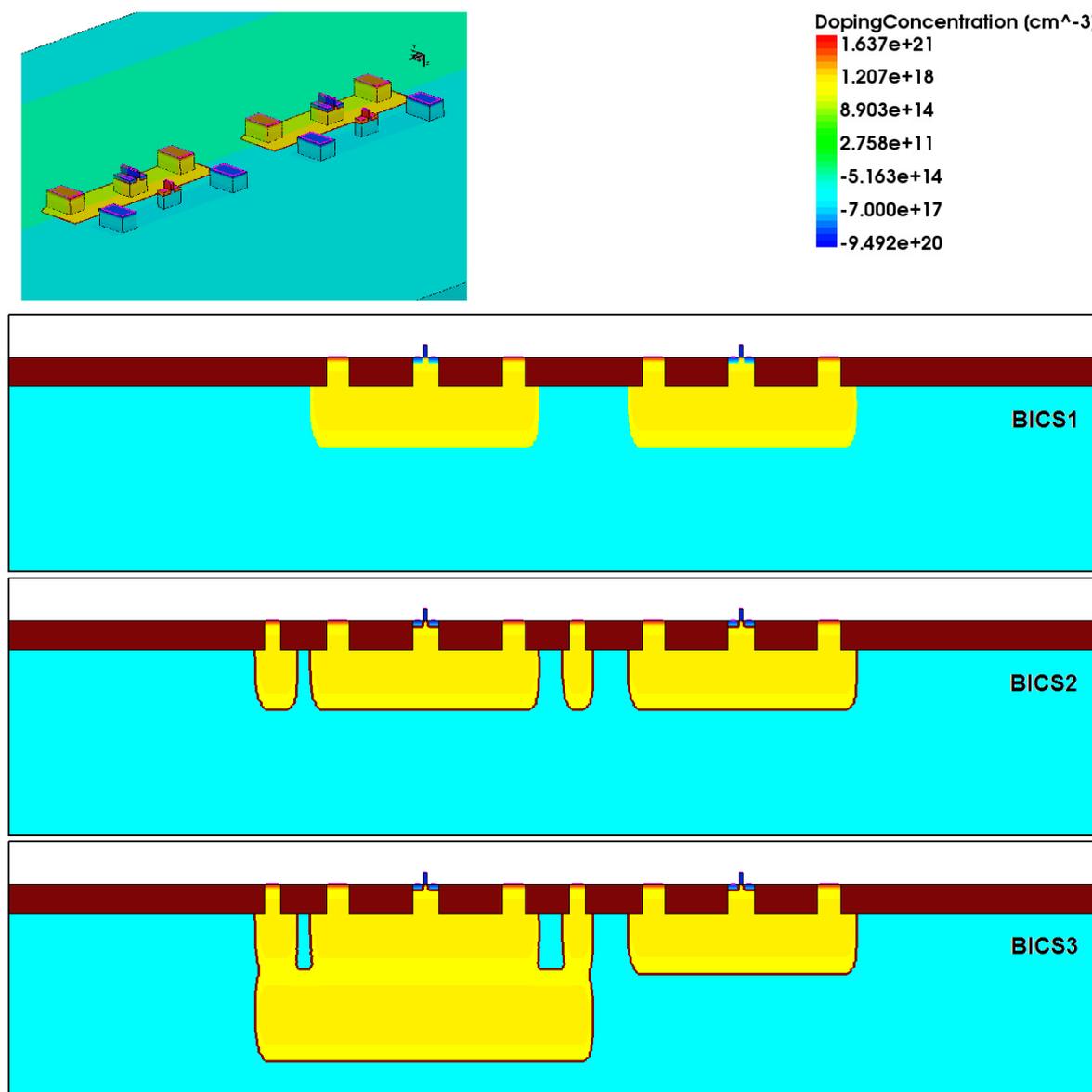


Figura 112 Perfis de dopagem através do corte em $Y = +0,40$ (PMOS).

direção vertical, de cima para baixo, perpendicularmente ao plano X-Y, com os demais parâmetros da injeção de cargas seguindo idênticos aos especificados para as simulações feitas com os modelos INVMOS. Escolheu-se atingir o transistor PMOS pois essa incidência distribui cargas tanto no substrato quanto no poço N do transistor-alvo, o que dispensa uma simulação específica para o transistor NMOS_a. Essa abordagem é válida pois não se está buscando a resposta dos transistores-alvo, que já é conhecida, mas, sim, a resposta dos

transistores de teste, a qual se antecipa ser dependente apenas das cargas injetadas no substrato.

Os transistores de teste têm os drenos e fontes ligados adequadamente à fonte de alimentação, conforme a polaridade do dispositivo, e os portas são polarizados de forma a deixar os transistores em corte. A variável de interesse nas simulações deste capítulo é a corrente de dreno em cada transistor de teste, e o seu comportamento durante a ocorrência do SET. Não é razoável simular o circuito do TRIBICS completamente implementado em TCAD; o circuito contém 12 transistores com vários tamanhos diferentes entre si, exigindo que cada tamanho de transistor fosse calibrado individualmente contra o modelo fornecido pelo PDK. Um transistor mínimo 120/40 é reticulado por cerca de 28000 vértices e o número de vértices da estrutura BICS3 já atinge 340000. Com os demais 10 transistores do BICS, o número de pontos na malha a ser resolvida pelo SDEVICE atingiria mais de 750000 vértices. A capacidade computacional e o tempo necessário para simular um reticulado desse porte são significativos. Não se dispôs mais dos recursos do cluster da Vanderbilt University, tendo sido necessário utilizar um dos servidores disponibilizados pelo Departamento de Informática da UFRGS, o qual demanda 106 h para simular uma estrutura de 300.000 vértices. Extrapolando-se a duração provável da simulação para os 750000 vértices, obtém-se um tempo total de simulação de 265 h, ou cerca de 11 dias. O tempo necessário para elaborar e calibrar um modelo contendo o BICS completo, mais aquele necessário para efetuar as três simulações com êxito, ultrapassaria o espaço de tempo que se dispunha para a execução da tarefa. Ao invés disso, simulou-se o comportamento de um par de transistores apenas, e os resultados foram, então utilizados para se modelar o comportamento dos transistores durante a ocorrência do SET, com uma simulação de circuito sendo usada para se obter a resposta final desejada. Os resultados obtidos são mostrados na sequência, com as figuras 113 e 114 apresentando o comportamento das correntes de dreno dos transistores NMOS_t e PMOS_t.

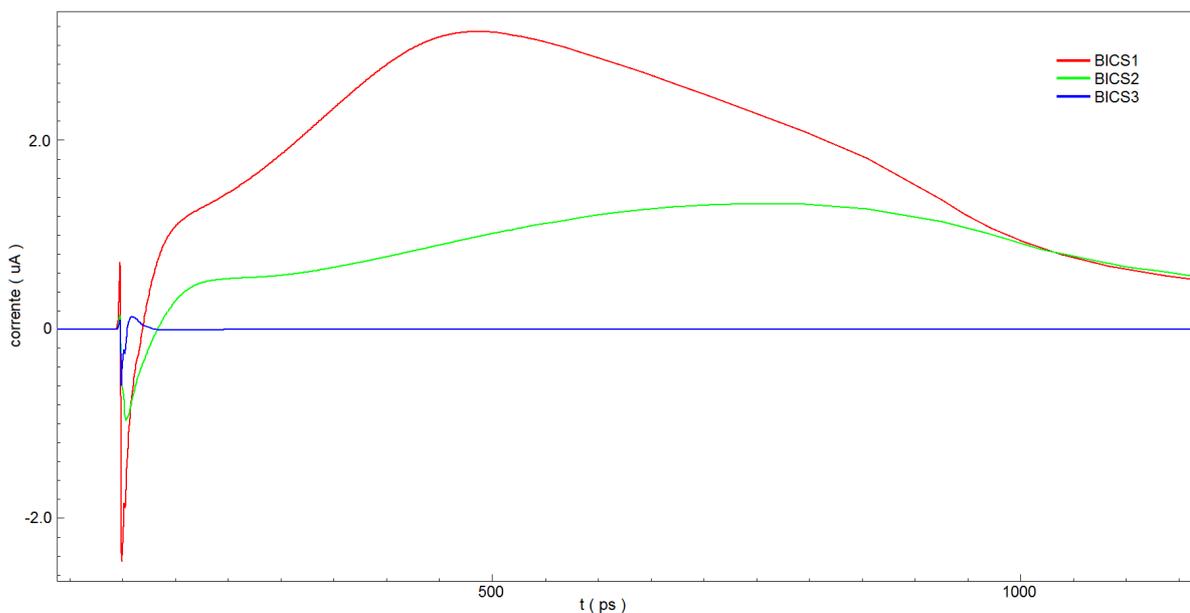


Figura 113 Correntes no dreno do transistor NMOS_t. LET = 10 MeV/mg/cm².

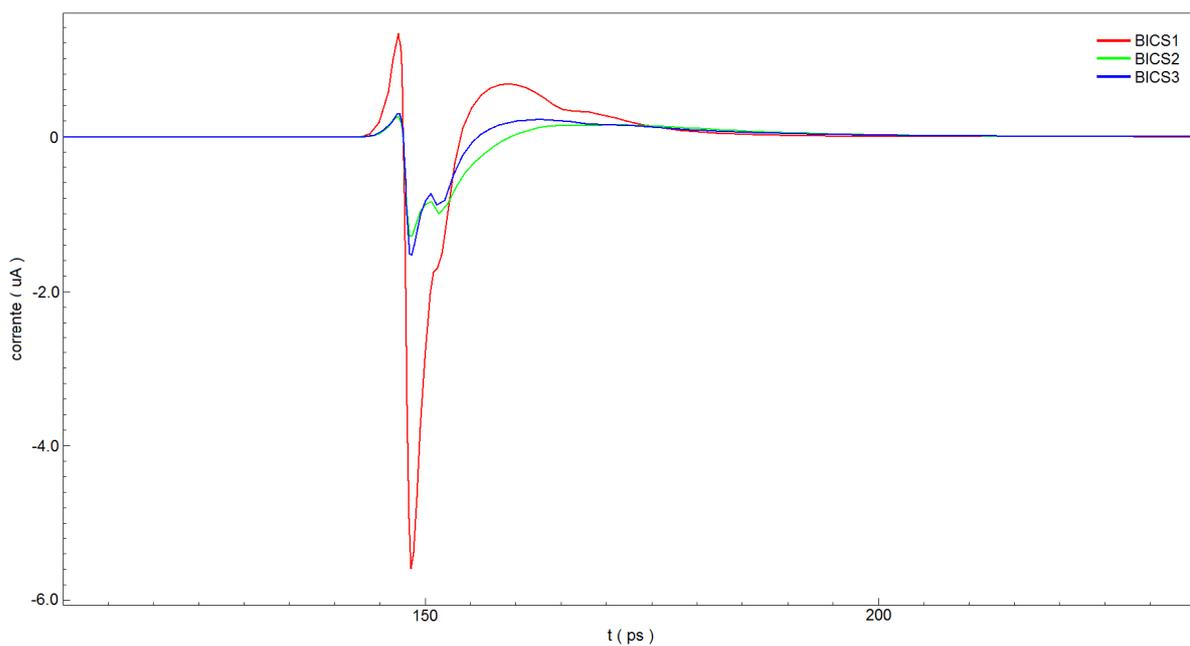


Figura 114 Correntes no dreno do transistor PMOS_t. LET = 10 MeV/mg/cm².

Observa-se que há um transiente negativo na corrente de dreno do transistor NMOS_t logo no momento da injeção de cargas ($t = 150$ ps), representando uma corrente que sai do dreno em direção ao V_{DD} . Essa corrente representa a acomodação de carga na capacitância dreno-substrato, provocada pelo fato de que o potencial de substrato é elevado em relação ao

gnd. Após essa acomodação de carga, o transistor NMOS_t entra em condução, atingindo uma corrente de dreno de 3,15 μA em $t = 487$ ps no modelo BICS1 e 1,34 μA no instante $t = 749$ ps no modelo BICS2. No modelo BICS3, por outro lado, a corrente de dreno atinge um pico de 139 nA em $t = 158$ ps. No transistor PMOS_t tem-se um transiente também negativo no momento da injeção de cargas, mas nenhuma condução permanente toma lugar, na forma como acontece para o transistor NMOS_t. O pico na corrente de dreno atinge 5,58 μA no modelo BICS1, 1,27 μA no modelo BICS2 e 1,52 μA no modelo BICS3.

As figuras 115 e 116 revelam a natureza das correntes de dreno, apresentando as correntes de dreno e fonte nos três modelos. As correntes de dreno e fonte do transistor NMOS_t nas simulações dos modelos BICS1 e BICS2 indicam que o transistor efetivamente entra em condução após uma breve acomodação de cargas nas capacitâncias dreno/substrato e fonte/substrato. Na simulação do modelo BICS3, por outro lado, a corrente de dreno é apenas a corrente de acomodação de cargas da capacitância dreno-substrato, o que mostra a eficiência da estrutura triple-well em isolar o transistor NMOS_t da influência das cargas e da variação do potencial de substrato. As correntes de dreno do transistor PMOS_t, em todas as simulações, são correntes de acomodação de cargas na capacitância dreno/poço N, devidas ao fato de que o potencial do poço N se eleva acima do V_{DD} durante a ocorrência do SET, devido ao acoplamento capacitivo que o poço N tem com o substrato.

7.4 SIMULAÇÕES DE CIRCUITO

A partir dos resultados mostrados nas figuras 113 e 114, pode-se estimar o comportamento do BICS durante a ocorrência do SET utilizando-se a simulação de circuitos. Os valores de corrente e duração dos pulsos de corrente retangulares equivalentes às correntes de dreno de NMOS_t e PMOS_t dos três modelos simulados estão sumarizados na tabela 42.

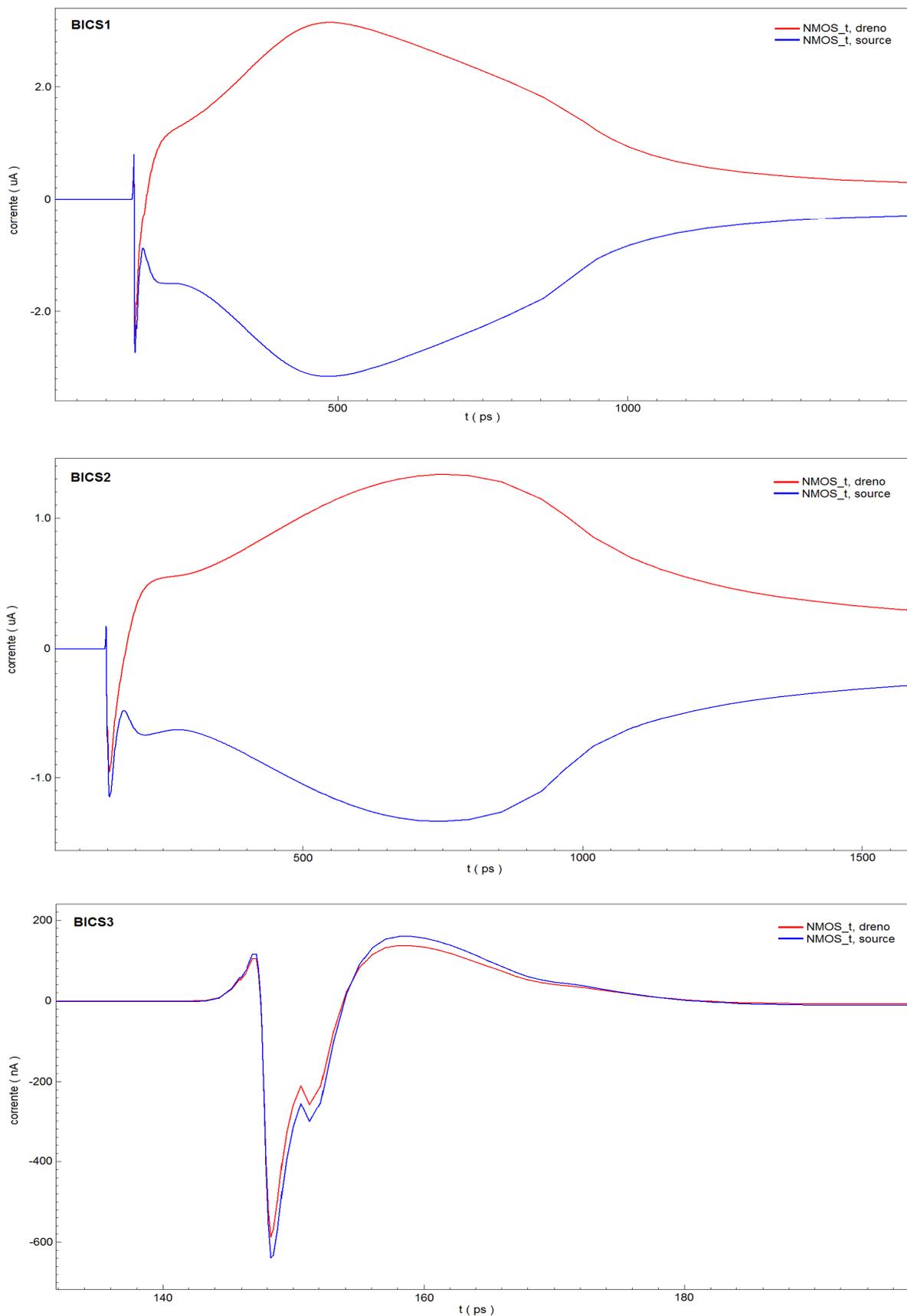


Figura 115 Correntes de dreno e fonte do transistor NMOS_t. LET = 10 MeV/mg/cm².

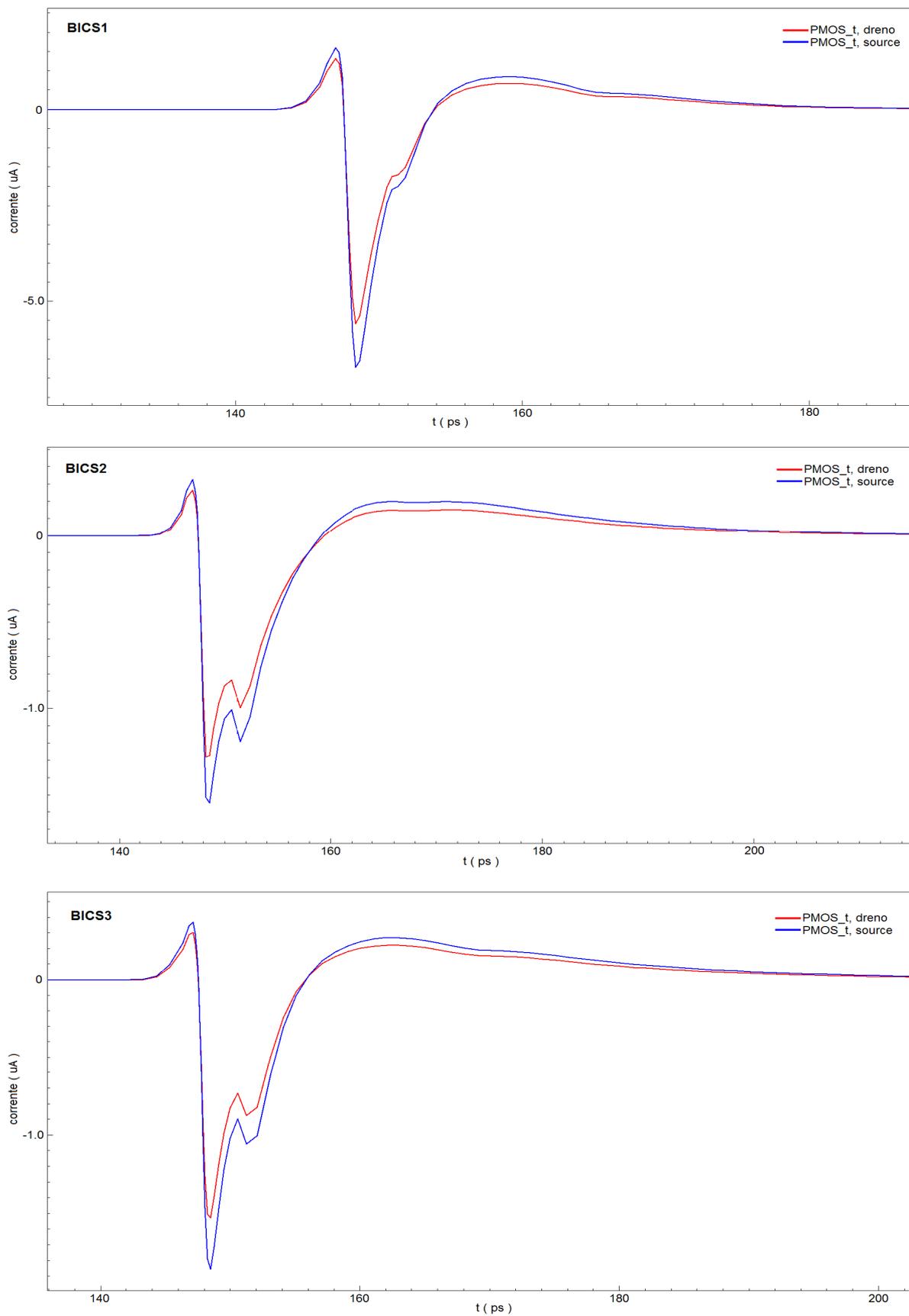


Figura 116 Correntes de dreño e fonte do transistor PMOS_t. LET = 10 MeV/mg/cm².

Tabela 42 Valor de corrente e duração dos pulsos de corrente equivalentes

Modelo	NMOS_t		PMOS_t	
	Corrente	Duração	Corrente	Duração
BICS1	2,50 μ A	625,0 ps	4,31 μ A	2,1 ps
BICS2	1,09 μ A	751,5 ps	0,94 μ A	5,6 ps
BICS3	113 nA	11,6 ps	0,99 μ A	4,4 ps

A perturbação provocada pela injeção de cargas aos transistores de teste foi modelada de duas maneiras. As correntes nos transistores PMOS em todos os três modelos e a corrente nos transistores NMOS para o modelo BICS3 são correntes de acomodação capacitiva e foram modeladas como uma fonte de corrente em paralelo com o transistor perturbado. Como a capacitância de dreno depende da largura do canal do transistor considerado, os valores individuais foram escalados com o fator $W/300$ para os transistores PMOS e $W/120$ para os transistores NMOS.

As correntes nos transistores NMOS para os modelos BICS1 e BICS2 são correntes de condução, e o seu surgimento foi atribuído a uma variação na tensão de limiar dos transistores afetados. A partir das correntes equivalentes da tabela 42 e da curva $I_D \times V_{GS}$ do transistor NMOS501, determinou-se que a variação na tensão de limiar é de 468 mV no modelo BICS1 e 421 mV no modelo BICS2. Essa variação foi introduzida no circuito SPICE como uma fonte de tensão em série com os portas dos transistores NMOS.

O circuito de simulação foi composto pelo TRIBICS, descrito em SPICE, com um inversor mínimo acrescentado à saída not_out. A tensão de alimentação foi mantida em 1,1 V e a temperatura em 27 °C. As fontes de tensão e/ou corrente equivalentes foram ativadas no instante $t = 5$ ns, a fim de proporcionar o tempo de acomodação necessário ao nó de integração. Um conjunto de simulações foram feitas com o circuito em repouso, buscando verificar se há disparo induzido exclusivamente pela ação das cargas de substrato; outro conjunto de simulações foi feita com o circuito disparado (utilizando-se, para isso, os

transistores de teste T5 e T8), buscando verificar se o circuito sofre ação de reset induzido pelas cargas de substrato.

7.5 RESULTADOS

A simulação com as correntes extraídas a partir dos modelos BICS1 e BICS2 mostram que o circuito não sofre reset induzido em nenhum dos casos. Por outro lado, o circuito sofre disparo induzido com uma LET de 10 MeV/mg/cm² em ambos os modelos. A maior contribuição para o disparo do circuito advém da condução de T11 da figura 38; a sua contribuição é suficiente para disparar o circuito sem a contribuição dos demais transistores. Isso é razoável em função da amplificação provida por T2 à corrente de condução de T11. T7 é capaz de disparar o circuito apenas no modelo BICS1, mas não com a intensidade proporcionada por T11: o tempo de resposta do circuito é de 440 ps para T7, contra 29 ps para T11, indicando que T11 tem uma influência mais preponderante do que T7 na injeção de cargas no nó de integração. T7 não é individualmente capaz de disparar o BICS no modelo BICS2. A conclusão é que um simples anel de guarda ao redor dos transistores NMOS não é uma blindagem eficaz contra os efeitos da flutuação do potencial de substrato.

No modelo BICS3, o circuito se manteve inalterado durante a ocorrência do SET, indicando que a implementação dos transistores NMOS na estrutura triple-well minimiza eficientemente a perturbação provocada pelas cargas injetadas. De fato, as correntes capacitivas transientes nos drenos de T11 (192 nA) e T7 (237 nA) são insuficientes para pôr em condução os transistores T2 e T4 a ponto de provocar o disparo do circuito, o que necessita um mínimo de 3,56 μ A em T11 e 4,03 μ A em T7. A partir desses resultados, conclui-se que os circuitos TRIBICS, fabricados com os seus transistores NMOS em estrutura triple-well, resultam imunes à perturbação provocada pela flutuação do potencial de substrato

para LETs até 10 MeV/mg/cm², e que existe uma margem de segurança de, pelo menos, 17x para acomodar as perturbações provocadas por LETs de valor superior a esse.

7.6 ESTIMAÇÃO DO CONSUMO DE ÁREA

A relação entre a área consumida pelo BICS e a área total ocupada pelo circuito sob supervisão é uma métrica que permite comparar a técnica Bulk-BICS com as demais técnicas de mitigação dos efeitos do SET. Com efeito, (BASTOS, 2011) declara que a área necessária para implementar a técnica Bulk-BICS pode ser de até 13,4% da área do circuito sob supervisão, valor abaixo daqueles exigidos pelas técnicas tradicionais, como a redundância tripla TMR (200%).

O consumo de área dos sensores TRIBICS, para um dado circuito a ser monitorado, somente pode ser avaliado com precisão tendo-se acesso ao processo no qual o circuito é fabricado e à própria topologia do circuito, a fim de verificar a melhor maneira de implementar o circuito BICS e como introduzi-lo na estrutura do circuito. As restrições impostas ao layout, pela tecnologia específica do circuito sob monitoramento, vai forçosamente afetar a forma como o BICS será desenhado, especialmente com relação às restrições impostas ao layout dos transistores NMOS em triple-well. Disso decorre que a cada tecnologia caberá um layout diferente para o BICS. Entretanto, estimar-se-á um valor para o consumo de área do circuito TRIBICS para a tecnologia UMC 40nm LP, apesar de não se ter feito um layout específico utilizando-se a ferramenta de layout jem conjunto com as restrições impostas pelo PDK.

Partindo-se de uma estrutura de posicionamento PNP, como a que foi usada no modelo INVMOS, sabe-se que os transistores devem ser dispostos em duas fileiras com passo de 400 nm. Como as standard cells todas têm essa mesma estrutura, o TRIBICS também deve ser implementado na mesma forma e estrutura, ou ele não poderá ser incluído no reticulado. A

largura de canal é fixa em 40 nm, de forma que transistores com canal mais longo do que esse devem ser implementados na forma de instâncias de 40 nm em série. A partir dos tamanhos atribuídos, determina-se o número de instâncias a serem postas em série para cada transistor do circuito. As quantidades estão sumarizadas na tabela 43.

Tabela 43 Número de instâncias com L = 40 nm necessárias para implementar o circuito TRIBICS na tecnologia UMC 40nm LP

Transistor	Tipo	comprimento	nº instâncias com L = 40 nm
T0	PMOS	120 nm	3
T1	PMOS	40 nm	1
T2	PMOS	40 nm	1
T3	PMOS	40 nm	1
T4	PMOS	600nm	15
T8	PMOS	40 nm	1
T9	PMOS	300 nm	7,5 (8)
T5	NMOS	40 nm	1
T6	NMOS	40 nm	1
T7	NMOS	40 nm	1
T10	NMOS	300 nm	7,5 (8)
T11	NMOS	40 nm	1

Com base nas quantidades indicadas, determina-se que são necessárias 30 instâncias PMOS e 12 instâncias NMOS. Os transistores T9 e T10 devem ter suas larguras redimensionadas para acomodar o novo comprimento de $8 \times 40 \text{ nm} = 320 \text{ nm}$ caso o acréscimo de 20 nm no comprimento original cause alguma deficiência no circuito.

O acréscimo de área introduzido pelos BICS pode ser computado a partir da conclusão de que o máximo número de transistores monitoráveis é de 75 NMOS + 75 PMOS para 100% de acerto na detecção. Dado que o comprimento da standard cell contendo o TRIBICS será dado pela fileira com o maior número de transistores, tem-se que o mesmo terá cerca de $30/75 \times 100 = 40\%$ da área ocupada pelos transistores sob monitoramento. Observe-se que esse valor não leva em conta as restrições ao layout impostas pela tecnologia. A área necessária

aos contatos de poço N e poço P do TRIBICS não foram computadas, tampouco o foi a área necessária para a separação entre os poços N dos transistores monitorados e dos transistores do BICS. Sendo o BICS fabricado na forma de uma standard cell, será necessário interromper o poço N a cada ITD para introduzir o BICS, que necessita ter seus transistores PMOS fabricados em poço separado. Toda tecnologia estabelece uma distância mínima entre poços N. Na tecnologia UMC utilizada, essa distância é de 340 nm (regra NW.S1) para poços conectados ao mesmo potencial, ou 800 nm (regra NW.S2) para poços conectados a potenciais diferentes.

A área do circuito de correção de erros também não foi levada em conta. O valor determinado de 40% é três vezes superior ao mencionado por (BASTOS, 2011) o qual foi baseado em resultados obtidos por simulação de circuitos. Com efeito, os resultados publicados até o presente momento são todos baseados em simulação de circuitos, os quais foram mostrados não concordar com os resultados obtidos com a simulação de dispositivo. Conclui-se, assim, que a técnica Bulk-BICS ainda é vantajosa quando comparada com a técnica TMR, mas que essa vantagem não é tão grande quanto se cogitava. Apesar disso, reitera-se que o valor de área encontrado é apenas uma aproximação grosseira; uma resposta final e definitiva somente poderá ser obtida tomando-se um circuito com layout validado juntamente com o circuito a ser monitorado e nele implementando-se os circuitos TRIBICS com todos os recursos permitidos e todas as restrições impostas pela tecnologia.

7.7 FINALIZAÇÃO DO CAPÍTULO

O capítulo apresentou três estruturas TCAD que visam simular as maneiras possíveis de se fabricar os transistores do sensor Bulk-BICS no mesmo substrato dos transistores que compõe o sistema digital a ser monitorado. As simulações mostraram que os transistores do BICS serão perturbados pelas cargas criadas pela radiação e uma corrente anormal de dreno

flui nessas circunstâncias, ainda que os mesmos não sejam diretamente atingidos. A perturbação nos transistores PMOS é inócua ao funcionamento dos BICS, mas a perturbação nos transistores NMOS é suficiente para disparar o BICS indevidamente, caso os mesmos não estejam fabricados dentro de um poço P separado, formando uma estrutura triple-well. O consumo de área foi estimado e revela que a implantação da técnica Bulk-BICS pode vir a exigir mais área do que se estimava inicialmente na literatura.

8 CONCLUSÃO

O presente trabalho iniciou apresentando um breve resumo sobre a origem e natureza das radiações que afetam os circuitos integrados e as formas como os mesmos são afetados, destacando o problema do evento transiente e o consequente SET, capaz de introduzir erros nos níveis lógicos dos circuitos digitais. As técnicas tradicionais de detecção e correção do efeito do SET foram brevemente explicadas e a técnica Bulk-BICS foi apresentada como uma alternativa vantajosa às técnicas tradicionais, discutindo-se os circuitos propostos na literatura para efetuar a detecção da ocorrência do SET e o método proposto para restaurar a operação normal de um sistema por ele afetado.

O princípio de funcionamento do sensor de corrente transiente com célula de memória dinâmica DynBICS foi apresentado, bem como o detalhamento do protótipo fabricado em tecnologia IBM 130 nm. O protótipo foi submetido a uma sequência de testes elétricos, que mostraram que o circuitos fabricados efetivamente funcionam e atendem satisfatoriamente as especificações de projeto, no tocante aos parâmetros elétricos medidos, dentro da variação de temperatura considerada. O teste sob irradiação laser mostrou a capacidade dos circuitos de capturar adequadamente o SET provocado, permitindo mapear a área sensível em torno do transistor-alvo. Esses resultados, combinados com o resultado do ensaio de TID, mostram que a topologia com célula de memória dinâmica é funcional e adequada à aplicação como Bulk-BICS.

Tendo os resultados positivos obtidos com os circuitos DynBICS como embasamento, desenvolveu-se um novo circuito em tecnologia UMC 40 nm, acrescentando-se realimentação positiva à célula de memória dinâmica e transformando-a em uma célula integrativa. O desempenho elétrico do sensor TRIBICS desenvolvido foi avaliado através de simulação de circuitos, tendo se mostrado superior em velocidade de resposta e sensibilidade, quando comparado com seu antecessor DynBICS.

A questão levantada em (BASTOS, 2014) quanto à janela de vulnerabilidade dos DynBICS devido à necessidade de um pulso de reset recorrente para estabilizar a célula de memória dinâmica foi resolvida, com o uso de uma tensão de polarização superposta ao sinal de reset. A tensão de polarização mantém o transistor de descarga da célula em condução subthreshold, impedindo o acúmulo de cargas na capacitância de armazenamento da célula dinâmica. Esse expediente é usado com sucesso para estabilizar a célula integrativa no circuito TRIBICS.

Uma comparação entre a célula integrativa e células de memória estáticas construídas na forma de latches biestáveis foi efetuada, utilizando-se simulação de circuitos. O resultado dessas simulações revelam que a célula integrativa é superior às células estáticas no tocante ao limiar de disparo e à velocidade de resposta. Dado que o limiar de disparo da célula de memória é fator determinante da menor corrente capaz de disparar o circuito BICS, conclui-se que circuitos BICS projetados em torno de latches biestáveis serão sempre deficientes em sensibilidade e velocidade de resposta, em relação às contrapartes com célula integrativa. As melhores características do circuito TRIBICS, o reduzido número de transistores e a capacidade de ser interligar vários sensores em paralelo, sem a necessidade de uma porta intermediária, possibilitam ao TRIBICS ser o circuito de escolha em uma eventual prototipação da técnica Bulk-BICS.

A aplicabilidade da técnica Bulk-BICS foi investigada extensivamente nesse trabalho, com o uso de simulação TCAD, a partir de modelos que representam com boa aproximação os transistores NMOS e PMOS mínimos da tecnologia UMC utilizada nos TRIBICS. Em simulações preliminares, o modelo de transistor NMOS permitiu investigar a influência dos parâmetros determinados pela tecnologia sobre o comportamento da corrente transiente. Descobriu-se que a corrente transiente é independente dos perfis e dos níveis de dopagem dos implantes existentes no canal do transistor; por outro lado, a corrente transiente depende da

dopagem de substrato e das dimensões do canal do transistor, cujos valores mínimos são parâmetros ditados em cada nó tecnológico. A limitação da corrente transitória de dreno por um outro transistor do circuito provoca o aparecimento do platô de corrente, situação onde a corrente de dreno estabiliza em um valor constante e os portadores coletados em excesso pelo dreno são direcionados para o gnd ou V_{DD} através da fonte do transistor impactado. Uma boa parte da literatura consultada atribui essa corrente à operação de um transistor bipolar parasita e não se descarta a sua existência e contribuição na formação da corrente entre dreno e fonte, mas os resultados das simulações mostram que o fluxo de portadores entre o dreno e a fonte, durante a ocorrência do SET, é melhor explicado pela existência do canal induzido mostrado por (VELACHERI, 1994).

As simulações efetuadas com os transistores NMOS e PMOS agrupados em um único modelo revelaram resultados não previstos pelas simulações de circuito utilizadas anteriormente em (SIMIONOVSKI, 2012b) e, com certeza, em todas as simulações de circuito, efetuadas na literatura consultada, que buscavam encontrar a resposta do BICS à corrente transiente de substrato ou poço. A divisão da corrente transiente entre dreno, fonte e substrato não segue aquela mostrada nos simuladores de circuito, onde o circuito é excitado por uma fonte de corrente em dupla exponencial. As correntes de dreno, substrato e poço N são influenciadas pela presença da estrutura bipolar parasita PNPN, inerente aos circuitos CMOS e que é responsável pelo fenômeno do latchup. Ambos os transistores são afetados pela incidência da radiação em somente em um deles; a amplitude e a duração das correntes transientes nos eletrodos dos transistores são aumentadas e a duração do SET no dreno do transistor impactado se prolonga em certa extensão. Entretanto, as correntes de substrato e poço N se prolongam muito além do ponto de extinção do SET, mantendo o BICS disparado e a atividade do sistema monitorado em suspenso. Dependendo da LET da radiação incidente,

o sistema pode ficar em suspenso por um intervalo de tempo considerável após a extinção do SET, fato que infelizmente não favorece a técnica Bulk-BICS.

Buscou-se determinar a quantidade máxima de transistores que podem ser monitorada com um único BICS, alterando-se a ITD, a distância entre os taps de substrato/poço N. A resposta do ramo NMOS é pouco afetada pela ITD, mas a resposta do ramo PMOS é dependente do comprimento do poço N. A menor LET capaz de gerar um SET logicamente válido em um inversor mínimo da tecnologia UMC utilizada é de $0,75 \text{ MeV/mg/cm}^2$ e o circuito TRIBICS foi ajustado para responder ao transiente gerado por essa LET para o caso de uma ITD de $30 \mu\text{m}$. Para ITDs maiores, a resposta do BICS ocorre para LETs mínimas superiores a $0,75 \text{ MeV/mg/cm}^2$, indicando uma janela de não-deteção para SETs provocados por radiações de menor LET. Para 100% de acerto na deteção de SET, a máxima ITD resulta em $30 \mu\text{m}$ estabelecendo um número máximo de 75 pares de transistores NMOS/PMOS dispostos no passo de 400 nm estabelecido pela tecnologia. Com esse quantitativo determinado, e levando-se em conta a quantidade de transistores necessários para se implementar o BICS na tecnologia UMC 40 nm , obtém-se que o consumo de área do BICS é de, pelo menos, 40% da área dos transistores monitorados. A estimativa obtida é grosseira e somente um estudo mais rigoroso, envolvendo o layout de um sistema real, poderá estabelecer um valor mais representativo. Apesar disso, as aproximações aqui utilizadas são realísticas e não concordam com o valor de 13,4% apregoado em (BASTOS, 2011).

O problema do substrato/poço N quentes, ou seja, não conectados diretamente ao V_{DD} ou gnd, foi investigado e concluiu-se que a interposição dos transistores sensores de corrente do BICS nas ligações dos contatos de poço N e substrato não afetam a operação normal do circuito monitorado. Na ocorrência do SET, porém, a propensão ao latchup é aumentada, apesar do fato de que esse fenômeno é pouco provável nas tecnologias modernas, em função do reduzido valor da tensão de alimentação utilizado.

Por fim, foi apresentada a estratégia da implementação do BICS na forma de uma standard cell a ser posicionada entre os grupos de transistores sob monitoramento. O isolamento dos transistores NMOS do BICS em um poço P isolado do substrato, na forma de uma estrutura triple well mostrou-se satisfatória para impedir que os transistores NMOS do BICS fossem afetados pelas cargas injetadas, as quais disparariam indevidamente o BICS, gerando uma resposta falsamente positiva.

Com este trabalho, avançou-se o estado da arte, não só relativamente à técnica Bulk-BICS, mas também quanto ao conhecimento de como se comportam os dispositivos CMOS durante a ocorrência do SET. A participação do efeito regenerativo na formação das correntes transientes e no próprio SET ficou bastante evidente e sabe-se, agora, que ela precisa ser considerada durante as simulações. As simulações de circuito são incapazes de reproduzir esses efeitos, de forma que definitivamente não são adequadas para reproduzir o que acontece durante a ocorrência de um SET. As simulações de dispositivo, por outro lado, permitem que se obtenha resultados mais realísticos, à custa de uma elaboração muito mais complexa e um dispêndio de tempo de preparação e simulação consideráveis, em relação à simulação de circuitos.

A técnica Bulk-BICS foi mostrada efetiva em capturar adequadamente a ocorrência do SET, mas os resultados mostraram que ela é mais invasiva do que se imaginava inicialmente. Apesar disso, o acréscimo de área estimado (40%) ainda a deixa vantajosa quando comparada com as técnicas tradicionais de correção.

Os resultados do presente trabalho também abrem oportunidades para novas pesquisas. A prototipação de um sistema digital monitorado por um conjunto de Bulk-BICS e dotado de um mecanismo corretor de erros é a primeira delas, e a mais imediata. A influência da temperatura e do ângulo de incidência também poderiam ser investigadas. E, à medida que os recursos computacionais ficarem mais poderosos em velocidade e capacidade de

armazenamento, estruturas mais complexas e de maior tamanho físico poderão ser simuladas em TCAD. Dessa forma, poder-se-á simular um grupo de transistores perfazendo uma função lógica, conectado a um BICS, com todos os dispositivos sendo modelados em TCAD, com o que se obterá uma excelente aproximação da resposta real em silício.

REFERÊNCIAS

AHLBIN, J. R. et al. Influence of N-well contact area on the pulse width of single-event transients. **IEEE Transactions on Nuclear Science**, New York, v. 58, n. 6, p. 2585-2590, Dec. 2011.

ALLEN, P. E.; HOLBERG, D. R. **CMOS analog circuit design**, 2nd ed. New York: Oxford University Press, 2002.

AMUSAN, O. et al. Charge collection and charge sharing in a 130 nm CMOS technology. **IEEE Transactions on Nuclear Science**, New York, v. 53, n. 6, p. 3253-3258, Dec. 2006.

AMUSAN, O. et al. Design techniques to reduce SET pulse widths in deep-submicron combinational logic. **IEEE Transactions on Nuclear Science**, New York, v. 54, n. 6, p. 2060-2064, Dec. 2007.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção**. 2010. 206 f. Tese (Doutorado em Engenharia) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BASTOS, R. P. et al. A new bulk built-in current sensor-based strategy for dealing with long-duration transient faults in deep-submicron technologies. In: IEEE INTERNATIONAL SYMPOSIUM ON DEFECT AND FAULT TOLERANCE IN VLSI AND NANOTECHNOLOGY SYSTEMS (DFT), 2011, Vancouver. **Proceedings...** New York: IEEE, 2011. p.302-308.

BASTOS, R. P. et al. A bulk built-in sensor for detection of fault attacks. In: IEEE INTERNATIONAL SYMPOSIUM ON HARDWARE-ORIENTED SECURITY AND TRUST (HOST), 2013, Austin TX. **Proceedings...** New York: IEEE, 2013a. p. 51-54.

BASTOS, R. P. et al. A single built-in sensor to check pull-up and pull-down CMOS networks against transient faults. In: INTERNATIONAL WORKSHOP ON POWER AND TIMING MODELING, OPTIMIZATION AND SIMULATION (PATMOS), 23., 2013, Karlsruhe. **Proceedings...** New York: IEEE, 2013b. p. 157-163.

BASTOS, R. P. et al. A new recovery scheme against short-to-long duration transient faults in combinational logic. **Journal of Electronic Testing**, Berlin, v. 29, n. 3, p. 331-340, Jun. 2013c.

BASTOS, R. P. et al. Comparison of bulk built-in current sensors in terms of transient-fault detection sensitivity. In: EUROPEAN WORKSHOP ON CMOS VARIABILITY, 5., 2014, Palma de Mallorca. **Proceedings...** New York: IEEE, 2014. p. 1-6.

BASTOS, R. P. et al. Novel transient-fault detection circuit featuring enhanced bulk built-in current sensor with low-power sleep-mode. **Microelectronics Reliability**, Oxford, v. 52, n. 9-10, p. 1781-1786, Sept-Oct 2012.

BAUMANN, R. C. Soft errors in advanced semiconductor devices - part I: the three radiation sources. **IEEE Transactions on Device and Materials Reliability**, New York, v. 1, n. 1, p. 17-22, Mar. 2001.

BINDER, D.; SMITH, E. C.; HOLMAN, A. B. Satellite anomalies from galactic cosmic rays. **IEEE Transactions on Nuclear Science**, New York, v. NS-22, n. 6, p. 2675-2680, Dec. 1975.

BLACK, D. et al. Modeling of single event transients with dual double-exponential current sources: implications for logic cell characterization. **IEEE Transactions on Nuclear Science**, New York, v. 62, n. 4, p. 1520-1549, Aug. 2015.

BOCHENEK, M. **Development of radiation resistant CMOS integrated circuits for the power distribution system in the upgraded ATLAS Semiconductor Tracker**. 2012. 203 f. Tese (Doutorado) - Faculty of Physics and Applied Computer Science, AGH University of Science and Technology, Krakow, Poland, 2012.

BUCHNER, S. et al. Laboratory tests for single-event effects. **IEEE Transactions on Nuclear Science**, New York, v. 43, n. 2, p. 678-686, 1996.

BUCHNER, S. et al. Laser simulation of single event upsets. **IEEE Transactions on Nuclear Science**, New York, v. NS-34, n. 6, p. 678-1233, Dec. 1987.

BUCHNER, S. et al. Pulsed laser-induced SEU in integrated circuits: a practical method for hardness assurance testing. **IEEE Transactions on Nuclear Science**, New York, v. 37, n. 6, p. 1825-1831, 1990.

CHATTERJEE, I. **Single-event charge collection and upset in 65-nm and 40-nm dual- and triple-well bulk CMOS SRAMs**. 2012. 90 f. Tese (Mestrado em Engenharia) - Faculty of the Graduate School, Vanderbilt University, Nashville, TN, USA, 2012.

CHATTERJEE, I. et al. Single-event charge collection and upset in 40-nm dual- and triple-well bulk CMOS SRAMs. **IEEE Transactions on Nuclear Science**, New York, v. 58, n. 6, p. 2761-2767, 2011.

DASGUPTA, S. **Trends in single event pulse widths and pulse shapes in deep submicron CMOS**. 2007. 116 f. Tese (Mestrado em Engenharia) - Faculty of the Graduate School, Vanderbilt University, Nashville, TN, USA, 2007a.

DASGUPTA, S. et al. Effect of well and substrate potential modulation on single event pulse shape in deep submicron CMOS. **IEEE Transactions on Nuclear Science**, New York, v. 54, n. 6, p. 2407-2412, 2007b.

DELEGANES, D. et al. Designing a 3 GHz, 130 nm, Intel Pentium 4 processor. In: SYMPOSIUM ON VLSI CIRCUITS, 2002, Honolulu. **Digest of Technical Papers**, New York: IEEE, 2002. p. 130-133.

- DODD, P. E. Production and propagation of single-event transient in high-speed digital logic ICs. **IEEE Transactions on Nuclear Science**, New York, v. 51, n. 6, p. 3278-3284, Dec. 2004.
- DODD, P. E.; MASSENGILL, L. W. Basic mechanism and modeling of single-event upset in digital microelectronics. **IEEE Transactions on Nuclear Science**, New York, v. 50, p. 583-602, 2003.
- DUTERTRE, J.-M. et al. Improving the ability of bulk built-in current sensors to detect single event effects by using triple-well CMOS. **Microelectronics Reliability**, Oxford, v. 54, n. 9-10, p. 2289-2294, Sept 2014.
- FAIRCHILD SEMICONDUCTOR AN-600 **understanding latch-up in advanced CMOS logic**: Application Note. [S.l.], 1989.
- FELTHAM, D. B. I. et al. Current sensing for built-in testing of CMOS circuits. In: INTERNATIONAL CONFERENCE ON COMPUTER DESIGN: VLSI IN COMPUTERS AND PROCESSORS, 1988, Rye Brook. **Proceedings...** New York: IEEE, 1988. p.454-457.
- FU, J. S.; AXNESS, C. L.; WEAVER, H. T. Two-dimensional simulation of single event induced bipolar current in CMOS structures. **IEEE Transactions on Nuclear Science**, New York, v. NS-31, n. 6, p. 1155-1160, Dec. 1984.
- GASPARD, N. J. et al. Impact of well structure on single-event well potential modulation in bulk CMOS. **IEEE Transactions on Nuclear Science**, New York, v. 58, n. 6, p. 2614-2620, Dec. 2011.
- GILL, B. et al. An efficient BICS design for SEUs detection and correction in semiconductor memories. In: DESIGN, AUTOMATION AND TEST IN EUROPE, 2005, Munich. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 2005. p. 592-597.
- HABING, D. H. The use of lasers to simulate radiation-induced transients in semiconductor devices and circuits. **IEEE Transactions on Nuclear Science**, New York, v. 12, n. 5, p. 91-100, Oct. 1965.
- HENES NETO, E.; KASTENSMIDT, F. L.; WIRTH, G. Tbulk-BICS: a built-in current sensor robust to process and temperature variations for soft error detection. **IEEE Transactions on Nuclear Science**, New York, v. 55, n. 4, p. 2281-2288, Aug. 2008.
- HENES NETO, E. et al. Using bulk built-in current sensors to detect soft errors. **IEEE Micro**, Los Alamitos, v. 26, n. 5, p. 10-18, Sept. 2006.
- JIANG, M. et al. Research on single event latch-up effect of CMOS based on TCAD. In: SECOND INTERNATIONAL CONFERENCE ON RELIABILITY SYSTEMS ENGINEERING, 2017, Beijing. **Proceedings...** New York: IEEE, 2017. p. R111(1-5).
- KAUPPILA, J. S. et al. A bias-dependent single-event compact model implemented into BSIM4 and a 90nm CMOS process design kit **IEEE Transactions on Nuclear Science**, New York, v. 56, n. 6, p. 3152-3157, Dec. 2009.
- KIM, J. B.; SUNG, J. H.; KIM, J. Design of a built-in current sensor for IDDQ testing. **IEEE Journal of Solid-State Circuits**, New York, v. 33, n. 8, p. 1266-1272, Aug. 1998.

- KOGA, R.; KOLASINSKI, W. A.; IMAMOTO, S. Heavy ion induced upsets in semiconductor devices. **IEEE Transactions on Nuclear Science**, New York, v. NS-32, n. 1, p. 159-162, Feb. 1985.
- LEE, K.-J.; TANG, J.-J. A built-in current sensor based on current-mode design . **IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing**, New York, v. 45, n. 1, p. 133-137, Jan. 1998.
- LEITE, F. et al. Using bulk built-in current sensors and recomputation techniques to mitigate transient faults in microprocessors. In: LATIN AMERICAN TEST WORKSHOP, 10., 2009, Búzios. **Proceedings...** New York: IEEE, 2009a. p. 1-6.
- LEITE, F. R. **Estudo e implementação de um microcontrolador tolerante à radiação**. 2009. 73 f. Dissertação (Mestrado em Engenharia) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2009b.
- LISBOA, C. A. et al. Using built-in sensors to cope with long duration transient faults in future technologies. In: INTERNATIONAL TEST CONFERENCE, 2007, Santa Clara. **Proceedings...** Washington: International Test Conference, 2007. p. 1-10.
- LO, J.-C.; DALY, J. C.; NICOLAIDIS, M. Design of static CMOS self-checking circuits using built-in current sensing. In: INTERNATIONAL SYMPOSIUM ON FAULT-TOLERANT COMPUTING, 22., 1992, Boston. **Digest of Papers...** Los Alamitos: IEEE Computer Society Press, 1992. p. 104-111.
- LU, C.-W.; LEE, C. L.; CHEN, J.-E. A fast and sensitive built-in current sensor for IDDQ Testing. In: INTERNATIONAL WORKSHOP ON IDDQ TESTING, 1996, Washington. **Digest of Papers...** Los Alamitos: IEEE Computer Society Press, 1996. p. 56-58.
- LU, F. et al. Customized cell detector for laser-induced-fault detection. In: INTERNATIONAL ON-LINE TESTING SYMPOSIUM, 20., 2014, Platja d’Aro, Girona. **Proceedings...** New York: IEEE, 2014. p. 37-42.
- MAKINO, T. et al. LET dependence of single event transient pulsewidths in SOI logic cell. **IEEE Transactions on Nuclear Science**, New York, v. 56, n. 1, p. 202-207, Feb. 2009.
- MARSHALL, C. J. et al. Mechanisms and temperature dependence of single event latchup observed in a CMOS readout integrated circuit from 16- 300 K. **IEEE Transactions on Nuclear Science**, New York, v. 57, n. 1, p. 3078-3086, Dec. 2010.
- MAY, T. C.; WOODS, M. H. Alpha-particle-induced soft errors in dynamic memories. **IEEE Transactions on Electron Devices**, New York, v. 26, n. 1, p. 2-9, Jan. 1979.
- MEDINA, N. H. et. al. Experimental setups for single event effect studies. **Journal of Nuclear Physics, Material Sciences, Radiation and Applications**, Chandigarh, v. 4, n. 1, p. 13-23, Aug 2016.
- MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. **IEEE Transactions on Nuclear Science**, New York, v. 29, n. 6, p. 2024-2031, Dec. 1982.
- MILLMAN, J.; TAUB, H. Regeneration in a binary. In: _____. **Pulse and digital circuits**. New York: McGraw-Hill, 1956. p. 147-149.

MIURA, Y. An IDDQ sensor circuit for low-voltage ICs. In: INTERNATIONAL TEST CONFERENCE, 1997, Washington. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1997. p. 938-947.

NARASIMHAN, B. Characterization of digital single event transient pulse-widths in 130-nm and 90-nm CMOS technologies. **IEEE Transactions on Nuclear Science**, New York, v. 54, n. 6, p. 2506-2511, Dec. 2007.

NARSALE, A. **Variation tolerant hierarchical voltage monitoring circuit for soft error detection**. 2008. 46 f. Dissertação (Mestrado em Engenharia) – Department of Electrical and Computer Engineering, Arts, Science and Engineering, University of Rochester, Rochester, New York, 2008.

NEWTON, M. et al. Single photon absorption laser facility for single event effect testing. In: CANADIAN CONFERENCE ON ELECTRICAL AND COMPUTER ENGINEERING, 2016, Vancouver. **Proceedings...** New York: IEEE, 2016. p. 1-5.

NICOLAIDIS, M. (Ed.). **Soft errors in modern electronic systems**. New York: Springer Science and Business Media, 2012.

PICKEL, J. C.; BLANDFORD, J. T. Cosmic ray induced errors in MOS memory cells. **IEEE Transactions on Nuclear Science**, New York, v. NS-25, n. 6, p. 1166-1171, Dec. 1978.

RUBIO, A. et al. A built-in quiescent current monitor for CMOS VLSI circuits. In: EUROPEAN DESIGN AND TEST CONFERENCE, 1995, Paris. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1995. p. 581-585.

SEDRA, A. S.; SMITH, K. C. **Microelectronic circuits**. 5th ed. New York: Oxford University Press, 2004.

SEIFERT, N. et al. On the radiation-induced soft error performance of hardened sequential elements in advanced bulk CMOS technologies. In: INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM, 2010, Anaheim, CA. **Proceedings...** New York: IEEE, 2010. p. 188-197.

SHIVAKUMAR, P. et al. Modeling the effect of technological trends on the soft error rate of combinational logic. In: INTERNATIONAL CONFERENCE ON DEPENDABLE SYSTEMS AND NETWORKS, 2002. **Proceedings...** Piscataway: IEEE Computer Society, 2002

SIMIONOVSKI, A.; WIRTH, G. I. A bulk built-in current sensor for SET detection with dynamic memory cell. In: LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS, 3., 2012, Playa Del Carmen. **Proceedings...** New York: IEEE, 2012a. p. 1-4.

SIMIONOVSKI, A. **Sensor de corrente transiente para detecção de SET com célula de memória dinâmica**. 2012. 114 p. Dissertação (Mestrado em Engenharia) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2012b.

SIMIONOVSKI, A.; WIRTH, G. I. Simulation evaluation of an implemented set of complementary bulk built-in current sensors with dynamic storage cell. **IEEE Transactions on Device and Materials Reliability**, New York, v. 14, n. 1, p. 255-261, March 2014.

SIMIONOVSKI, A.; WIRTH, G. I. Adding a self-reset feature to the bulk-BICS with dynamic memory cell. **Microelectronics Reliability**, Oxford, v. 55, n. 12, p. 2748-2753, Oct. 2015a.

SIMIONOVSKI, A. et. al. Impact of total ionizing dose on bulk built-in current sensors with dynamic storage cell. **Journal of Electronic Testing**, Berlin, v. 31, n. 4, p. 411-417, Aug. 2015b.

SZE, S. M, **Semiconductor devices physics and technology**. 2nd ed. New York: John Wiley and Sons, 2002.

TORRES, F. S.; BASTOS, R. P. Robust modular bulk built-in current sensors for detection of transient faults. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 25., 2012, Brasilia. **Proceedings...** New York: IEEE, 2012. p. 1-6.

UMC. **40 nm logic and mixed-mode low power topological layout rule**: version 1.3_P.2. 2013. 157 p. Manual de tecnologia.

VARGAS, F.; NICOLAIDIS, M. SEU-tolerant SRAM design based on current monitoring. In: INTERNATIONAL SYMPOSIUM ON FAULT-TOLERANT COMPUTING, 24., 1994, Austin. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 1994. p. 106-115.

VELACHERI, S., MASSENGILL, L. W., KERNS, S. E. Single-event-induced charge collection and direct channel conduction in submicron MOSFETs. **IEEE Transactions on Nuclear Science**, New York, v. 41, n. 6, p. 2103-2111, Dec. 1994.

WIRTH, G. Bulk built-in current sensors for single event transient detection in deep-submicron technologies. **Microelectronics Reliability**, Oxford, v. 48, n. 5, p. 710-715, May 2008.

WIRTH, G.; FAYOMI, C. The bulk built in current sensor approach for single event transient detection. In: INTERNATIONAL SYMPOSIUM ON SYSTEM-ON-CHIP, 2007, Tampere. **Proceedings...** Los Alamitos: IEEE Computer Society Press, 2007. p. 1-4.

ZHANG, Z. et al. A bulk built-in voltage sensor to detect physical location of single-event transients. **Journal of Electronic Testing**, Berlin, v. 29, n. 2, p. 249-253, April 2013.

ZHANG, Z. et al. A new bulk built-in current sensing circuit for single-event transient detection. In: CANADIAN CONFERENCE ON ELECTRICAL AND COMPUTER ENGINEERING, 23., 2010, Calgary. **Proceedings...** New York: IEEE, 2010. p. 1-4.

APÊNDICE:

A Influência dos Parâmetros Tecnológicos na Corrente Transiente de Dreno

APÊNDICE: A INFLUÊNCIA DOS PARÂMETROS TECNOLÓGICOS NA CORRENTE TRANSIENTE DE DRENO

APRESENTAÇÃO

O pulso de corrente transiente gerado pelo impacto de radiação ionizante na junção de dreno de um transistor em corte tem sido modelado por uma corrente em dupla exponencial (MESSENGER, 1982), com o propósito de analisar os efeitos da propagação do transitório gerado em um circuito digital através de simulação de circuitos. A literatura fornece diversos valores de corrente de pico, durações de pulso e constantes de tempo de ataque e decaimento, delegando à tecnologia utilizada nas simulações e experimentos a justificativa para os valores indicados. A principal mudança que ocorre entre dois nós tecnológicos subsequentes é a redução na menor dimensão resolvida pelo processo fotolitográfico, que permite obter dispositivos com canais mais curtos e estreitos. O silício do substrato, bem como os dopantes utilizados na definição das diversas regiões P e N - Boro, Fósforo e Arsênio - permanecem os mesmos. Os níveis de dopagem podem variar entre nós tecnológicos, mas a ordem de grandeza dos níveis de dopagem não varia: o substrato é fracamente dopado (10^{16} a 10^{17} átomos/cm³) enquanto que dreno e fonte são fortemente dopados (10^{19} a 10^{20} átomos/cm³). É pertinente, assim, determinar de que forma os parâmetros controlados pela tecnologia agem sobre o pulso de corrente transitória, podendo-se, a partir dos resultados, estimar os parâmetros necessários para a configuração da fonte de corrente em dupla exponencial.

DETALHAMENTO DAS SIMULAÇÕES

As simulações foram feitas utilizando-se o programa Synopsys SDEVICE com $V_{DD} = 1,1$ V e temperatura de 27° C sobre o modelo NMOS5 descrito no capítulo 5. O comando

HeavyIon foi utilizado para injetar pares elétron-lacuna no dispositivo, com a injeção de cargas, para todos os casos, ocorrendo no centro da região de dreno, direção vertical, perpendicular ao plano X-Y, de cima para baixo. O raio do rastro de cargas foi de 50 nm, com perfil gaussiano, comprimento 7 μm a partir da superfície do silício e a injeção acontece após um período de acomodação de 20 ps a partir do início da simulação. Foi empregado o comando Picocoulomb, que controla a LET utilizada em $\text{pC}/\mu\text{m}$ através do parâmetro LET_f, utilizando-se a relação $1 \text{ MeV}/\text{mg}/\text{cm}^2 = 10 \text{ fC}/\mu\text{m}$. Quando necessário, dispositivos da tecnologia UMC 40nm LP, corner TT, descritos em SPICE são acrescentados ao script formando uma simulação combinada. Seguem os resultados encontrados, conforme o parâmetro de interesse.

PARÂMETRO DE INTERESSE - LARGURA DE CANAL

Modelou-se os transistores NMOS5_240/40 e NMOS5_360/40, com larguras de canal iguais a 240 nm e 360 nm, respectivamente. Para uma LET igual a $5 \text{ MeV}/\text{mg}/\text{cm}^2$, a figura 117 mostra a corrente transitória de dreno não-limitada. A tabela 44 apresenta os valores de corrente de pico máxima e período de pulso a 50% da corrente máxima.

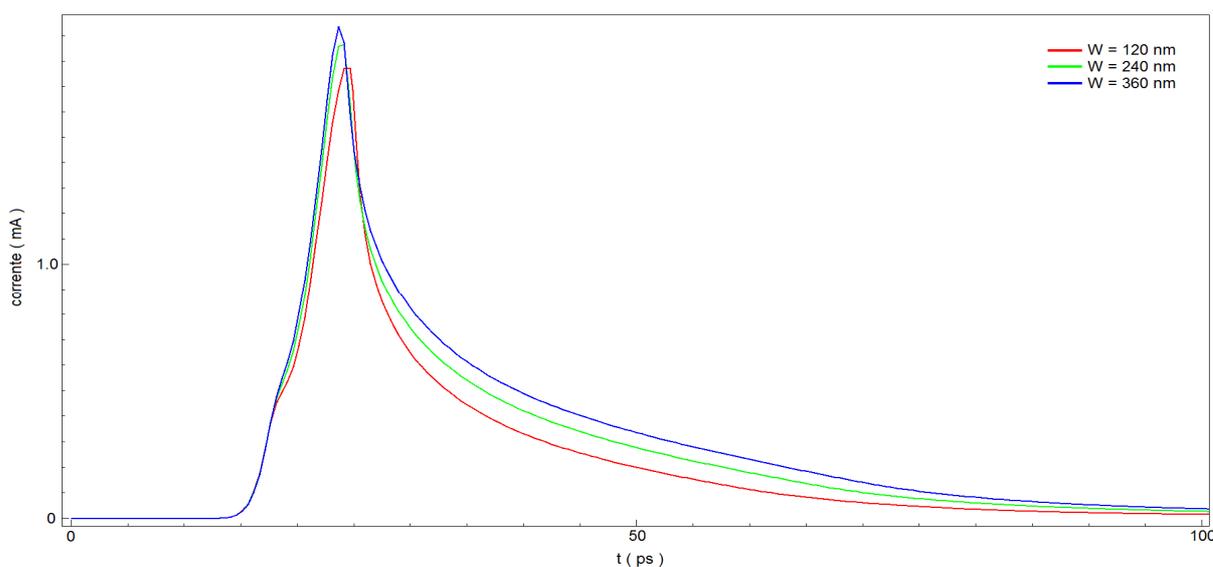


Figura 117 Corrente de dreno no transistor NMOS5, para várias larguras de canal .

Tabela 44 Corrente de pico e período do pulso da corrente de dreno em função da largura de canal

Largura de canal $L = 40 \text{ nm}$	Corrente de pico I_{peak}	Período do pulso T_p a 50% de I_{peak}
120 nm	1,77 mA	6,27 ps
240 nm	1,87 mA	6,67 ps
360 nm	1,94 mA	7,25 ps

PARÂMETRO DE INTERESSE - COMPRIMENTO DE CANAL

Modelou-se os transistores NMOS5_120/160 e NMOS5_120/250, com comprimentos de canal iguais a 160 nm e 250 nm, respectivamente. Para uma LET igual a 5 MeV/mg/cm², a figura 118 mostra a corrente transitória de dreno não-limitada. A tabela 45 apresenta os valores de corrente de pico máxima e período de pulso a 50% da corrente máxima. É notável o atraso na formação do pico de corrente de dreno à medida que o comprimento do canal aumenta, atribuído à demora na formação do canal induzido através do qual flui a parcela de corrente proveniente da fonte.

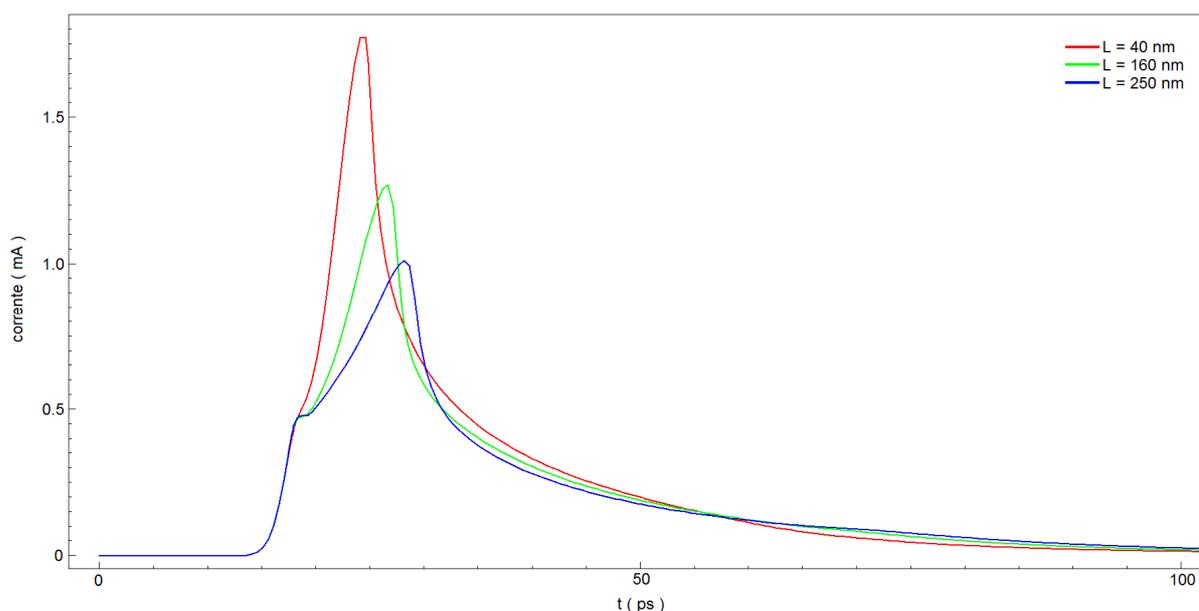


Figura 118 Corrente de dreno no transistor NMOS5, para vários comprimentos de canal .

Tabela 45 Corrente de pico e período do pulso da corrente de dreno em função do comprimento de canal

Comprimento de canal W = 120 nm	Corrente de pico I_{peak}	Período do pulso T_p a 50% de I_{peak}
40 nm	1,77 mA	6,27 ps
160 nm	1,27 mA	7,96 ps
250 nm	1,01 mA	11,69 ps

PARÂMETRO DE INTERESSE - DOPAGEM DE SUBSTRATO

Investigou-se a influência da dopagem de substrato na corrente transitória induzida. A figura 119 mostra as correntes transitórias de dreno não-limitada para o transistor NMOS5_120/40 com as dopagens de substrato nominal (8×10^{16} átomos/cm³) e modificada (10^{16} átomos/cm³). A tabela 46 apresenta os valores de corrente de pico máxima e período de pulso a 50% da corrente máxima.

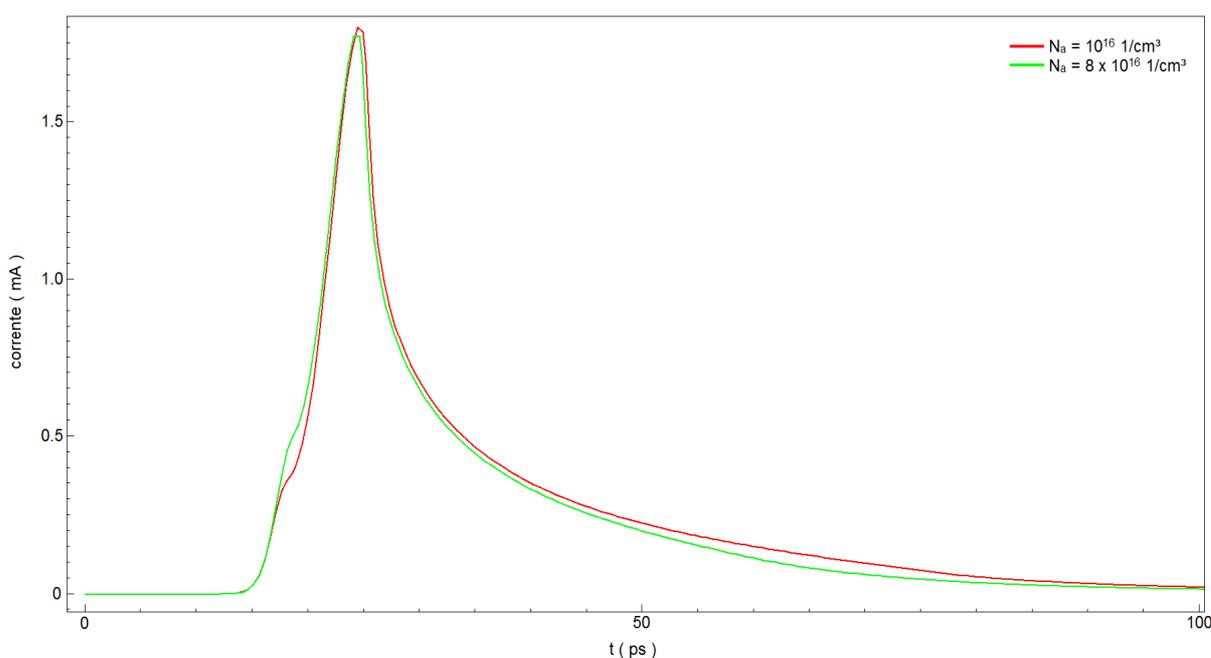


Figura 119 Corrente de dreno no transistor NMOS5_120/40 com diferentes dopagens de

Tabela 46 Corrente de pico e período do pulso da corrente de dreno em função da dopagem de substrato

Dopagem de substrato	Corrente de pico I_{peak}	Período do pulso T_p a 50% de I_{peak}
10^{16} átomos/cm ³	1,80 mA	6,17 ps
8×10^{16} átomos/cm ³	1,77 mA	6,27 ps

PARÂMETRO DE INTERESSE - PERFIS DE DOPAGEM DOS IMPLANTES DE CANAL

Investigou-se a influência dos perfis de dopagem dos implantes do canal na corrente transitória induzida. O comportamento do modelo NMOS5_120/40 foi comparado com outros dois modelos NMOS5_120/40 modificados com as configurações dos implantes de canal indicadas em (DASGUPTA, 2007a) e (CHATTERJEE, 2012) gerando os modelos DGPTA e CHATT. Um terceiro modelo NMOS5_old, utilizando os perfis de uma tentativa inicial de calibração do modelo UMC, foi também utilizado. A tabela 47 sumariza os parâmetros das dopagens de canal de todos os modelos.

É importante ressaltar que os modelos CHATT e DGPTA representam transistores com característica $I_D \times V_{GS}$ bastante diferentes entre si e em relação ao modelo UMC 40nm LP, conforme mostra a figura 120. A figura 121 mostra o resultado obtido para a corrente de dreno limitada por um transistor PMOS 300/40 e com o inversor mínimo de carga, e a tabela 48 sumariza os tempos de duração dos SETs gerados e propagados. Nota-se que, a despeito da diferença entre os modelos, a forma da corrente de dreno do transistor impactado e a duração do SET não depende dos perfis de dopagem dos implantes do canal. As curvas de corrente são praticamente coincidentes, diferindo entre si apenas pela corrente de fuga do transistor impactado, que é significativa nos modelos CHATT e DGPTA. Esse resultado serve ainda para confirmar o fato de que a envoltória da corrente de dreno, após o platô, segue com bastante aproximação a curva da corrente de dreno sem limitação de corrente.

Tabela 47 Parâmetros dos perfis de dopagem dos implantes de canal dos modelos utilizados

Estrutura	Parâmetro	NMOS5	NMO5_old	CHATT	DGPTA
Halo implant	Peal Pos	0	0	0	0
	Peak Val	$2,39 \times 10^{18}$	$2,39 \times 10^{18}$	$2,39 \times 10^{18}$	$2,0 \times 10^{18}$
	Value Depth	$1,17 \times 10^{17}$	$1,17 \times 10^{17}$	$1,17 \times 10^{17}$	$5,0 \times 10^{16}$
	Depth	0,025 Gauss	0,025 Gauss	0,025 Gauss	0,025 Gauss
	Factor	0,0001	0,0001	0,0001	0,0001
LDD	Peal Pos	0	0	0	0
	Peak Val	$1,0 \times 10^{21}$	$1,0 \times 10^{21}$	$1,0 \times 10^{21}$	$8,0 \times 10^{18}$
	Value Depth	$5,81 \times 10^{17}$	$5,81 \times 10^{17}$	$5,81 \times 10^{17}$	$1,0 \times 10^{17}$
	Depth	0,007 Gauss	0,02 Gauss	0,02 Gauss	0,03 Gauss
	Factor	0,1	0,1	0,1	0,1
Threshold implant	Peal Pos	0	0	0	0
	Peak Val	$2,0 \times 10^{19}$	$2,0 \times 10^{19}$	$6,4 \times 10^{18}$	$3,6 \times 10^{18}$
	Value Depth	$2,85 \times 10^{18}$	$2,85 \times 10^{18}$	$3,2 \times 10^{17}$	$1,5 \times 10^{17}$
	Depth	0,0074 Gauss	0,01 Gauss	0,01 Gauss	0,01 Gauss
	Factor	0,0001	0,0001	0,0001	0,0001
Leakage implant	Peal Pos	0	0	0	0
	Peak Val	$1,0 \times 10^{18}$	$5,0 \times 10^{17}$	$9,0 \times 10^{18}$	$7,0 \times 10^{18}$
	Value Depth	$1,4 \times 10^{17}$	$7,0 \times 10^{16}$	$3,0 \times 10^{17}$	$2,0 \times 10^{17}$
	Depth	0,005 Gauss	0,005 Gauss	0,005 Gauss	0,005 Gauss
	Factor	0,0001	0,0001	0,0001	0,0001

Tabela 48 Tempos de duração do SET gerado e propagado, para os vários modelos de transistor

Modelo	Tempo de duração	
	SET gerado	SET propagado
NMOS5	64,0 ps	69,9 ps
NMOS5_old	64,0 ps	69,9 ps
CHATT	64,2 ps	70,2 ps
DGPTA	64,7 ps	70,9 ps

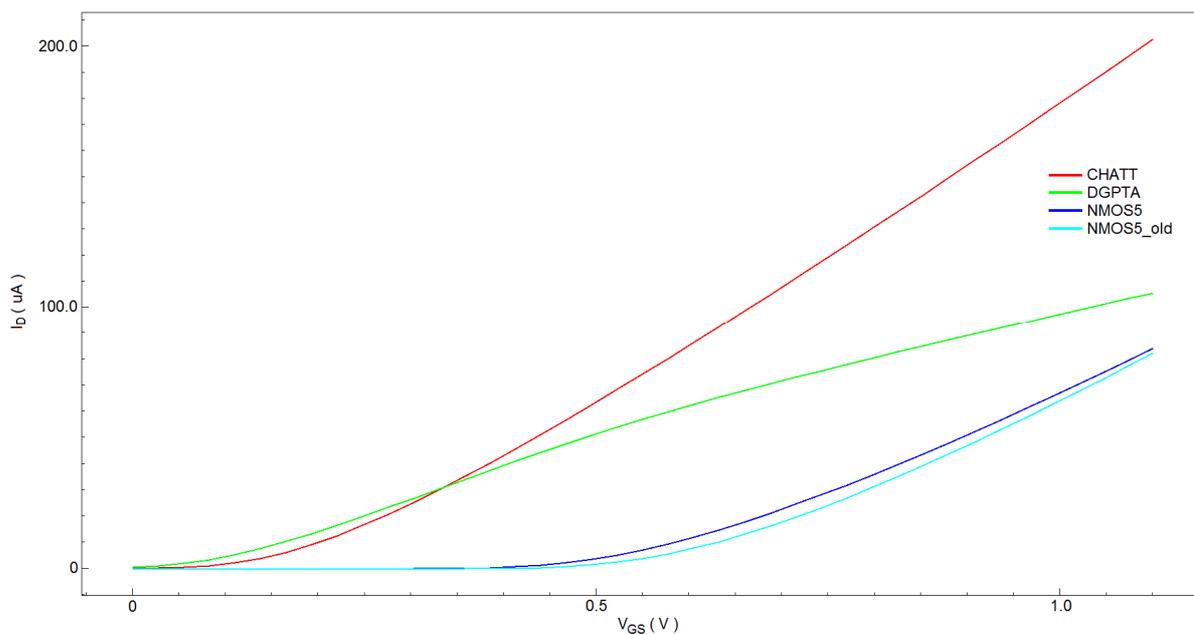


Figura 120 Curvas I_D x V_{GS} dos modelos NMOS5, NMOS5_old, CHATT e DGPTA.

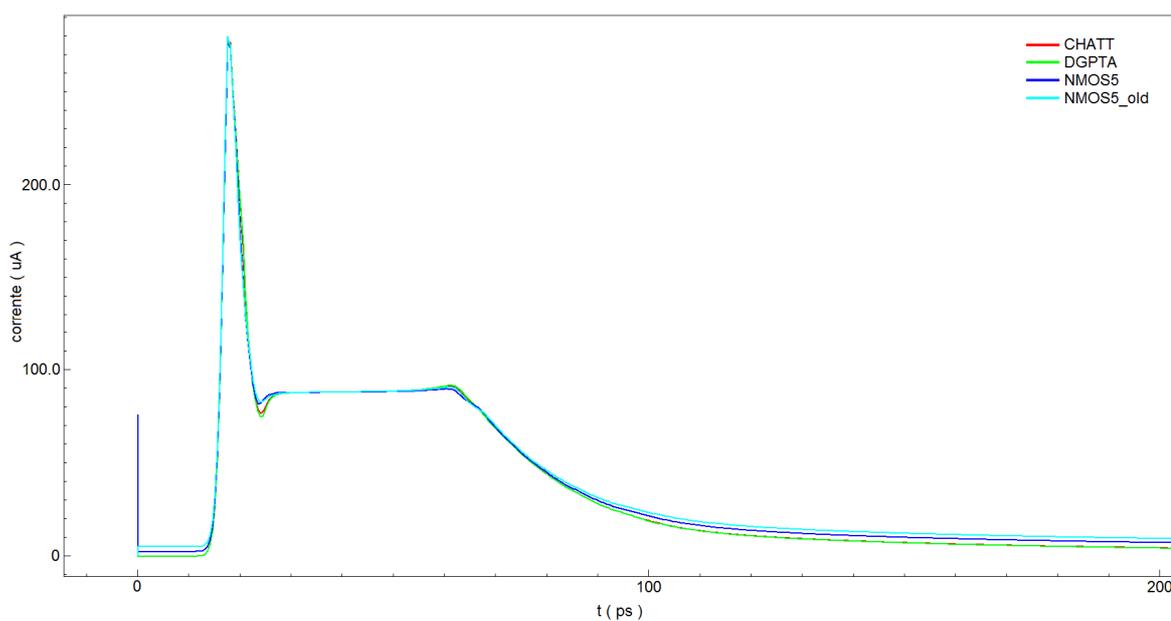


Figura 121 Corrente de dreno dos transistores simulados, com carga PMOS 300/40.

APRECIÇÃO DOS RESULTADOS

Observa-se que a largura do canal exerce influência na duração da corrente transitória de dreno. O valor de pico da corrente transitória e a duração do pulso aumentam com a largura do canal, influenciados por uma maior área de coleta de portadores. O aumento na largura do canal provoca um aumento na área de dreno, que por sua vez propicia uma maior

área de coleta de portadores por difusão, e um maior volume de coleta de cargas por deriva, em torno do rastro formado pela partícula ionizante (“funil”). Há um aumento de 6, % no período do pulso ao se dobrar a largura do canal e de 15,6 % ao se triplicar a largura do canal, ao mesmo tempo em que o pico de corrente sofre um acréscimo de 5,6% e 9,6%, respectivamente. É conveniente notar que, nas simulações efetuadas, as dimensões do dreno são comparáveis ao diâmetro do rastro ionizado (comprimento do dreno = 130 nm e largura igual à largura do canal). (DASGUPTA, 2007b) mostra que o topo do volume de coleta determinado pelo “funil” abrange a totalidade de um transistor submicron de 90 nm, enquanto que em um transistor de 1 μm , o topo do funil abrange apenas uma parcela do dreno impactado. Disso decorre que, para transistores submicron, um aumento na largura do canal a partir da largura mínima promove uma maior coleta de cargas, mas esse aumento na coleta de cargas é esperado diminuir, ou mesmo estabilizar em um certo valor, para larguras de canal muito maiores do que a mínima.

O aumento no comprimento do canal provoca uma redução no pico de corrente, em virtude do aumento na resistência do canal induzido que, por sua vez, reduz a contribuição da corrente proveniente da fonte. A corrente de pico se reduz em 28% para um aumento de 4x no comprimento do canal, e em 43% para um aumento de 6,25x. Apesar disso, os períodos do pulso transiente, medidos a 50% do pico, aumentam, respectivamente, em 27% e 86%. Há uma forte distorção do pulso de corrente em relação à forma ideal do pulso em dupla exponencial, que ocorre pela demora em se estabelecer o canal induzido, conforme pode ser visto na figura 2. As simulações mostram que o canal induzido se forma quando os portadores injetados no substrato se difundem por toda a região do canal, o que, evidentemente, toma mais tempo para acontecer quando o canal é mais longo.

A mudança no nível de dopagem do substrato exerce uma influência de pequena ordem na corrente transitória. A duração do pulso se reduz em 1,6% e o pico de corrente

aumenta em 1,7% quando o nível de dopagem de substrato se reduz em 8x. A variação na mobilidade dos portadores, que controla a resistividade do substrato e a velocidade de difusão, foi determinada a partir das curvas publicadas em (SZE, 2002). A redução no nível de dopagem provoca um aumento na resistividade do silício P de 580% e um aumento na mobilidade dos portadores, de 40% para elétrons e 23% para lacuna, não se observando relação entre a variação desses parâmetros e a variação encontrada para o pico de corrente e a duração do pulso.

Por fim, nota-se que os implantes que controlam o canal do transistor não exercem qualquer influência prática no pulso de corrente transiente. Durante o SET, a região de canal é inundada pelos portadores injetados, que virtualmente neutralizam as cargas fixas dos implantes, de forma que esses deixam de exercer qualquer influência na corrente que flui pelo canal induzido. A região de platô da figura 121 é mostrada um detalhe na figura 122, onde se pode ver que o comportamento dos transistores difere, entre si, no início e no fim do platô, onde o canal induzido ainda não se formou, ou deixa de existir. Porém, tão logo o canal seja formado, a contribuição de corrente advinda da fonte é a mesma para todos os transistores, o

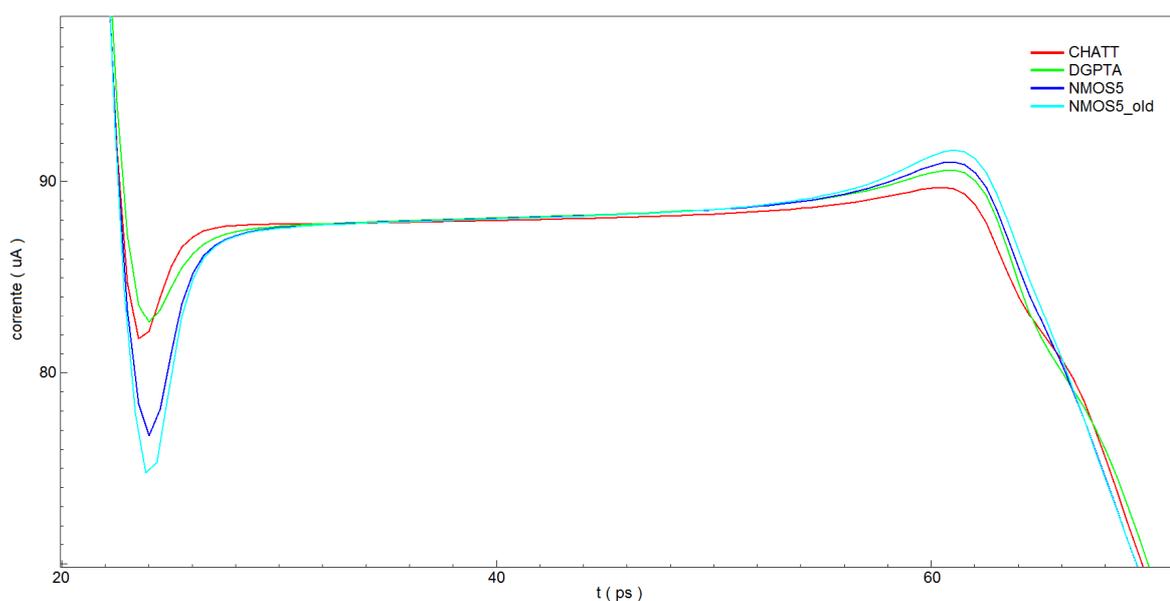


Figura 122 Detalhe da figura 121 mostrando o início e o fim do platô.

que é evidenciado pelo fato de que, para fins práticos, o platô termina exatamente no mesmo instante, para todos os transistores. Conclui-se, assim, que o canal formado é essencialmente igual em todos os transistores e que a influência dos implantes de canal, sobre a duração do SET, é desprezível.