

SALÃO DE  
INICIAÇÃO CIENTÍFICA  
**XXIX SIC**  
  
**UFRGS**  
PROPESQ



múltipla   
**UNIVERSIDADE**  
inovadora  inspiradora

<b>Evento</b>	Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2017
<b>Local</b>	Campus do Vale
<b>Título</b>	Estudo e Implementação de Algoritmos de Predição de Roteamento para VLSI
<b>Autor</b>	EDER MATHEUS RODRIGUES MONTEIRO
<b>Orientador</b>	RICARDO AUGUSTO DA LUZ REIS

## **Estudo e Implementação de Algoritmos de Predição de Roteamento para VLSI**

**Autor: Éder Matheus Rodrigues Monteiro**

**Orientador: Ricardo Reis**

**Universidade Federal do Rio Grande do Sul**

O roteamento é a etapa do projeto físico de circuitos integrados responsável por realizar a implementação das interconexões especificadas na *netlist* do circuito. Embora o roteamento seja realizado em estágios finais no fluxo de projeto, as etapas anteriores precisam de métricas como comprimento de fios e topologia das interconexões para garantir bons resultados em termos de área e consumo de potência, além de garantir a própria roteabilidade do circuito. Por isto, torna-se necessário o desenvolvimento de ferramentas de estimativa de roteamento

Existem diversas metodologias para estimar o roteamento na literatura. As técnicas baseadas em *rectilinear Steiner minimum trees* (RMST) são amplamente adotadas por fornecerem uma topologia semelhante a gerada por algoritmos de roteamento. É chamado de RMST de uma rede, a árvore mínima que conecte todos os seus pinos utilizando apenas segmentos verticais e horizontais.

No entanto, encontrar uma RSMT de uma rede é um problema NP-Completo. Por isto, o objetivo de muitos trabalhos é calcular a RSMT em um tempo de execução aceitável para os estágios iniciais do fluxo de projeto. O algoritmo *Fast Lookup Table Estimation* (FLUTE) se destaca, pois produz resultados de comprimento de fios ótimos para redes de até 9 pinos. Há também o algoritmo *Refined Single Trunk Tree* (RST-T), que apresenta resultados ótimos para redes de até 5 pinos, mas possui uma topologia mais estável em relação ao FLUTE. Uma topologia estável não sofre grandes alterações com a alteração da posição de células do circuito, e é desejável, por exemplo, ao aplicar otimizações pós-posicionamento, como a inserção de buffer ou pequenos movimentos de uma célula.

Este trabalho apresenta uma comparação entre esses dois algoritmos, com relação a comprimento de fios, o tempo de execução e a estabilidade da topologia. Os experimentos foram conduzidos sobre o circuito b17 do IWLS 2005, sintetizado usando a biblioteca aberta Nangate 45nm. Para a comparação de estabilidade da topologia, esse circuito passou por uma perturbação em pelo menos um pino de cada net, mudando sua posição em 10% em relação a posição original.

O FLUTE obteve comprimento de fio cerca de 4% menor do que o RST-T, e apresentou tempo de execução 3 vezes mais rápido. Por outro lado, o RST-T obteve topologias mais estáveis do que as do FLUTE, com uma diferença de aproximadamente 5%.