

SALÃO DE
INICIAÇÃO CIENTÍFICA
XXIX SIC
UFRGS
PROPESQ



múltipla 
UNIVERSIDADE
inovadora  inspiradora

Evento	Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2017
Local	Campus do Vale
Título	Explorando Somadores e Subtratores Compressores em Aceleradores de Hardware em Transformadas Discretas de Seno e Cosseno Aproximadas
Autor	GUSTAVO MADEIRA SANTANA
Orientador	SERGIO BAMPI

Explorando Somadores e Subtratores Compressores em Aceleradores de Hardware em Transformadas Discretas de Seno e Cosseno Aproximadas

Gustavo Madeira Santana e Sergio Bampi (Orientador)

Instituto de Informática - Universidade Federal do Rio Grande do Sul

Exibição e gravação de vídeos de mais alta resolução são importantes aplicações, principalmente em dispositivos móveis. É crucial utilizar algum método de compressão de dados para que a reprodução destas mídias seja prática em tais dispositivos, uma vez que estes possuem recursos limitados, tais como a taxa de comunicação de dados e o limite de armazenamento, assim como limitada energia disponível.

A transformada discreta é um dos módulos mais importantes dos codificadores de vídeo atuais devido à sua notável contribuição no aumento da taxa de compressão. A transformada discreta faz a conversão do sinal representado no domínio tempo para um sinal no domínio frequência. No domínio frequência é possível eliminar - na etapa da quantização - as frequências pouco relevantes devido às limitações do sistema visual humano. Os tipos de transformadas mais comumente encontrados e padronizados na codificação de imagem e vídeo estado-da-arte são a Transformada Discreta de Cosseno (DCT) e a Transformada Discreta de Seno (DST).

Devido ao intenso esforço computacional envolvido no processamento das transformadas, sua implementação eficiente é um desafio e a aceleração em hardware dedicado é explorada na literatura. Recentemente foram propostos alguns conjuntos de soluções aproximadas tanto para a DCT e DST com o intuito de reduzir o número de operadores aritméticos necessários para sua implementação. Porém, os trabalhos mencionados não exploram operadores aritméticos com baixíssima dissipação de potência.

Este trabalho de iniciação científica investiga diferentes implementações em hardware de transformadas DCT/DST aproximadas utilizando uma família de operadores aritméticos de menor dissipação de potência. Tendo em vista que as matrizes das transformadas estudadas são aproximadas e podem ter elementos com valores simples, como 0, 1, -1, $\frac{1}{2}$ e $-\frac{1}{2}$ em seus coeficientes, suas implementações podem ser realizadas usando apenas somadores.

Visando uma implementação eficiente energeticamente neste trabalho foram explorados circuitos aritméticos multi-operandos, denominados na literatura como somadores compressores. Neste trabalho foram abordados três tipos de configurações de compressores: 4-2, 6-2 e 8-2. A arquitetura dos compressores 6-2 e 8-2 foi construída a partir de blocos compressores 4-2. Os compressores foram descritos em Verilog e verificados através da ferramenta de software Incisive da Cadence.

Cada compressor pode operar como somador, subtrator ou somador-subtrator. A particularidade desta arquitetura é o resultado simultâneo da soma e subtração das entradas quando o compressor funciona no modo somador-subtrator. O compressor 8-2 somador-subtrator, por exemplo, propicia uma redução de 35% em área se comparado a uma implementação usando um compressor somador e um subtrator independentes.

A análise dos compressores foi realizada a partir da criação de vetores de estímulo com dados de imagens reais obtidos através de um *script* desenvolvido para a ferramenta Matlab. Tais vetores foram inseridos na ferramenta RTL Compiler no momento da síntese lógica para extração da potência do circuito. Os resultados mostram que nossa proposta, utilizando somadores compressores, propicia redução média de 20% e 25% na dissipação de potência da DCT e da DST, respectivamente, quando comparado às implementações destas transformadas utilizando somadores e subtratores inferidos automaticamente pela ferramenta de síntese lógica.