

Explorando Somadores e Subtratores Compressores em Aceleradores de Hardware em Transformadas Discretas de Seno e Cosseno Aproximadas

Gustavo Madeira Santana¹ Orientador: Sergio Bampi¹

¹Universidade Federal do Rio Grande do Sul – UFRGS – Porto Alegre – RS – Brasil

Instituto de Informática - Microelectronics Group (GME)

gmsantana@inf.ufrgs.br

I. Introdução

- A transmissão de vídeos e imagens é responsável por **mais de 70%** do tráfego da Internet [1].
- Dispositivos móveis como celulares e tablets tem restrições quanto ao uso de **energia**, uma vez que são alimentados à bateria.
- A **Transformada Discreta de Seno/Cosseno (DST/DCT)** é uma das principais etapas nos codificadores de vídeo/imagem.
- Devido ao elevado esforço computacional requerido pela DST/DCT, um **hardware eficiente** dedicado surge como alternativa para aplicações embarcadas.
- **Transformadas Aproximadas** são aproximações das DST/DCT e podem ter elementos com valores 0, 1, -1 , $\frac{1}{2}$ e $-\frac{1}{2}$ em seus coeficientes.
- Compressores são arquiteturas energeticamente **eficientes** para realizar a soma/subtração paralela de três ou mais números.

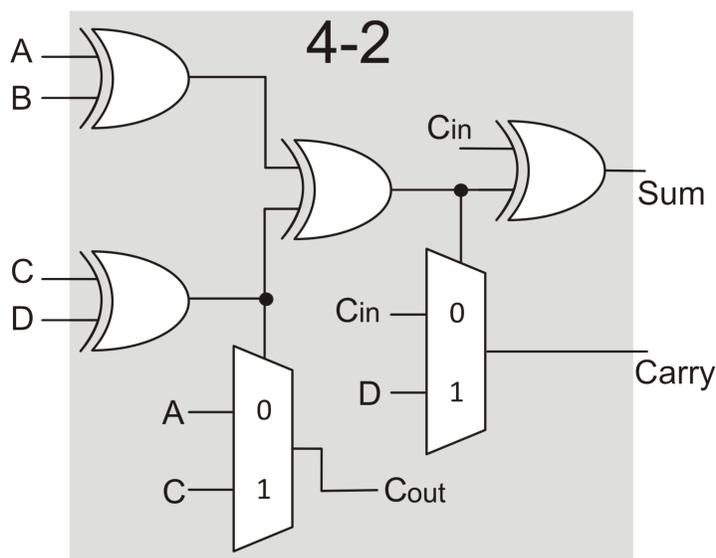


Figura 1: Arquitetura de um Somador Compressor 4-2, construído com portas lógicas XOR e MUX.

III. Resultados

- As **comparações** foram realizadas entre as arquiteturas implementadas utilizando Compressores e o operador (+) fornecido pela ferramenta comercial de síntese lógica.
- Os resultados apresentados na Tabela 1 mostram que os compressores **minimizaram tanto a área do circuito como a potência dissipada** de todas as arquiteturas implementadas.
- A arquitetura DCT_{2014} [3] com compressores obteve a melhor redução em área, atingindo uma área **13,73% menor** que a arquitetura original.
- As maiores reduções em potência se deram na arquitetura DCT_{2015} [2] com compressores, chegando a reduções de **36,07% e 35,97%** para as imagens de entrada Lena e Boat, respectivamente.

Tabela 1: Resultados da síntese @ 100 MHz.

Arquitetura	Gate Count	Red.	Switching (50%)		Imagem de entrada					
			Power (μW)	Red.	Lena		Boat		Airplane	
					Power (μW)	Red.	Power (μW)	Red.	Power (μW)	Red.
DCT_{2014} (+) [3]	14696	-	2798,0	-	686,1	-	694,3	-	720,2	-
DCT_{2014} com compressores	12921	13,73%	2331,3	16,67%	551,4	19,63%	571,8	17,64%	496,5	31,06%
DCT_{2015} (+) [2]	9100	-	2134,6	-	528,0	-	545,9	-	466,6	-
DCT_{2015} com compressores	8048	11,56%	1735,1	18,71%	337,5	36,07%	349,5	35,97%	387,3	19,99%

II. Objetivo e Metodologia

- Investigar transformadas DST/DCT aproximadas utilizando operadores aritméticos de **baixa potência**.
- A transformada 2-D é realizada através de duas transformadas 1-D interligadas por um **buffer** de transposição.

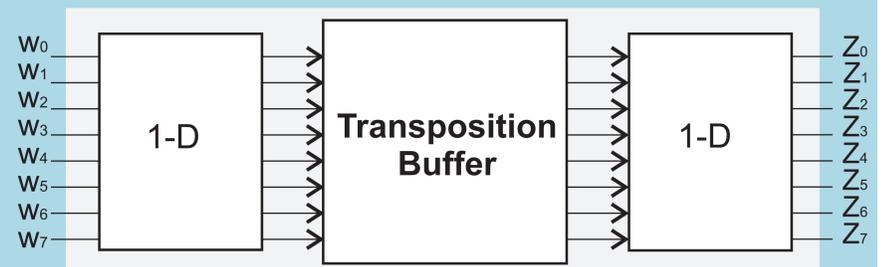


Figura 2: Buffer de transposição 8x8 para transformadas 2-D.

- As arquiteturas foram implementadas em **Verilog HDL** (*Hardware Description Language*).
- Usando **imagens reais** como vetores de entrada, a ferramenta Cadence Encounter RTL Compiler foi utilizada para sintetizar e obter resultados de área e potência.
- Itens considerados na síntese incluem: VCD (*Value Change Dump*), SDF (*Standard Delay Format*), CapTable (tabela de capacitâncias da biblioteca) e PLE mode (*Physically-aware Layout Estimation*).

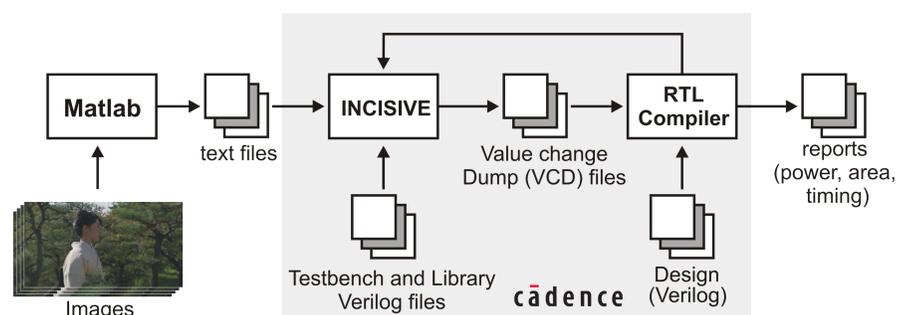


Figura 3: Metodologia para extração dos resultados de power

IV. Conclusão

- Este trabalho apresentou o uso de **Compressores**, operadores aritméticos multi-operandos de baixa potência, para realização de transformadas discretas aproximadas.
- O uso de compressores possibilitou uma **redução** de até 35,97% em potência dissipada e 13,73% na área do circuito.

Referências

- [1] Consumer internet traffic, 2016–2021. <https://www.cisco.com>.
- [2] V.D.A. Coutinho et al. "Low-complexity pruned 8-point DCT approximations for image encoding". In: *International Conference on Electronics, Communications and Computers*. Feb. 2015, pp. 1–7. doi: 10.1109/CONIELECOMP.2015.7086923.
- [3] U. Sathvi Potluri et al. "Improved 8-Point Approximate DCT for Image and Video Compression Requiring Only 14 Additions". In: *IEEE Transactions on Circuits and Systems* 61.6 (June 2014). ISSN: 1549-8328. doi: 10.1109/TCSI.2013.2295022.