

SALÃO DE
INICIAÇÃO CIENTÍFICA
XXIX SIC

UFRGS
PROPESQ



múltipla 
UNIVERSIDADE
inovadora  inspiradora

| | |
|-------------------|--|
| Evento | Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS |
| Ano | 2017 |
| Local | Campus do Vale |
| Título | Automação de modelos analíticos para estimativa de desempenho de portas lógicas CMOS |
| Autor | GABRIEL AMMES PINHO |
| Orientador | RENATO PEREZ RIBAS |

Automação de modelos analíticos para estimativa de desempenho de portas lógicas CMOS

Aluno: Gabriel Ammes Pinho Orientador: Renato Perez Ribas

Universidade Federal do Rio Grande do Sul

Um modelo analítico para estimativa de atraso de portas lógicas CMOS corresponde a um conjunto de equações utilizado para diminuir a complexidade do cálculo de desempenho de circuitos digitais [1]. Estes modelos desconsideram geralmente efeitos de segunda ordem que podem influenciar no atraso de propagação de sinais, representando assim uma simplificação do comportamento real das portas lógicas. Estas simplificações são necessárias pois as equações completas são intratáveis manualmente para a sua resolução. As ferramentas que calculam este atraso considerando um sistema de equações diferenciais mais preciso, como simuladores elétricos, normalmente têm um alto custo de processamento.

Anteriormente, o grupo de pesquisa LogiCS desenvolveu alguns modelos analíticos de atraso de portas CMOS [1]. Porém, a validação manual desses modelos está limitada a redes simples, como inversores e portas básicas NAND e NOR. A automação proposta neste projeto tem como objetivo facilitar esta avaliação, além de disponibilizar a outros usuários o acesso a esta estimativa de desempenho para as mais variadas portas lógicas CMOS.

O processo de automação é composto de cinco etapas: (1) a divisão da rede de transistores em estágios; (2) a avaliação do valor lógico em cada nodo do circuito para um determinado valor de entrada; (3) a estimativa da tensão em cada nodo após o início da carga ou descarga do sinal de saída; (4) o cálculo das capacitâncias em cada nodo do circuito; (5) o cálculo do atraso de propagação de sinais através da porta lógica.

O método recebe um vetor correspondente às entradas dos transistores, um conjunto de equações, utilizadas para o cálculo de parâmetros elétricos, e uma rede de transistores. A rede de transistores é composta por portas lógicas, que também são chamadas de estágios. Os estágios são encontrados considerando os nodos da rede ligados à porta (*gate*) de transistores. O valor lógico de cada nodo da rede é definido para cada estágio, considerando quais transistores estão ativos. Após esta definição, o vetor de entrada é modificado com o objetivo de mudar o valor da saída dos estágios. Com isso, calcula-se as tensões nos nodos considerando as condições iniciais e finais das tensões na rede de transistores. A partir dessas tensões, é possível definir a variação da tensão em cada nodo. Considerando as tensões na condição inicial, na condição final e a sua variação, são utilizadas as equações do modelo para calcular os parâmetros elétricos da rede. Com estes parâmetros, é possível definir, por exemplo, a capacitância em cada nodo utilizando as capacitâncias de *gate-fonte*, *gate-dreno*, *substrato-fonte* e *substrato-dreno*. O atraso é calculado considerando as capacitâncias e a diferença de tensão em cada nodo, além do tempo de transição da entrada. Este tempo de transição na entrada é definido para o primeiro estágio. Na saída de cada estágio, calcula-se um novo tempo de atraso que será utilizado como entrada no próximo estágio.

O próximo passo, como trabalho futuro, será utilizar a automação para caracterizar uma biblioteca de portas lógicas. Essa caracterização será avaliada e comparada com a caracterização obtida por um simulador elétrico SPICE. Por fim, o método está sendo desenvolvido para ser disponibilizado no ambiente SwitchCraft [2].

Referências:

- [1] F. S. Marranghello, A. I. Reis, R. P. Ribas. "Delay model for static CMOS complex gates," in Symp. on Integrated Circuits and Systems Design (SBCCI), 2013, pp.1-6.
- [2] V. Callegaro, F. S. Marques, C. Klock, L. S. da Rosa, R. P. Ribas, A. I. Reis. "SwitchCraft: a framework for transistor network design," in Symp. on Integrated Circuits and Systems Design (SBCCI), 2010, pp.49-53.