

Análise de Configurações de Memória *Cache* para o Algoritmo *Hexagon Search* para Codificação de Vídeo no padrão HEVC

Brunno Alves de Abreu & Sergio Bampi (Orientador)

Instituto de Informática - UFRGS

baabreu@inf.ufrgs.br

Introdução

- Padrão estado-da-arte de codificação de vídeo *High Efficiency Video Coding* (HEVC) [1] foi desenvolvido para suprir recente aumento da demanda por vídeos de maiores resoluções;
- HEVC obtém diminuição de até 50% na taxa de *bits* comparado ao codificador H.264/AVC [2];
- Maior esforço computacional para obter taxas de tempo real no HEVC, devido ao uso de estruturas mais complexas;
- Estimativa de Movimento (EM) é uma das etapas mais custosas do codificador, cujo principal objetivo é encontrar redundâncias temporais no vídeo a ser codificado;
- Intenso acesso à memória na procura de blocos semelhantes na EM, tornando essencial o uso de módulos de memória em arquiteturas focadas nessa etapa.

Objetivo

- Análise exploratória de possíveis configurações de memória *cache* para utilização no módulo de EM (contexto mostrado na Figura 1);
- Variação de características conhecidas no projeto de memórias *cache*: associatividade, tamanho da linha, número de linhas e número de bancos;
- Maximização da taxa de acerto (*hit-rate*) e minimização da banda *off-chip* para decisão da melhor configuração.

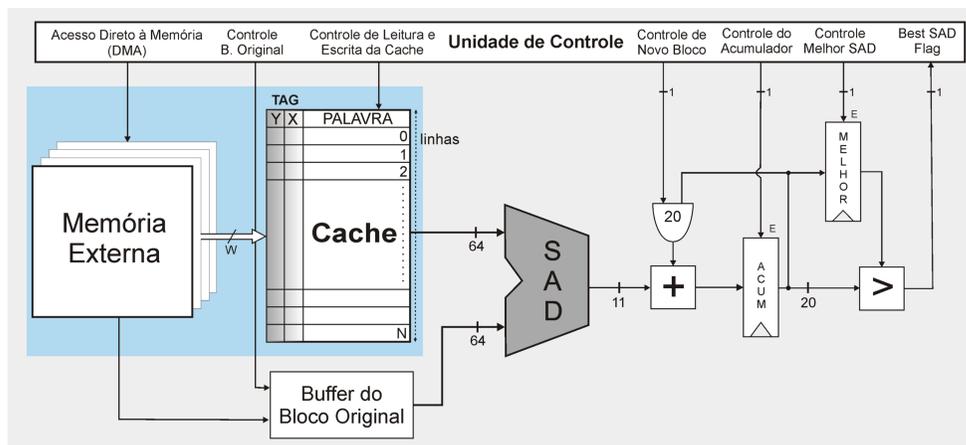


Figura 1: Módulo de memória integrado a uma arquitetura que implementa um determinado algoritmo de busca.

Metodologia

- Algoritmo de busca de blocos *Hexagon Search* foi utilizado como estudo de caso para análise;
- Extração, a partir do codificador x265 [3], dos vetores (componentes X e Y) que são buscados durante a EM para simulação de escrita na memória *cache*, utilizando vídeos de benchmark;
- Desenvolvimento de um módulo em linguagem *Python* que utiliza os dados extraídos e simula o funcionamento de memórias *cache*, obtendo valores de *hit-rate* (taxa de acertos).

Resultados

- Foi considerado um parâmetro adicional relativo ao modo como a entrada da memória *cache* é determinada, utilizando determinado número de bits dos vetores X e Y que apontam para o bloco a ser buscado;
- Tabela mostra os resultados de *Hit-Rate* e banda *Off-Chip* (em GB/s, estimado para 50 quadros por segundo) para um vídeo *Full HD* 1080p, variando o número de linhas, considerando 1 banco, associatividade *2-way*, 8 *bytes* por linha e uma divisão prioritária aos *bits* do vetor X quando os tamanhos de linhas são potências ímpares de 2.

#Linhas	Resultados	
	<i>Hit-Rate</i>	<i>Off-Chip</i>
256	32%	4.14
512	46.8%	3.24
1024	67.4%	2
2048	78.6%	1.3
4096	92.2%	0.48
8192	93.4%	0.4
16384	96.4%	0.22

Conclusões

- Resultados de até 93.4%, considerando uma memória *cache 2-way* de 8K linhas de 8 *bytes* cada, e de até 96.4% considerando 16K, para sequências *Full HD*;
- Resultados para tamanhos de linha maiores do que 8 *bytes* negligenciados devido à necessidade de um alinhador ao buscar apenas 8 *bytes* da memória *cache*;
- Como trabalhos futuros, será desenvolvida uma arquitetura do algoritmo *Hexagon Search* e implementado o módulo de memória com configurações baseadas nos resultados obtidos nessa etapa;
- Serão feitas análises de chaveamento na arquitetura a ser desenvolvida, para verificar a possível implementação de componentes de codificação híbrida que diminuam o chaveamento e, consequentemente, reduzem a potência dinâmica dissipada.

Referências

- [1] ITU-T and ISO/IEC, “High efficiency video coding,” *ITU-T Recommendation H.265 and ISO/IEC 23008-2*, 2013.
- [2] G. J. Sullivan, J. R. Ohm, W. J. Han, and T. Wiegand, “Overview of the high efficiency video coding (hevc) standard,” *IEEE Trans. Circuits Syst. Video Technol.*, vol. 22, pp. 1649–1668, Dec 2012.
- [3] “HEVC x265 Encoder.” <https://bitbucket.org/multicoreware/x265>