

Visualização de Dimensionamento Discreto de Portas Lógicas

Isadora Silva de Oliveira

Universidade Federal do Rio Grande do Sul - Porto Alegre - Brazil

1. Introdução

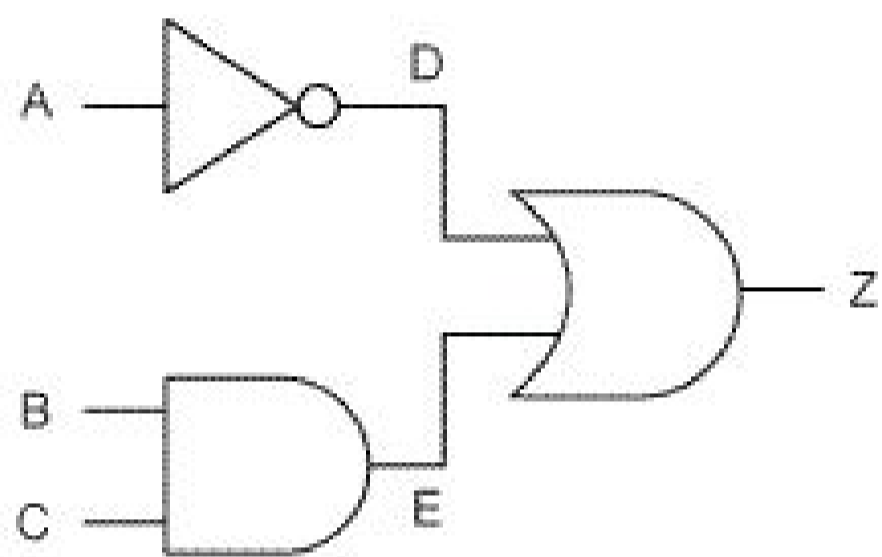
Visualização

Circuito Lógico

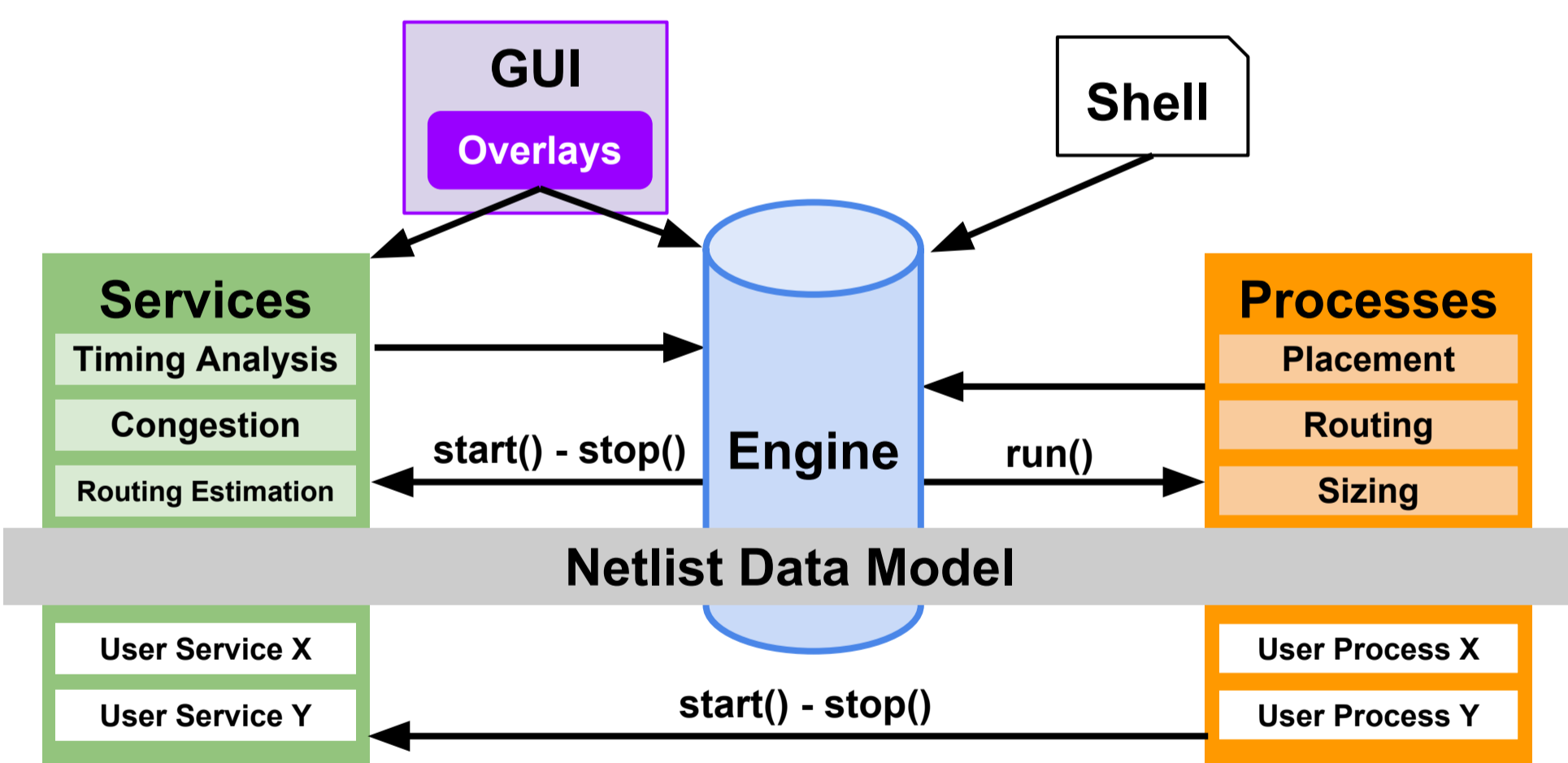
Detecção de Erros

Otimização

```
input A, B, C;
output Z;
signals
D;
E;
endsignals
module
NOT inst1 (A) = D;
AND inst2 (B,C) = E;
OR inst5 (D,E) = Z;
endmodule
```



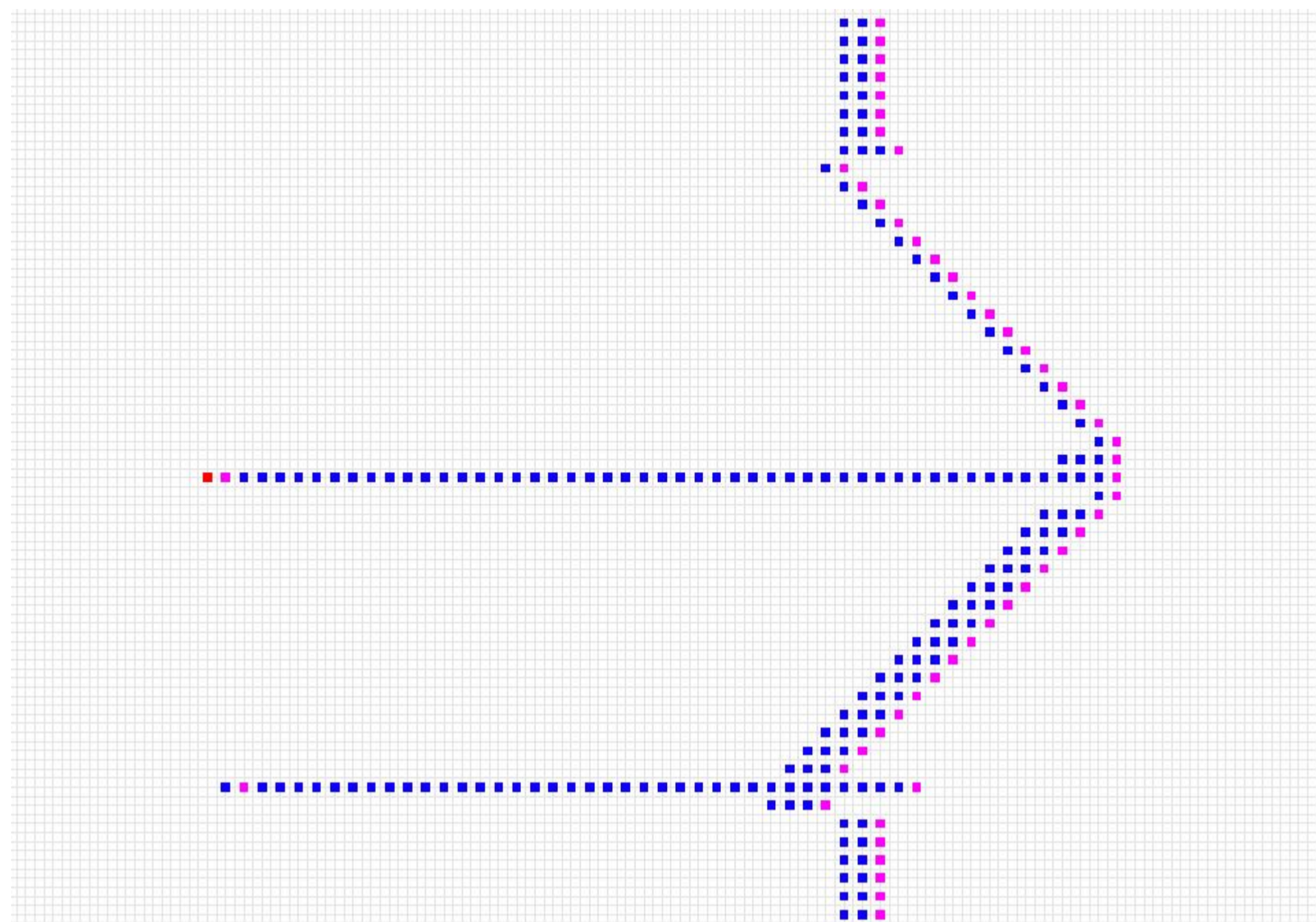
2. Rsyn



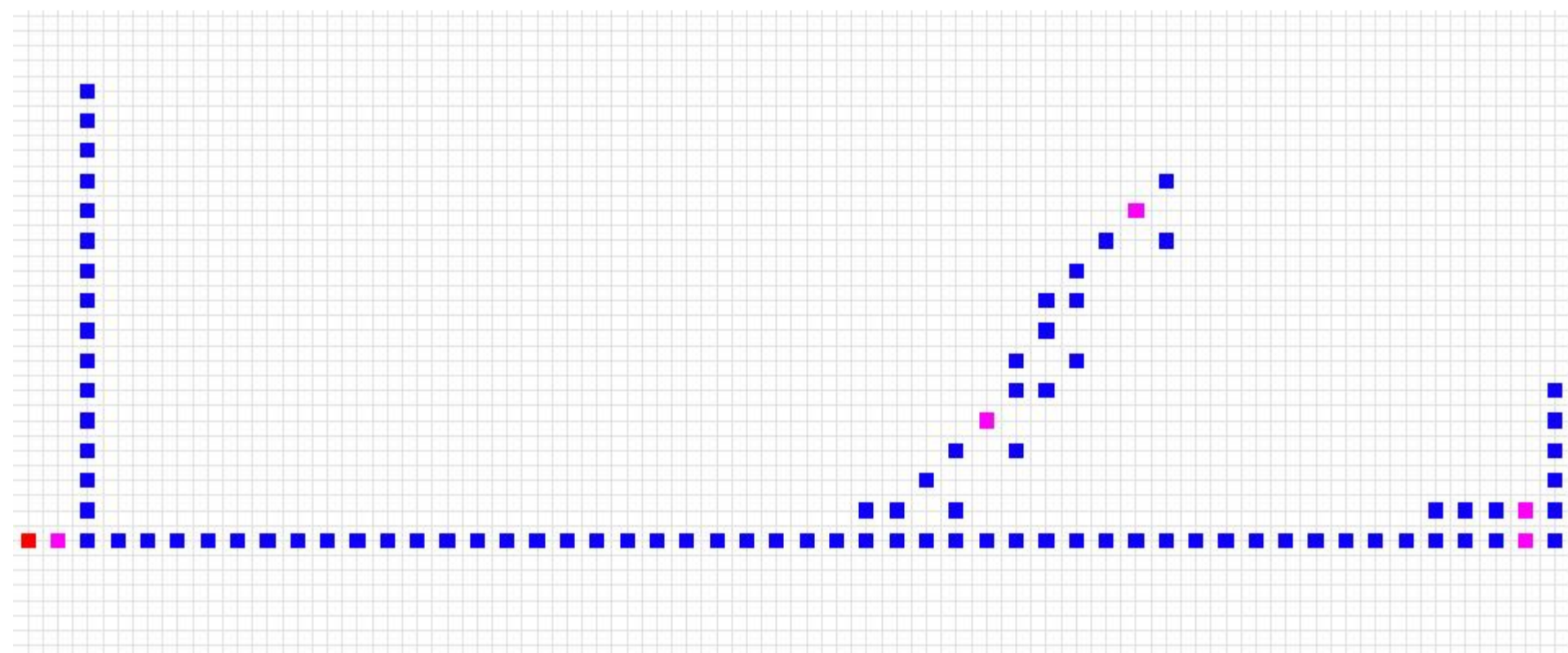
3. Pinos de Entrada e Saída



4. 50 piores caminhos críticos



5. Células vizinhas



6. Conclusão e Trabalhos Futuros

- Visualização lógica do circuito
- Integração com o ambiente Rsyn
- Desenhar células conforme função lógica
- Desenhar conexões entre células