

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

**DESENVOLVIMENTO E OTIMIZAÇÃO DE TECNOLOGIA CMOS COM PORTA
DE SILÍCIO POLICRISTALINO ***

Giovani Cheuiche Pesenti

Tese elaborada sob a orientação
do Dr. Henri Ivanov Boudinov,
em preenchimento parcial para a
obtenção do título de Doutor em
Microeletrônica.

Porto Alegre
2008

* Trabalho parcialmente financiado pela Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES).

Abstract

An analog-to-digital converter chip was fabricated with a new developed poly-Si gate 5 μm p-well CMOS technology in the Laboratory of Microelectronics of Instituto de Física, Universidade Federal do Rio Grande do Sul.

New equipments were purchased or built for the development of this technology. Test structures like p-type and n-type Poly-Si/SiO₂/Si MOS capacitors, PMOS and NMOS transistors, inverter and output buffer were included in the chip design. The set of 8 chromium lithography masks was ordered from DuPont, USA.

After processing the chip, electrical measurements of the test structures, and circuit modules were performed. The ISE_TCAD simulation software was used for technology adjustment. These simulations were used to obtain data like effective channel length, junction depth, and also to determine the critical steps of the technological process.

Measurements in test wafers during processing, DC electrical measurements of the fabricated PMOS and NMOS transistors and Agilent ADS (Advanced Design System) software were used during the design parameters extraction, applying the SPICE level 3 model. The analysis of the collected data permitted the technology list verification and pointed two main problems: very high boron concentration in the well and high sheet resistance of source/drain regions of PMOS transistors.

The main result of this work was the integration between the ISE_TCAD simulation tool and the installed set of equipments in the clean room of the Laboratory of Microelectronics, giving the necessary infrastructure for new technologies and micro-devices developments.

Resumo

Um chip conversor A/D (analógico/digital) foi utilizado para o desenvolvimento da tecnologia CMOS de 5 μm com poço tipo-p e porta de silício policristalino no Laboratório de Microeletrônica (L μ E) do Instituto de Física da UFRGS.

Vários equipamentos foram adquiridos ou fabricados para o desenvolvimento desta tecnologia. Após a fabricação do chip, medidas elétricas foram realizadas nos blocos lógicos do circuito e em estruturas de teste. Utilizando as ferramentas de simulação do pacote de software ISE-TCAD, o processo e os dispositivos foram simulados.

Através das medidas elétricas dos dispositivos fabricados e de medidas realizadas durante o processo, foram obtidos os parâmetros da tecnologia CMOS, quais foram ajustados pelo software ADS (*Advanced Design System*) utilizando o modelo SPICE nível 3. A análise dos parâmetros permitiu a verificar os principais ajustes a serem feitos na lista tecnológica, que foram a alta concentração de dopantes no poço e a alta resistência de folha nas regiões fonte/dreno do transistor PMOS.

Como principal resultado deste trabalho, enfatizamos a integração da infra-estrutura entre o CAD de simulação de tecnologia e dispositivos e o conjunto de equipamentos na sala limpa do L μ E, permitindo o desenvolvimento de diversas tecnologias e dispositivos micro-estruturados.

Agradecimentos

Gostaria de agradecer aqui todos aqueles que me ajudaram durante a realização deste trabalho:

- Aos funcionários do Instituto, funcionários do Laboratório de Implantação Iônica e do setor de Criogenia;
- Aos funcionários da oficina Paulinho e Gervaldo, e ao João e Mauro Fin do setor de Eletrônica, pelas dicas e ajuda nos consertos e montagens de equipamentos;
- Ao Paulo Soave do Laboratório de Laser e Óptica pela utilização do *Sputtering*;
- Josias Mainardi, Tiago Balen, Antônio Zani, Antonio Andrade e ao Professor Luigi Carro responsáveis pelo projeto do CHIP;
- Ao Professor José Alexandre Diniz e ao Felipe Grillo pela ajuda e permissão em utilizar o Software ADS nas dependências do CCS em Campinas;
- Ao Rodrigo Palmieri pela preparação do software para aquisição de dados das medidas;
- Aos colegas e ao Técnico do Laboratório de Microeletrônica;
- A toda minha família, aos meus pais, irmãs, cunhado, e minha afilhada pelo apoio e incentivo;
- E principalmente ao meu orientador, Prof. Henri Boudinov pela ótima orientação e paciência.

Conteúdo

Lista de siglas e abreviações.....	1
Capítulo 1 - Introdução	5
Capítulo 2 - Infra-estrutura	12
2.1 – Sala Limpa.....	13
2.2 – Software de simulação.....	19
2.2.1 – FLOOPS	19
2.2.1 – DESSIS.....	19
Capítulo 3 - Os parâmetros da Tecnologia CMOS.....	21
Capítulo 4 - O Chip –Veículo de desenvolvimento da tecnologia..	34
Capítulo 5 - Tecnologia CMOS desenvolvida no Laboratório de Microeletrônica do Instituto de Física da UFRGS.	41
Capítulo 6 - Medidas elétricas	62
6.1 – Características das junções.	62
6.2 - Capacitores	67
6.3 - Transistores	69
6.4 – Ajuste de parâmetros da tecnologia CMOS	73
6.4.1- Procedimento para otimização	74
6.4.2 - Resultados	75
6.5 – Blocos Funcionais do Circuito	79
6.5.1 – Inversor.....	79
6.5.2 – Oscilador em Anel.....	81
6.5.3 – Contador de 8 bits.....	83
Capítulo 7 - Otimização do processo	85
7.1 – Ajuste de V_T do transistor NMOS.....	86
7.2 – Ajuste das difusões de fonte/dreno do transistor PMOS	88
Capítulo 8 – Conclusões	91
Referências	93
Anexo A: Código da simulação de processo do transistor NMOS	100
Anexo B: Código da simulação elétrica $ID \times V_{GS}$ do transistor NMOS	103
Anexo C: Código da simulação elétrica $ID \times V_{DS}$ do transistor NMOS	104

Lista de siglas e abreviações

β_N	Fator de ganho do transistor NMOS.
β_P	Fator de ganho do transistor PMOS.
δ	DELTA - Parâmetro para correção do efeito de canal estreito.
ϵ_0	Permissividade elétrica no vácuo .
ϵ_{Si}	Permissividade do silício.
ϵ_{SiO_2}	Permissividade do SiO_2 .
γ	Gamma - Parâmetro de efeito de corpo.
η	ETA - Coeficiente de realimentação estática
μ	Mobilidade dos portadores.
μ_0	Mobilidade dos portadores para baixos campos elétricos.
θ	Theta - Coeficiente de redução da mobilidade.
ABINEE	Associação Brasileira da Indústria Elétrica e Eletrônica.
A/D	Analógico/digital.
ADS	Advanced Design Systems.
BiCMOS	Tecnologia bipolar integrada com tecnologia CMOS.
BJT	Transistor de junção bipolar.
BSIM	Modelo de Berkeley para MOSFET de canal curto.
CAD	Desenho auxiliado por computador.
CCS	Centro de Componentes Semicondutores – UNICAMP.
CGBO	Capacitância de sobreposição porta-substrato.
CGDO	Capacitância de sobreposição porta-dreno.
CGSO	Capacitância de sobreposição porta-fonte.
CJ	Capacitância da junção de fundo por unidade de área.
CJSW	Capacitância da junção lateral por unidade de área.
CMOS	Metal-óxido-semicondutor complementar.
COX	Capacitância do óxido.
CVD	Deposição química a partir de fase vapor .
DELTA	Parâmetro para correção do efeito de canal estreito.
DESSIS	Simulador de dispositivos.

DEWISE	Emulador de processos
DIBL	Diminuição da barreira de potencial induzida pela tensão no dreno.
DLV	Decapante lento de vidro.
E_p	Campo lateral quando o canal entra em <i>pinch-off</i> .
ETA	Coefficiente de realimentação estática.
FC	Coefficiente da capacitância de junção não ideal com polarização direta.
F_D	Fator de correção da tensão de limiar devido à realimentação estática.
FLOOPS	Simulador de processos orientado a objetos Flórida.
F_N	Fator de correção da tensão de limiar devido ao canal estreito.
F_S	Fator de correção da tensão de limiar devido ao canal curto.
Gamma	Parâmetro de efeito de corpo.
g_m	Transcondutância.
H ₂ O-DI	Água deionizada.
I_0	Corrente reversa de saturação através da junção.
INSPECT	Ferramenta para traçar e extrair dados de curvas.
ISE-TCAD	Pacote de ferramentas de simulação.
J_s	Densidade de corrente reversa na junções p-n
KAPPA	Parâmetro de ajuste para a redução no comprimento de canal.
KP	Parâmetro de transcondutância.
L	Comprimento de canal definido pela litografia.
LD	Difusão lateral das regiões de fonte/dredo para dentro do canal.
L_{eff}	Comprimento efetivo de canal.
LOCOS	Oxidação local do silício.
LVDT	Medidor de deslocamento linear.
MESH	Ferramenta que gera a malha para simulação.
MEV	Microscopia eletrônica de varredura.
MJ	Coefficiente do gradiente da junção de fundo com o substrato.
MJSW	Coefficiente do gradiente da junção lateral com o substrato.
MOS	Metal-Óxido-Semicondutor.
MOSFET	Transistor de efeito de campo metal-óxido-semicondutor.
MR_H	Margem de ruído alta.

MR _L	Margem de ruído baixa.
n	Fator de idealidade da junção.
N _A	Concentração de aceitadores.
NAND	Porta lógica "NÃO-E".
N _D	Concentração de doadores.
NFS	Densidade de estados de interface rápidos.
N _i	Concentração de portadores intrínseca.
NMOS	Transistor de efeito de campo metal-óxido-semicondutor tipo-n.
NSS	Densidade de estados de interface.
NSUB	Concentração de portadores no substrato.
PB	Potencial de junção do substrato.
PDA	Personal Digital Assistant .
PHI	Potencial de superfície em inversão forte.
PMOS	Transistor de efeito de campo metal-óxido-semicondutor tipo-p.
q	Carga elementar (1,6E-19C).
Q _{eff}	Carga efetiva.
R _D	Resistência ôhmica de dreno.
ROUT	Resistência de saída do transistor.
RSH	Resistência de folha das difusões de fonte/dreno.
RTA	Recozimento térmico rápido.
SPICE	Programa de simulação com ênfase em circuitos integrados.
TCA	H ₃ C ₂ -Cl ₃ -1,1,1-tricloroetano.
TECPLOT	Ferramenta utilizada para visualização dos processos e dispositivos simulados.
Theta	Coeficiente de redução da mobilidade.
TNOM	Temperatura ambiente.
TOX	Espessura do óxido.
TPG	Tipo de material de porta.
V _{BS}	Tensão entre fonte e substrato.
V _{DD}	Tensão de alimentação.
V _{DS}	Tensão entre dreno e fonte.
V _{FB}	Tensão de banda plana.

V_{GS}	Tensão entre porta e fonte.
V_{INV}	Tensão de inversão lógica.
V_{MAX}	Velocidade máxima de deriva dos portadores.
V_S	Velocidade de saturação dos portadores.
V_T	Tensão de limiar.
V_t	Tensão térmica.
V_{T0}	Tensão de limiar para $V_{BS}=0$.
V_{TN}	Tensão de limiar do transistor NMOS.
V_{TP}	Tensão de limiar do transistor PMOS.
W	Largura de canal definida pela Litografia.
W_C	Largura da região de depleção na parte curva da junção com o substrato.
W_D	Redução na largura do canal.
W_{eff}	Largura efetiva de canal.
W_P	Largura da região de depleção na parte plana da junção com o substrato.
X_d	Largura da região de depleção.
X_{dmax}	Largura máxima da região de depleção.
X_j	Profundidade da junção.

Capítulo 1 - Introdução

O desenvolvimento científico e tecnológico da microeletrônica assumiu um ritmo acelerado a partir do surgimento da tecnologia planar, no final dos anos cinquenta, e atualmente os dispositivos microeletrônicos estão presentes em praticamente todos os bens produzidos pela indústria eletroeletrônica.

Nesta área se destacam os dispositivos de efeito de campo de estrutura MOS (Metal-Óxido-Semicondutor) que têm importância fundamental, possuindo diversas aplicações em circuitos lógicos, como microprocessadores, memórias, etc., devido principalmente a sua alta velocidade de chaveamento (possibilitando maiores frequências de operação) e baixa potência dissipada (permitindo o uso em dispositivos portáteis), além do alto grau de confiabilidade e reprodutibilidade.^[1]

Pode-se dizer, que a microeletrônica possui uma longa história em um curto intervalo de tempo, e teve início após a segunda guerra mundial, com a ênfase dada ao estudo do silício (Si) e do Germânio (Ge), visando sua utilização em diodos detectores em radares.^[2,3]

Em dezembro de 1947, o primeiro transistor foi inventado por John Bardeen e Walter Brattain, da Bell Laboratories^[3,4], constituído por dois contatos de ouro pressionados contra um bloco de germânio policristalino. Após seu descobrimento muitas melhorias foram feitas, passando por transistor de junção crescida, transistor de liga, e chegando ao transistor de “mesa”.^[5,6,7] Equipamentos começaram a incorporar transistores em seus circuitos, aumentando sua compactação (antes limitada pelas válvulas), mas dependendo ainda das conexões entre os dispositivos discretos.

Uma solução para este problema foi a construção do primeiro circuito integrado por Jack Kilby da Texas Instruments em setembro de 1958, sendo patenteado em fevereiro de 1959^[8]. Ele descrevia um conceito que permitia, usando passos relativamente simples, fabricar todos os componentes de um circuito, tanto ativos como passivos em um substrato de germânio. Uma foto deste circuito integrado é mostrada na figura 1.1.

Porém os transistores utilizados ainda possuíam um grande problema; eles apresentavam falhas devido às junções expostas à superfície. Então, em 1959 foi desenvolvido por Jean Hoerni da Fairchild Semiconductor^[9] o transistor planar de silício,

solucionando este problema, pois as junções eram protegidas pelo óxido de silício termicamente crescido. Esta característica de possuir um excelente dielétrico nativo, o SiO_2 , que pode ser crescido facilmente em ambiente de O_2 , fez com que as pesquisas se concentrassem no silício, iniciando ali a decadência no uso do germânio.

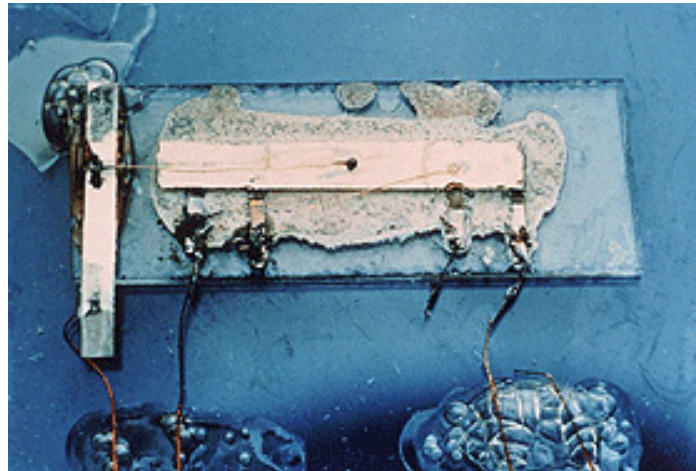


Fig. 1.1 – Primeiro circuito integrado, fabricado por Jack Kilby.^[8]

A descoberta da tecnologia planar fez com que Robert Noyce, também da Fairchild, adaptasse esta tecnologia para desenvolver o primeiro circuito integrado com tecnologia planar^[10], mostrado na figura 1.2, fazendo sua patente poucos meses após Kilby.

Em um trabalho teórico da década de 20 havia sido postulado o comportamento de transistor de efeito de campo, onde um eletrodo, isolado da base poderia induzir cargas elétricas em um material de resistividade moderada^[11]. Então, o estudo e desenvolvimento de processos de oxidação de Silício permitiram o desenvolvimento do tão sonhado transistor de efeito de campo, e, em 1962 foi construído o primeiro circuito integrado MOS, consistindo de 16 transistores NMOS de silício.

Com o intuito de melhorar o desempenho e diminuir a potência dissipada, as dimensões dos MOSFETs foram reduzidas drasticamente e novas técnicas como controle de superfície (passivação e oxidação ultra limpa), deposição de camadas isolantes (Si_3N_4 , Al_2O_3 , SiO_2), deposição de camadas condutoras (diferentes metais, silício policristalino dopado) e implantação iônica foram desenvolvidas, dando origem a uma ampla diversidade de tecnologias MOS mais evoluídas.

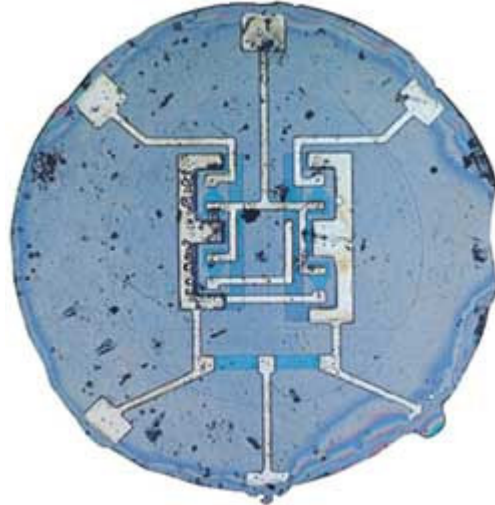


Fig. 1.2 – Primeiro circuito integrado comercial utilizando processo planar em 1961.^[10]

Muitas melhorias foram feitas nos dispositivos, porém problemas antes desprezados começaram a ser estudados:

- O problema da alta resistência das linhas de largura micrométrica de silício policristalino foi amenizado cobrindo este com uma camada de siliceto metálico (WSi_X)^[15] sendo posteriormente trocada por $TiSi_2$ ou $CoSi_2$ ^[13];

- A corrente de tunelamento através do óxido de porta (SiO_2) crescido termicamente com espessuras inferiores a 20Å ^[14] despertou o interesse em uma nova área de pesquisa na área de materiais de constante dielétrica superior a do SiO_2 (materiais *high-k*)^[15].

- Passos de implantação visando um melhor desempenho do dispositivo, como a supressão do efeito de *punchthrough*, modificaram as estruturas MOSFET, como mostrado na figura 1.3.^[15]

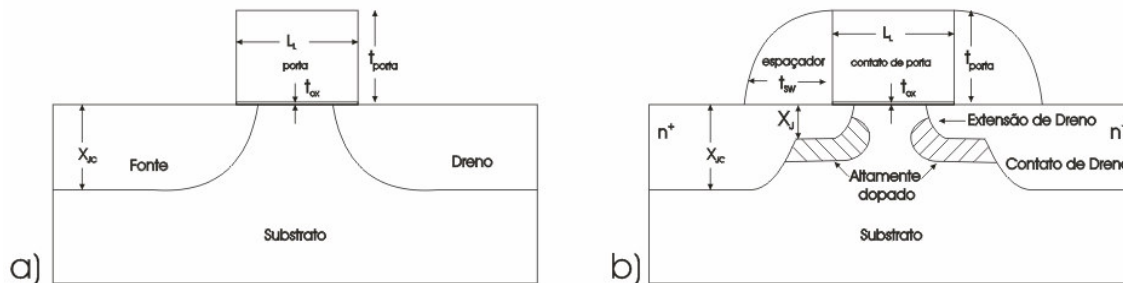


Fig. 1.3 – Esquemáticos de MOSFETs com diferentes comprimentos de canal: a) $1,5\mu\text{m}$ e b) $0,2\mu\text{m}$.^[15]

A tecnologia se desenvolve continuamente, e segundo a previsão de Gordon E. Moore^[16], o número de dispositivos por chip vem dobrando a cada 18 meses, e esta previsão, intitulada Lei de Moore tem sido verificada em circuitos integrados comerciais, como mostra a figura 1.4.^[17]

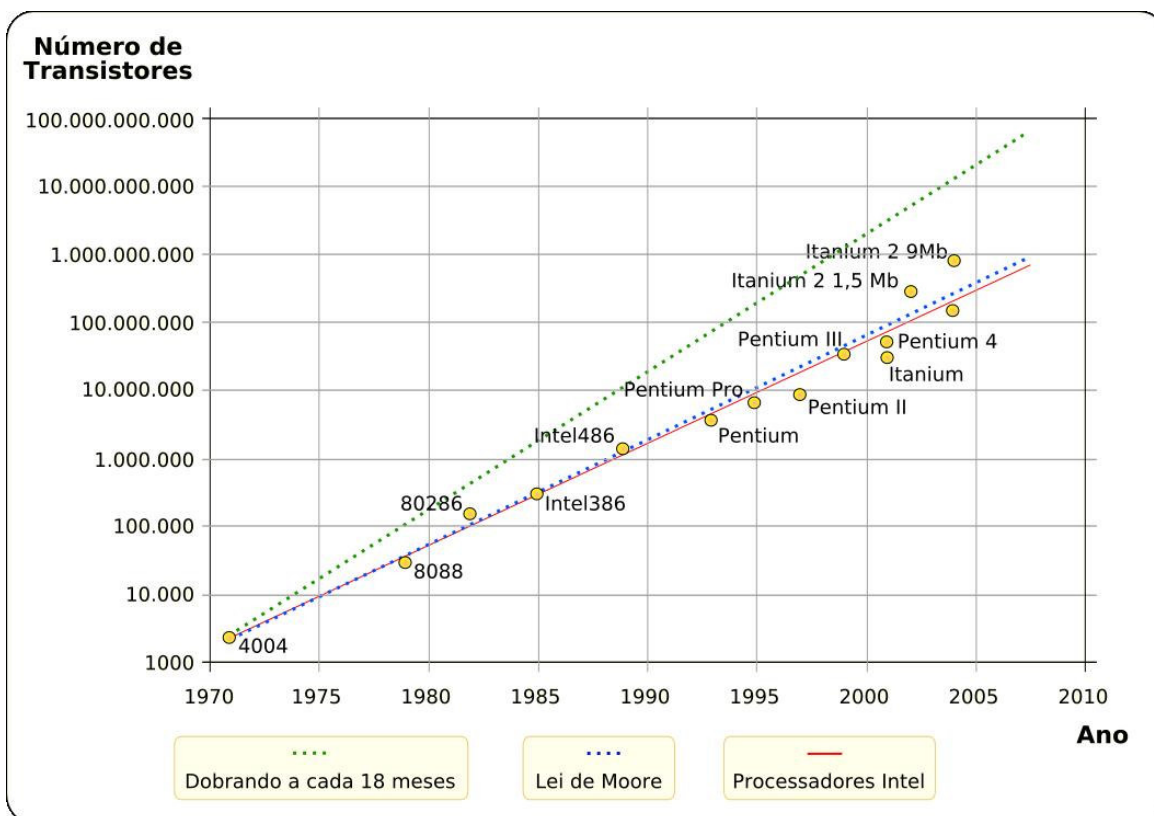


Fig. 1.4 – Lei de MOORE mostrando a evolução do número de transistores por processador.^[17]

Além da diminuição dos tamanhos, denominado por escalamento, outras estruturas começaram a ser construídas durante a fabricação de circuitos integrados monolíticos, como estruturas de isolamento e interconexões. Além disso, a tecnologia de circuitos integrados passou a utilizar, além de dispositivos MOSFETs (NMOS, CMOS), transistores de junção bipolar (BJT) ou ambas, BJTs e CMOS (BiCMOS).^[18]

Conseqüências deste desenvolvimento da microeletrônica estão presentes no cotidiano, em telefones celulares, PDAs (*Personal Digital Assistants*) além de microcomputadores de alto desempenho, como o processador Intel “Montecito” mostrado na figura 1.5, desenvolvido em 2005 com tecnologia de 90nm e possuindo 1,72 bilhões de transistores^[19].

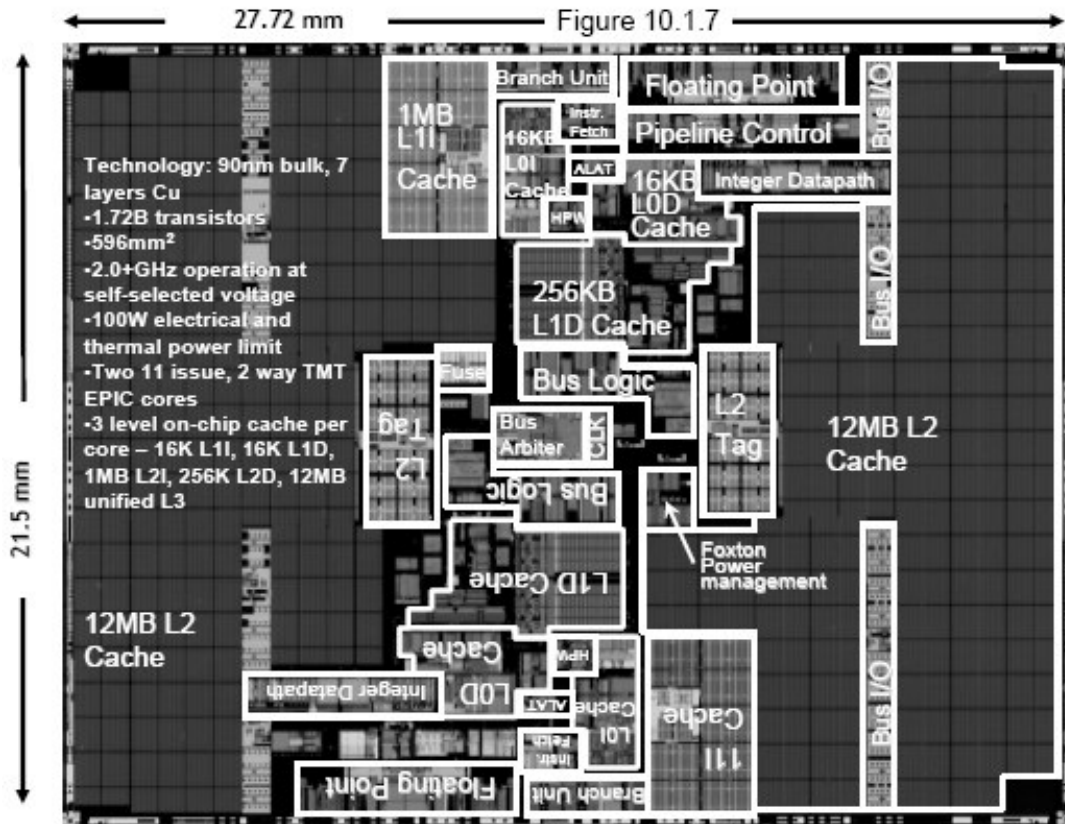


Fig. 1.5 – Processador Montecito, fabricado em 2005 pela Intel.^[19]

Como mencionado, o escalamento associado a modificações estruturais no dispositivo permitiram a redução do comprimento de canal de 10 μ m nos anos 70, para comprimentos inferiores a 30nm nos dias de hoje. Todavia, este escalamento tende a limites fundamentais^[1, 20, 21], e novas soluções, como materiais de alta constante dielétrica para dielétrico de porta e junções rasas de ultra-baixa resistência^[22, 23] devem ser desenvolvidas. Além disso, avanços nos sistemas de litografia, substratos alternativos (ex: SiGe, SOI)^[24, 25], e novas estruturas^[26,27] começaram a ser discutidas para substituir o MOSFET convencional.

Apesar de toda esta evolução, a indústria eletrônica brasileira atualmente é suprida pela importação massiva de componentes eletrônicos. Dados da Associação Brasileira da Indústria Elétrica e Eletrônica, ABINEE^[28], mostram que o déficit da balança comercial gerado no setor foi de US\$ 14,75 bilhões em 2007, correspondendo a um aumento de 41%

em relação a 2006, e sendo componentes semicondutores os produtos mais importados, seguido de componentes e peças para informática e telecomunicações.

A falta de recursos humanos e investimentos na área fazem com que as empresas e universidades brasileiras não participem ativamente desta evolução mundial da microeletrônica. Uma alternativa para a diminuição deste déficit é a criação de centros de tecnologia (*Foundries* e *Design Houses*), aliada à formação de recursos humanos na área de microeletrônica.

O objetivo deste trabalho está diretamente focado na formação destes recursos humanos, não visando uma produção em grande escala, mas sim, desenvolver todo o ambiente necessário para a fabricação e caracterização de um *chip* educacional. Utilizando-se da estrutura montada, o *chip* pode ser totalmente fabricado nas instalações do Laboratório de Microeletrônica, passando por todos os passos tecnológicos necessários. Após a fabricação deste chip, este será caracterizado eletricamente para a extração de parâmetros de projeto da tecnologia CMOS desenvolvida.

Para o desenvolvimento da tecnologia, optou-se por um processo CMOS simples, com poço tipo-p, porta de silício policristalino e comprimento litográfico de canal de $5\mu\text{m}$, como mostrado na figura 1.6. O circuito foi projetado por alunos do curso de pós-graduação em Engenharia Elétrica da Universidade Federal do Rio Grande do Sul (UFRGS), e processado no Laboratório de Microeletrônica (L μ E) do Instituto de Física da UFRGS.

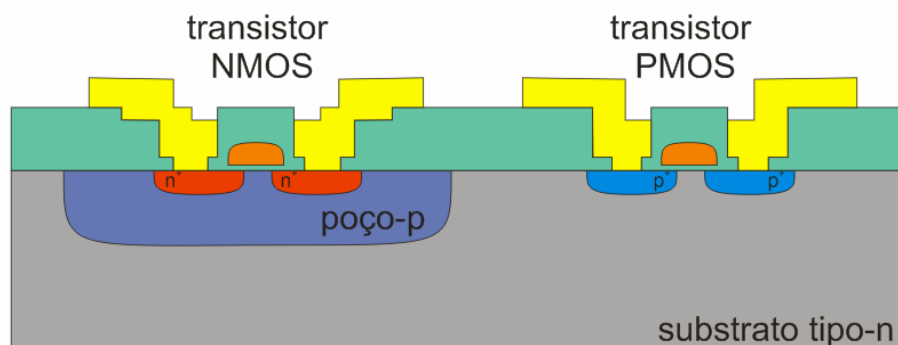


Fig. 1.6 – Estrutura CMOS desenvolvida.

Esta tese está organizada da seguinte maneira: o capítulo 2 tem a finalidade de mostrar as instalações do Laboratório, a infra-estrutura existente e principalmente o que foi

desenvolvido ou adquirido para a fabricação do chip CMOS, como equipamentos e software de simulação.

O capítulo 3 apresenta os parâmetros do modelo SPICE nível 3, utilizado para a caracterização dos dispositivos processados, apropriado para o comprimento de canal de 5 μ m.

No capítulo 4 é apresentado o chip projetado, que serviu como veículo de desenvolvimento da tecnologia. Esta tecnologia é mostrada passo a passo no capítulo 5, em conjunto com alguns resultados de simulações do processo e medidas obtidas durante o processamento.

No capítulo 6 são apresentados os resultados das medidas elétricas dos dispositivos fabricados, a metodologia utilizada para a extração dos parâmetros e o ajuste destes parâmetros utilizando a ferramenta ADS. Além disto são apresentados os resultados dos testes realizados nos blocos funcionais do circuito do *chip*.

O capítulo 7 mostra o uso da simulação na otimização do processo a fim de melhorar as características dos dispositivos processados, e no capítulo 8 são apresentadas as conclusões e os objetivos alcançados com o trabalho.

Capítulo 2 - Infra-estrutura

O Laboratório de Microeletrônica do Instituto de Física da UFRGS possui uma sala limpa de 80m² classe 2000, o que significa uma contaminação de até 2000 partículas maiores que 0,5µm por pé cúbico de ar.

No período de 1998-1999, a fabricação de uma matriz de chaveamento com tecnologia NMOS e porta de alumínio, mostrada na figura 2.1, incentivou a aquisição e a adaptação de alguns equipamentos para o desenvolvimento desta tecnologia. Com o projeto de desenvolvimento da tecnologia CMOS foi necessário completar as facilidades do laboratório, conseguido através de um projeto financiado pelo Fundo de Informática nos anos de 2003 a 2006.

A seguir serão apresentados os principais equipamentos do laboratório, usados nesta tese.

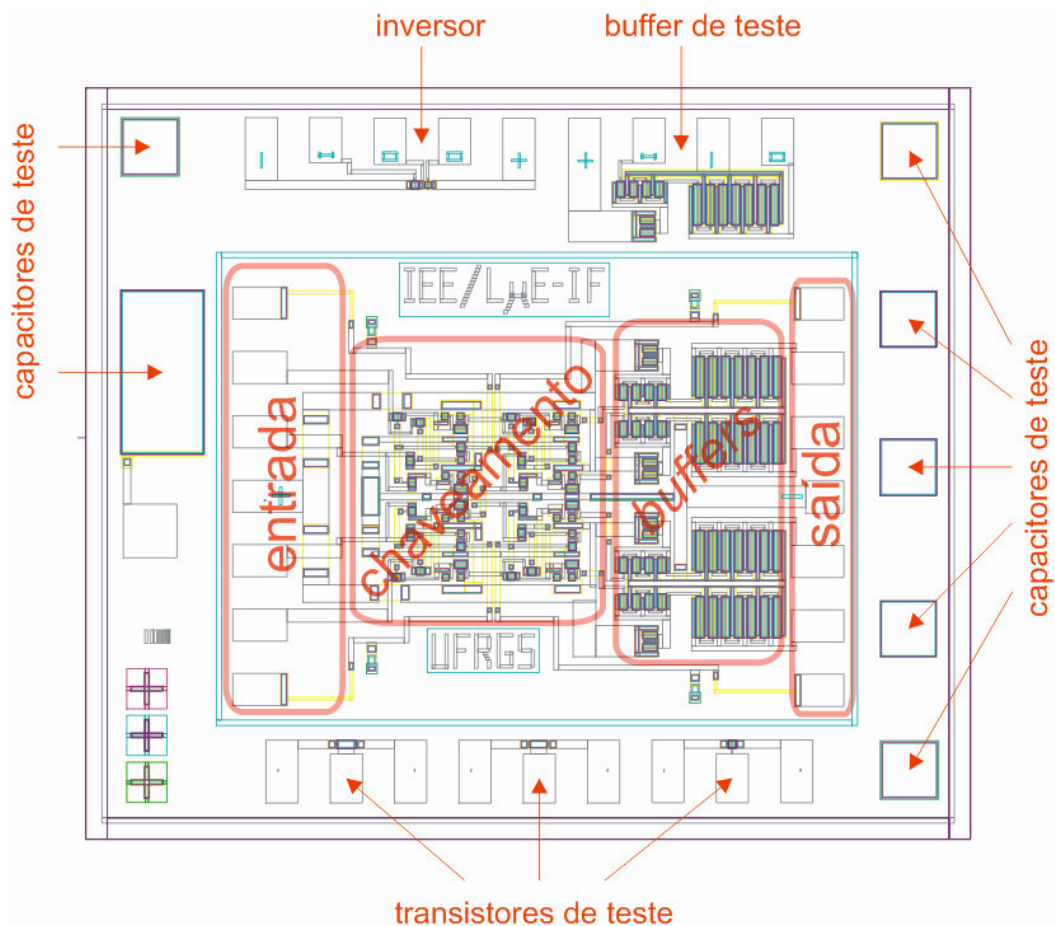


Fig. 2.1 – Layout da matriz de chaveamentos desenvolvida em tecnologia NMOS.

2.1 – Sala Limpa

Para processos térmicos, o laboratório possui dois fornos para oxidação, úmida e seca, fornos para dopagem e difusão de dopantes, forno para recozimento dos estados de interface, forno de SiC(carbeto de silício) para recozimentos em altas temperaturas, mostrados na figura 2.2, além de dois fornos de RTA (*Rapid Thermal Annealing*).



Fig. 2.2 – (a) Fornos para recozimentos térmicos.

Na figura 2.3(a) é mostrada a evaporadora utilizada para a deposição de alumínio dos contatos e interconexões do chip. Desenvolvida no Laboratório, trabalha em vácuo ($\sim 10^{-5}$ torr) e utiliza um filamento de tungstênio que percorrido por uma corrente funde o metal, o qual evapora e se deposita na amostra posicionada na parte superior da câmara.

A deposição do silício policristalino é realizada por CVD (*chemical vapor deposition*) em um forno de oxidação adaptado para tal finalidade, mostrado na figura 2.3(b).



Fig. 2.3 – (a)Evaporadora de metais e (b)forno de deposição de silício policristalino.

O Laboratório de Microeletrônica possui um implantador iônico com energia de 250KeV mostrado na fig. 2.4(a), utilizado para as implantações de boro do processo. Para a implantação de Arsênio foi utilizado um dos equipamentos de Laboratório de Implantação Iônica, mostrado na figura 2.4(b).

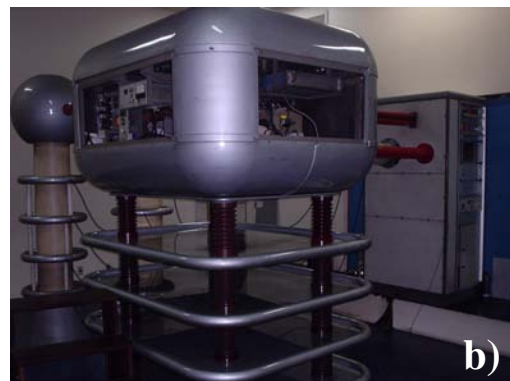


Fig. 2.4 – Implantador Iônico de (a) 250KeV e (b)500KeV

As medidas de resistência de folha durante o processo foram realizados com o sistema de quatro pontas, mostrado na figura 2.5(a). A medida é realizada encostando 4 ponteiros alinhados sobre e a lâmina, circulando uma corrente constante entre as ponteiros 1 e 4 e medindo a queda de tensão entre as ponteiros 2 e 3, como mostra a figura 2.5(b). A

resistência de folha da lâmina é obtida utilizando a equação $R_s \left[\frac{\Omega}{sq} \right] = \frac{\pi}{\ln 2} \cdot \frac{V}{I}$ [29].

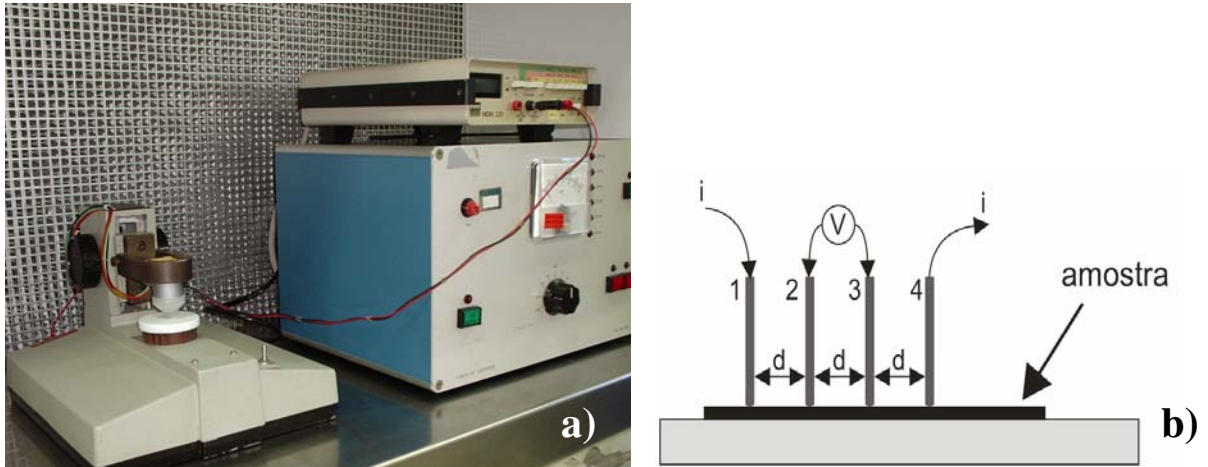


Fig. 2.5 – Sistema de quatro pontas para medidas de resistência de folha.

Os equipamentos utilizados nas etapas de fotolitografia são mostrados na figura 2.6. A figura 2.6(a) mostra uma foto do *spinner* e da placa aquecedora, e a foto 2.6(b) a fotoalinhadora Kasper que permite uma definição de $2\mu\text{m}$ com precisão de posicionamento de $0,5\mu\text{m}$.



Fig. 2.6 – (a) *Spinner* para deposição de fotoresina e (b) fotoalinhadora

No ano de 2004, o interesse no desenvolvimento da tecnologia CMOS e o financiamento mencionado anteriormente, permitiram adquirir e desenvolver o restante dos equipamentos necessários, que pode ser considerado como o início desta tese. O medidor de espessuras, o perfilômetro, o CVD, *sputtering*, o sistema de posicionadores para medidas elétricas e o sistema de ponta quente para determinação de condutividade, além da aquisição de um poderoso software de simulação de processos e dispositivos são alguns exemplos da contribuição deste trabalho, mostrados a seguir.

Durante o processo CMOS, principalmente após a etapa de fotolitografia que define o silício policristalino de porta, é necessário aumentar a espessura do óxido sobre este, com a finalidade de diminuir a sua capacitância com as linhas de metal que fazem as interconexões entre os dispositivos do *chip*. Esta foi a principal motivação da aquisição do sistema de deposição de SiO_2 por CVD.

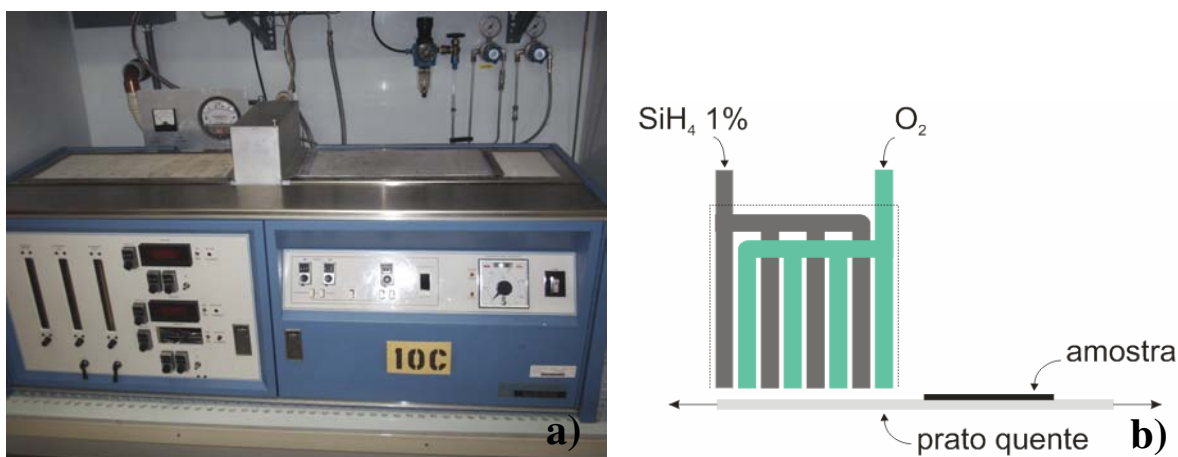


Fig. 2.7 – Sistema de deposição química a partir de fase vapor (CVD)

O CVD, mostrado na figura 2.7(a) funciona em pressão atmosférica, com um fluxo laminar de O_2 e SiH_4 diluído em N_2 . A reação ocorre sobre a lâmina quente que está em movimento, como mostra a figura 2.7(b), formando um filme de SiO_2 , cuja espessura e uniformidade depende de fatores como o fluxo dos gases, temperatura e velocidade de movimento da lâmina.

Para realizar medidas de degraus verticais é utilizado o equipamento perfilômetro Dektak IIa, mostrado na figura 2.8(a). O equipamento realiza medidas entre 100 e 655.000\AA com resolução mínima de 5\AA . O perfil é obtido movimentando horizontalmente a

amostra embaixo de uma agulha com ponta de diamante. Os movimentos verticais da agulha são medidos por um sensor de medição de deslocamento linear LVDT (*Linear Variable Differential Transformer*), sendo digitalizados, salvos na memória do equipamento e então traçados gráficos com o perfil na superfície. O perfilômetro é utilizado na tecnologia principalmente para obter a altura de filmes como o silício policristalino e o alumínio utilizado para os contatos.

O medidor de espessuras NanoSpec faz medidas óticas de espessura de filmes entre 100 e 40.000Å. O principio básico de funcionamento é a espectro-reflectometria, ou seja, usa a intensidade da luz refletida como função do comprimento de onda incidente para determinar a espessura de filmes transparentes sobre um substrato. No laboratório de microeletrônica o NanoSpec (mostrado na figura 2.8(b)) é usado principalmente para medir a espessura de filmes de SiO₂, silício policristalino e foto-resina, durante o processo de fabricação do *chip*.



Fig. 2.8 – (a) Perfilômetro Dektak IIa e (b) medidor de espessuras NanoSpec.

Após o processamento do chip são realizadas medidas elétricas como IxV e CxV para extrair os parâmetros DC como também alguns parâmetros tecnológicos do circuito processado. A medida é feita diretamente na lâmina, antes do chip ser encapsulado, por isso, torna-se necessário o uso de posicionadores de precisão, que através de movimentos nas três direções fazem o contato das agulhas como os *pads* do circuito. Considerando que muitas vezes são medidos valores de corrente na ordem de pico ampères, estas medidas podem ser alteradas pela incidência de luz ou por ruídos eletromagnéticos. Para atenuar esta

interferência, foi projetada e construída uma blindagem metálica para o sistema de medidas, mostrada na figura 2.9(a). Uma foto do sistema de agulhas para medidas elétricas é mostrado na figura 2.9(b).

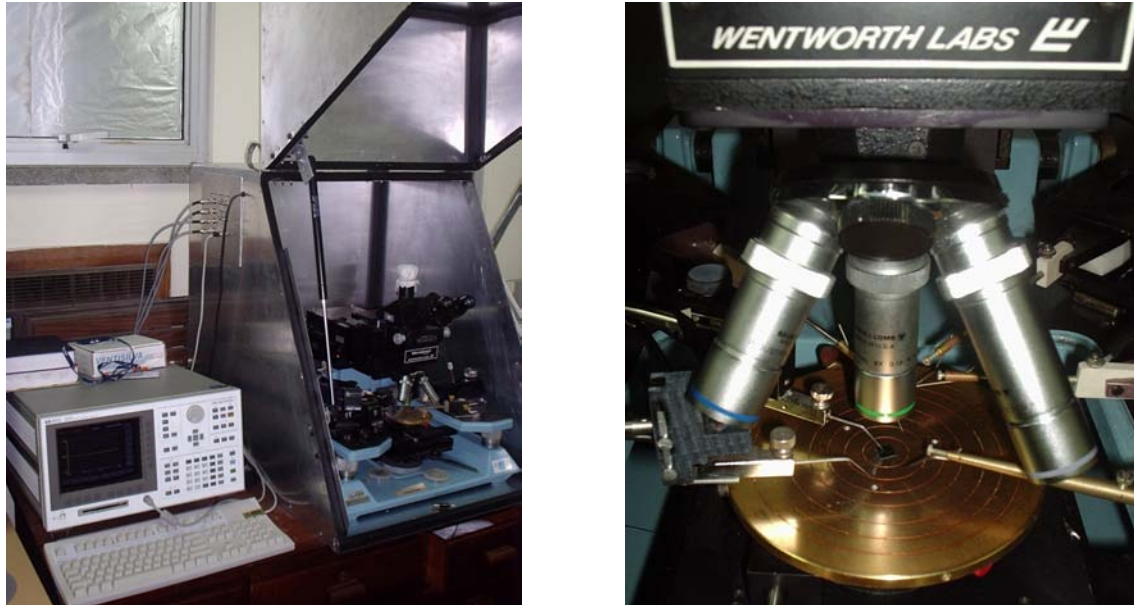


Fig. 2.9 - (a) Blindagem e sistema de medidas IxV e (b) em detalhe o sistema e posicionadores de precisão com agulhas de tungstênio.

Para determinação do tipo de condutividade foi montado um equipamento de ponta quente, mostrado na figura 2.10(a). Ele permite distinguir de maneira simples o tipo de condutividade de uma lâmina semicondutora.

O equipamento funciona encostando duas pontesiras, uma quente e uma fria em uma amostra semicondutora. Dependendo do tipo de semicondutor, a diferença de potencial entre as pontesiras pode ser “+” ou “-”, como mostrado na figura 2.10(b).

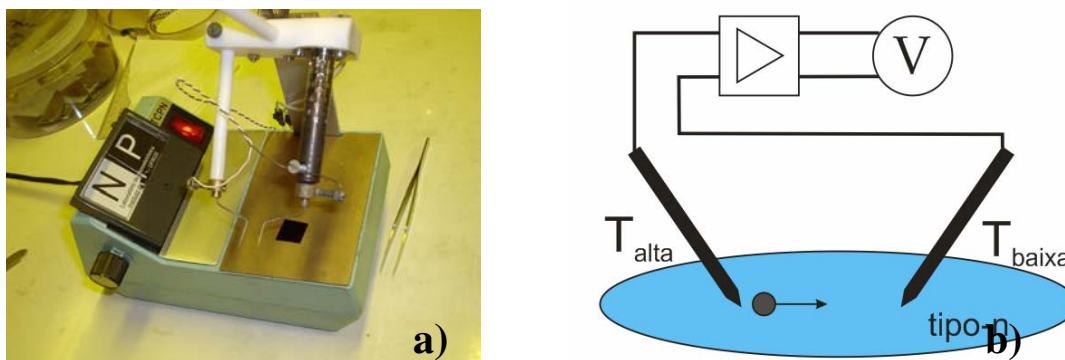


Fig. 2.10 – Sistema de ponta quente para identificação de condutividade de silício.

2.2 – Software de simulação

Os simuladores de processos e dispositivos são utilizados para reduzir o tempo e o custo de desenvolvimento de novos produtos. Atualmente o tempo é um fator crítico na indústria de microeletrônica, pois isso define qual a empresa irá lançar antes ao mercado um novo produto.

O pacote ISE-TCAD possui diversas ferramentas para simulação e análise dos resultados obtidos. Neste trabalho, foram utilizadas as ferramentas FLOOPS, MESH, DESSIS, TECPLOT e INSPECT. Abaixo são apresentadas as características das principais ferramentas, o FLOOPS e DESSIS:

2.2.1 – FLOOPS

O FLOOPS-ISE (*FLorida Object Oriented Process Simulator*) é um poderoso simulador de processos em 1D, 2D e 3D. FLOOPS simula todos os processos padrões utilizados em microeletrônica, como implantação, recozimentos (difusões e ativação de dopantes), *etching*, oxidação e deposição, utilizando modelos físicos atuais. Com estas características o FLOOPS é bastante utilizado em tecnologias de ponta e no desenvolvimento de tecnologias futuras em silício.

Todo o processo CMOS foi devidamente simulado e alguns resultados são mostrados no capítulo 5 com a lista tecnológica, e no capítulo 7 para a otimização do processo.

2.2.1 – DESSIS

A simulação elétrica do dispositivo foi realizada utilizando o software DESSIS (*DEvice Simulator for Smart Integrated Systems*), que simula numericamente o comportamento elétrico de dispositivos semicondutores em 1D, 2D e 3D, além de pequenos circuitos. O simulador calcula corrente, tensões e cargas baseadas em equações físicas que descrevem a distribuição de portadores e mecanismos de transporte.

Um dispositivo virtual é aproximado de um dispositivo real através de uma grade de pontos, formando elementos finitos no espaço. Suas propriedades, como por exemplo, perfil de dopantes é representada por valores atribuídos a cada um destes pontos.

A ferramenta DESSIS utiliza os seguintes modelos de transporte: solução da equação de Poisson e equação de continuidade de portadores, transporte termodinâmico, transporte hidrodinâmico e simulação de Monte Carlo.

A informação da geometria da estrutura e as distribuições dos dopantes necessárias para as simulações podem ser obtidas de duas maneiras. A primeira é usando a ferramenta do software ISE-TCAD nomeado DEVISE, fazendo uma descrição completa do dispositivo. A segunda maneira é utilizar o arquivo gerado pelo simulador de processos FLOOPS, procedimento que foi utilizado nestas simulações.

O simulador necessita de três arquivos de entrada: arquivo de *grid* que contém a malha a ser utilizada para simulação; arquivo de dados onde estão contidas informações sobre materiais e dopagens, além do arquivo de comando, (anexos B e C) onde são definidos os arquivos de entrada, tensões iniciais nos eletrodos, modelos físicos utilizados, arquivos de saída, controle da solução numérica para simulação e os valores a serem varridos.

Capítulo 3 - Os parâmetros da Tecnologia CMOS

Atualmente a simulação de circuitos é fundamental no projeto e na análise de circuitos integrados. Com o uso de ferramentas de simulação é possível prever o comportamento de circuitos complexos, conhecendo apenas o comportamento dos seus dispositivos discretos, através dos seus parâmetros. Os parâmetros de um dispositivo são valores que aplicados a um modelo, descrevem o funcionamento deste, podendo ser extraídos através de medidas ou estimados através de cálculos.

O simulador SPICE (*Simulation Program with Integrated Circuit Emphasis*)^[30] é um dos mais conhecidos e empregados em simulação, sendo que o conhecimento e a interpretação dos seus parâmetros se tornam quase uma necessidade.

Com o passar dos anos, a tecnologia CMOS se desenvolveu muito, e a preocupação em obter dispositivos com uma maior velocidade de chaveamento e baixo consumo de potência fez com que os dispositivos diminuíssem suas dimensões. À medida que as dimensões são reduzidas, fenômenos antes desprezados começam a ser relevantes, influenciando no comportamento do dispositivo, como efeitos de canal curto e canal estreito. A necessidade de modelos mais complexos, que descrevessem esses efeitos, obrigou o desenvolvimento de novos modelos, e conseqüentemente um número maior de parâmetros.

Um exemplo da evolução dos modelos de transistores MOSFET pode ser observado na equação que determina a tensão de limiar. A tensão de limiar de um transistor MOS é um parâmetro importante o qual determina a tensão necessária na porta para iniciar a condução entre fonte e dreno. A equação 3.1 mostra a equação para a determinação da tensão de limiar no modelo SPICE *level 1*^[35], porém, para considerar efeitos conseqüentes no escalamento do dispositivo, no modelo SPICE *level 3* parâmetros de correção foram acrescentados, como fatores de correção de canal curto, canal estreito e realimentação estática (F_S , F_N e F_D respectivamente), mostrados na equação 3.2.

$$V_{TO} = V_{FB} + PHI + \gamma \sqrt{PHI + V_{SB}} \quad [35] \quad (3.1)$$

$$V_{TO} = V_{FB} + PHI + F_S \gamma \sqrt{PHI + V_{SB}} + F_N (PHI + V_{SB}) - F_D V_{DS} \quad [31] \quad (3.2)$$

A seguir são listados alguns modelos de transistores MOSFET com suas principais características [30,31,32,33,34,35].

SPICE Level 1 – Possui os parâmetros V_T , KP , γ , λ , ϕ e N_{SUB} (explicados posteriormente). É baseado em um modelo de controle de cargas simples e não incluindo o regime sublimiar de operação, sendo utilizado somente para estimativas grosseiras de primeira ordem. Modelo desenvolvido em 1968 para transistores de canal superior a $5\mu\text{m}$.

SPICE Level 2 – Modelo mais complexo, pois inclui velocidade de saturação e correções semi-empíricas para descrever efeitos de canal curto. Está baseado na Geometria, variação na carga do canal, canal curto, inversão fraca, variação na mobilidade superficial, etc. Conveniente para transistores com comprimento de canal de até $2\mu\text{m}$.

SPICE Level 3 – Modelo mais aprimorado e eficiente que o *SPICE Level 2*. Utilizado para transistores com comprimento de canal de até $1\mu\text{m}$. Teve o modelo de saturação de velocidade modificado, e a inclusão de efeitos de canal curto semi-empíricos através do fator F_B (nas características I_xV e V_T), e da velocidade de saturação.

BSIM - (Berkley Short channel IGFET Model). Modelo mais utilizado atualmente em fábricas para descrever a performance de seus dispositivos. Boa transição entre inversão fraca e forte. O modelo BSIM I é conveniente para comprimentos de canal de até $0,8\mu\text{m}$.

Para este trabalho foi escolhido o modelo *SPICE level 3*, que possui como principais características:

- Sensibilidade da tensão de limiar com o comprimento e largura do canal;
- Sensibilidade da tensão de limiar através do efeito *DIBL (Drain Induced Barrier Lowering)*;
- Transição suave entre a região linear e de saturação

Abaixo são apresentadas e detalhadas as equações do modelo SPICE nível 3, além dos seus parâmetros com suas dimensionalidades.

V_T - Tensão de Limiar

$$V_{TO} = V_{FB} + PHI + F_S \gamma \sqrt{PHI + V_{SB}} + F_N (PHI + V_{SB}) - F_D V_{DS} \quad [24] \quad (3.3)$$

onde V_{FB} é a tensão de banda plana, PHI é o potencial de superfície em inversão forte, o fator F_S inclui efeitos de canal curto e F_N o efeito de canal estreito. A realimentação estática é representada pelo fator F_D.

V_{FB} – Tensão de banda plana:

$$V_{FB} = \phi_{MS} - \frac{Q_{eff}}{C_{OX}} \quad (3.4)$$

PHI [V] – Potencial de Superfície em inversão forte

$$PHI = 2\phi_F = 2 \frac{kT}{q} \ln \left(\frac{N_{SUB}}{N_i} \right) \quad (3.5)$$

Onde N_i é a concentração intrínseca de portadores do Silício, (N_i=1.01x10¹⁰cm⁻³ para T=300K [36]).

F_S – Fator de correção para canal curto

Em dispositivos de canal curto, as regiões de depleção de fonte e dreno fazem com que a carga efetivamente depletada seja menor do que a carga teoricamente necessária para isto. O fator F_S leva em conta este efeito, definido como a relação entre a carga efetivamente depletada e a teoricamente necessária, sendo F_S≤1.

$$F_S = 1 - \frac{x_j}{L_{eff}} \left\{ \frac{LD + W_C}{x_j} \sqrt{1 - \left(\frac{W_P}{x_j + W_P} \right)^2} - \frac{LD}{x_j} \right\} \quad (3.6)$$

onde W_C e W_P são as larguras da região de depleção na parte curva e na parte plana respectivamente, como mostrado na figura 3.1. As equações empíricas para a obtenção de W_C e W_P são:

$$W_C = x_j \left[k_1 + k_2 \left(\frac{W_P}{x_j} \right) - k_3 \left(\frac{W_P}{x_j} \right)^2 \right] \quad (3.7)$$

Onde $k_1=0,0631353$, $k_2=0,08013929$, e $k_3=0,01110777$,

e

$$W_P = \sqrt{\frac{2\epsilon_{Si}}{q \cdot N_{SUB}} (PHI + V_{SB})} \quad (3.8)$$

DELTA [-] – Efeito da largura na tensão de limiar

Em dispositivos de canal estreito, efeitos de borda, como a carga de depleção além da largura do canal deixam de ser desprezíveis. F_N é o fator de correção, que considera este efeito de canal estreito. O parâmetro empírico **DELTA** (δ) permite a flexibilidade para modelar outros efeitos, como por exemplo, a não-planaridade da superfície do dispositivo.

$$F_N = \frac{\delta \cdot \pi \cdot \epsilon_{Si}}{2 \cdot C_{OX} \cdot W_{eff}} \quad (3.9)$$

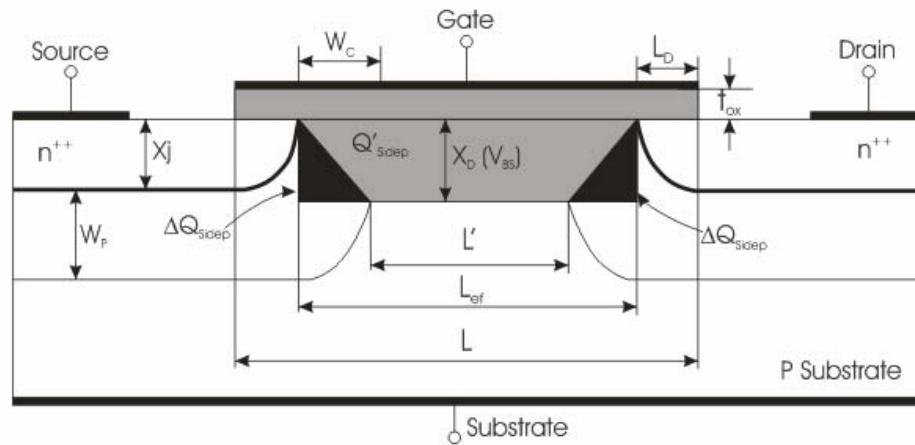


Fig. 3.1 – Corte transversal de um transistor NMOS apresentando suas dimensões características e larguras da região de depleção.

ETA [-] – Coeficiente de realimentação estática

À medida que se aumenta a tensão entre fonte e dreno (V_{DS}) do transistor, aumenta-se a quantidade de carga depleta na região do dreno, diminuindo assim V_T . Este efeito é

conhecido como efeito DIBL (*Drain Induced Barrier Lowering*) e é modelado introduzindo o coeficiente de realimentação estática F_D , o qual é linearmente proporcional a V_{DS} . O parâmetro empírico de ajuste **ETA** (η) permite maior flexibilidade.

$$F_D = \frac{\eta \cdot 8.15 \cdot 10^{-22}}{L_{eff}^3 \cdot C_{OX}} \quad (3.10)$$

Corrente de Dreno:

O nível 3 modela a corrente de dreno usando as equações abaixo, dependendo da região de operação do transistor.

$$I_d = \frac{W_{eff}}{L_{eff}} KP \left[V_{GS} - V_{TH} - \frac{(1 + F_B) \cdot V_{DS}}{2} \right] \cdot V_{DS} \quad \text{Triodo} \quad (3.11)$$

$$I_{d(sat)} = \mu_{eff(sat)} \cdot C_{OX} \frac{W_{eff}}{(L_{eff}) - \Delta L} \left[V_{GS} - V_{TH} - \frac{(1 + F_B) \cdot V_{DS(sat)}}{2} \right] \cdot V_{DS(sat)} \quad \text{Saturação} \quad (3.12)$$

onde: KP é parâmetro de transcondutância intrínseco, F_B expressa a dependência das cargas

de corpo na geometria tridimensional do dispositivo, $F_B = \frac{\gamma}{4\sqrt{PHI + V_{SB}}} \cdot F_S + F_N$, e $\mu_{eff(sat)}$

é a mobilidade efetiva na região de saturação.

KP [A/V²] – Parâmetro de transcondutância intrínseco

O parâmetro de transcondutância intrínseco é definido por $KP = \mu_0 \cdot C_{OX}$, porém esta relação é válida apenas para baixos valores de tensão. Para altas tensões, efeitos como degradação da mobilidade são incluídos, diminuindo o valor de KP.

Mobilidade:

O modelo SPICE nível 3 utiliza as seguintes equações para o cálculo da mobilidade na região de triodo e de saturação.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T) + \frac{\mu_0}{V_{MAX} \cdot L_{eff}} \cdot V_{DS}} \quad \text{Triodo} \quad (3.13)$$

$$\mu_{eff(sat)} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T) + \frac{\mu_0}{V_{MAX} \cdot L_{eff}} \cdot V_{DS(sat)}} \quad \text{Saturação} \quad (3.14)$$

onde μ_0 é a mobilidade dos portadores para baixos campos elétricos e θ é o coeficiente de redução da mobilidade pelo campo elétrico transversal^[38].

Devido à saturação da velocidade dos elétrons, ocorre a diminuição na condução de corrente, tornando-se necessário o uso do parâmetro V_{MAX} , que representa a máxima velocidade de deriva dos portadores.

V_{MAX} [m/s] – Máxima velocidade de deriva dos portadores.

Segundo estudos, a velocidade de deriva máxima dos portadores no silício a 300K é $V_{MAX}=1.10^7$ cm/s^[39,40], como mostrado na figura 3.2.

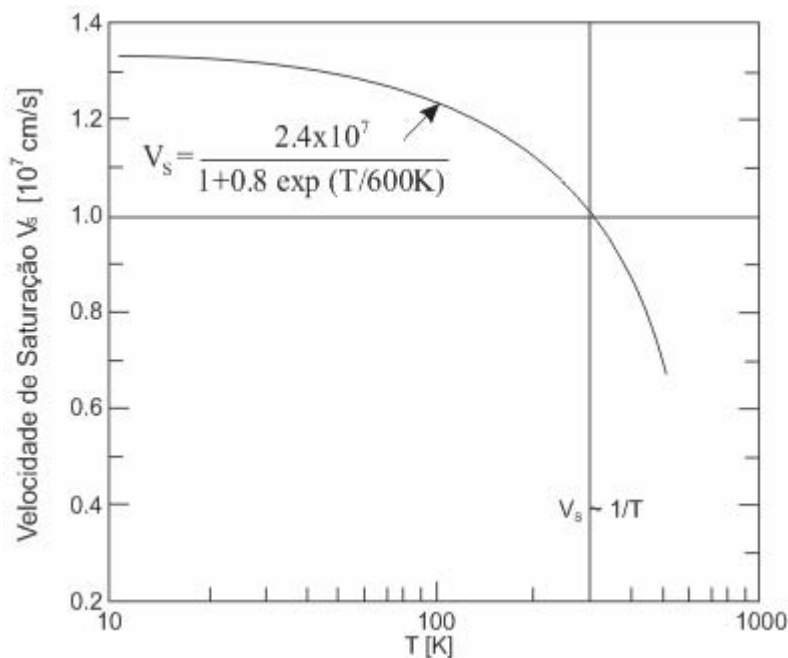


Fig 3.2 - Velocidade de saturação dos elétrons versus temperatura para Si. Adaptada de [40].

THETA [V⁻¹] – Coeficiente de redução da mobilidade devido ao campo transversal

Quando são usadas altas tensões entre a porta e a fonte em transistores MOS, cria-se um alto campo elétrico entre a porta e o canal, confinando os portadores de carga a uma estreita região abaixo da interface SiO₂/Si. Isto acarreta num maior espalhamento dos portadores, principalmente devido à rugosidade, reduzindo assim a mobilidade destes. θ (Theta) é um parâmetro de rugosidade de superfície ajustado^[34], podendo ser aproximado por:

$$\theta = \frac{10^{-7}}{T_{OX}} \quad [34] \quad (3.15)$$

Tensão de saturação:

A tensão de saturação de dispositivos de canal curto é definida como o ponto onde a assíntota da curva de saturação da velocidade dos elétrons quentes atinge a velocidade limite^[30].

$$V_{DS(sat)} = \frac{V_{GS} - V_T}{1 + F_B} + \frac{V_{MAX} \cdot L_{eff}}{\mu_{eff}} - \sqrt{\left(\frac{V_{GS} - V_T}{1 + F_B}\right)^2 + \left(\frac{V_{MAX} \cdot L_{eff}}{\mu_{eff}}\right)^2} \quad (3.16)$$

KAPPA [-] – Fator de saturação do campo

Como V_{DS} fica maior que $V_{DS(sat)}$, o ponto no canal onde a velocidade satura é diferente do ponto de *pinch-off*, movendo-se na direção da fonte. Logo, o comprimento efetivo de canal sofre uma redução para estas altas tensões no dreno. A correção de I_{DS} (mostrada na equação 3.9) devido a esta modulação do comprimento de canal é realizada se $V_{DS} > V_{DS(sat)}$, e calculada como:

$$\Delta L = -\frac{Ep \cdot xd^2}{2} + \sqrt{\left(\frac{Ep \cdot xd^2}{2}\right)^2 + KAPPA \cdot xd^2 \cdot (V_{DS} - V_{DS(sat)})} \quad [30] \quad (3.17)$$

Onde Ep é o campo lateral para o qual o canal entra em *pinch off*.

$$Ep = \frac{V_C (V_C + V_{DS(sat)})}{L_{eff} \cdot V_{DS(sat)}}$$

$$i_{DS} = \frac{i_{DS}}{1 - \Delta L}$$

$$xd = \sqrt{\frac{2 \cdot \epsilon_{Si}}{q \cdot N_{SUB}}}$$

$$V_C = \frac{V_{MAX} \cdot L_{eff}}{\mu_S}$$

e KAPPA é um parâmetro de ajuste empírico, com valor típico igual a 1.

T_{OX} [m] - Espessura do Óxido de Porta

$$T_{OX} = \frac{A \cdot \epsilon_{SiO_2}}{C_{OX}} \quad (3.18)$$

Onde:

A é a área do capacitor,

C_{OX} é capacitância do óxido por unidade de área [F/cm²].

ε_{SiO₂} é a permissividade do SiO₂

N_{SUB} [cm⁻³] – Dopagem do substrato

N_{SS} [cm⁻²] – Densidade efetiva de estados de interface

Default=0

N_{FS} [cm⁻²] – Densidade de estados de interface rápidos

Default=0

TPG [-] – Tipo de material de porta

O parâmetro TPG define o tipo de material de porta utilizado no dispositivo.

TPG vale (-1) quando a porta é de silício policristalino do mesmo tipo do substrato, (1) quando for de tipo oposto ao substrato, e (0) quando o dispositivo utiliza porta de alumínio.

X_j [m] – Profundidade da Junção

Os valores da profundidade de junção de fonte e dreno são utilizados principalmente para modelar as capacitâncias de junção do dispositivo.

LD [m] – Difusão lateral na direção do comprimento

Durante a implantação e recozimentos térmicos de fonte e dreno, ao mesmo tempo em que os dopantes difundem no substrato perpendicularmente à superfície, difundem também na direção paralela a superfície, diminuindo significativamente o comprimento do canal para um comprimento efetivo, determinado por: $L_{eff} = L - 2LD$, sendo L o comprimento definido pela litografia.

WD [m] – Redução na largura do canal

Em tecnologias que utilizam a técnica de LOCOS (*LOC*al *O*xidation of *S*ilicon) para isolamento entre os dispositivos, a definição da largura de canal através de uma camada de nitreto de silício pode ser reduzida, devido aos “bicos de pássaro”, mostrados na figura 3.3. Devido a este efeito, a largura do canal é corrigida por um comprimento denominado WD.

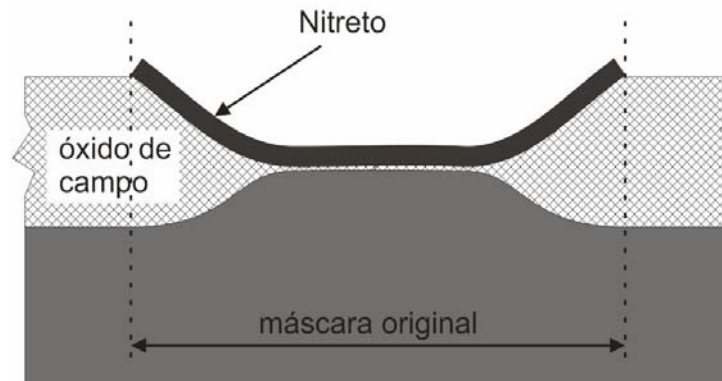


Fig. 3.3 – Técnica de LOCOS para isolamento entre dispositivos.

GAMMA [$V^{1/2}$] – Parâmetros de efeito de corpo

Gamma é o coeficiente de sensibilidade de corpo do substrato original. Ele representa a variação de V_T com a polarização entre fonte e substrato (V_{BS}), e é obtido por:

$$\gamma = \frac{\sqrt{2\epsilon_{si}qN_{SUB}}}{C_{OX}} \quad (3.19)$$

Correntes de Fuga

Para modelar o transistor é utilizado o modelo apresentado na figura 3.4. Os diodos representam as junções P-N entre fonte e substrato e entre dreno e substrato. Para operação do transistor, estes diodos nunca podem estar diretamente polarizados. Com este modelo, podem ser modeladas as capacitâncias e as correntes de fuga do transistor.

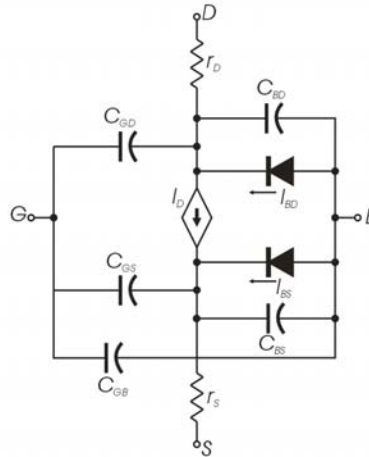


Fig. 3.4 – Modelo de transistor utilizado para modelagem^[31].

As correntes de fuga são expressas como:

$$i_{BD} = I_S \left[\exp\left(\frac{qV_{BD}}{kT}\right) - 1 \right] e \quad (3.20)$$

$$i_{BS} = I_S \left[\exp\left(\frac{qV_{BS}}{kT}\right) - 1 \right] \quad (3.21)$$

onde I_S é a corrente de saturação reversa na junção PN.

Os resistores r_S e r_D representam as resistências ôhmicas de fonte e dreno respectivamente.

Capacitâncias:

As capacitâncias do transistor são divididas em três tipos: 1) capacitâncias C_{BS} e C_{BD} , associadas às regiões de depleção entre fonte e o substrato e entre dreno e o substrato respectivamente, 2) capacitâncias C_{GD} , C_{GS} e C_{GB} que estão em comum com a porta e dependem das condições de operação do transistor, 3) capacitâncias parasitas que independem das condições de operação.

As capacitâncias de depleção são funções da tensão através da junção PN. A expressão desta capacitância de depleção na junção é dividida em duas regiões para levar em conta os efeitos de injeção alta.

i) A primeira é dada por:

$$C_{BX} = \frac{(CJ)(AX)}{\left[1 - \frac{V_{BX}}{PB}\right]^{MJ}} + \frac{(CJSW)(PX)}{\left[1 - \frac{V_{BX}}{PB}\right]^{MJ}}, \text{ para } V_{BX} \leq (FC)(PB) \quad (3.22)$$

e,

ii) A segunda região é dada por:

$$C_{BX} = \frac{(CJ)(AX)}{(1-FC)^{1+MJ}} \left[1 - (1+MJ)FC + MJ \frac{V_{BX}}{PB}\right] + \frac{(CJSW)(PX)}{(1-FC)^{1+MJSW}} \left[1 - (1+MJSW)FC + MJSW \frac{V_{BX}}{PB}\right] \quad (3.23)$$

para $V_{BX} > (FC)(PB)$

onde:

X = D para C_{BD} ou X=S para C_{BS}

AX = área de fonte (X=S) ou dreno (X=D)

PX = Perímetro de fonte (X=S) ou dreno (X=D)

onde CJ, CJSW, MJ, MJSW, PB e FC são descritos a seguir.

CJ [F/m²] – Capacitância da junção de fundo por unidade de área.

$$C_J = \sqrt{q \cdot \epsilon_{Si} \cdot N_{SUB} \cdot \frac{M_J}{P_B}} \quad (3.24)$$

MJ [-] – Coeficiente do gradiente da junção de fundo com o substrato

Default = 1/2 para junção tipo degrau (abrupta) ou 1/3 para junção gradual (linear).

CJSW [F/m] – Capacitância da junção lateral por unidade de área.

$$C_J = \sqrt{q \cdot \epsilon_{Si} \cdot N_{SUB} \cdot \frac{M_{JSW}}{P_B}} \quad (3.25)$$

MJSW [-] – Coeficiente do gradiente da junção lateral com o substrato

Default = 1/2 para junção tipo degrau (abrupta) ou 1/3 para junção gradual (linear).

PB [V] – Potencial de junção do substrato

Default = 0,7V

FC [-] – Coeficiente da capacitância de junção não ideal com polarização direta

Default=0,5

Devido à difusão lateral das regiões de fonte e dreno para baixo da porta, surgem as capacitâncias de sobreposição entre fonte e a porta (CGSO) e entre dreno e a porta (CGDO), como mostrado na figura 2.5, que são proporcionais à largura efetiva do canal.

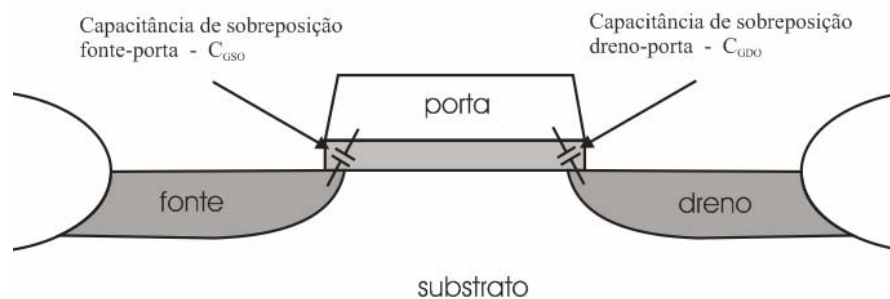


Fig. 3.5 – Corte transversal do transistor mostrando as capacitâncias de sobreposição

CGSO [F/m] – Capacitância da sobreposição Porta-Fonte por metro de largura de canal.

$$CGSO = LD \cdot C_{OX} \tag{3.26}$$

CGDO [F/m] – Capacitância da sobreposição Porta-Dreno por metro de largura de canal.

$$CGDO = LD \cdot C_{OX} \tag{3.27}$$

CGBO [F/m] - Capacitância da sobreposição Porta-Substrato por metro de comprimento de canal.

$$CGBO = WD \cdot C_{thick-ox} \quad (3.28)$$

onde $C_{thick-ox}$ é a capacitância do óxido grosso.

R_{SH} [Ω/sq] – Resistência de folha da difusão de Fonte e Dreno.

R_D [Ω] – Resistência ôhmica do dreno.

$$R_D = R_{SH} \cdot NRD \quad (3.29)$$

onde NRD é o número de quadrados de dreno.

R_S [Ω] – Resistência ôhmica da fonte.

$$R_S = R_{SH} \cdot NRS \quad (3.30)$$

onde NRS é o número de quadrados de fonte.

JS [A/m^2] – Valor de densidade de corrente reversa de saturação nas junções p-n

$$\text{Default} = 5 \cdot 10^{-7}$$

TNOM [$^{\circ}C$] – Temperatura nominal

$$\text{Default}=27^{\circ}C$$

Capítulo 4 - O Chip –Veículo de desenvolvimento da tecnologia

Atualmente o uso de equipamentos microprocessados ou microcontrolados está cada vez mais presente no nosso cotidiano. As aplicações são as mais diversas possíveis, como em equipamentos medicinais, automotivos, industriais. Nestes casos, valores como tensão, corrente e temperatura, por exemplo, obtidos por sensores devem ser convertidos em sinais digitais para assim serem processados. Esta conversão é feita pelos chamados conversores A/D (analógico/digital).

Existem diversos tipos de conversores A/D, variando em técnica e velocidade de conversão. Como exemplo temos o conversor tipo paralelo, de rampa digital entre outros^[41]. O chip processado no Laboratório de Microeletrônica consiste em um conversor A/D totalmente digital, proposto por Watanabe et al ^[42], cujo diagrama em blocos é apresentado na figura 4.1. O conceito deste conversor A/D é baseado em transformar a amplitude da informação analógica em uma variação temporal do sinal digital, utilizando uma rede de atrasos formada por um banco de inversores em série, na topologia de oscilador em anel.

O circuito foi projetado por alunos de pós-graduação em Engenharia Elétrica da UFRGS, e funcionou como um veículo de teste para desenvolvimento da tecnologia CMOS.

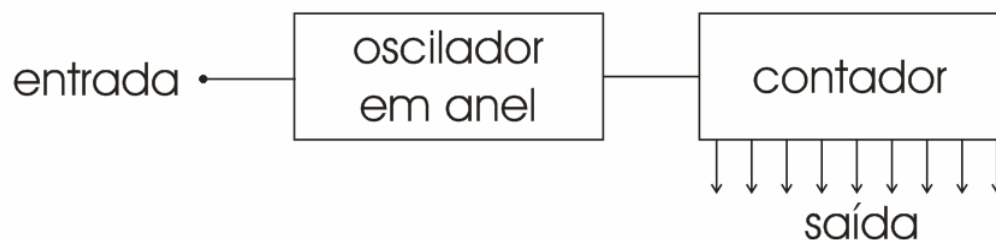


Fig. 4.1 - Esquema em blocos do conversor A/D totalmente digital.

O funcionamento do conversor utiliza o fato de que o atraso de cada inversor varia de acordo com a sua tensão de alimentação, desta maneira, o oscilador em anel é alimentado pelo sinal analógico de entrada. Esta configuração fará com que este varie sua frequência de oscilação no tempo, variando a frequência da transição de nível lógico

“0”→”1” em sua saída. Ligado a este oscilador, um contador de 8 bits contará estas transições em intervalos específicos de tempo (definido por um *clock* externo ao conversor), obtendo assim um valor binário de 8 bits que corresponde a amplitude média do sinal analógico naquele intervalo de tempo.

Desta maneira, o conversor A/D pode ser dividido em dois blocos fundamentais; o oscilador em anel e o contador de 8 bits, além de *buffers* de entrada e de saída. O layout do circuito projetado é mostrado na figura 4.2.

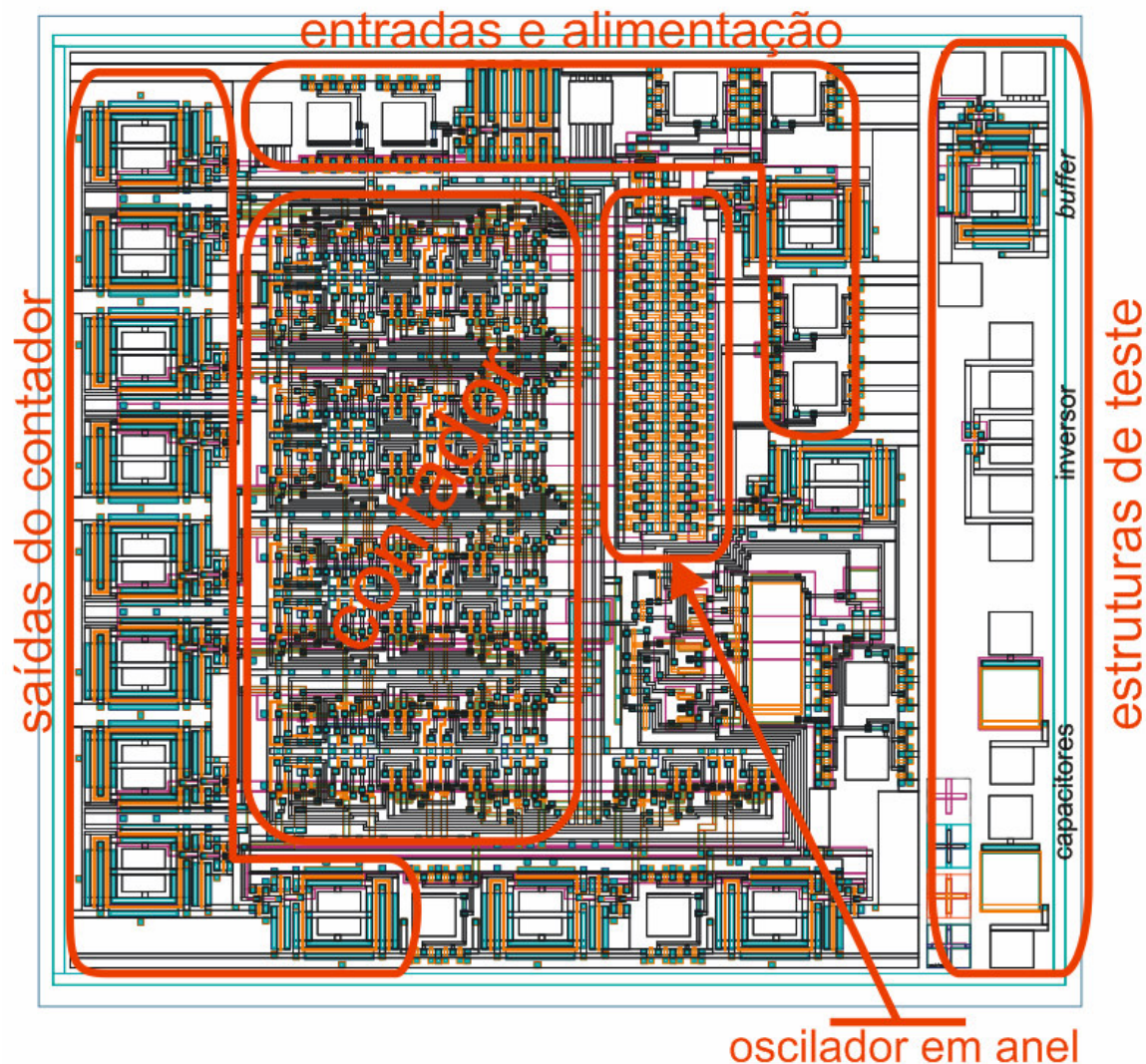


Fig. 4.2 – *Layout* do conversor A/D totalmente digital.

A rede de atrasos do conversor A/D é formada por 31 inversores CMOS ligados em série onde o sinal analógico de entrada funciona como alimentação destes, como pode ser

visto na figura 4.3. Para os transistores da rede de atrasos, as dimensões W/L são de $10\mu\text{m}/15\mu\text{m}$ para o transistor NMOS e $30\mu\text{m}/15\mu\text{m}$ para o transistor PMOS. Além disso, uma porta NAND é utilizada na entrada como “habilitador” do oscilador.

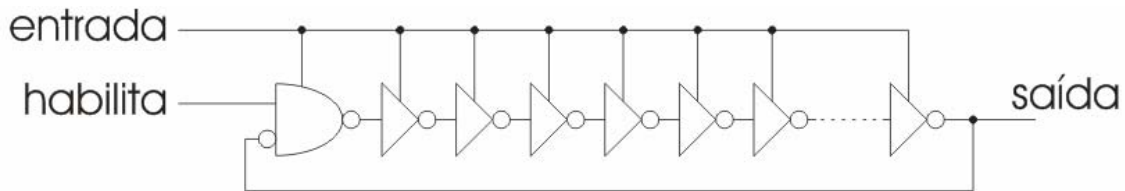


Fig. 4.3 – Esquema elétrico da rede de atrasos formada por 31 inversores CMOS.

O contador consiste em um circuito somador de 8 bits. Para utilizá-lo como contador uma de suas entradas possui valor lógico “1” (00000001 em código binário), e a outra entrada está conectada na saída do próprio somador, como mostrado na figura 4.4. Um circuito flip-flop é utilizado na entrada do contador para não ocorrer corrida, ou seja, para que a soma seja feita somente quando ocorrer transição de “0” para “1” na entrada de *clock* do flip-flop.

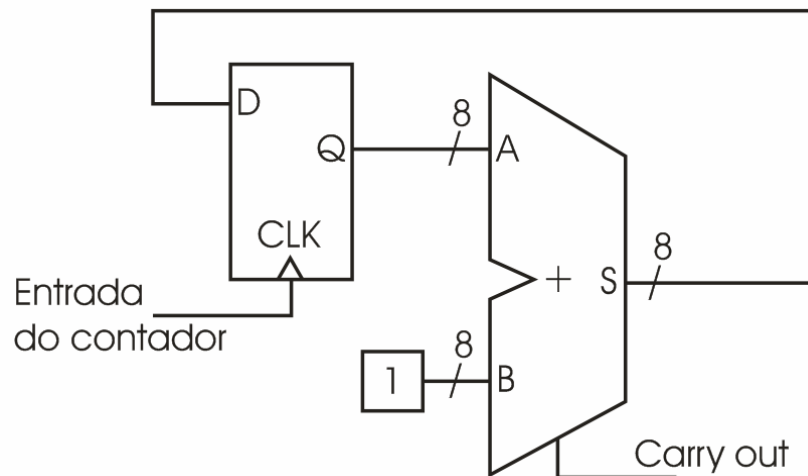


Fig. 4.4 – Contador de 8 bits

Dois tipos de *buffers* foram projetados para este circuito, *buffers* de entrada e de saída. Os *buffers* de entrada foram projetados para proteger o circuito contra eventuais descargas eletrostáticas. Eles são constituídos de um resistor e dois transistores, que funcionam como diodos, um ligado em Vdd e outro ligado em GND, conforme mostrado

na figura 4.5(a). Em condições normais estes diodos não conduzem, e o valor de tensão em V_{out} será igual ao valor em V_{in} . Em caso de descargas elétricas um dos diodos conduz, evitando o aumento da tensão na saída V_{out} . O *layout* do *pad* com *buffer* de entrada é mostrado na figura 4.5(b).

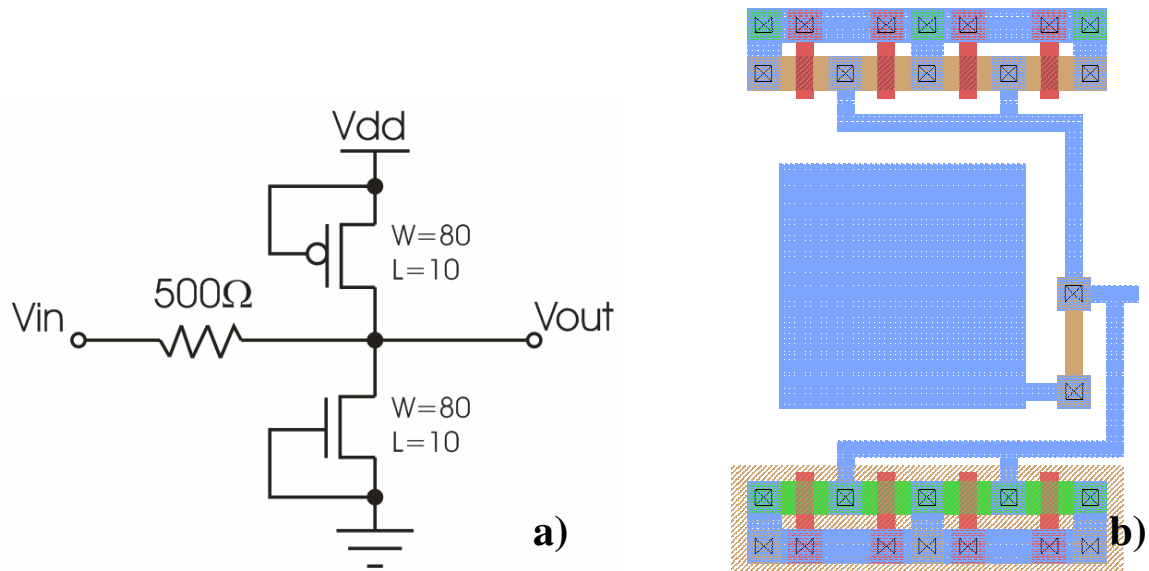


Fig. 4.5 – (a) Esquema elétrico e (b) *layout* do *Buffer* de entrada, utilizado para proteção do circuito.

Os *buffers* de saída foram projetados para atender as especificações de carga do circuito externo e frequência de operação. Eles são constituídos de três inversores em série com fator multiplicativo de W igual a 5 em relação ao anterior, como pode ser visto na figura 4.6(a). A figura 4.6(b) mostra o *layout* projetado para o *buffer* de saída. O fator de $W_P/W_N = 3$ foi utilizado, levando em conta o fato da mobilidade dos elétrons ser três vezes maior que a mobilidade das lacunas^[33].

Externamente ao circuito, foram projetadas estruturas para testes de dispositivos e extração de parâmetros. Uma das estruturas consiste em dois transistores MOS, um tipo-p com largura de canal de $30\mu\text{m}$ e outro transistor tipo-n com largura de canal de $10\mu\text{m}$, ambos com comprimento nominal de canal de $5\mu\text{m}$, que podem ser usados como um inversor. O *layout* da estrutura é mostrado na figura 4.7(a) com um detalhe na figura 4.7(b).

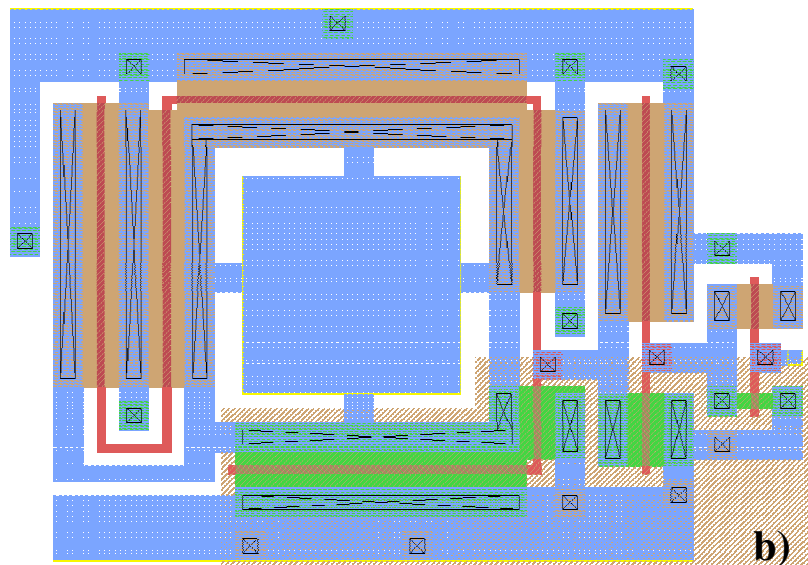
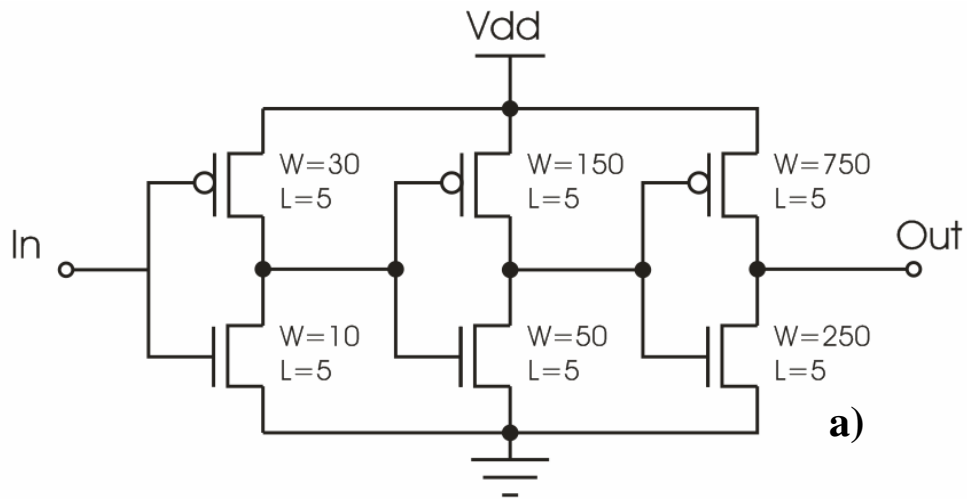
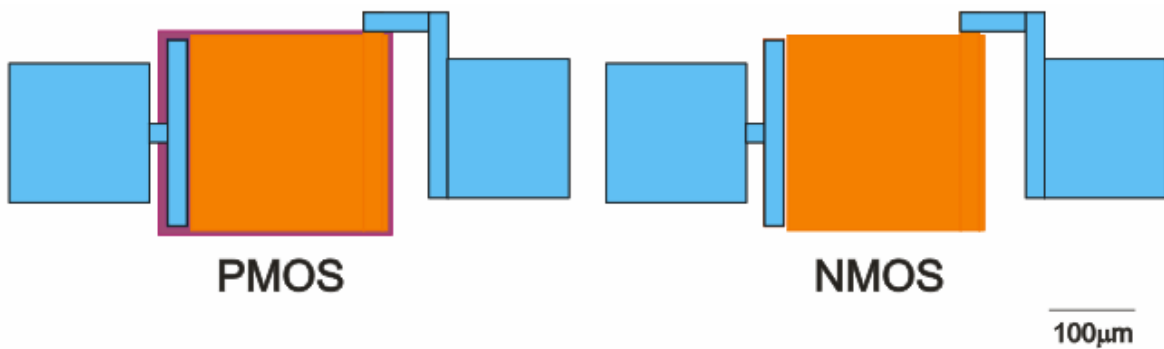
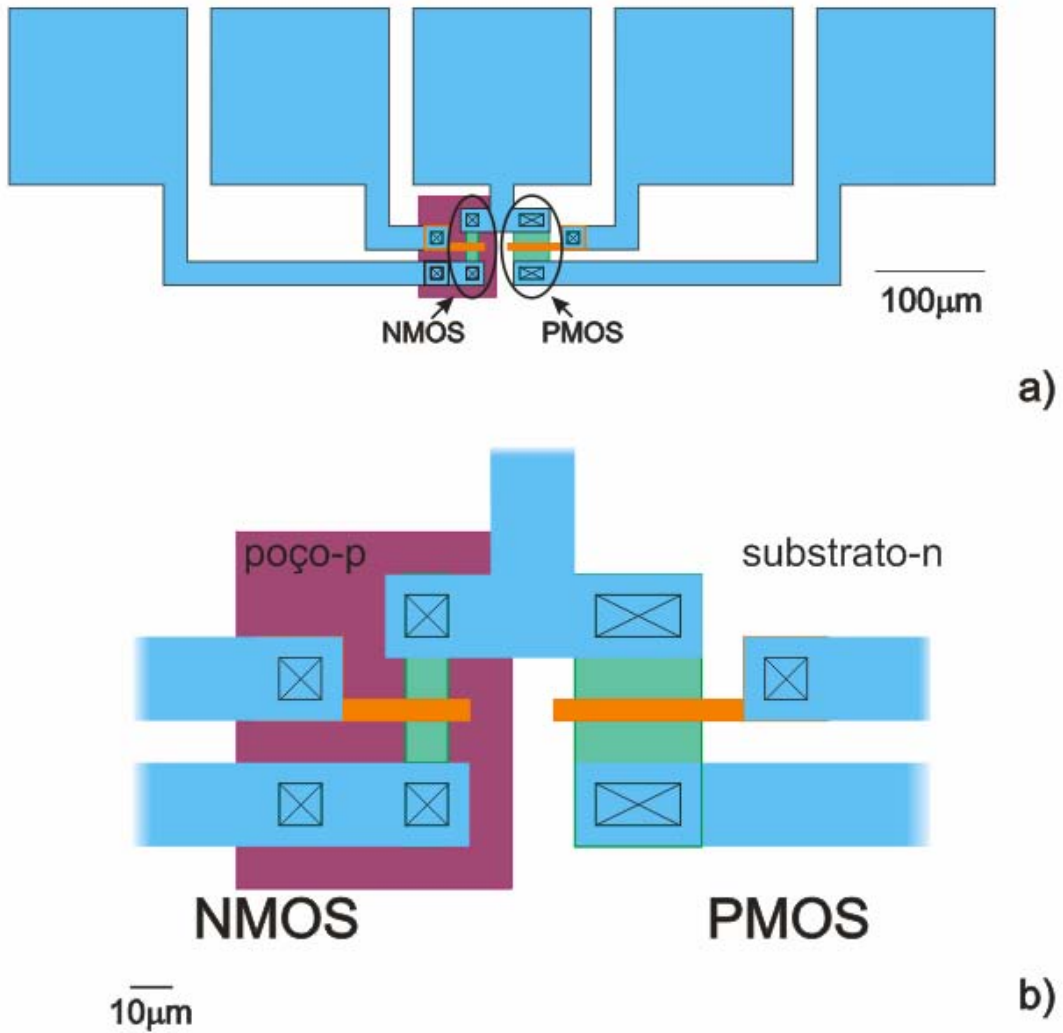


Fig. 4.6 – *Buffer* de saída.

Capacitores tipo-p e tipo-n também foram projetados como estruturas de teste. Ambos possuem dimensões de $200 \times 200 \mu\text{m}$ com porta de silício policristalino, como mostrado na figura 4.8.



A Figura 4.9 mostra as cruces de alinhamento das sete máscaras necessárias para este projeto, fabricadas pela empresa DuPont nos Estados Unidos.

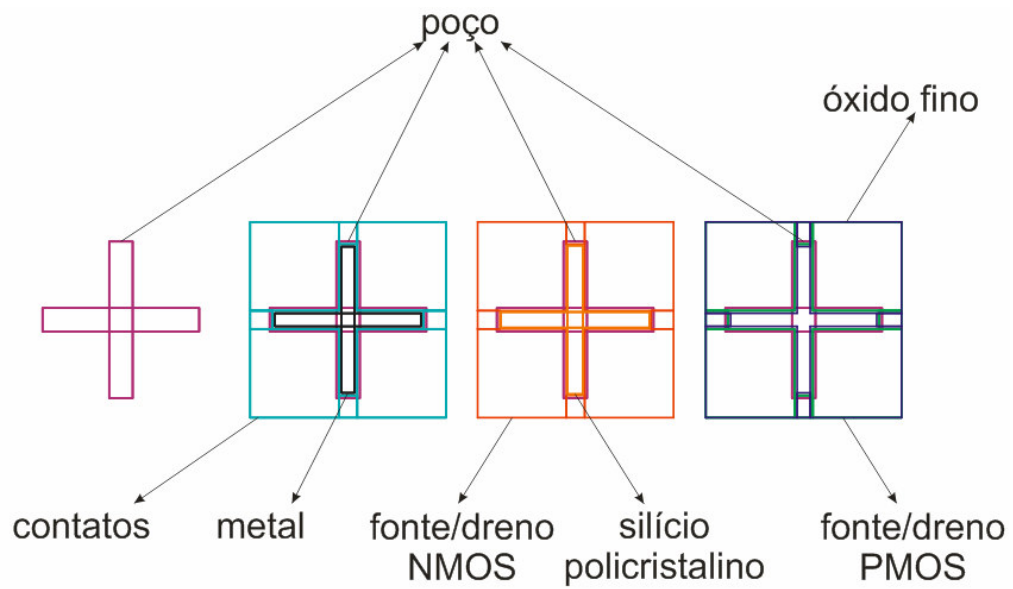


Fig. 4.9 – Cruzes de alinhamento.

Capítulo 5 - Tecnologia CMOS desenvolvida no Laboratório de Microeletrônica do Instituto de Física da UFRGS.

Neste capítulo será apresentada a tecnologia CMOS desenvolvida no Laboratório de Microeletrônica. A tecnologia é simples, de substrato tipo-n, um poço tipo-p, comprimento de canal de $5\mu\text{m}$ e porta de silício policristalino, possibilitando que todo o processamento do chip fosse realizado nas dependências do laboratório.

Com o objetivo de melhorar o desempenho dos dispositivos e de determinar os passos críticos do processo, foram realizadas simulações da tecnologia usando a ferramenta FLOOPS^[43], cujos arquivos de simulação estão no anexo A. Abaixo é apresentado o processo desenvolvido, juntamente com dados medidos e simulados.

Substrato utilizado:

Para este processo foram escolhidas lâminas de Silício tipo-n, para que os transistores PMOS fossem construídos no substrato, onde o número de defeitos é menor quando comparado ao poço tipo-p. Isto se torna importante, devido a mobilidade dos elétrons ser aproximadamente três vezes maior que a mobilidade das lacunas^[44].

Definida a condutividade do substrato, optou-se pela orientação $\langle 100 \rangle$ devido esta orientação cristalográfica apresentar uma menor densidade átomos na superfície, conseqüentemente diminuindo a densidade das indesejáveis *dangling bonds* ou “ligações em aberto” na interface SiO_2/Si , que atuam como centros de espalhamento de cargas, podendo responder de forma indesejável ao campo elétrico aplicado sobre o dispositivo, reduzindo assim seu desempenho.

As lâminas utilizadas são padrão *prime*, o que significa um alto grau de pureza com mínima variação na resistividade entre uma lâmina e outra. A resistividade das lâminas foi de $4\text{-}6\ \Omega\cdot\text{cm}$, correspondendo a uma concentração de 7×10^{14} a $1 \times 10^{15}\ \text{cm}^{-3}$.

1 – Limpeza completa das amostras

A limpeza das lâminas de silício é fundamental em um processo de microfabricação. A presença de qualquer partícula ou orgânicos na superfície pode ser responsável pelo não

funcionamento do chip. Por este motivo são utilizadas durante todo o processo de fabricação as etapas de limpeza citadas abaixo. O passo I é conhecido como solução piranha, que serve para remoção de materiais orgânicos da superfície. A solução piranha promove uma oxidação química indesejável, por isso, muitas vezes após esta etapa é realizado o passo opcional para remoção deste óxido. A realização destas etapas, seguida de uma limpeza RCA ^[45] (passos II e III) garantem uma limpeza eficaz.

- Solução I: $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ na proporção de 4:1 a 80°C por 10 minutos. Esta solução é conhecida como solução piranha, e sua finalidade principal é remover materiais orgânicos na superfície da lâmina.
 - Lavagem durante 5 minutos em água deionizada.
- Passo Opcional: $\text{HF} + \text{H}_2\text{O}$ na proporção de 1:10 em temperatura ambiente por 10 segundos. Esta solução é utilizada para remoção do SiO_2 nativo da superfície.
 - Lavagem durante 5 minutos em água deionizada.
- Solução II: $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ na proporção de 1:1:5 a 80°C durante 10 minutos. Esta solução é utilizada para remoção de orgânicos e metais do grupo IB e IIIB (Cu, Ag, Zn, Cd)
 - Lavagem durante 5 minutos em água deionizada.
- Solução III: $\text{HCl} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$ na proporção 1:1:5 por 10 minutos em temperatura de 80°C . Este passo serve para remoção de íons alcalinos e hidróxidos de Fe^{+3} , Al^{+3} e Mg^{+3} .
 - Lavagem durante 5 minutos em água deionizada.

2 – Formação do óxido de campo para isolamento de dispositivos

A primeira oxidação do processo, conhecida como oxidação de campo serve para obter um espesso filme de SiO_2 para isolamento entre os dispositivos vizinhos. Além do O_2 com fluxo de 1l/min, uma concentração volumétrica de 0.2% de TCA ($\text{H}_3\text{C}_2\text{-Cl}_3$ -1,1,1-tricloroetano) é injetada no tubo de quartzo do forno, a fim de diminuir as cargas móveis no óxido.^[46]

Temperatura : 1200°C
5 min em N_2 [†]
180 min em O_2 SS(99,8%) + 0,2% TCA

[†] Nas etapas onde não é mencionado, o fluxo utilizado foi de 1litro/min

Com este regime obteve-se uma espessura média de SiO₂ de 3960Å, representado na estrutura da figura 5.1.

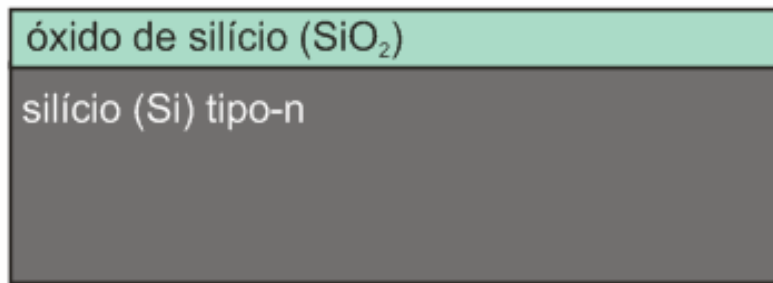


Fig. 5.1 – Estrutura de SiO₂/Si formada após oxidação de campo.

3 – Fotolitografia para a formação do poço

Como o óxido de campo formado, a primeira litografia define as regiões do poço tipo-p.

Fotoresina	: S1400-17
Deposição sobre lâminas	: 4000 RPM/54s
Placa aquecedora (<i>soft baking</i>)	: 10min @90-100°C
Exposição	: 20s
Revelação	: 45s em AZ351(1:5 em H ₂ O) T=20 °C
Lavagem	: H ₂ O-DI 5min
Prato quente (<i>hard baking</i>)	: 10 min @110-120°C

Definida a região de poço pela ausência da fotoresina, a remoção do óxido é feita em solução DLV (Decapante Lento de Vidro), que é conhecida como “*buffer etch*”. Esta solução leva este nome por ter a característica de atenuar a variação do seu pH durante a corrosão, a fim de manter a taxa desta constante. A estrutura formada é ilustrada na figura 5.2.

Remoção de óxido em DLV (HF + NH₄F + H₂O (1: 4: 6)):
 Taxa de “*etching*” ~110 nm/s em 26°C
 Remoção da fotoresina em acetona e limpeza com H₂SO₄ + H₂O₂ (4 : 1).

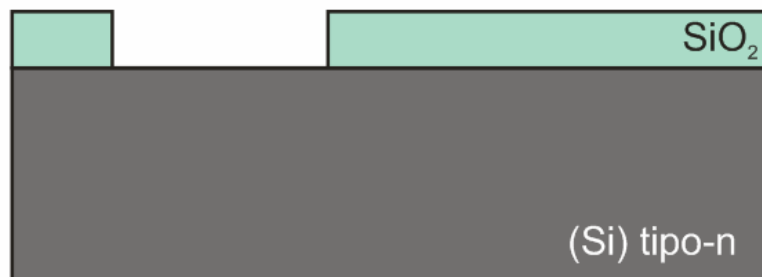


Fig. 5.2 - Estrutura formada após litografia de poço.

4 – Oxidação para implantação.

Após a remoção do SiO_2 é realizada uma limpeza RCA nas lâminas, para estas serem levadas ao forno. No forno é crescido um filme de SiO_2 que servirá como uma barreira, evitando que o boro que será implantado para a formação do poço seja perdido para o ambiente durante o recozimento térmico. Isto ocorre pelo tipo de segregação do boro no silício.^[46]

Temperatura : 1100 °C
5 min em N_2
20 min O_2 SS (99,8%),
5 min N_2

Com este regime, a espessura média de SiO_2 obtida na região de poço foi de 650Å, e a estrutura formada é apresentada na figura 5.3.

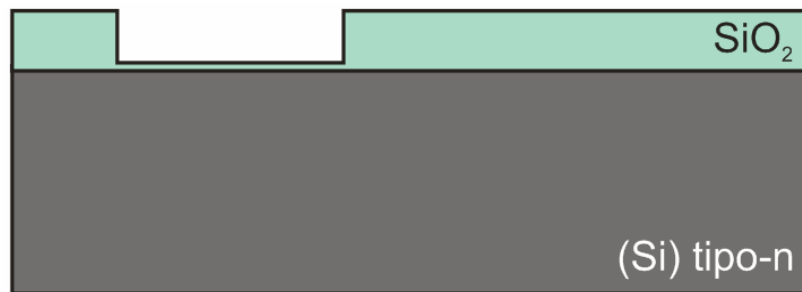


Fig. 5.3 – Estrutura submetida à implantação de B^+ para a formação do poço.

A definição do regime de implantação e recozimento do poço deve levar em conta dois parâmetros principais: a concentração superficial de portadores e a profundidade final do poço após os tratamentos térmicos. A concentração na superfície é importante para prevenir o efeito de *punchthrough* lateral^[47] (perfuração MOS) entre fonte e dreno. *Punchthrough* é nome dado ao efeito quando as regiões depletadas de fonte e dreno se “encostam” ocasionando o aparecimento de uma corrente I_{off} , ou seja, uma corrente fluindo entre fonte e dreno mesmo antes da formação do canal na superfície. Já a profundidade do poço deve ser grande o suficiente para assegurar que tanto fonte como dreno não depletem completamente o poço verticalmente, chamado *punchthrough* vertical^[47], ambos ilustrados na figura 5.4.

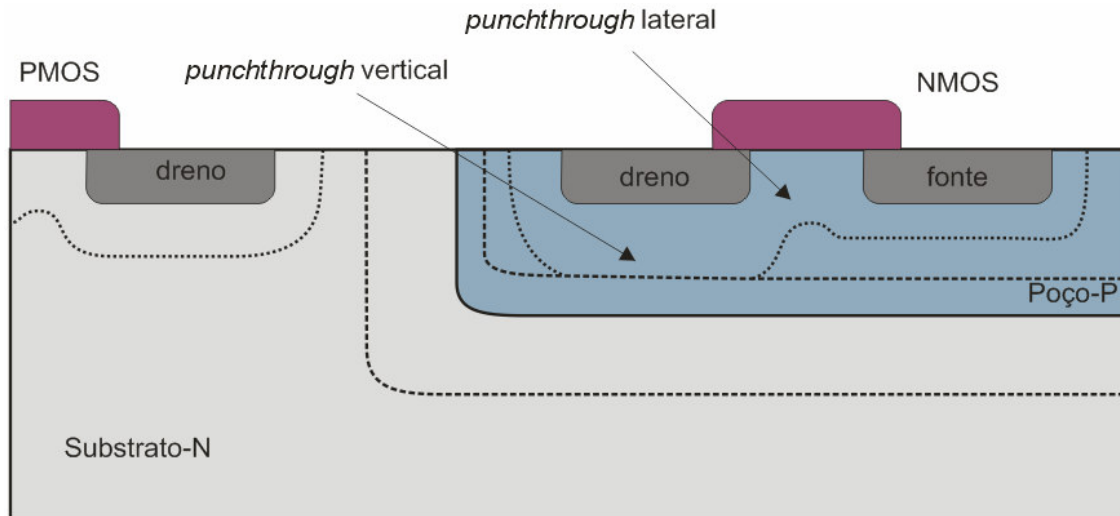


Fig. 5.4 – Efeitos de *punchthrough* lateral e vertical em dispositivos CMOS de poço-p.

O regime de implantação para a formação do poço-p é apresentado abaixo. Uma inclinação de 7° entre o feixe de íons e o vetor normal à superfície é utilizada para evitar o efeito de canalização^[46].

5 – Implantação de Boro.

Dose	: $3 \times 10^{13} \text{ cm}^{-2}$
Energia	: 60 keV
Inclinação	: 7°

6 – Recozimento da implantação de boro.

Após a implantação do boro é realizado um recozimento térmico em alta temperatura por um longo tempo, em ambiente inerte. A temperatura e o tempo de recozimento são calculados para se obter a concentração superficial e a profundidade desejada para o poço, e os parâmetros utilizados foram:

Temperatura	: $1150 \text{ }^\circ\text{C}$
6 h em Ar SP (99,999%)	

A figura 5.5 mostra o perfil simulado para o boro implantado. Neste caso a profundidade da concentração máxima, ou alcance (R_p) foi de 2080 \AA e o desvio padrão, ou *straggle* (ΔR_p) = 600 \AA .

Como pode ser observado pelos resultados da simulação na figura 5.5, após o recozimento térmico, o perfil de boro implantado para formação do poço, com profundidade inicial de 0,5µm difunde bastante, formando uma junção com profundidade superior a 4µm, devido à alta difusividade do boro no silício.

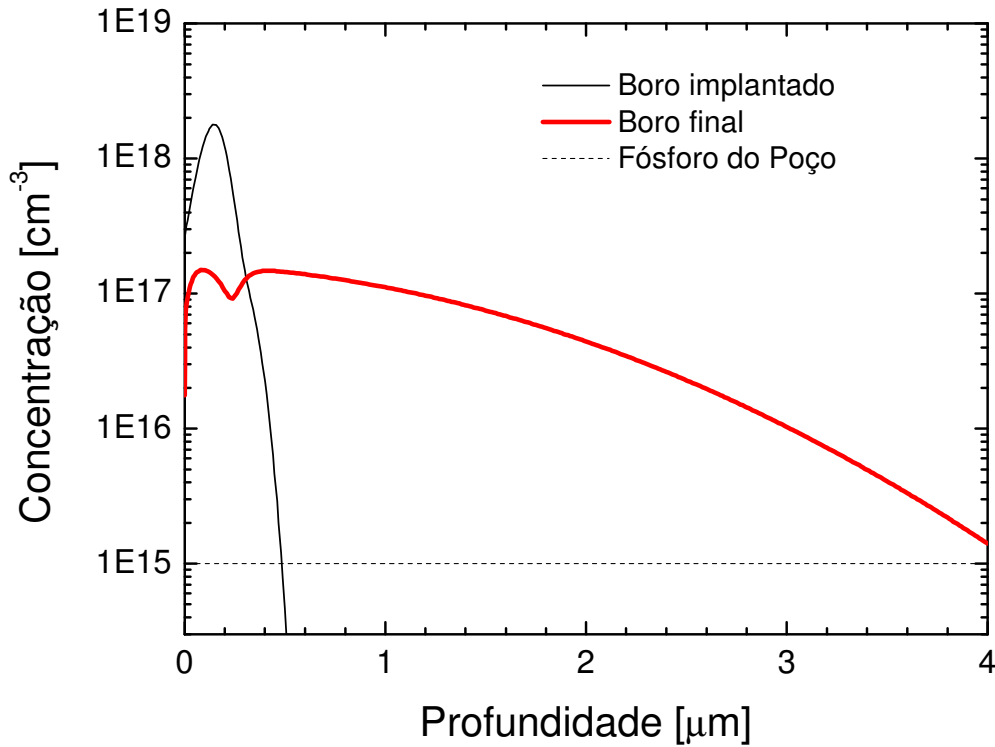


Fig. 5.5 – Perfil simulado da concentração de boro no poço, implantado e ao final do processo.

Com este perfil simulado pode ser estimada a resistência de folha da difusão do poço, utilizando a equação empírica da mobilidade em função da concentração

$$\mu_p = 54,3 + \frac{407}{1 + 0,374 \cdot 10^{-17} N} \quad [40], \text{ e sabendo que } R_s = q \int_0^x \frac{1}{\mu \cdot N} \cdot dx, \text{ o valor estimado por}$$

simulação foi de 697Ω/sq.

Utilizando lâminas de acompanhamento do processo foi possível medir, pelo sistema de 4 pontas um valor médio de $R_s=610\Omega/\text{sq}$ para esta resistência. Esta diferença inferior a 15% entre os dois valores mostra uma certa concordância entre os valores medidos e simulados pelo FLOOPS-ISE.

7 – Oxidação

Outra oxidação é realizada para aumentar a espessura do óxido utilizado para implantação do poço. O regime utilizado é mostrado abaixo, aumentando assim a espessura deste óxido para 2700Å, e conseqüentemente o óxido de campo para 5350Å, como mostrado na figura 5.6.

Temperatura :1000 °C
45 min em vapor de água com O₂ (99,8%)
30 min em O₂ (99,8%)

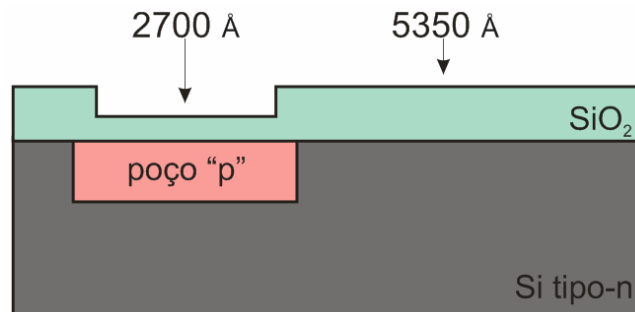


Fig. 5.6 – Estrutura submetida à litografia para definição das áreas ativas

8 – Fotolitografia para definição das regiões de óxido de porta

Após a formação do poço, a etapa seguinte é a definição das regiões de óxido de porta. Para isto é realizada uma etapa litográfica, utilizando a máscara para óxido fino e seguindo o mesmo regime apresentado na etapa 3.

A figura 5.7 ilustra a estrutura submetida à litografia para definição da região onde será crescido o óxido de porta.

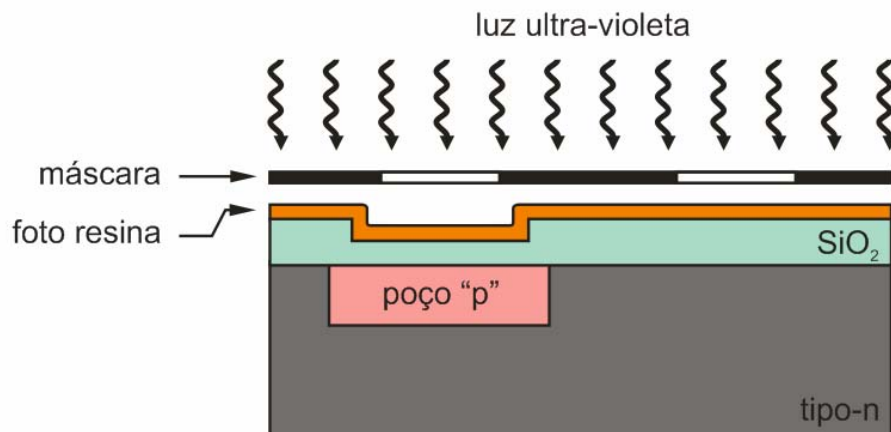


Fig. 5.7 – Estrutura submetida à segunda litografia para definição das regiões de óxido de porta.

9 - Ataque químico do SiO₂

Estando desprotegidas de fotoresina as regiões onde será crescido o óxido de porta, é feita a remoção do óxido existente nestas regiões. O tempo de corrosão é determinado pela corrosão total do óxido de uma lâmina de acompanhamento de processo, com 5350Å de óxido na superfície. A remoção é realizada na solução DLV, e assim estimamos a taxa de corrosão, de aproximadamente 1100Å por minuto.

DLV, @ 26°C
Tempo aproximado 5 min
Remoção da fotoresina em Acetona
Remoção da acetona em Propanol

10 - Limpeza completa das amostras (I+II+III).

Após a litografia, a superfície exposta deve ser preparada para a oxidação, realizando uma limpeza RCA das amostras, com os passos I, II e III, para garantir a limpeza do silício exposto que será oxidado.

11- Limpeza do forno de oxidação.

A oxidação de porta é considerada a mais crítica de todo o processo, devido à necessidade de uma interface Si/SiO₂ de alta qualidade para o correto funcionamento do dispositivo. Por este motivo, antes da oxidação é realizada uma limpeza do forno com TCA (tricloroetano). A limpeza consiste na passagem de um fluxo de O₂+TCA pelo forno que está a uma temperatura superior àquela que será utilizada para a oxidação, como mostrado abaixo.

Temperatura :1100⁰C
5 min em O₂ comum
120 min em O₂ (99,8%) + 2% TCA
15 min em O₂ (99,8%)
1100-1000°C, Ar (99,999%). (leva ~20 min)

12 - Crescimento de óxido de porta.

Temperatura :1000°C
5 min em Ar (99,999%)
40 min em O₂ (99,8%)
20 min em Ar (99,999%). com temperatura subindo de 1000⁰C para 1050⁰C

Após a oxidação o oxigênio é trocado por um gás inerte e a temperatura do forno é elevada para 1050°C. Isto é feito para que o O₂ que está dentro do SiO₂ consiga difundir até a interface para formar o SiO₂, diminuindo a carga fixa na interface.

A espessura média de óxido de porta medida em lâminas de acompanhamento foi de 470Å e a estrutura formada é ilustrada na figura 5.8.

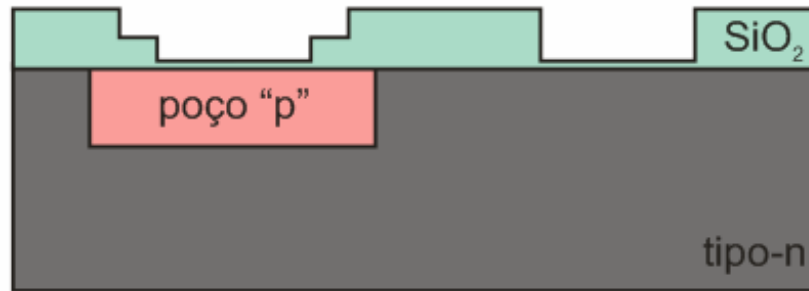


Fig. 5.8 – Estrutura após crescimento do óxido de porta.

13 - Deposição do silício policristalino

Um silício policristalino de boa qualidade é outro fator importante para o funcionamento correto do transistor. Entendemos por silício policristalino de boa qualidade aquele que apresenta uma baixa resistência de folha, entre 10 e 30Ω/sq, valor este que está associado a uma alta concentração de dopantes, na ordem de 10¹⁹-10²⁰ cm⁻³. Uma baixa dopagem significa uma alta resistência de folha, alterando o valor da tensão de limiar dos transistores e capacitores, podendo causar também a depleção no silício policristalino durante o funcionamento.

Através de medidas no perfilômetro em lâminas de acompanhamento foi medida uma espessura média de 4000Å de silício policristalino.

14 - Ataque do SiO₂

Para remover a camada de SiO₂ que pode ter se formado na superfície do silício policristalino, uma limpeza em HF 40% + H₂O na proporção de 1:10 é realizada por 30s para permitir que o fósforo dopante penetre no silício policristalino.

15 - Deposição de fósforo para dopagem do silício policristalino

Temperatura :910⁰C
5 min em N₂ (66 l/h) + O₂ (3,36 l/h)
25 min em N₂ (66 l/h) + O₂ (3,36 l/h) + POCl₃. (1,9 l/h).
5 min em N₂ (66 l/h) + O₂ (3,36 l/h)

16 - Penetração do Fósforo e crescimento de óxido sobre o silício poli-cristalino

Temperatura :1000⁰C
2 min em N₂ (99,999%)
20 min em O₂ (99,8%)
2 min em N₂ (99,999%)

Utilizando lâminas de acompanhamento foi possível medir a resistência de folha do silício policristalino, além da espessura média do SiO₂ sobre este, cujos valores obtidos foram 43Ω/sq e 600 Å respectivamente.

18 - Litografia para definição do silício policristalino

A figura 5.9 ilustra a estrutura formada após a deposição do silício policristalino.

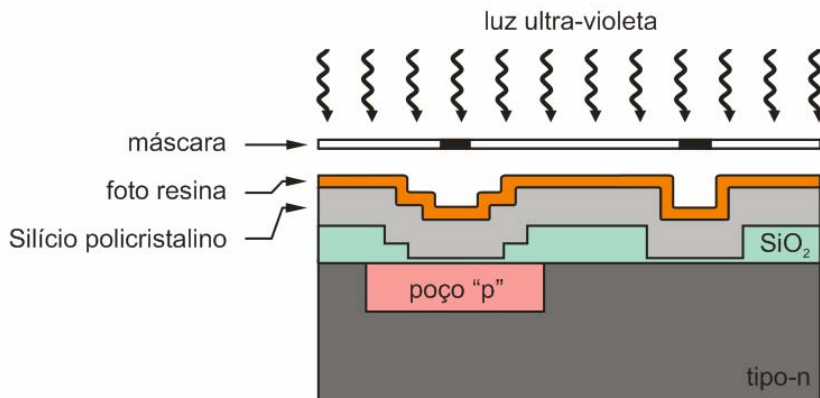


Fig. 5.9 – Litografia para definição do silício policristalino

19 - Remoção do SiO₂ em DLV. (Tempo 40s)

Devido a presença de uma fina camada de SiO₂ sobre o silício policristalino, um ataque deste óxido na solução de DLV é realizada para expor o silício policristalino para a remoção.

20 - Remoção do silício policristalino

A corrosão do silício policristalino é um processo preciso, pois nesta etapa é que o

comprimento de canal da máscara será transferido para a lâmina. A corrosão é feita por imersão da lâmina na solução corrosiva, ou seja, de maneira isotrópica. Por este motivo, o tempo de corrosão deve ser bem estimado, pois um tempo menor que o necessário não irá expor o óxido de porta à superfície, acarretando problemas no decorrer do processo. Por outro lado, se o tempo de corrosão for maior que o necessário, ocorrerá o chamado *overetch*, mostrado na figura 5.10, diminuindo o comprimento do canal. Para se obter o tempo certo de corrosão, lâminas de teste depositadas com a mesma espessura de silício policristalino são submetidas antes ao ataque químico, verificando assim o tempo certo para corroer os 4000Å.

O ataque do silício policristalino é feito em solução $\text{HNO}_3 + \text{H}_2\text{O} + \text{DLV}$ (150ml : 60ml : 3ml), a uma taxa de “*etching*” 120-160 nm/min em temperatura ambiente. Isto fez com que o tempo de corrosão fosse de 2-3 minutos e a estrutura formada é ilustrada na figura 5.11.



Fig. 5.10 – Estrutura esperada após ataque do silício policristalino e estrutura com *overetch*.

Como na implantação para a formação do poço, a escolha dos parâmetros de implantação de fonte/dreno e o regime de recozimento também requerem alguns cuidados especiais para a obtenção da concentração superficial e profundidade de junção desejada. A concentração superficial destas difusões deve ser alta, favorecendo a criação de contatos ôhmicos (Al/Si), e com uma baixa resistência de folha, evitando altas resistências em série com o dispositivo. Já a profundidade destas junções não deve ser muito profunda para evitar o *punchthrough* vertical, como já mostrado na figura 5.4, nem muito rasa, o que acarretaria em uma maior resistência em série como o dispositivo, além de facilitar a formação dos chamados *spikes*^[48] mostrados na figura 5.12, que ocorre entre o alumínio e o silício durante os recozimentos térmicos posteriores e inutilizam o dispositivo.

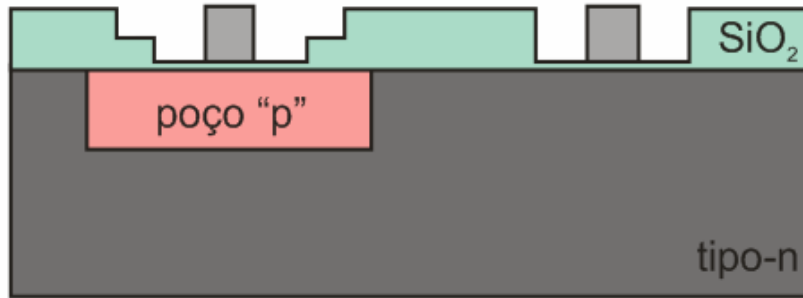


Fig. 5.11 – Estrutura obtida após definição do silício policristalino de porta.

Os passos de 21 a 27 se referem à formação das regiões de fonte e dreno dos transistores PMOS e NMOS. As implantações foram feitas através de uma camada de SiO₂ de 470Å para evitar a perda dos dopantes durante o recozimento térmico.

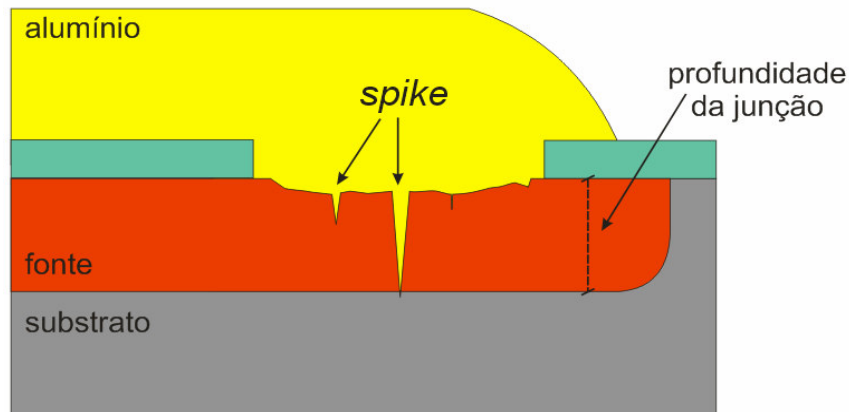


Fig. 5.12 – Formação de *spikes* em estruturas Al/Si

21 – Litografia para implantação de fonte e dreno dos transistores PMOS

A litografia realizada antes da implantação de fonte/dreno do transistor PMOS é necessária para proteger o resto do chip da alta dose de boro implantada. A principal preocupação nesta etapa é proteger as partes que não devem ser implantadas com uma camada de fotoresina espessa o suficiente para não ser atravessada pela implantação do Boro.

Através do perfil simulado^[49] de implantação de boro, obteve-se a espessura de fotoresina necessária para proteger as partes que não poderiam ser implantadas. O gráfico da figura 5.13 mostra o perfil de boro implantado sobre a região de fonte/dreno do transistor NMOS. Com este perfil pode se observar que a espessura de fotoresina mínima necessária para proteger esta região é de 4000Å. Levando isto em conta, a fotoresina

utilizada nesta etapa foi a S1400-17 do fabricante SHIPLEY, que, segundo informações do manual, apresenta uma espessura de 4600Å quando aplicada no *spinner* a uma rotação de 4000RPM.

Fotoresina	: S1400-17
Deposição sobre lâminas	: 4000 RPM/54s
Prato quente (<i>soft baking</i>)	: 10min @90-100°C
Exposição	: 20s
Revelação	: 45s em AZ351(1:5 em H ₂ O) T=20°C
Lavagem	: H ₂ O-DI 5min
Prato quente (<i>hard baking</i>)	: 10 min @110-120°C

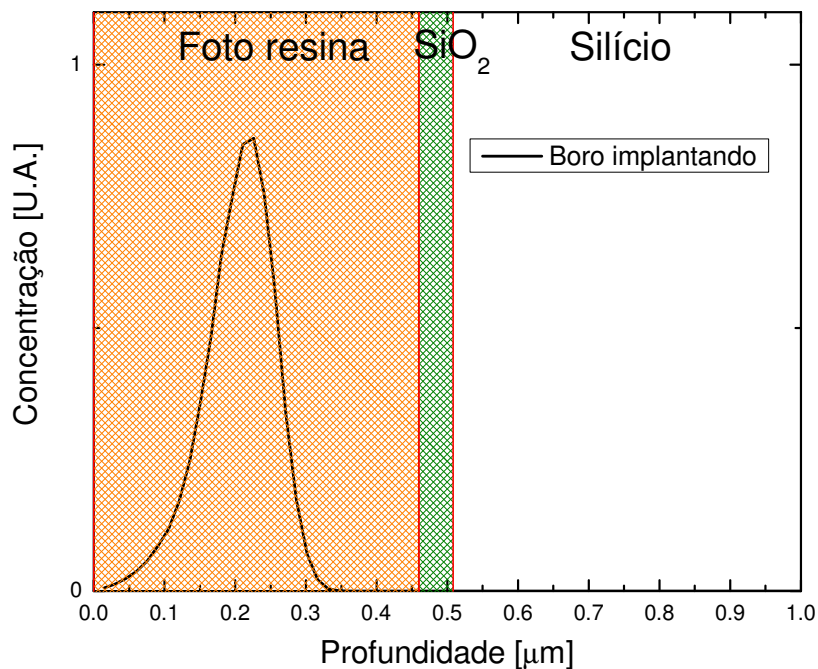


Fig. 5.13 - Perfil simulado de boro implantado com energia de 30Kev sobre uma estrutura fotoresina/SiO₂/Si.

22 - Implantação de B⁺.

A estrutura submetida à implantação de fonte/dreno do transistor PMOS é mostrada na figura 5.14, e o regime de implantação foi:

Íon	: B ⁺
Dose	: 5x10 ¹⁵ cm ⁻²
Energia	: 30 keV
Inclinação	: 7°
Project Range	: Rp=1180 Å, ΔRp = 400 Å

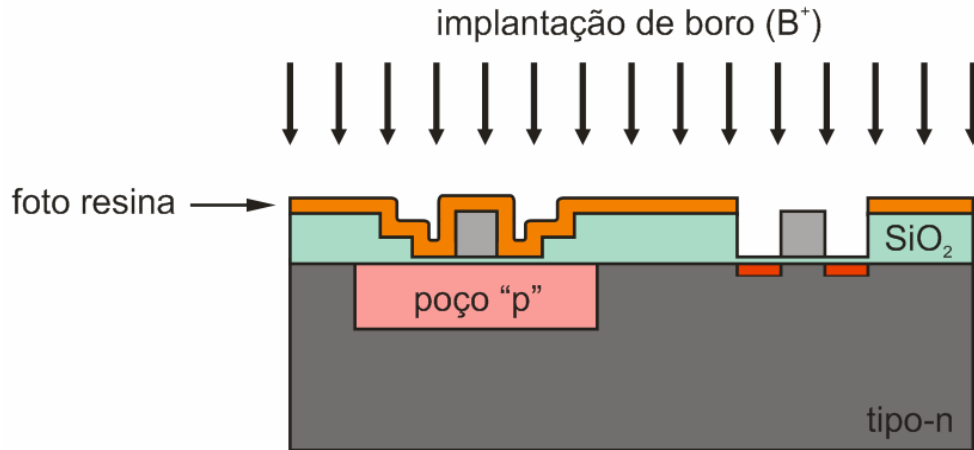


Fig. 5.14 – Estrutura submetida à implantação de B^+ para formação das regiões de fonte e dreno dos transistores PMOS.

23 - Remoção da fotoresina em plasma de O_2 .

A remoção da fotoresina em plasma é necessária quando a mesma é submetida a uma implantação iônica de alta dose, e sua remoção em acetona nesse caso torna-se impossível. Isso acontece principalmente devido à carbonização da fotoresina durante a implantação de alta dose. ^[50]

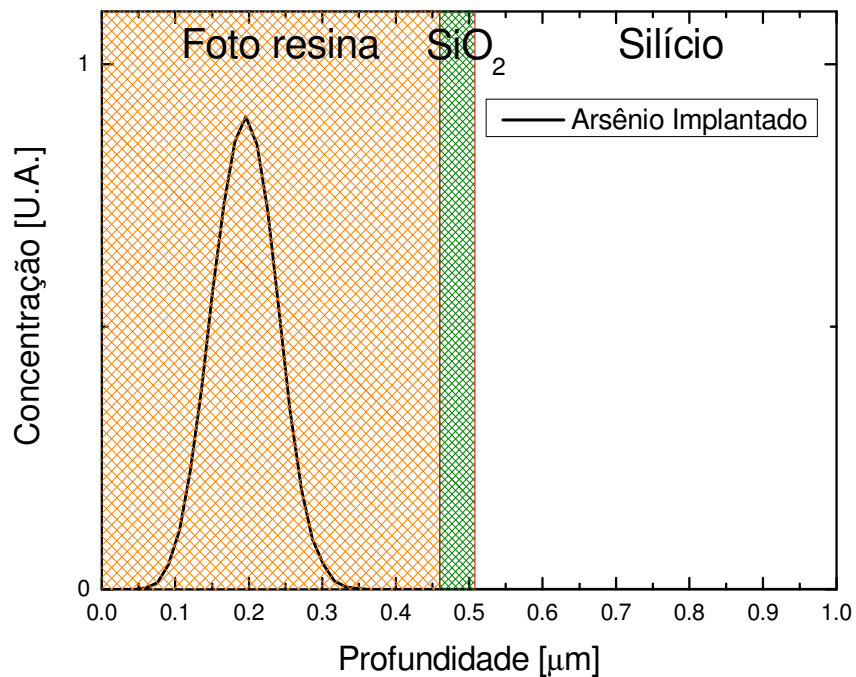


Fig. 5.15 - Perfil simulado de arsênio implantado com energia de 150KeV sobre uma estrutura fotoresina/ SiO_2 /Si.

24 – Litografia para fonte e dreno dos transistores NMOS

Para evitar que as regiões ativas dos transistores PMOS não fossem afetadas com a implantação de arsênio, os mesmos cuidados foram tomados nesta implantação. Utilizando a mesma espessura de fotoresina. O perfil simulado de As^+ implantado na região fonte/dreno do transistor PMOS é mostrado na figura 5.15, onde se observa que 4600Å de fotoresina são também suficientes neste caso.

25 - Implantação de As^+

A estrutura submetida à implantação de fonte/dreno do transistor NMOS é mostrada na figura 5.16, e o regime de implantação foi:

Íon : As^+
Dose : $5 \times 10^{15} \text{ cm}^{-2}$
Energia : 150 keV
Inclinação : 7°
Project Range : $R_p=1000 \text{ \AA}$, $\Delta R_p = 300 \text{ \AA}$

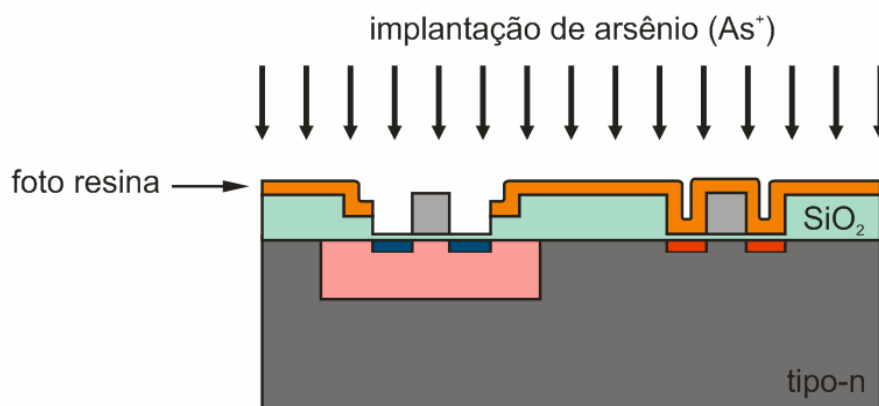


Fig. 5.16 – Estrutura submetida à implantação de As^+ para formação das regiões de fonte e dreno dos transistores NMOS.

26 - Remoção da fotoresina *implantada* em plasma de O_2

Devido à alta dose da implantação das regiões de fonte/dreno do transistor NMOS, o mesmo processo para remoção da fotoresina utilizado na etapa 23 foi utilizado nesta etapa.

27 – Recozimento das implantações de fonte e dreno

Após a implantação dos dopantes, as amostras são submetidas a um recozimento térmico. A finalidade deste recozimento é a ativação dos dopantes, ou seja, fazer com que estes ocupem lugares substitucionais na rede cristalina do silício aonde de tornam eletricamente ativos. O tempo prolongado deste recozimento serve para difundir os dopantes no silício, aumentando a profundidade das junções. No final do recozimento, o N₂ é trocado por vapor de água e O₂ super seco, para aumentar a espessura dos óxidos. O regime utilizado foi:

T = 1000 °C
 50 min N₂ (99,999%)
 25 min vapor de água com O₂ (99,8%)
 10 min O₂ (99,8%)

Após esta etapa, as medidas apresentaram diferentes espessuras de SiO₂, passando para 1615Å no transistor NMOS e 736Å no PMOS, como representado na figura 5.17. Esta diferença na taxa de oxidação é relacionada à alta dopagem do silício e ao tipo de impureza presente no material (As ou B).^[51,52]

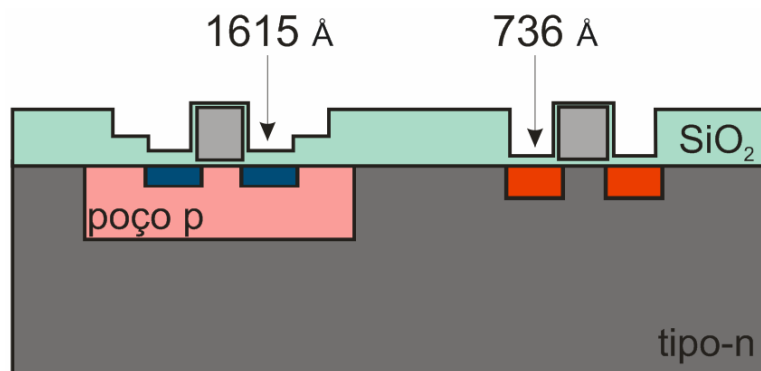


Fig. 5.17 – Estrutura final obtida após processos térmicos.

Os perfis simulados de concentração de boro implantado e recozido nas regiões de fonte/dreno do transistor PMOS são apresentados na figura 5.18. Observa-se que devido à alta difusividade do boro no silício, a profundidade da junção passa de ~0,4µm para aproximadamente 0,7µm no final do processo. Apesar da simulação da implantação mostrar valores de *Project Range* semelhantes tanto para o boro como para o arsênio, a profundidade final da junção de arsênio ficou em torno de 0,3µm, como mostrado na figura 5.19. Essa indesejável diferença nas profundidades das junções é atribuída a dois fatores

principais: maior concentração de dopantes no poço-p do que no substrato, mas principalmente devido ao arsênio possuir menor coeficiente de difusão no silício do que o boro [46].

Através da medida de quatro pontas em lâminas de acompanhamento foi possível medir a resistência de folha das regiões de fonte/dreno dos transistores. As medidas realizadas nas lâminas implantadas com As^+ apresentaram uma resistência de folha de $21\Omega/\text{sq}$, já as lâminas implantadas com B^+ , apresentaram uma resistência de folha de $320\Omega/\text{sq}$. Na medida de resistência de folha do silício policristalino implantado com As^+ , o valor médio obtido foi de $43\Omega/\text{sq}$.

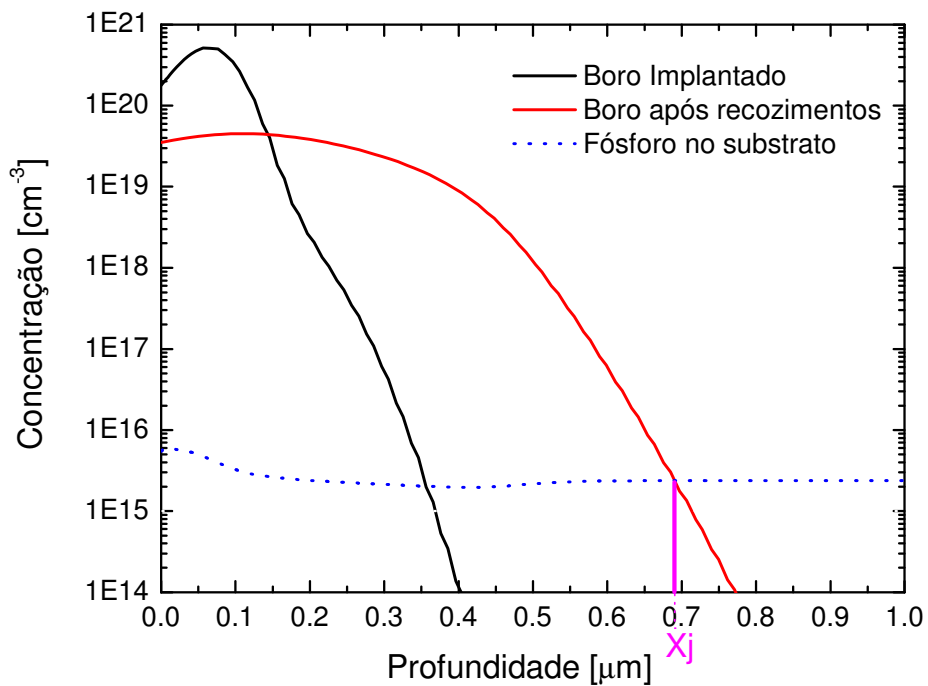


Fig. 5.18 - Perfil de boro nas regiões de fonte e dreno do transistor PMOS após implantação e após recozimentos térmicos.

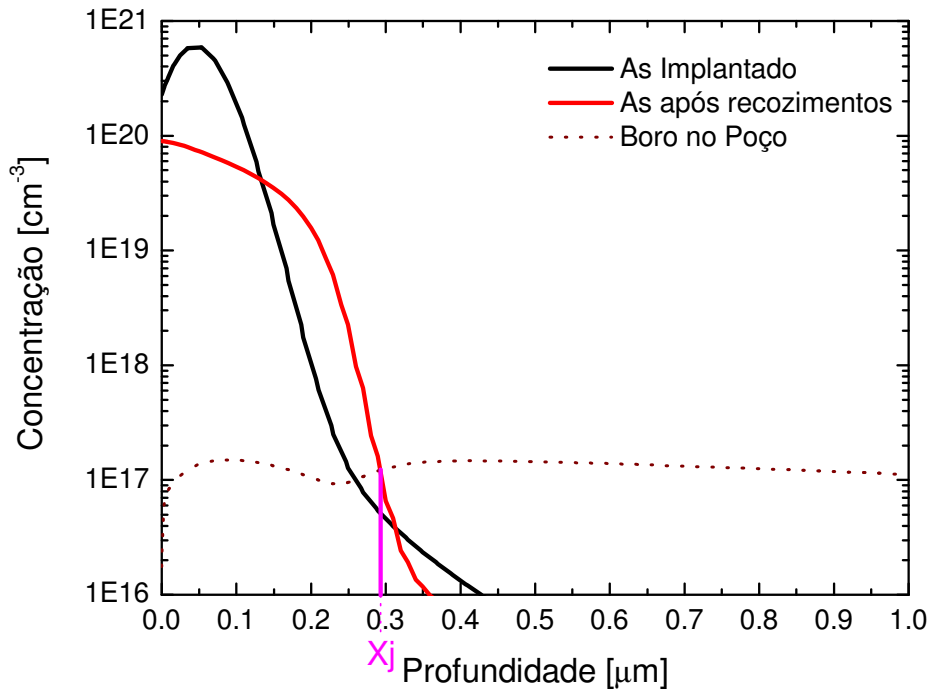


Fig. 5.19 - Perfil das concentrações na região de fonte e dreno do transistor NMOS após implantação e após recozimentos térmicos.

28 – Deposição de SiO₂

Uma camada de SiO₂ com espessura média de 2520Å é depositada por CVD (*Chemical Vapor Deposition*), seguida de um recozimento térmico de 30min a 800°C para a densificação. A finalidade deste óxido é isolar a parte ativa do dispositivo além de aumentar a camada isolante entre o silício policristalino e o metal que será utilizado para as conexões, reduzindo assim a capacitância Al/SiO₂/Si-policristalino.

29 – Litografia para abertura de contatos

A litografia para a abertura das regiões dos contatos foi realizada e a remoção do SiO₂ feito em DLV. Devido à diferença nas espessuras dos óxidos entre os dois transistores, o tempo necessário para esta corrosão foi estipulado pela corrosão do óxido de lâminas de teste, utilizando a lâmina que possuía o óxido mais espesso.

30 – Alumínio para contatos

Por evaporação foi depositado 2,5 μm de alumínio seguida de uma litografia para definição das linhas de metal. A figura 5.20 ilustra a estrutura obtida ao final do processo.

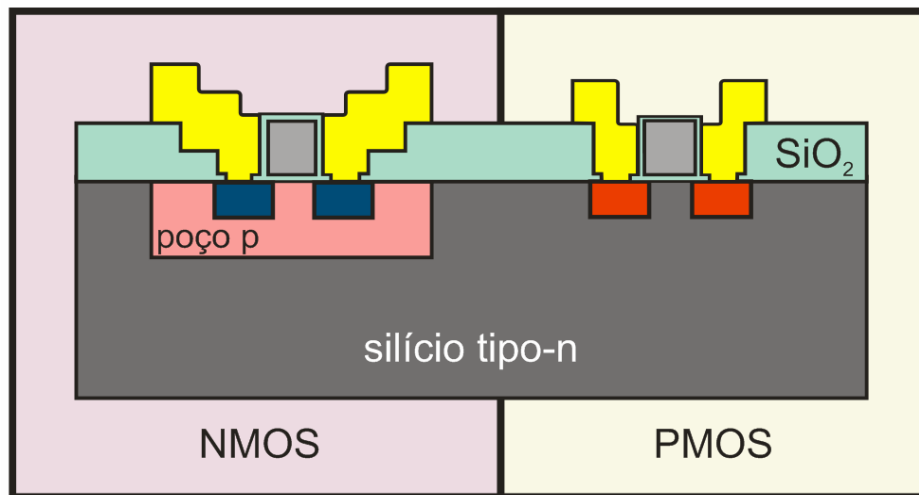


Fig. 5.20 – Estrutura obtida no final do processo

31 - Recozimento de estados de interface.

Após o final do processo, algumas lâminas foram submetidas ao tratamento térmico para recozimento dos estados de interface, a uma temperatura 475°C por 60 minutos com fluxo de H₂ 10% + N₂ 90%

As figuras 5.21 e 5.22 mostram imagens das estruturas simuladas para transistores NMOS e PMOS respectivamente, extraídas do simulador FLOOPS.

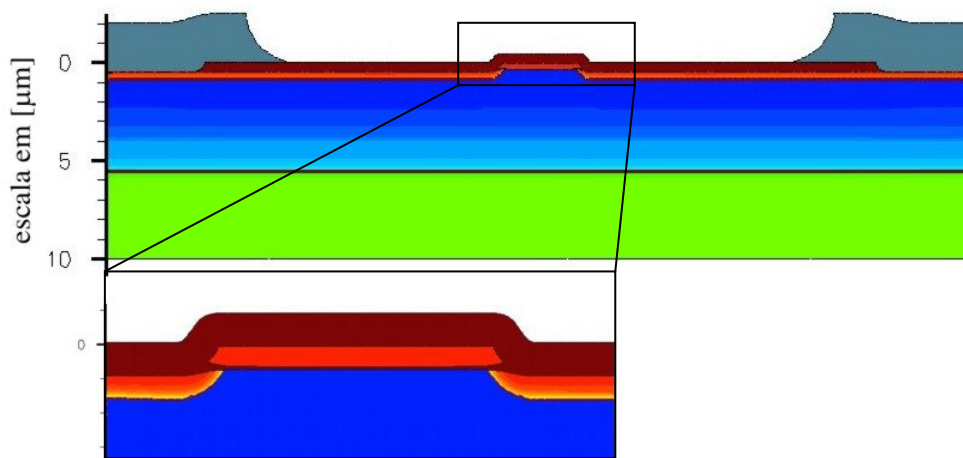


Fig. 5.21 - Estrutura NMOS simulada pelo simulador de processos FLOOPS.

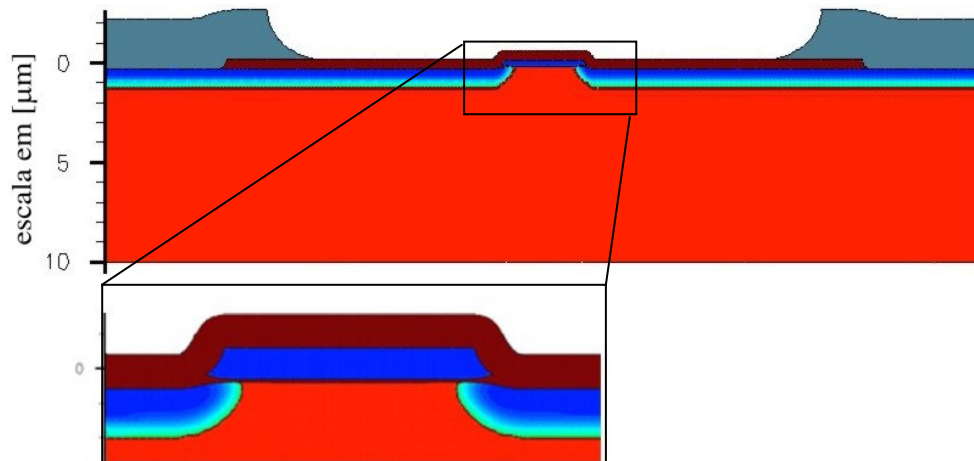
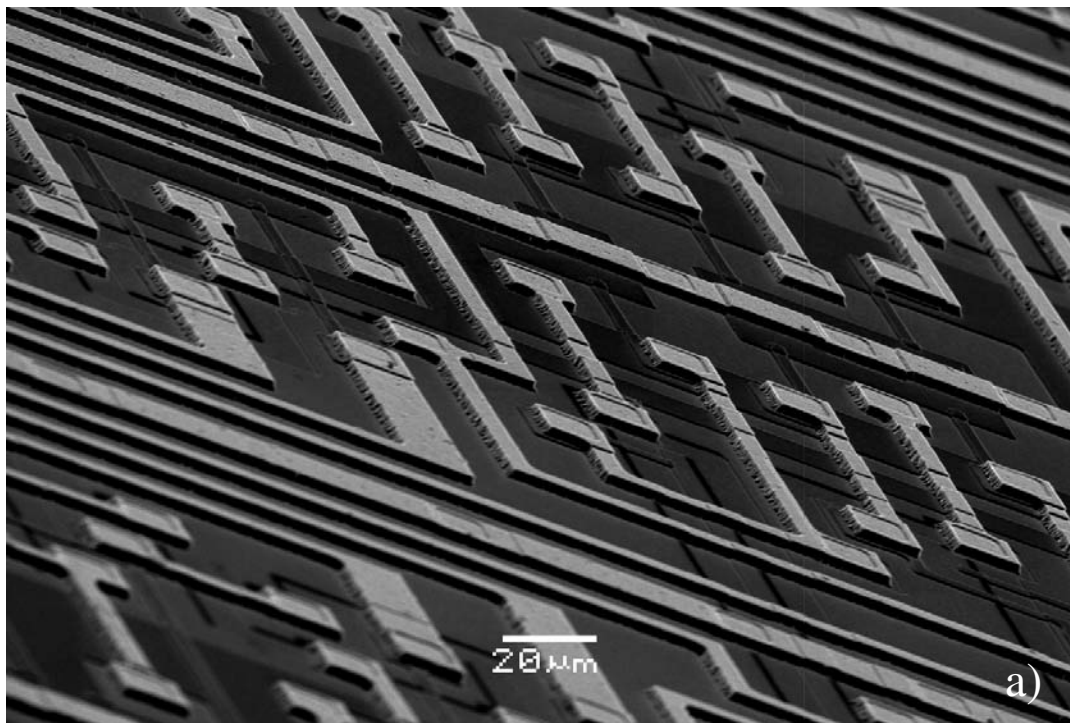


Fig. 5.22 – Estrutura PMOS simulada pelo simulador de processos FLOOPS.

Após o processamento do chip foram feitas imagens de microscopia óptica e microscopia eletrônica de varredura (MEV) no centro de microscopia eletrônica da UFRGS. A figura 5.23a) mostra imagens de MEV do contador e a figura 5.23b) uma foto da lâmina após o processamento.



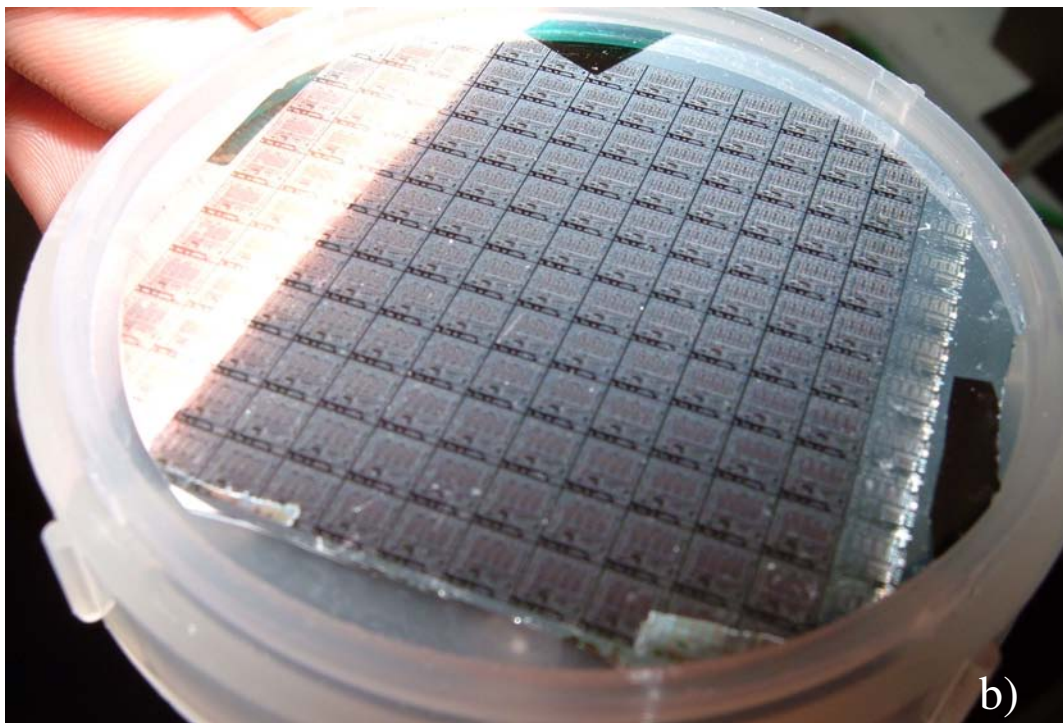


Fig. 5.23– (a) Imagem de MEV do contador e (b) foto da lâmina após o processo.

Capítulo 6 - Medidas elétricas

6.1 – Características das junções.

Um dos problemas do escalamento da tecnologia CMOS é o controle da corrente de fuga através das junções p-n, que é fortemente responsável pela corrente I_{off} do transistor. Para isso foram realizadas diversas medidas para a caracterização destas junções, obtendo dados como tensão de ruptura, corrente reversa de junção e fator de idealidade.

As medidas foram realizadas em três diodos e repetidas em 38 chips de diferentes pontos de uma lâmina que não foi submetida ao recozimento dos estados de interface. Como as lâminas foram clivadas em duas partes, este número foi escolhido por corresponder a aproximadamente 50% dos chips da metade medida conforme mostrado na figura 6.1. Dentre os 38 diodos medidos apenas 31 tiveram as medidas aproveitadas e as medidas de 7 foram descartadas. Destes 7 diodos, 6 eram diodos que se encontravam na borda da lâmina, e podem não ter passado por algum processo, devido ao campo de visão da etapa de litografia, ou terem sido danificados por pinças durante o processamento. Em processos industriais estes chips são geralmente descartados.

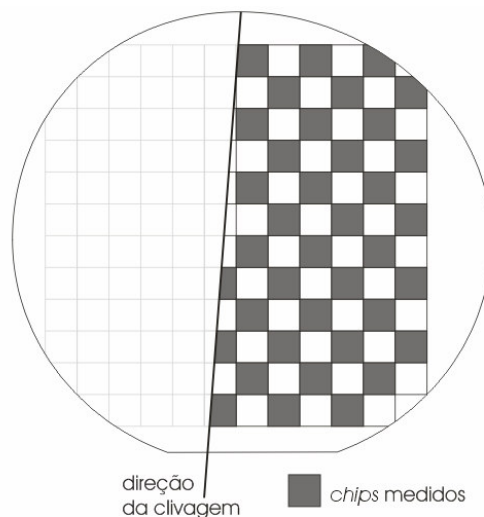


Fig. 6.1 – Ilustração da lâmina utilizada para as medidas elétricas.

Devido à inexistência de estruturas de teste de junções no layout projetado, as junções foram caracterizadas através de transistores, sendo os três diodos: diodo P_{well} -N, formado entre o poço e o substrato; diodo N^+ - P_{well} , formado entre a região de fonte/dreno

do transistor NMOS e o poço, e o diodo P⁺-N, formado entre a região de fonte/dreno do transistor PMOS e o substrato, como mostrado na figura 6.2.

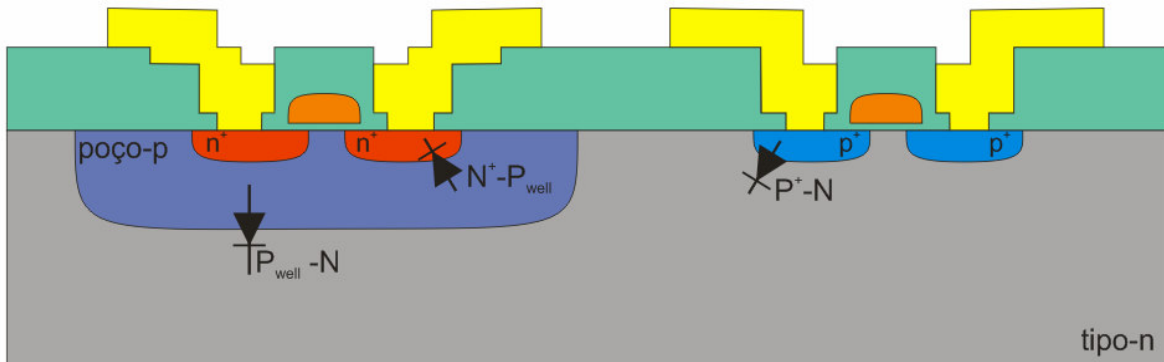


Fig. 6.2 – Ilustração dos diodos medidos.

A curva IxV de um diodo ideal (mostrada na figura 6.3(a)) pode ser modelada por uma simples exponencial, como a expressão de Shockley $I = I_0 \left[\exp\left(\frac{V}{nV_t}\right) - 1 \right]$ [40], onde I_0 é a corrente reversa de saturação, V é a tensão aplicada, V_t é a tensão térmica, definida como $V_t = kT/q$ e n é o fator de idealidade da junção. No entanto, a modelagem de um diodo real torna-se difícil com o uso desta expressão devido a efeitos de segunda ordem, como resistências em série e a existência de diferentes mecanismos de condução. Por esse motivo, curva IxV de um diodo ideal possui diferentes fatores de idealidade como pode ser observado na figura 6.3(b).

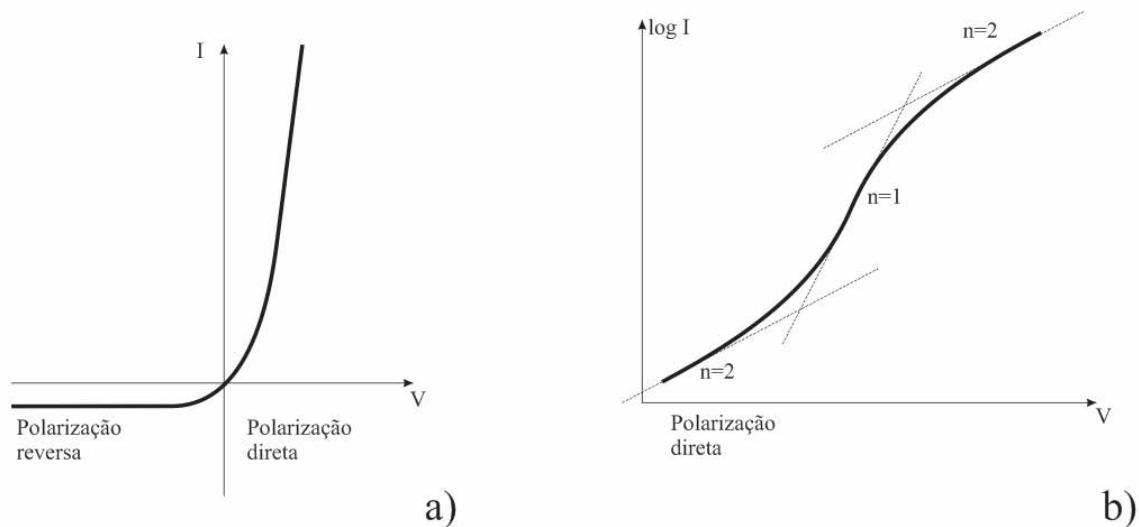


Fig. 6.3 – Curva IxV de um (a)diodo ideal e de um (b)diodo real^[29].

Para obtenção dos parâmetros das junções foram comparados 5 modelos diferentes de extração. O primeiro modelo utilizado para a extração foi o de duas exponenciais^[53]. Este modelo descreve dois diodos em paralelo, onde um destes representa uma junção ideal, ou seja, com fator de idealidade $n_1=1$, e o segundo diodo representa a corrente devido a mecanismos de condução de segunda ordem, relacionados com a concentração de defeitos, cujo fator de idealidade $n_2=2$. A expressão é mostrada na equação 6.2 .

$$I = I_{01} \left[\exp\left(\frac{V}{n_1 V_t}\right) - 1 \right] + I_{02} \left[\exp\left(\frac{V}{n_2 V_t}\right) - 1 \right] \quad (6.2)$$

O segundo modelo utilizado para extração dos parâmetros da junção foi o Modelo Diferencial, proposto por J.S. Escher et al ^[54], apresentado na equação 6.3.

$$I \cdot \left(\frac{dV}{dI} \right) = I \cdot R_s + n \cdot V_t \quad (6.3)$$

Outro modelo que foi utilizado foi definido como Modelo de Integração^[55], mostrado na equação 6.4. Este modelo faz uma integração da corrente em relação à tensão para simplificar o problema da exponencial, passando para uma equação quadrática. A integração age como um filtro passa-baixa, contribuindo para a diminuição dos possíveis ruídos na medida. Este método é eficiente para determinar o fator de idealidade n e resistências em série de dispositivos de dois terminais.

$$\int_0^{V_e} I dV_e = \frac{R_s}{2} I^2 + n V_t I \quad (6.4)$$

O modelo de extração proposto por Sanches, Conde e Liu ^[56] utiliza uma função auxiliar $G(I,V)$ (conforme equação 6.5) que contém uma integral dos dados medidos experimentalmente, servindo como um procedimento de *smoothing* (suavização). Pode ser observado, que neste modelo, que a resistência em série não é extraída diretamente, como em modelos anteriores.

$$G(I,V) = \frac{I \cdot V - 2 \int_0^V I dV'}{I} \approx n V_t \left[\ln\left(\frac{I}{I_0}\right) - 2 \right] \quad (6.5)$$

O último método utilizado para extração foi o ajuste da curva pelo software (*Advanced Design System*)^[57].

Dentre estes modelos propostos na literatura descritos acima, uma maior eficiência foi observada[‡] na extração do fator de idealidade, corrente reversa de saturação e resistência em série no modelo proposto por Sánchez-Conde-Liou ^[56] sendo assim utilizado neste trabalho. Considerou-se uma melhor eficiência devido ao fato dos resultados serem obtidos pelo ajuste de grande parte da curva, além de apresentarem fatores de idealidade fisicamente possíveis ($1 \leq n \leq 2$), ao contrário dos outros modelos. A figura 6.4(a) mostra as curvas IxV medidas dos três diodos e a figura 6.4(b) mostra os ajustes destas curvas pelo modelo de Sanchez para a extração dos parâmetros. Os dados obtidos para os três diodos são apresentados na tabela 6.1.

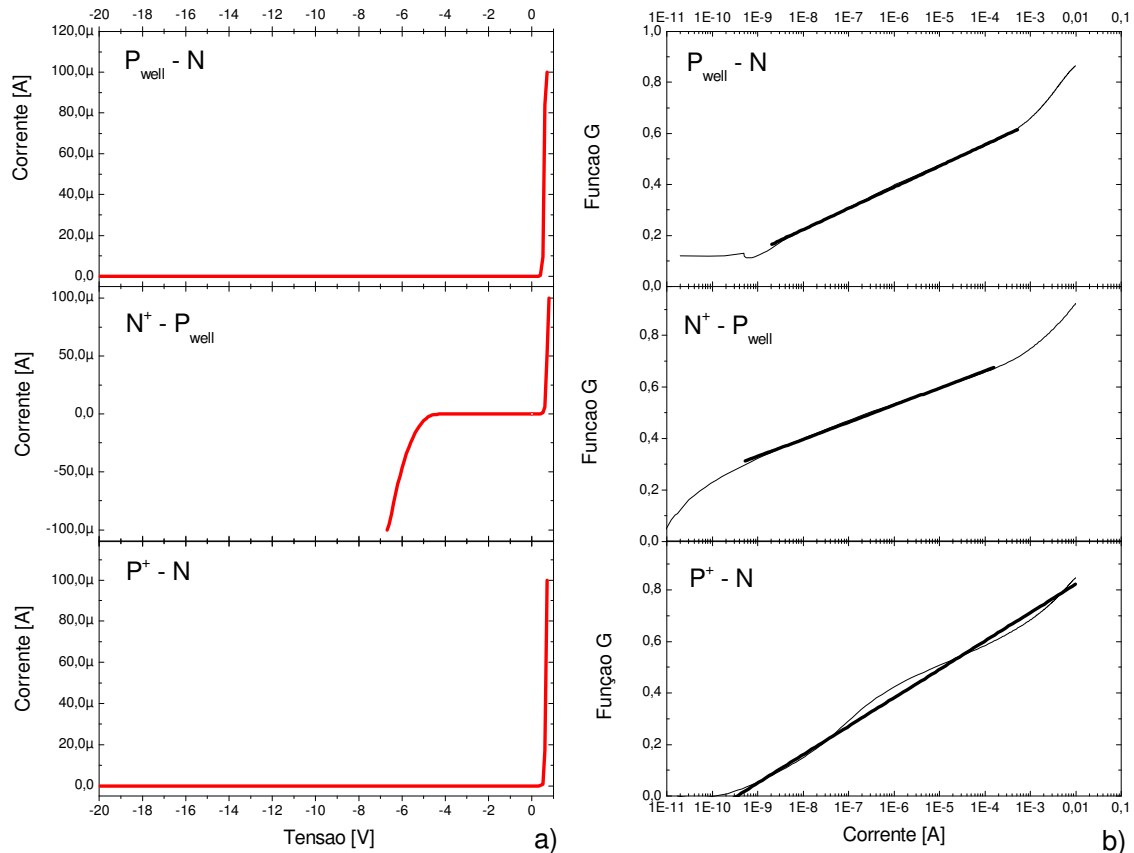


Fig. 6.4 – (a)Curvas IxV dos e (b) ajuste das curvas pelo modelo de Sanchez ^[56] para os três diodos.

[‡] PESENTI, G.C. ; BOUDINOV, H., Comparison between Models for p-n Junctions Parameters Extraction. *Microelectronics International* (aceito para publicação).

Analisando os dados da tabela 6.1, observa-se um fator de idealidade próximo de 1 para o diodo P⁺-N. Isto já não pode ser observado nos diodos P_{well}-N nem no diodo N⁺-P_{well}. Esta diferença está relacionada à quantidade de defeitos na região de depleção de ambos os lados da junção. No diodo P⁺-N, a alta concentração de dopantes na região P⁺, faz com que a região de depleção se estenda quase que totalmente para o lado do substrato, onde existe uma pequena quantidade de defeitos, aproximando este de um diodo ideal. Observa-se que o valor de tensão de ruptura deste diodo é superior a 50V, ocasionada pela baixa concentração de dopantes no substrato.

Tab. 6.1 – Dados obtidos das junções.

Diodo	Área	I _{REV} [A]	I _{REV} /área [nA/cm ²]	V _{ruptura} [V]	n	Rs [Ω]
P _{well} - N	200x250μm	2,48e-11	49,6	>50	1,49	215±14
N ⁺ - P _{well}	10x30μm	4,86e-15	1,62	6,1± 1,1	1,61	47±4
P ⁺ - N	30x30μm	3,47e-15	0,38	>50	1,02	223±7

Para o diodo P_{well}-N, devido a uma menor diferença entre as concentrações de ambos os lados da junção, a região de depleção se estende não só para o substrato, mas para o lado P_{well}, logo a concentração de defeitos do lado P_{well}, devido à implantação para a formação do poço, faz com que o fator de idealidade deste diodo seja maior do que 1, como pode ser observado na tabela 6.1. Observa-se também que a baixa concentração de dopantes do substrato, e a concentração intermediária de dopantes no poço (~10¹⁷cm⁻³) ocasiona uma larga região de depleção, elevando a tensão de ruptura deste diodo para uma tensão superior a 50V.

O diodo com o pior fator de idealidade medido foi o da junção N⁺-P_{well}, devido a ambos os lados da junção possuírem uma grande quantidade de defeitos. Neste caso, devido à alta concentração do lado N⁺ e a uma concentração intermediária do poço (~10¹⁷cm⁻³) a largura total da região de depleção é a menor dentre os três casos, fazendo com que a tensão de ruptura deste diodo fique em torno de 6,1V, como pode ser visto na figura 6.3.

6.2 - Capacitores

Através de medidas CxV feitas em capacitores de teste foram obtidos os valores de espessura de óxido fino, concentração de portadores, tensão de limiar e também a carga efetiva. Os capacitores de teste medidos tem dimensões de 200x200µm e porta de silício policristalino. As medidas foram realizadas em 1MHz com o equipamento HP4284A em 10 capacitores tipo-p e 10 tipo-n localizados em diferentes pontos da lâmina.

A figura 6.5 mostra curvas médias de um capacitor tipo-p e um capacitor tipo-n. Analisando a curva na região de acumulação, observa-se uma capacitância máxima semelhante para os dois capacitores, devido a esta capacitância estar associada a espessura do óxido de porta, e ambos os capacitores possuem mesmo valor de TOX.

Sabendo o tamanho do capacitor, a espessura do óxido T_{OX} pode ser obtida de

$$T_{OX} = \frac{A \cdot \epsilon_{OX}}{C_{max}} \quad (6.6),$$

onde C_{max} é a capacitância máxima em acumulação.

Observando a curva da figura 6.4 na região de inversão, uma grande diferença entre as capacitâncias mínimas é medida entre o capacitor PMOS e NMOS. Este valor de capacitância é resultado da capacitância de TOX em série com a região de depleção. Como o capacitor PMOS está no poço que possui uma maior concentração, resulta em uma menor largura de região de depleção, conseqüentemente uma maior capacitância.

Utilizando os valores máximos e mínimos de capacitância, a largura máxima da região de depleção X_{dmax} pode ser obtida de

$$X_{dmax} = \left(\frac{C_{max}}{C_{min}} - 1 \right) \frac{A \cdot \epsilon_{Si}}{C_{max}}, \quad (6.7)$$

Com este valor é possível calcular, com algumas iterações, a concentração superficial efetiva, através da equação

$$N_A = \frac{4 \cdot \epsilon_{Si}}{q \cdot X_{dmax}^2} \cdot \frac{k \cdot T}{q} \ln \frac{N_{SUB}}{Ni} \quad (6.8)$$

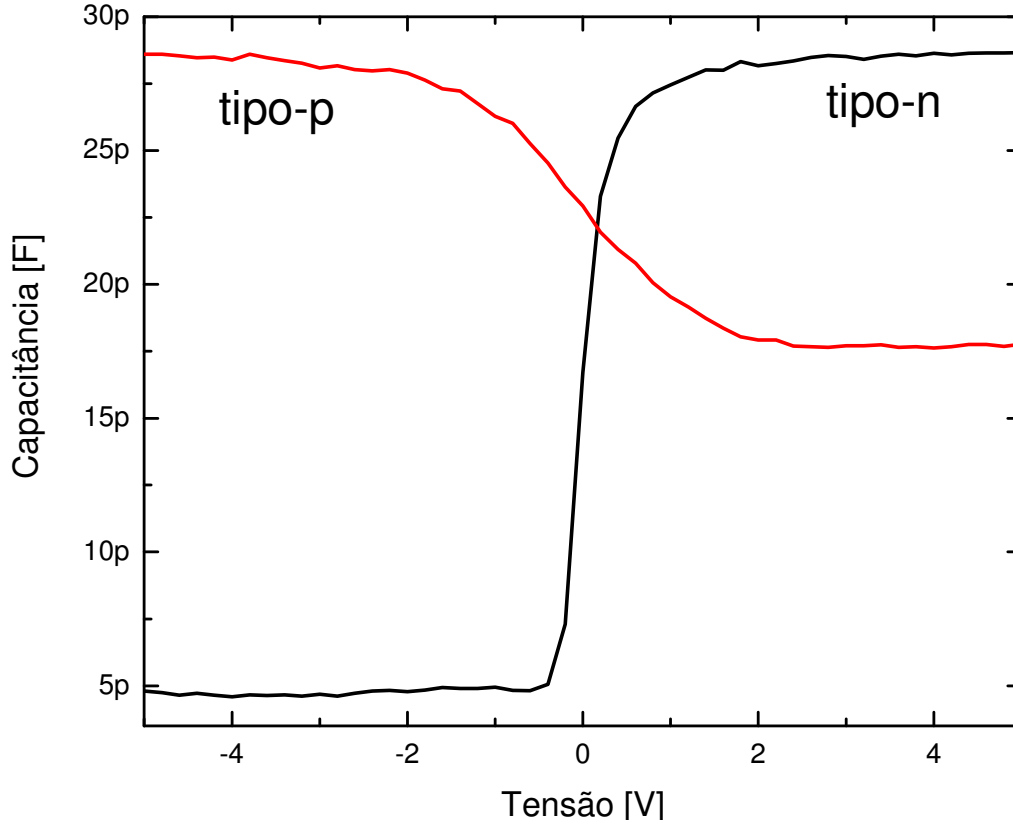


Fig. 6.5 – Medidas CxV de capacitores de teste tipo-p e tipo-n de 200x200µm.

Com o valor da capacitância de banda plana C_{FB} , obtida através da expressão

$$C_{FB} = \frac{\epsilon_{SiO_2}}{T_{OX} + \frac{\epsilon_{SiO_2}}{\epsilon_{Si}} \sqrt{\frac{k.T.\epsilon_{Si}}{q^2.N_{SUB}}}}, \quad (6.9)$$

procura-se na curva o valor da tensão de banda plana V_{FB} , obtida pela equação (3.2), e obtendo assim a densidade de carga efetiva no óxido.

A tensão de limiar é extraída utilizando a expressão

$$V_T = \phi_{MS} - \frac{Q_{eff}}{C_{OX}} + \frac{\sqrt{4\epsilon_{Si}qN_{SUB}\phi_F}}{C_{OX}} + 2\phi_F. \quad (6.10)$$

A tabela 6.2 mostra os resultados obtidos para 10 capacitores tipo-p e 10 capacitores tipo-n e a média dos valores de concentração do substrato, espessura do óxido de porta, carga efetiva e tensão de limiar.

Tab. 6.2 – Resultados de medidas CxV em capacitores de teste.

PMOS	Tox [Å]	Na [cm ⁻³]	Qeff [cm ⁻²]	V _T [V]	NMOS	Tox [Å]	Nd [cm ⁻³]	Qeff [cm ⁻²]	V _T [V]
	490	9,40E+16	1,50E+11	1,86		496	2,20E+15	1,44E+11	-0,797
	489	9,60E+16	1,40E+11	1,91		479	2,30E+15	2,40E+11	-0,588
	496	9,10E+16	6,70E+10	2,03		476	2,30E+15	2,50E+11	-0,578
	493	9,10E+16	1,20E+11	1,91		472	1,80E+15	1,00E+11	-0,862
	487	9,50E+16	7,90E+10	2,01		472	1,90E+15	8,30E+10	-0,91
	486	9,50E+16	9,00E+10	2		471	2,10E+15	1,00E+11	-0,893
	483	1,00E+17	6,50E+10	2,16		476	2,00E+15	2,30E+11	-0,584
	482	1,00E+17	7,20E+10	2,08		472	2,00E+15	2,20E+11	-0,616
	491	9,00E+16	1,10E+11	1,9		524	1,80E+15	2,30E+11	-0,544
	491	9,50E+16	1,10E+11	1,95		503	1,70E+15	2,40E+11	-0,522
Média	489±4	9,5E+16	1,0E+11	1,98±0,1	Média	484±18	2,0E+15	1,8E+11	-0,69±0,15

6.3 - Transistores

Para estas medidas foram utilizados os transistores disponíveis na estrutura do inversor, com um transistor NMOS de dimensões W/L de 10/5µm e um transistor PMOS com W/L de 30/5µm .

As medidas IxV dos transistores foram realizadas em 38 pares de transistores em diferentes pontos da lâmina. Destes 38, apenas 31 apresentaram funcionamento correto de ambos NMOS e PMOS. Destes 7 pares descartados, 6 estavam localizados na borda da lâmina e 1 apresentava uma falha no silício policristalino, possivelmente devido a alguma partícula ou falta de aderência na fotoresina.

As medidas de I_DxV_{GS} dos transistores NMOS e PMOS feitas no equipamento HP4155A são mostradas na figura 6.6, juntamente com suas respectivas curvas de transcondutância, definida como:

$$g_m = \frac{dI_D}{dV_{GS}} \quad (6.11)$$

Utilizando a curva de transcondutância obtém-se o valor do coeficiente de degradação da mobilidade Theta (θ), e com o valor de transcondutância máxima gm_{max}, obtém-se a mobilidade superficial, através da equação

$$\mu = \frac{L_{eff} \cdot gm_{max}}{W_{eff} \cdot C_{OX} \cdot V_{DS}}, \quad (6.12)$$

onde L_{eff} e W_{eff} são o comprimento e a largura efetiva de canal respectivamente e V_{DS} é a tensão utilizada ente dreno e fonte durante a medida.

Os dados de comprimentos efetivos de canal utilizados para determinação da mobilidade foram obtidos por $L_{\text{eff}} = L - 2L_D$, onde L é o comprimento do silício policristalino obtido por microscopia eletrônica de varredura e L_D é a difusão lateral, obtida pela simulação do processo.

Traçando uma tangente à curva $I_D \times V_{GS}$ no ponto de maior transcondutância, e extrapolando esta curva para o valor de $I_D = 0$ é obtida a tensão de limiar (V_T) dos transistores.

A figura 6.7 apresenta a curva $I_D \times V_{GS}$ do transistor PMOS para diferentes tensões entre fonte e substrato (V_{BS}). Através da equação

$$V_{T1} = V_T + \gamma \cdot \left[\sqrt{|2\phi_F + V_{BS}|} - \sqrt{2\phi_F} \right], \quad (6.13)$$

onde V_{T1} é a tensão de limiar para um determinado $V_{BS} \neq 0$, pode ser obtido o valor do coeficiente de efeito de corpo gamma. O valor médio de gamma do transistor PMOS é apresentado na tabela 6.3. Devido à ligação de *body-tie* do transistor NMOS, impedindo a aplicação de uma tensão $V_{BS} \neq 0$, não foi possível medir o valor de gamma deste transistor.

A curva $\log(I_D) \times V_{GS}$ na região de sublimiar fornece a taxa de variação da corrente $K_S [mV/dec] = \left(\frac{d(\log I_D)}{dV_{GS}} \right)^{-1}$, que é um indicativo de qualidade de um processo de

fabricação, dependendo fundamentalmente da densidade de estados da interface, da concentração de dopantes na região do canal e da espessura do óxido de porta.

O valor médio de tensão de limiar, transcondutância máxima, coeficiente de degradação da mobilidade e de efeito de corpo, K_S e mobilidade dos transistores NMOS e PMOS medidos são apresentados na tabela 6.3.

Tab. 6.3 – Média dos valores obtidos para transistores NMOS e PMOS

	NMOS	PMOS
Comprimento efetivo de canal L_{eff} [μm]	3,6	2,9
Largura efetiva de canal W_{eff} [μm]	10	30
Tensão de limiar V_T [V]	$2,3 \pm 0,06$	$-0,65 \pm 0,07$
Máxima Transcondutância $G_{m_{\text{max}}}$ [μSi]	$12,3 \pm 0,08$	$13,5 \pm 1,78$
Mobilidade μ [$\text{cm}^2/\text{V.s}$]	621 ± 44	183 ± 24

Gamma [$V^{1/2}$]	-	0,309
Theta [$1/V$]	$0,039 \pm 0,021$	$0,187 \pm 0,035$
K_S [mV/dec]	$183 \pm 0,007$	$124 \pm 0,009$

Apesar de ambos os transistores possuírem mesmo comprimento litográfico de canal, o comprimento efetivo de canal do transistor PMOS é menor devido à menor concentração de dopantes no substrato quando comparado ao poço, mas principalmente devido à alta difusividade do boro no silício.

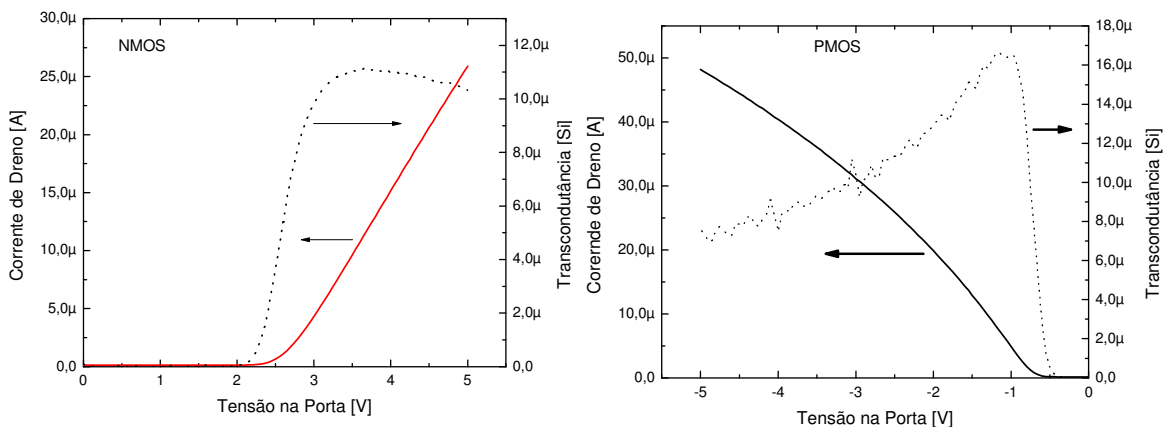


Fig. 6.6 – Curvas $I_D \times V_{GS}$ de transistores NMOS e PMOS com W/L 30/5μm e 10/5μm respectivamente e tensão V_{DS} de 100mV (-100mV)

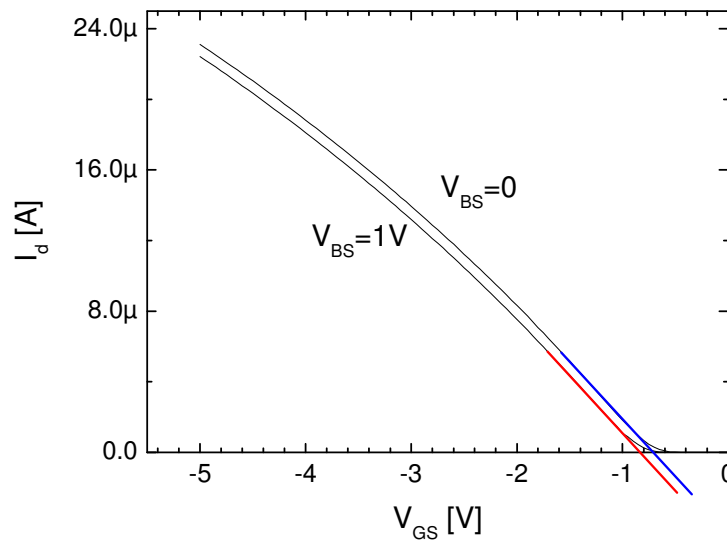


Fig. 6.7 – Curvas $I_D \times V_{GS}$ para diferentes valores de V_{BS} de transistores PMOS com W/L 30/5μm e tensão $V_{DS} = -100mV$.

A alta concentração de dopantes no poço, observada nas medidas CxV, acarretou em uma alta tensão de limiar do transistor NMOS. Os valores obtidos para as mobilidades, considerados bons, apresentaram uma grande diferença entre os dois transistores, devido à mobilidade dos elétrons ser aproximadamente três vezes maior que a mobilidade das lacunas^[36], como mencionado anteriormente.

Os valores típicos de K_S reportados na literatura^[51,52] são de 80 a 120mV/dec, bem inferior ao valor obtido nas medidas dos transistores NMOS. Este alto valor é atribuído à alta concentração de dopantes na região do canal do transistor NMOS, já observada nas medidas CxV.

O coeficiente de degradação da mobilidade, como definido do capítulo 3, é um coeficiente de rugosidade superficial, degradando a mobilidade em altos campos transversais. Comparando os valores de Theta para os dois transistores, o valor superior obtido para o transistor NMOS é devido à superfície do transistor NMOS ter passado por etapas adicionais de *etching* e oxidação (etapas 3 e 4 apresentadas no capítulo 5) para a formação do poço, aumentando sua rugosidade.

A figura 6.8 mostra as medidas de $I_{Dx}V_{DS}$ dos transistores NMOS e PMOS. Na análise da região de saturação, as resistências de saída R_{OUT} medidas foram 750k Ω no transistor NMOS, e 18k Ω no transistor PMOS. Analisando a região de saturação de ambas as famílias de curvas, a grande inclinação medida no transistor PMOS é devido à alta resistência em série com o transistor, ocasionada pela alta resistência de folha das difusões de boro na formação das regiões de fonte/dreno deste transistor.

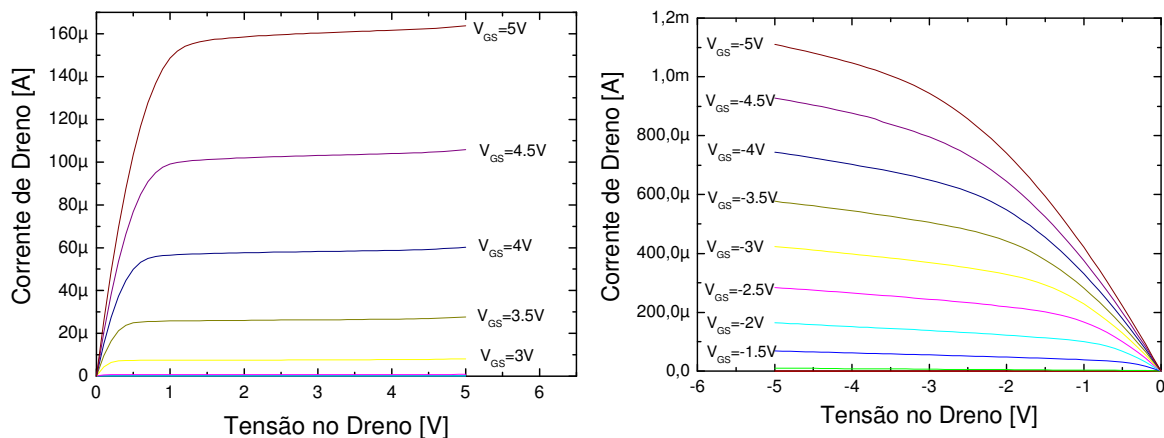


Fig. 6.8 – Curvas $I_{Dx}V_{DS}$ de transistores NMOS e PMOS com W/L 30/5 μm e 10/5 μm respectivamente.

6.4 – Ajuste de parâmetros da tecnologia CMOS

Como apresentado no capítulo 3, os parâmetros descrevem o funcionamento do dispositivo em diferentes regiões de operação. Alguns parâmetros são extraídos por medidas elétricas dos dispositivos processados como mostrado nas seções anteriores, outros obtidos de diferentes tipos de medidas durante o processamento.

O gráfico da figura 6.9 mostra, como simples exemplo, curvas $I_{DxV_{DS}}$ de um transistor NMOS. As curvas medidas são os dados obtidos das medidas elétricas do dispositivo fabricado. As curvas simuladas são resultados da simulação de um dispositivo, utilizando os valores dos parâmetros obtidos via medidas elétricas apresentados na tabela 6.3, ou medidas durante o processo de fabricação.

Observando as famílias de curvas $I_{DxV_{DS}}$ medidas e simuladas, observa-se uma grande diferença entre estas na região de saturação do transistor, além de uma diferença de até 14% entre os valores de corrente de dreno. Com esta discordância, fica clara a necessidade de um ajuste dos parâmetros medidos.

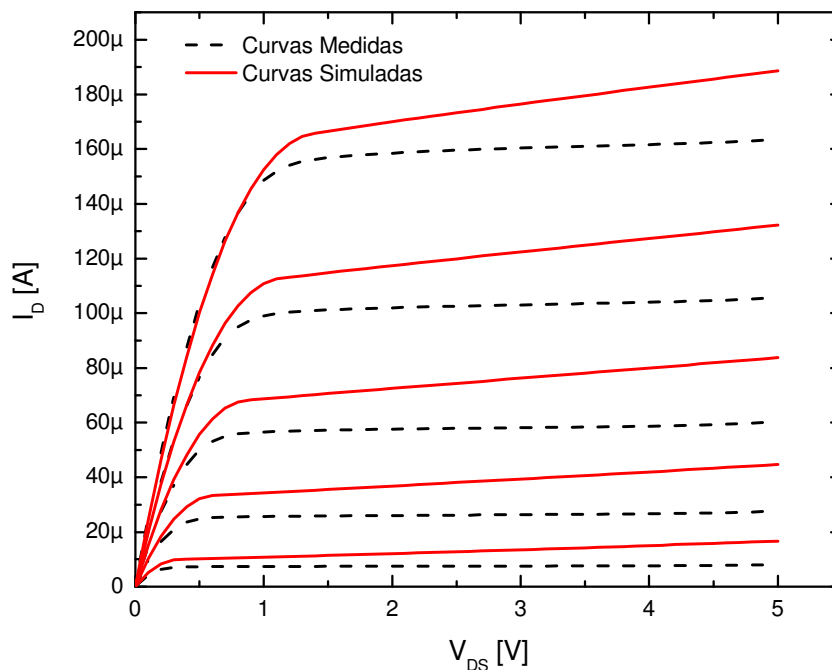


Fig. 6.9 – Curvas $I_{DxV_{GS}}$ medidas e simuladas de transistores NMOS.

O objetivo do ajuste de parâmetros é obter o valor exato dos parâmetros do dispositivo, de forma que a curva simulada coincida com a curva medida do dispositivo

O software utilizado para fazer as otimizações foi o ADS (*Advanced Design System*), da empresa Agilent, desenvolvido para simulação de projetos RF. As simulações foram realizadas nas instalações do CCS (Centro de Componentes Semicondutores) na Universidade Estadual de Campinas (UNICAMP).

O processo de otimização consiste basicamente em comparar ponto a ponto o resultado obtido teoricamente com os dados medidos, ajustando os valores dos parâmetros do dispositivo de modo que as diferenças tendam ao erro desejado.

6.4.1- Procedimento para otimização

O procedimento utilizado para realizar as otimizações foi o seguinte: todos os dados experimentais, como tensões aplicadas e correntes medidas no MOSFET (V_{SB} , V_{GS} , V_{DS} , I_D) são armazenadas em um único arquivo biblioteca, seguindo as regras de sintaxe determinadas pelo ADS^[57]. O circuito utilizado para medidas dos dispositivos é simulado, utilizando um determinado modelo de transistor (*level3* neste caso), e as tensões aplicadas em V_{GS} , V_{BS} e V_{DS} para simulação são lidas do arquivo biblioteca. O simulador irá então simular o circuito, obtendo o valor de I_D em função das tensões V_{DS} , V_{GS} e V_{BS} , e traçando as curvas $I_D \times V_{GS}$ e $I_D \times V_{DS}$ (neste caso) para o modelo de transistor escolhido.

Em seguida, são atribuídos ao modelo de transistor, como mostrado na figura 6.10, alguns valores estimados de parâmetros, que foram obtidos de medidas elétricas, cálculos do processo, etc. Os parâmetros que serão otimizados são selecionados, e, além do valor estimado (chute inicial) são atribuídos valores mínimos e máximos para estes. O ADS irá simular o circuito utilizando os valores dos parâmetros iniciais e irá comparar ponto a ponto os valores de corrente medido e simulado. Usando o método de convergência escolhido (*Random, Gradient, Quase-Newton* entre outros) o ADS tenderá esta diferença ao valor de erro atribuído, variando o valor dos parâmetros selecionados entre os limites estipulados.

No caso destas otimizações foram utilizadas quatro curvas, duas curvas $I_D \times V_{DS}$ com diferentes valores de V_{GS} e duas curvas $I_D \times V_{GS}$, uma com $V_{BS}=0$ e outra para um valor de $V_{BS} \neq 0$ (somente para o transistor PMOS). Neste caso o ADS irá comparar os dados medidos e simulados das quatro curvas, tornando a otimização mais demorada e mais sujeita a problemas de convergência, porém os valores obtidos são mais próximos do real.

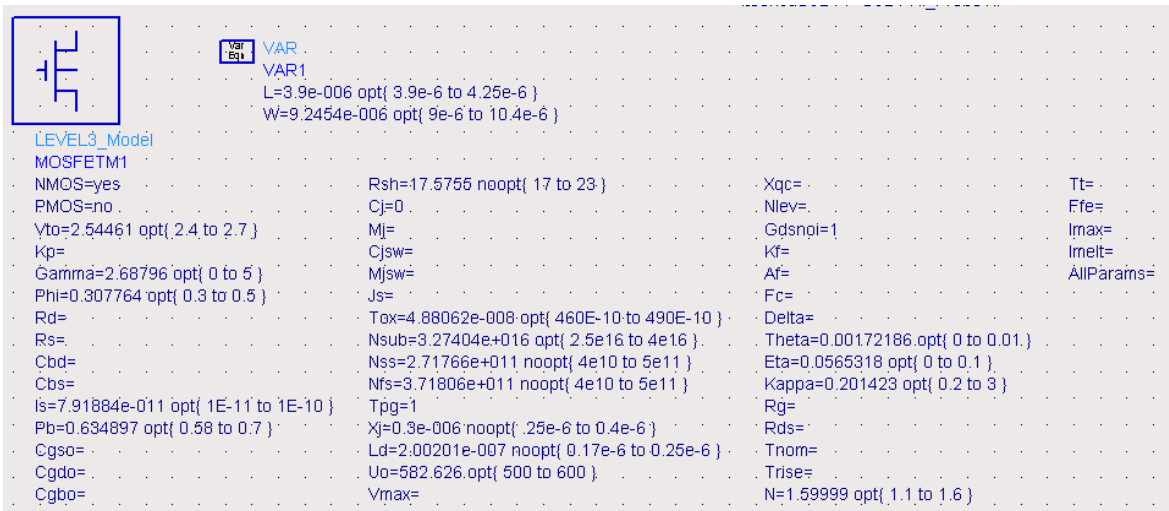


Fig. 6.10 – Parâmetros do modelo SPICE LEVEL 3.(valores ilustrativos)

6.4.2 - Resultados

A otimização de parâmetros foi realizada em transistores PMOS e NMOS fabricados no Laboratório de Microeletrônica do Instituto de Física da UFRGS.

Os valores iniciais utilizados para a otimização foram obtidos principalmente de medidas elétricas I_xV e C_xV dos transistores e capacitores de teste, apresentadas nas seções 6.2 e 6.3. A medida do comprimento do silício policristalino da porta foi obtida por imagens de microscopia eletrônica de varredura. As simulações do processo apresentadas no capítulo 3 foram utilizadas na determinação das profundidades de junção e difusões laterais de fonte e dreno.

A figura 6.11 mostra as curvas $I_D \times V_{GS}$, e as curvas $I_D \times V_{DS}$ medidas e otimizadas de um transistor NMOS. Observa-se uma melhor concordância entre estas quando comparadas com as curvas da figura 6.9, significando uma melhor exatidão nos parâmetros.

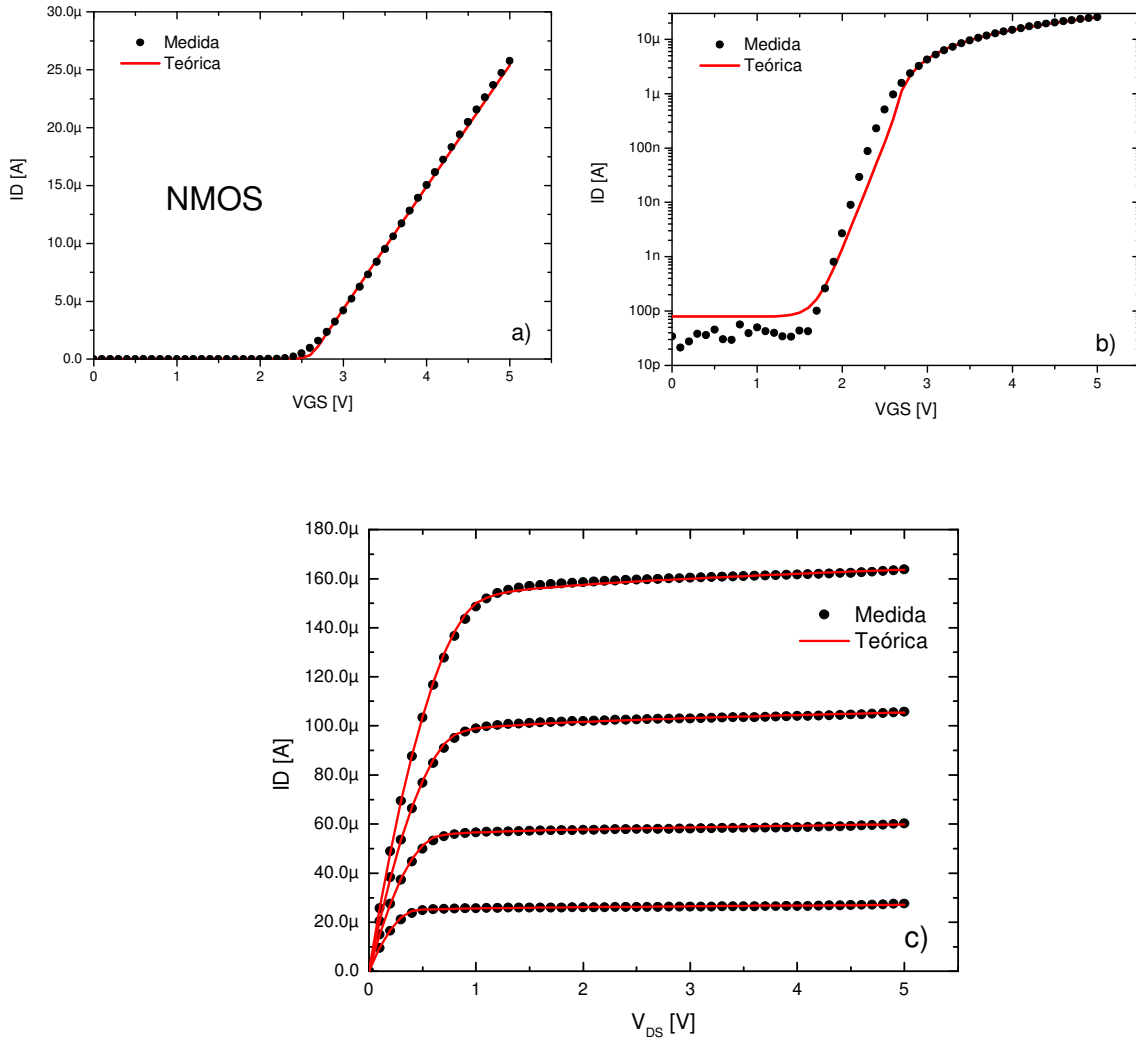


Fig 6.11 – Curvas (a) $I_D \times V_{GS}$, (b) $\log(I_D) \times V_{GS}$ e (c) $I_D \times V_{DS}$ medidas e otimizadas de transistores NMOS.

A figura 6.12 mostra as curvas $I_D \times V_{GS}$ e $I_D \times V_{DS}$ medidas e otimizadas do transistor PMOS. Neste caso, a mesma concordância entre os dados não foi obtida, significando a necessidade de um melhor ajuste dos parâmetros,

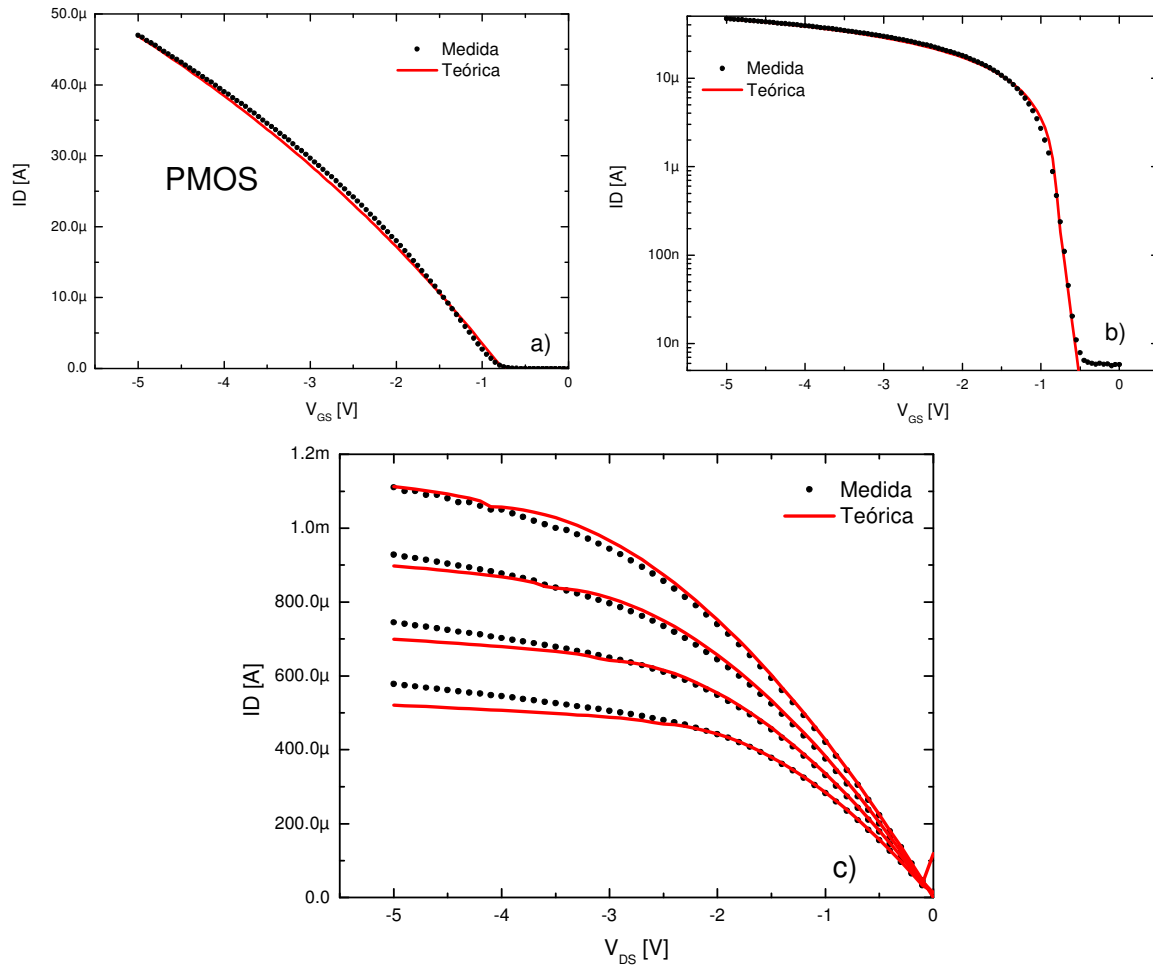


Fig. 6.12 - Curvas (a) $I_D \times V_{GS}$, (b) $\log(I_D) \times V_{GS}$ e (c) $I_D \times V_{DS}$ medidas e otimizadas de transistores PMOS.

Na tabela 6.4 são mostrados dados medidos e otimizados de transistores NMOS e PMOS. Observa-se que parâmetros como V_T , Φ_{SI} , T_{OX} e N_{SUB} apresentaram boa concordância entre valores medidos e otimizados.

Os valores de profundidade de junção (X_j) e difusão lateral (LD), cujos dados foram obtidos através de simulação do processo, também apresentaram boa concordância, indicando uma boa exatidão do simulador de processos FLOOPS.

Os valores das resistências de folha das difusões de fonte/dreno dos transistores (R_{SH}) obtidas através de medida de quatro pontas durante o processo, é associada a um valor de resistência em série como o dispositivo, mostrando também uma boa concordância entre os valores medidos e ajustados.

A diferença encontrada entre os valores de GAMMA (γ) é devido ao fato de simulador utilizar o valor calculado (vide equação 1.17) ao contrário do método apresentado na seção 6.3.

O valor de ETA próximos de 0 (zero) mostra que efeitos de canal curto não são significativos nos dispositivos estudados, devido ao comprimento de canal de $\sim 4\mu\text{m}$.

Tab. 6.4 – Parâmetros SPICE Level 3 medidos e ajustados com o ADS.

nome	Parâmetro	unidade	Medido/Simulado*		Ajustado	
			NMOS	PMOS	NMOS	PMOS
VTO	tensão de limiar para $V_{SB}=0$	V	2,3	-0,65	2,36	-0,75
KP	parâmetro de Transcondutância	A/V^2	4,5E-05	1,3E-05	4,4E-05	1,3E-05
GAMMA	parâmetro de efeito de corpo	$V^{1/2}$	-	0,309	2,32	0,45
PHI	potencial de superfície	V	0,82	0,62	0,79	0,6
PB	Potencial de junção com o substrato	V			0,64	0,6
RSH	resistência de folha da difusão de fonte/dreno	Ω/q	21	320	18	319
TOX	espessura do óxido de porta	m	4,70E-08	4,70E-08	4,88E-08	4,90E-08
NSUB	concentração do substrato	$1/\text{cm}^3$	9,50E+16	2,00E+15	8,00E+16	2,87E+15
NSS	densidade de estados de interface	$1/\text{cm}^2$				
NFS	densidade de estados de interface rápidos	$1/\text{cm}^2$	1,00E+11	1,80E+11	4,50E+11	2,60E+11
TPG	tipo de material de porta	-	1	-1	1	-1
XJ	profundidade metalúrgica da junção	m	0,3 μ^*	0,69 μ^*	0,3 μ	0,7 μ
LD	difusão lateral	m	0,19 μ^*	0,54 μ^*	0,2 μ	0,54 μ
UO	mobilidade superficial	cm^2/Vs	621	183	626	194
THETA	coeficiente de modulação da mobilidade	1/V	0,187	0,039	0,145	0,05
ETA	realimentação estática	-			0,0097	0,024
KAPPA	fator de saturação de campo	-			0,61	0,15

6.5 – Blocos Funcionais do Circuito

6.5.1 – Inversor

A figura 6.13 mostra uma imagem de microscopia eletrônica de varredura do inversor de teste e a figura 6.14 mostra uma curva de transferência de um inversor de teste. A estrutura usada é apresentada na figura 6.14(a)

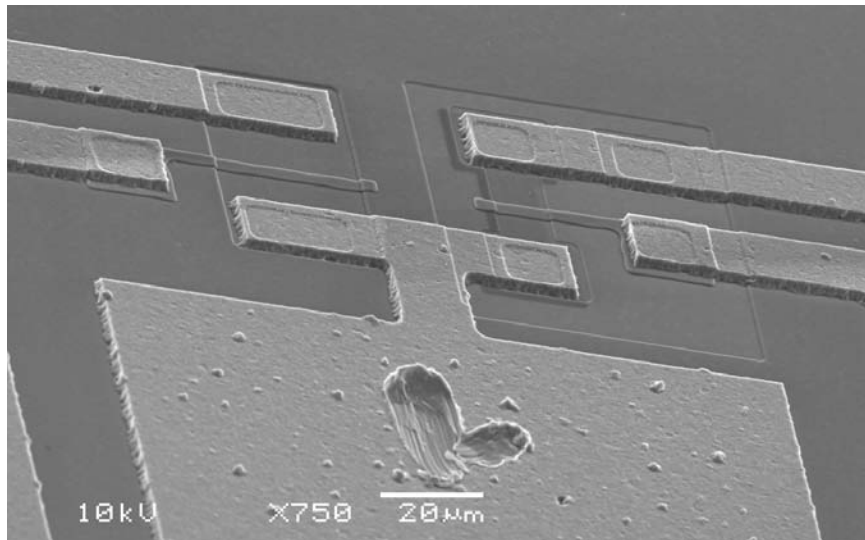


Fig. 6.13 – Imagem de microscopia eletrônica de varredura do inversor de teste.

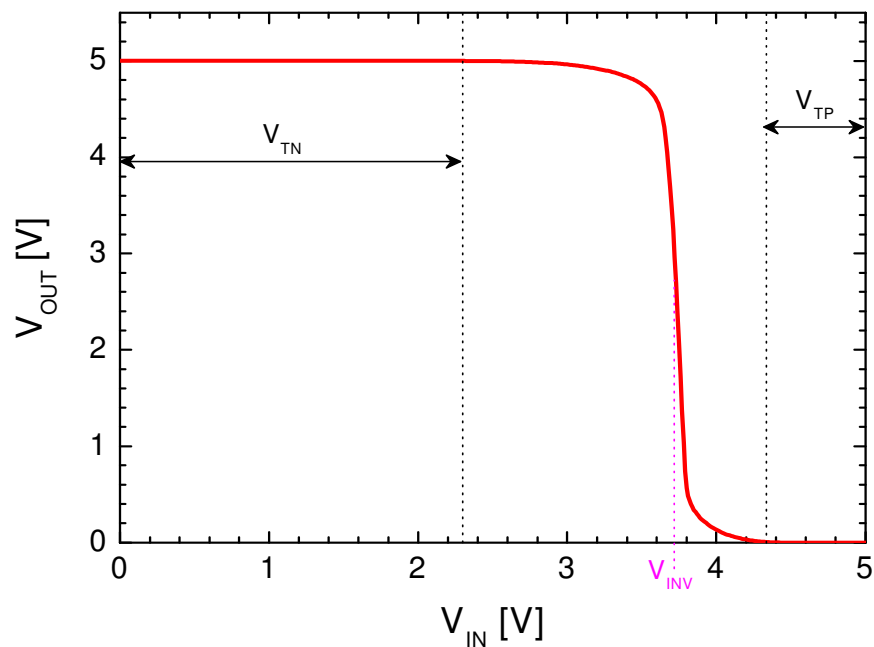


Fig. 6.14 – Análise DC do inversor de teste com alimentação $V_{DD}=5V$.

A tensão de inversão lógica V_{INV} é a tensão que quando aplicada na entrada de um inversor faz com que na saída tenha o mesmo valor V_{INV} . A tensão de inversão lógica pode ser obtida pela expressão

$$V_{INV} = \frac{V_{DD} - |VT_P| + VT_N \sqrt{\frac{\beta_N}{\beta_P}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad [41] \quad (6.14)$$

onde β_N e β_P são os fatores de ganho dos transistores NMOS e PMOS respectivamente, dados por:

$$\beta_N = \mu_N \cdot C_{OX} \cdot \left(\frac{W_N}{L_N} \right) \quad [41] \quad e \quad (6.15)$$

$$\beta_P = \mu_P \cdot C_{OX} \cdot \left(\frac{W_P}{L_P} \right) \quad [41]. \quad (6.16)$$

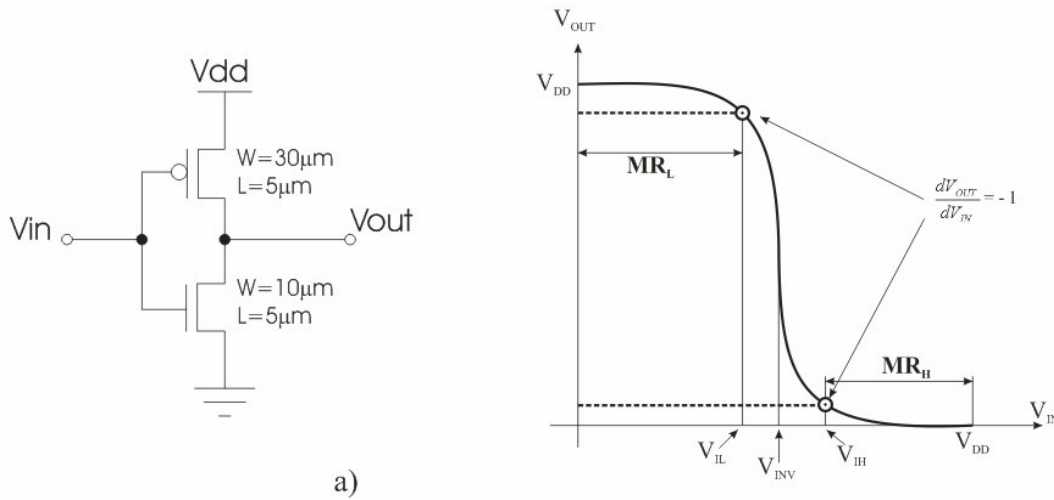


Fig. 6.15 – (a) Estrutura de inversor utilizada para a análise DC, e (b) curva de transferência estática de um inversor CMOS indicando as margens de ruído de níveis alto e baixo

Uma das mais conhecidas e importantes características dos circuitos CMOS é a sua alta imunidade ao ruído. Uma forma de verificar essa imunidade ao ruído na tensão de entrada consiste em diferenciar a tensão de saída em relação à de entrada. Nos pontos em que $\frac{dV_{OUT}}{dV_{IN}} = -1$, ou seja, quando a reta tangente à curva de transferência está a 45°,

definem-se as margens de ruído, como sendo margem de ruído baixo ($MR_L = V_{IL} - 0$) e margem de ruído alto ($MR_H = V_{DD} - V_{IH}$), como ilustrado na figura 6.15 (b).^[61]

A tabela 6.5 apresenta os valores de tensão de inversão lógica e margens de ruído de 10 inversores medidos em diferentes pontos da lâmina.

Tab. 6.5 – Tensão de inversão lógica, margem de ruído baixa e alta do inversor CMOS

Inversor #	V_{INV} [V]	MR_L [V]	MR_H [V]
1	3,55	3,20	1,14
2	3,64	3,28	1,13
3	3,73	3,36	1,01
4	3,85	3,40	0,8
5	3,69	3,29	1,05
6	3,73	3,34	1,01
7	3,68	3,25	1,07
8	3,68	3,26	1,05
9	3,72	3,27	0,99
10	3,69	3,20	1,02
Média	3,70±0,07	3,29±0,06	1,03±0,09

6.5.2 – Oscilador em Anel

Através de medidas efetuadas no oscilador em anel foi possível determinar o tempo de atraso intrínseco de cada inversor.

Considerando que o oscilador em anel é composto de 31 inversores, o tempo de atraso intrínseco de um inversor interno do oscilador em anel, para uma determinada tensão

de alimentação é dado pela expressão $T = \frac{1}{f} \cdot \frac{1}{2n}$, onde f é a frequência de oscilação e n é

número de inversores do oscilador.

Uma imagem obtida por MEV é apresentada na figura 6.16 e a frequência de oscilação como função da tensão de alimentação do oscilador em anel é apresentada na figura 6.17. Para uma tensão de alimentação de 5V observa-se uma frequência de oscilação de aproximadamente 70kHz. Com estes dados foi obtido o atraso intrínseco de cada

inversor como $T = \frac{1}{70kHz} \cdot \frac{1}{62} = 230ns$.



Fig. 6.16 – Imagem do oscilador em anel obtida por microscopia eletrônica de varredura.

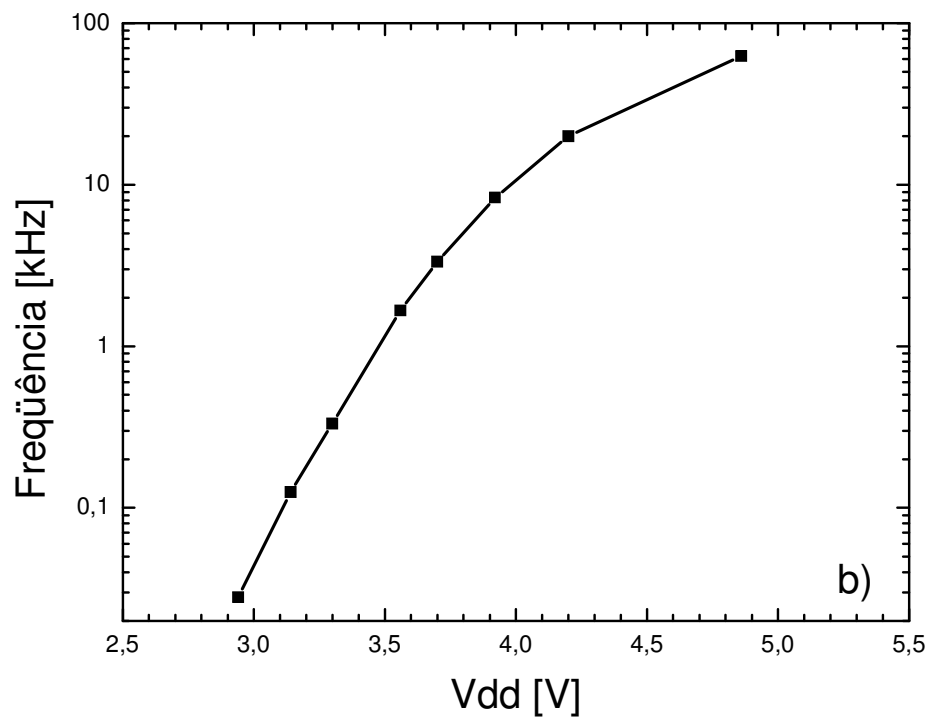


Fig. 6.17 –Frequência de oscilação da rede de atrasos em função da tensão de alimentação.

É importante novamente salientar que os inversores que compõe o oscilador em anel não foram projetados com o comprimento de canal mínimo, e tem dimensões de $W/L = 10\mu m/15\mu m$ e $W/L = 30\mu m/15\mu m$ para o transistor NMOS e PMOS respectivamente.

6.5.3 – Contador de 8 bits

O teste do contador foi realizado aplicando um sinal digital pulsante na sua entrada e verificando o sinal em cada um dos *buffers* de saída. Assim, o sinal nos *bits* 0, 1, 2,...7 do contador apresentam frequências iguais a $1, \frac{1}{2}, \frac{1}{4}, \dots, \frac{1}{128}$ da frequência de entrada, e, o sinal nas saídas do circuito contador corresponde a um *byte* já convertido. Uma foto do osciloscópio é mostrada na figura 6.18, onde o sinal superior corresponde à entrada do contador, e o sinal inferior corresponde ao terceiro bit de saída. Observa-se que a frequência de saída corresponde a $\frac{1}{4}$ da frequência de entrada, comprovando o funcionamento do circuito contador.

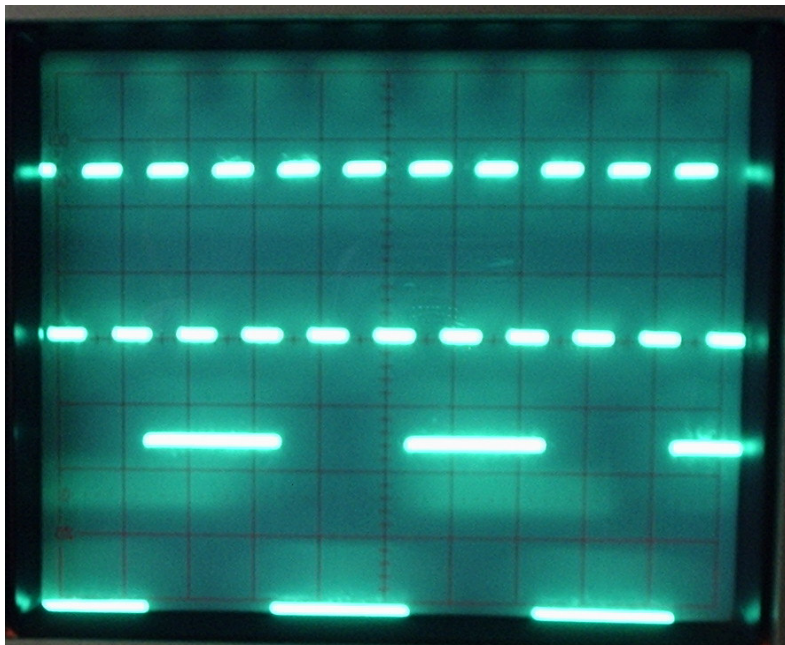


Fig. 6.18 – Foto do osciloscópio mostrando o sinal de entrada (sinal superior) e o sinal de saída do terceiro bit (sinal inferior).

Para se obter uma estimativa da eficiência de fabricação foram medidos 21 blocos contadores. Esta escolha foi devido a este bloco possuir o maior número de transistores, ocupando uma área de aproximadamente 53% da área total de um chip, sendo assim mais susceptível a defeitos.

Dos 21 contadores testados, 6 apresentaram problema. Destes, 2 são considerados circuitos de borda e 1 foi danificado durante o teste. Nos outros 3 circuitos defeituosos, o problema apresentado foi o mesmo; uma falha em um dos contadores, fez com que o circuito se comportasse como um contador de 7 bits.

Capítulo 7 - Otimização do processo

O passo seguinte é a análise das medidas elétricas e dos parâmetros extraídos dos dispositivos fabricados a fim de identificar os principais problemas destes. Neste caso os problemas foram a alta tensão de limiar do transistor NMOS ($\sim 2,3\text{V}$), a alta resistência de folha da região de fonte/dreno do transistor PMOS ($\sim 230\Omega/\text{sq}$), além do alto valor de resistência de folha do silício policristalino ($43\Omega/\text{sq}$).

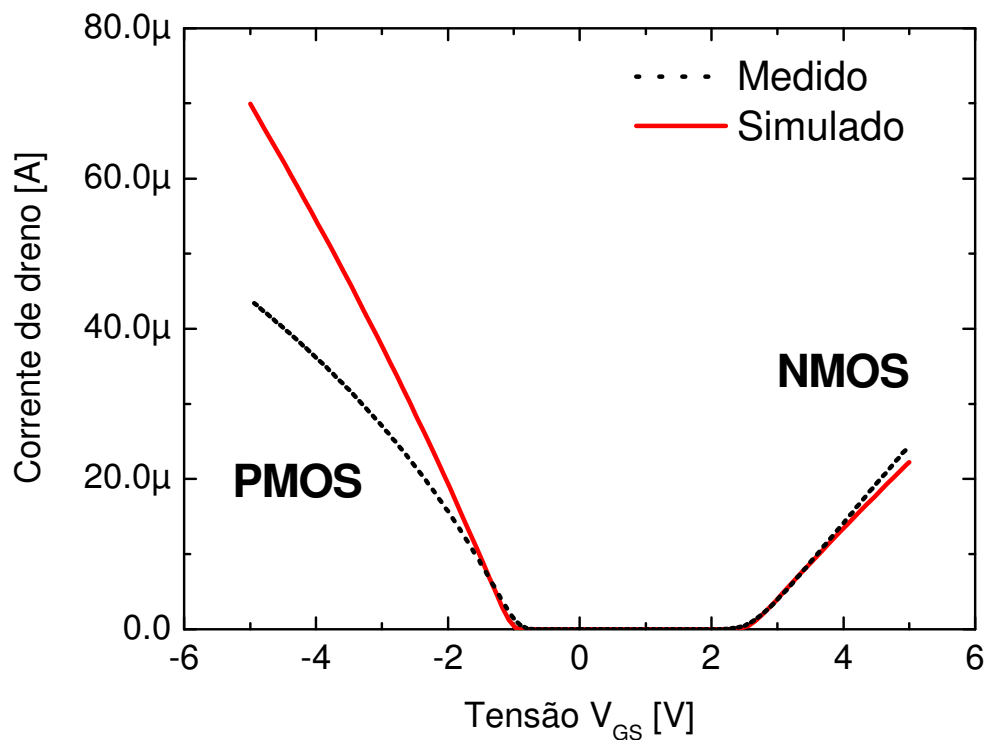


Fig. 7.1 – Curvas $I_D \times V_{GS}$ simuladas e medidas de transistores PMOS e NMOS.

Para utilizar a simulação no ajuste do processo de fabricação, o primeiro passo foi verificar a concordância entre os dados medidos dos dispositivos e os resultados da simulação. Para isto, o processo de fabricação desenvolvido em sala limpa foi exatamente reproduzido via software. A figura 7.1 apresenta as curvas $I_D \times V_{GS}$ medidas e simuladas para o transistor PMOS e NMOS.

7.1 – Ajuste de V_T do transistor NMOS

Em uma primeira análise do gráfico da figura 7.1, fica clara uma concordância entre os valores simulados e medidos de tensão de limiar, tanto para o transistor NMOS como para o PMOS.

Medidas CxV mostraram uma alta concentração de boro no poço, sendo considerada a razão da alta tensão de limiar medida no transistor NMOS, e o ajuste desta concentração, além de ajustar o V_T , acarretaria no(a):

- aumento da tensão de ruptura e uma melhoria do fator de idealidade do diodo N^+ - P_{well} .
- aumento da mobilidade no canal do transistor NMOS
- um pequeno aumento da profundidade de junção de fonte/dreno do transistor NMOS, diminuindo a resistência em série.
- diminuição da tensão de inversão lógica V_{INV} para um valor próximo de 2,5V, aumentando a frequência de oscilação do oscilador em anel.

Com o problema identificado e considerando as melhorias proporcionadas no chip com a diminuição da concentração de boro no poço, a diminuição da dose implantada foi a solução escolhida neste caso, tomando alguns cuidados para evitar efeitos indesejáveis que pudessem comprometer o funcionamento do dispositivo, como o *punchthrough* vertical.

O principal objetivo da nova dose de boro implantada é a diminuição da tensão de limiar do transistor NMOS para um valor próximo de 1V, evitando que a baixa concentração favoreça uma depleção total do poço, ocasionando o efeito de *punchthrough* vertical.

A Tabela 7.1 apresenta os resultados obtidos via simulação (ao final do processo) para diferentes doses de implantação de boro, onde X_j (poço) significa a profundidade do poço tipo-p, X_j (N^+) é a profundidade das difusões de fonte/dreno de arsênio do transistor, X_p (poço) é a largura da região de depleção $P_{poço}-N_{subs}$ para dentro do poço e X_p representa a largura da região de depleção para o lado do poço na junção $N^+-P_{poço}$, quando esta é polarizada reversamente com 5V, como mostrado na figura 7.3.

Tab. 7.1 – Dados obtidos por simulação para diferentes doses implantadas de boro para formação do poço.

Dose [cm ⁻²]	X _j (poço) [μm]	X _j (N ⁺) [μm]	Conc. Superficial [cm ⁻³]	X _p (poço) [μm]	X _p [μm]	V _T [V]
3E+13	4,62	0,33	1,4E+17	1,15	0,19	2,57
1E+13	3,89	0,38	4,9E+16	1,29	0,36	1,65
9E+12	3,82	0,4	4,4E+16	1,30	0,35	1,65
8E+12	3,89	0,37	3,9E+16	1,31	0,37	1,56
5E+12	3,6	0,4	2,5E+16	1,31	0,49	1,3
3E+12	3,16	0,41	1,4E+16	1,32	0,71	1,1

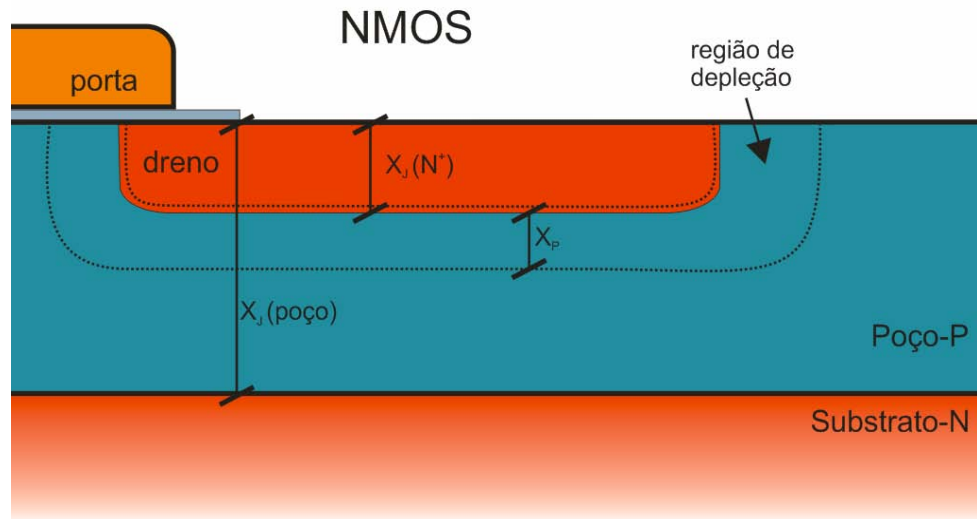


Fig. 7.3 – Ilustração de corte transversal de um transistor NMOS.

Analisando os resultados da simulação apresentados na tabela 7.1, observa-se que a dose de $3 \times 10^{13} \text{cm}^{-2}$ de boro cria um poço com profundidade aproximada de $4,6 \mu\text{m}$ com uma concentração superficial de $1,4 \times 10^{17} \text{cm}^{-3}$ e uma tensão de limiar de $2,57 \text{V}$, concordando bastante com os dados de medidas elétricas. A figura 7.2 apresenta os perfis simulados para as doses 3×10^{13} e $3 \times 10^{12} \text{cm}^{-2}$.

Dentre as doses simuladas, $3 \times 10^{12} \text{cm}^{-2}$ resultou em um V_T de $1,1 \text{V}$, valor próximo ao idealizado para o circuito. Considerando que os valores de $X_j(N^+)$ e X_p somados ficam próximos de $1,1 \mu\text{m}$, e a profundidade do poço superior a $3 \mu\text{m}$, fica descartada a possibilidade de *punchthrough* vertical, mesmo quando considerada a depleção da junção poço-substrato.

Neste caso, para otimização do dispositivo, no próximo lote será implantado no passo 5 uma dose de Boro de $3 \times 10^{12} \text{cm}^{-2}$, utilizando a mesma energia de 60keV .

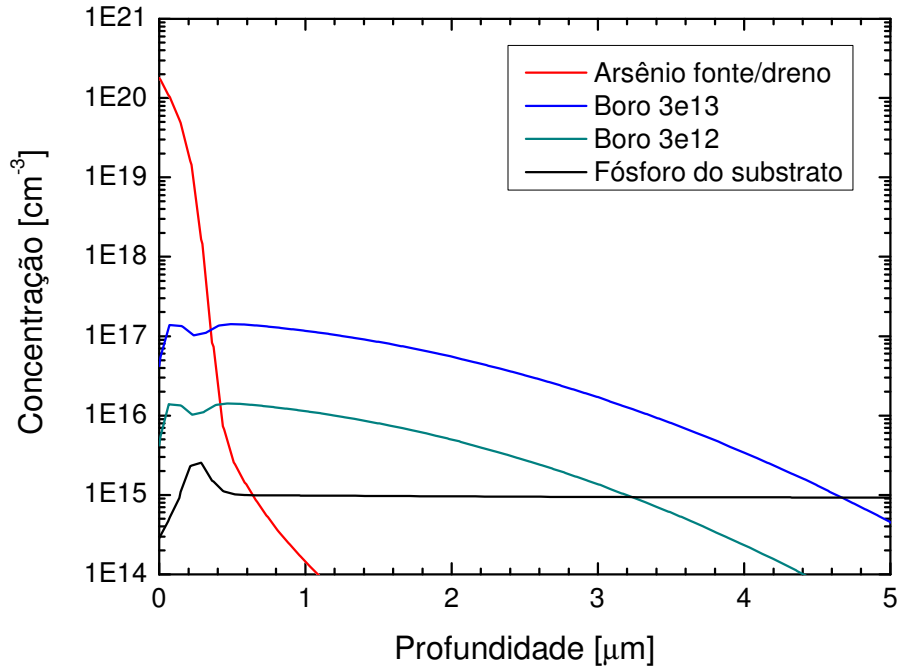


Fig. 7.2 – Perfil simulado de dopantes nas regiões de fonte/dreno do transistor NMOS, com diferentes doses implantadas de Boro.

7.2 – Ajuste das difusões de fonte/dreno do transistor PMOS

Apesar da concordância no valor de V_T entre os dados medidos e os resultados da simulação (gráfico da figura 7.1), uma considerável discordância é observada para valores de $V_{GS} > V_T$, principalmente no transistor PMOS. Esta discordância pode ser associada a um alto valor de θ (coeficiente de degradação de mobilidade), ou um alto valor de resistência em série.

No entanto, o valor medido de θ do transistor NMOS superior ao do transistor PMOS, associado ao alto valor de resistência de folha medido nas regiões de fonte/dreno do transistor PMOS durante o processo, corroboraram para considerar a alta resistência em série do dispositivo como principal motivo desta discordância.

A resistência de folha dessas regiões medida em lâminas de acompanhamento do processo apresentou um valor de $R_S = 320 \Omega/\text{sq}$. Utilizando o layout da figura 7.4, e as equações (3.29) e (3.30), pode ser calculado um valor aproximado da resistência em série

como: $R_{\text{série}} = R_{\text{fonte}} + R_{\text{dreno}} = 320 \frac{\Omega}{\text{sq}} \cdot \frac{15 \mu\text{m}}{30 \mu\text{m}} \cdot 2 = 320 \Omega$, desprezando as resistências de contato.

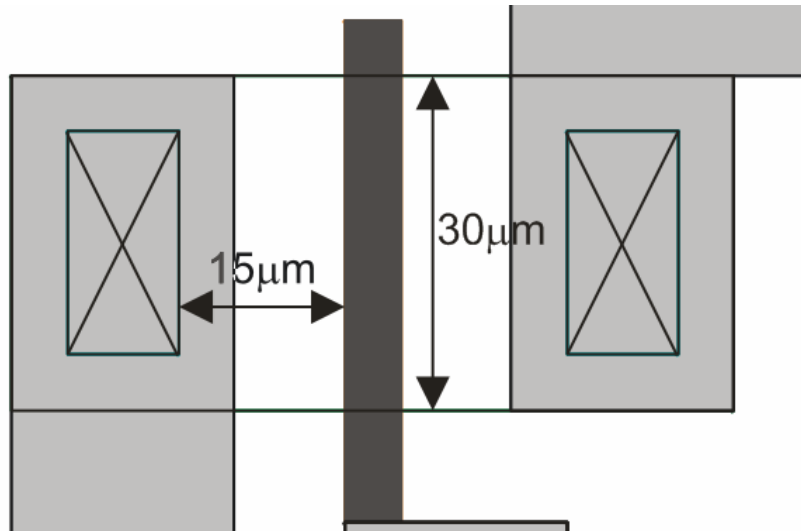


Fig. 7.4 – Layout do transistor PMOS.

Para verificar a concordância entre os resultados da simulação e os dados medidos, foi simulada a formação destas regiões de fonte/dreno utilizando os mesmos parâmetros de implantação e recozimentos térmicos. O resultado da simulação mostrou um valor de $R_S \sim 140 \Omega/\text{sq}$, bem diferente do valor medido durante o processo, que foi de $R_S \sim 320 \Omega/\text{sq}$. Este fato ajuda na compreensão de que, a discordância entre os gráficos medido e simulado do transistor PMOS na figura 7.1 se deve ao fato do simulador considerar uma resistência de difusão 60% inferior ao valor real.

Esta diferença pode ser atribuída à segregação do boro no SiO_2 durante a oxidação térmica realizada após os recozimentos das implantações de fonte/dreno, diminuindo a concentração superficial de boro, aumentando a resistência de folha.

Tendo em vista que o implantador iônico do Laboratório de Microeletrônica é de baixa corrente, resultando em um longo tempo de implantação, optou-se por simular o processo com uma dose apenas 2 vezes maior que a anterior, passando de $5 \times 10^{15} \text{cm}^{-2}$ para $1 \times 10^{16} \text{cm}^{-2}$, assim, o valor da resistência da difusão de fonte/dreno de boro simulada foi de $114 \Omega/\text{sq}$.

Para este ajuste do processo, no próximo lote será implantado no passo 22 uma dose de Boro de $1 \times 10^{16} \text{ cm}^{-2}$, e energia de 30keV, e aos perfis simulados para ambas as doses são mostrados na figura 7.5.

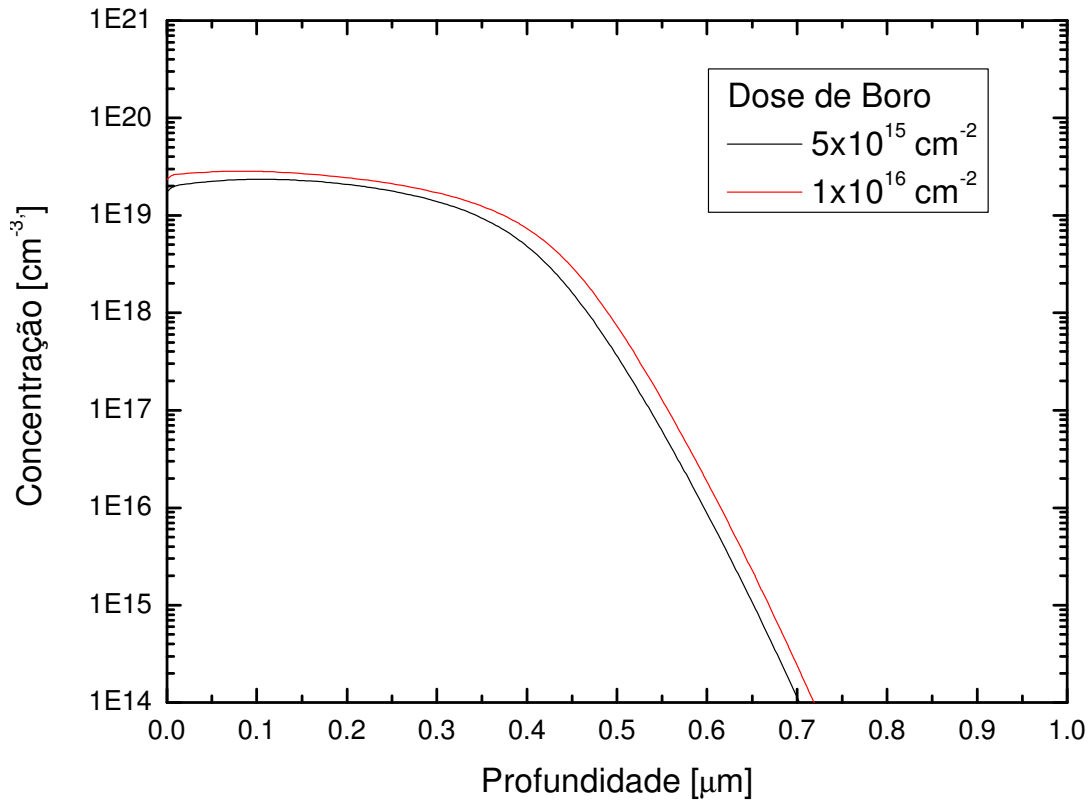


Fig. 7.5 – Perfis simulados de boro para diferentes doses de implantação.

Capítulo 8 – Conclusões

Uma tecnologia CMOS foi desenvolvida e implementada com a fabricação de um conversor A/D totalmente digital. O circuito é composto por um oscilador em anel, um contador de 8 bits e *buffers* de entrada e de saída. Externamente ao circuito foram projetados dois transistores de teste e dois capacitores MOS. A tecnologia fabricada possui comprimento de canal de 5 μ m, poço tipo-p e porta de silício policristalino. Os dispositivos foram distanciados o suficiente para evitar um possível *punchthrough* lateral, descartando a necessidade da oxidação local (LOCOS) para isolação entre eles.

No início deste projeto vários equipamentos foram adquiridos, instalados ou desenvolvidos no Laboratório de Microeletrônica e junto com a infra-estrutura já existente, possibilitaram a fabricação do chip CMOS. Em paralelo com este desenvolvimento, as estruturas dos transistores PMOS e NMOS foram simuladas com o software ISE-TCAD, com objetivo de ajustar os regimes dos processos tecnológicos. Medidas de espessuras e resistências de folha foram feitas durante o processamento em lâminas de teste. Medidas elétricas foram realizadas em todas as estruturas do chip após a fabricação.

As medidas de resistência de folha de fonte/dreno dos transistores tipo-p e tipo-n foram de 20 Ω /sq e 320 Ω /sq respectivamente. Medidas IxV foram conduzidas para verificar a qualidade das junções. Uma baixa tensão de ruptura foi constatada para o diodo N⁺-P_{well}, atribuída a alta concentração de boro no poço. A extração do fator de idealidade e corrente reversa apresentou piores resultados para as junções com o poço (N⁺-P_{well} e P_{well}-N), devido aos defeitos gerados durante a fabricação do P_{well}. As medidas realizadas nos capacitores NMOS mostraram uma alta concentração de dopantes no poço-p, na ordem de 10¹⁷cm⁻³, resultando em uma alta tensão de limiar (2,3V) para o transistor NMOS, além de uma baixa tensão de ruptura no diodo N⁺-P_{well}. Os parâmetros extraídos pelas medidas elétricas foram ajustados com o software ADS da Agilent, utilizando modelo SPICE nível 3.

Os principais problemas a serem resolvidos são: alta tensão de limiar do transistor NMOS e a alta resistência de folha das regiões de fonte/dreno do transistor PMOS. Utilizando o software de simulação ISE-TCAD, o processo tecnológico foi simulado. Depois de verificada a concordância entre os dados experimentais e os resultados da simulação, a dose de implantação de boro para a formação do poço foi ajustada, a fim de se

obter uma tensão de limiar do transistor NMOS próxima de 1V, evitando efeitos decorrentes da diminuição da profundidade do poço-p. Para este ajuste a dose de boro foi reduzida de 3×10^{13} para $3 \times 10^{12} \text{ cm}^{-2}$. A dose de implantação de fonte/dreno do transistor PMOS foi aumentada de 5×10^{15} para $1 \times 10^{16} \text{ cm}^{-2}$, resultando em um valor de resistência de folha de $114 \Omega/\text{sq}$.

Medidas nos blocos funcionais do circuito (oscilador em anel e contador de 8 bits) mostraram o funcionamento correto de todas as estruturas, no entanto a alta tensão de inversão lógica ($\sim 3,7\text{V}$) verificada no inversor CMOS é consequência da alta tensão de limiar do transistor NMOS.

Aqui concluímos que a meta estabelecida para este trabalho, de preparação de uma infra-estrutura e o desenvolvimento de uma tecnologia CMOS com porta de silício policristalino no μE foi atingida. O conjunto dos equipamentos desenvolvidos ou fabricados, além dos já existentes, integrados com a ferramenta de simulação ISE-TCAD, permitem o uso desta infra-estrutura na formação de mão-de-obra qualificada na área de microeletrônica e o desenvolvimento de várias tecnologias e dispositivos novos.

Referências

- [1] TOMPSON, S.; PACKAN P.; BOHR, M. MOS Scaling: Transistor Challenges for the 21st Century. *Intel Technology Journal* – Q3'98 – 1998. Disponível em: <<http://www.intel.com/technology/itj/archive/1998.htm>>. Acesso em: 28 jan. 2009.
- [2] RUNYAN, W. R.; BEAN, K. E. *Semiconductor Integrated Circuit Processing Technology*. New York: Addison-Wesley, 1990.
- [3] BRINKMAN, W. F.; HAGGAN, D. E.; TROUTMAN, W. W. A History of the Invention of the Transistor and Where it Will Lead Us. *IEEE Journal of Solid-State Circuits*, New York, v. 32, n. 12, p. 1858-1865, Dec. 1997.
- [4] Bell Telephone Laboratories. Disponível em: <www.bell-labs.com>. Acesso em: 4 nov. 2008.
- [5] SHOCKLEY, W.; SPARKS, M.; TEAL, G. K. p-n Junction Transistors. *Physical Review*, Lancaster, v. 83, n. 1. p. 151-162, July 1951.
- [6] SABY, J. S. Fused Impurity P-N-P Junction Transistors. *Proceedings of the IRE*, New York, v. 40, n. 11, p. 1358-1360, Nov. 1952.
- [7] TANENBAUM, M.; THOMAS, D. E. Diffused Emitter and Base Silicon Transistors. *Bell System Technical Journal*, New York, v. 35, n. 1, p. 1-22, Jan. 1956.
- [8] KILBY, J. S. *Miniaturized Electronic Circuits*. U.S. Patent 3,138,743. 6 Feb. 1959, 23 June 1964. Dallas.
- [9] FAIRCHILD Semiconductor. Disponível em: <<http://www.fairchildsemi.com>>. Acesso em: 7 nov. 2008.

- [10] NOYCE, R. N. *Semiconductor Device-and-Lead Structure*. U.S. Patent 2,981,877, 30 July 1959, 25 April 1961. San Jose.
- [11] REIS, R. A. (Org.). *Concepção de Circuitos Integrados*. Porto Alegre: Sagra Luzzatto, 2000.
- [12] LEUNG, B. C.; MAA, J. S. Refractory Metal Silicide/N+ Polysilicon in CMOS/SOS. *Proceedings of Electron Devices Meeting, 1980 International*. v. 26, p. 827-830, 1980. Disponível em: <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1481410>. Acesso em: 28 jan. 2008.
- [13] TYNG, C. Y. Silicide for Contacts and Interconnects. *Proceedings of Electron Devices Meeting, 1984 International*. v. 30, p. 110-113, 1984. Disponível em: <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1484426>. Acesso em: 28 jan. 2008.
- [14] CHANG, C.; LIANG, M. S.; HU, C.; BRODERSEN, R. W. Carrier Tunneling Related Phenomena In Thin Oxide MOSFETs. *Proceedings Electron Devices Meeting, 1983 International*. v. 29, p. 194-197. 1983. Disponível em: <http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=1483599>. Acesso em: 28 jan. 2008.
- [15] WOLF, S.; TAUBER, R. N. *Silicon Processing for the VLSI era*. Sunset Beach: Lattice Press, 2002. v. 4 Deep Submicron Process Technology.
- [16] MOORE, G. E. Cramming more components onto integrated circuits. *Electronics*, New York, v. 38, n. 8, p. 114-117, Apr. 1965.
- [17] LEI de Moore. Disponível em: <http://pt.wikipedia.org/wiki/Lei_de_moore>. Acesso em: 27 nov. 2008.

- [18] St ONGE, S. A. et al. A 0,24 μ m SiGe BiCMOS Mixed-Signal RF Production Technology Featuring a 47GHz f_t HBT and 0,18 μ m L_{eff} CMOS. *Proceedings of Bipolar/BiCMOS Circuits and Technology Meeting, 1999*, p.117-120, 1999.
Disponível em: < http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=803539 >.
Acesso em: 28 jan. 2009.
- [19] McNAIRY, C.; BHATIA, R. Montecito: a dual-core, dual-thread Itanium processor. *IEEE Micro*, New York, v. 25, p. 10-20, 2005.
- [20] IWAI, H. CMOS Scaling Towards its Limits. *Proceedings 5th International Conference on Solid-State and Integrated Circuit Technology*, Beijing, China 1998.
p. 31-34.
- [21] THOMPSON, S. E et al. In Search of “Forever” Continued Transistor Scaling One New Material at the Time. *IEEE Transactions on Semiconductor Manufacturing*, New York, v. 18, n. 1, p. 26-36, Feb. 2005.
- [22] DALPONTE, M.; BOUDINOV, H. et al. MEIS study of As implantation in O or N pre-implanted Si(001). *Nuclear Instruments and Methods in Physics Research B*, Amsterdam, v. 249, p. 874-877, Aug. 2006.
- [23] DALPONTE, M. et al. Thermal Activation of As Implanted in Bulk Si and Separation by Implanted Oxygen. *Journal of Applied Physics*, Melville, v. 96, n. 12, p. 7388-7391, Dec. 2004.
- [24] SHAHIDI, G. G. SOI Technology for the GHz Era. *IBM Journal of Research and Development*, New York, v. 46, n. 2/3, p.11-14, Apr. 2002.
- [25] DAVIS, J. R. High-Performance SOI-CMOS Transistor in Oxygen-Implanted Silicon Without Epitaxy. *IEEE Electron Devices Letters*, New York, v. EDL-8, n. 7, p. 291-293, July 1987.

- [26] ANANTHAN, H. *FINFET: current research issues*. West Lafayette: School of Electrical and Computer Engineering - Purdue University, p. 4-9, Feb. 2001
- [27] HUANG, X. et al. Sub-50nm P-Channel FinFET, *IEEE Transactions on Electron Devices*, New York, v. 48, n. 5, p.880-886, May 2001.
- [28] ASSOCIAÇÃO BRASILEIRA DA INDÚSTRIA ELÉTRICA E ELETRÔNICA. Disponível em: <<http://www.abinee.org.br>>. Acesso em: 15 set. 2008.
- [29] BLOOD, P.; ORTON, J. W. *The Electrical Characterization of Semiconductors: majority carriers and electron states*. London: Academic Press, 1997.
- [30] NAGEL, L.W. *SPICE2: a computer program to simulate semiconductor circuits*. Berkeley: University of California Press, 1975.
- [31] ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. 2. ed. New York: Oxford University Press, 2002.
- [32] CHENG, Y. *MOSFET Modeling and BSIM 3 User's Guide*. Norwell: Kluwer Academic Publishers, 1999.
- [33] BAKER, R. J.; LI, H. W.; BOYCE, D. E. *CMOS Circuit Design, Layout, and Simulation*. New York: IEEE Press, 1998. (IEEE Press Series on Microelectronic Systems).
- [34] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. New York: McGraw-Hill, 2001.
- [35] FOTY, D. *Mosfet Modeling with SPICE : principle and practice*. Upper Saddle River: Prentice Hall, 1997.

- [36] GREEN, M. A. *Solar Cells: operating principles, technology and system applications*. Kensington: University of New South Wales, 1992.
- [37] MARTINO, J. A.; PAVANELLO, M. A.; VERDONCK, P. B. *Caracterização elétrica de Tecnologia e Dispositivos MOS*. São Paulo: Pioneira Thomson, 2003.
- [38] SMITH, P. M.; INOUE, M.; FREY, J. Electron Velocity in Si and GaAs at Very High Electric Fields. *Applied Physics Letters*, New York, v. 37, n. 9, p. 797-798, Nov. 1980.
- [39] SODINI, C. G.; KO, P. K.; MOLL, J. L. The Effect of High Fields on MOS Device and Circuit Performance. *IEEE Transactions on Electron Devices*, New York, v. ED-31, n. 10, p. 1386-1393, Oct. 1984.
- [40] SZE, S. M. *Physics of Semiconductor Devices*. 2. ed. New York: John Wiley, 1981.
- [41] SEDRA, A. S.; SMITH, K. C. *Microelectronics Circuit*. 4. ed. New York: Oxford University Press, 1998.
- [42] WATANABE, T.; MIZUNO, T.; MAKINO, Y. An All-Digital Analog-to-Digital Converter with $12\mu\text{V}/\text{LSB}$ using Moving-Average Filtering. *IEEE Journal of Solid-States Circuit*, Piscataway, v. 38, n. 1, p. 120-125, Jan. 2003.
- [43] ISE TCAD Release 10.0 FLOOPS-ISE. *Manual do Software de Simulação de Processos FLOOPS*. Zurich: 2004. 261 p. Disponível em: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=00111652>. Acesso em: 28 jan. 2008.
- [44] KELLY, M. J. *Low-Dimensional Semiconductors: materials, physics, technology, devices*. Oxford: Oxford University Press, 1995.

- [45] KERN, W.; POUTINEN, D. A. Cleaning Solutions Based on Hydrogen Peroxide for use in Silicon Semiconductor Technology. *RCA Review*, Princeton, v. 31, n. 2, p. 187-206, June 1970.
- [46] JAEGER, R. C. *Introduction to Microelectronic Fabrication*. Reading: Addison-Wesley, 1993. (Modular Series on Solid State Device, v. 5).
- [47] CAMPBELL, S. A. *The Science and Engineering of Microelectronic Fabrication*. New York: Oxford University Press, 1996.
- [48] GHATE, P. B.; BLAIR, J. C.; FULLER, C. R. Metallization in microelectronics. *Thin Solid Films*, Lausanne, v. 45, p. 69-84, Aug. 1977.
- [49] ZIEGLER, J. F.; BIERSACK, J. P.; LITTMARK, U. *The Stopping and Range of Ions in Solids*. Oxford: Pergamon, 1985. v. 1.
- [50] MARTINO, J. A. *Um Processo de Cavidade Dupla para Comprimento de Porta de 2 μ m*. 1988. 149 f. Tese (Doutorado em Engenharia Elétrica) – Escola Politécnica, Universidade de São Paulo, 1988.
- [51] DEAL, B. E.; SCLAR, M. Thermal Oxidation of Heavily Doped Silicon. *Journal of the Electrochemical Society*, Hooksett, v. 112, p. 430-435, Apr. 1965.
- [52] IRENE, E. A.; DONG, D. W. Silicon Oxidation Studies: the oxidation of heavily B- and P- doped single crystal silicon. *Journal of the Electrochemical Society*, Hooksett, v. 125, p. 1146-1151, June 1978.
- [53] RANUÁREZ, J. C.; GARCÍA SÁNCHEZ, F. J.; ORTIZ-CONDE, A. Procedure for Determining Diode Parameters at Very Low Forward Voltage. *Solid State Electronics*, New York. v. 43, n.12, p. 2129-2133, Dec.1999.

- [54] ESCHER, J. S. et al. Junction-Current-Confinement Planar Light-Emitting Diodes and Optical Coupling into Large-Core Diameter Fibers using Lenses. *IEEE Transactions on Electron Devices*, New York, v. 29, n. 9, p. 1463-1469, Sept. 1982.
- [55] ORTIZ-CONDE, A. et al. A Generalized Model for a Two Terminal Device and its Applications to Parameter. *Solid State Electronics*, New York. v. 38, n. 1, p. 265-266, Jan 1995.
- [56] ORTIZ-CONDE, A. et al. Parasitic Series Resistance-Independent Method for Device-Model Parameter Extraction. *Solid State Electronics*, New York v. 143, n. 1, p. 68-70, Feb. 1996.
- [57] SOFTWARE Advanced Design Systems. Disponível em:
<http://eesof.tm.agilent.com/products/ads_main.html>. Acesso em: 15 nov. 2008.
- [58] OKABAYASHI, H.; MORIMOTO, M.; NAGASAWA, E. Low-Resistance MOS Technology using Self-Aligned Refractory Silicidation. *IEEE Transactions on Electron Devices*, New York, v. ED-31, n. 9, p. 1329-1334, Sept. 1984.
- [59] TAUR, Y. et al. A Self-Aligned 1- μ m-Channel CMOS Technology with Retrograde n-well and Thin Epitaxy. *IEEE Transactions on Electron Devices*, New York, v. ED-32, n. 2, p. 203-209, Feb. 1985.
- [60] HAUSER, J. R. Noise Margin Criteria for Digital Logic Circuits. *IEEE Transactions on Education*, New York, v. 36, n. 4, p. 363-368, Nov. 1993.

Anexo A: Código da simulação de processo do transistor NMOS

```
line y loc=0 spa=3 tag=left
line y loc=18 spa=2
line y loc=19 spa=0.4
line y loc=22 spa=0.2 tag=right

line x loc=0 tag=top spacing=0.1
line x loc=0.5 spa=0.1
line x loc=2 spa=0.5
line x loc=4 spa=2
line x loc=10 tag=bottom spacing=2
region Silicon xlo=top xhi=bottom ylo=left yhi=right
init concentration=9.26e+014 field=Phosphorus wafer.orient=100
mgoals on max.lateral.size=20 min.normal.size=0.02 normal.growth.ratio=3
refinebox min= {0.18 19} max= {1.5 22} xrefine= {0.1 0.1 0.3} yrefine= {0.1 0.1 0.5}
refinebox remesh
## -----
## ---- Added process flow header ----
## -----
## -----NMOS-----
temp_ramp name=tempramp2 time=5 temp=1200
diffuse temp_ramp=tempramp2
gas_flow name=gasflow3 pressure=1 flowO2=1 flowHCl=0.023
temp_ramp name=tempramp3 time=180 temp=1200
diffuse temp_ramp=tempramp3 gas_flow=gasflow3
struct dfise=0_DENUDED_1
## ----- POÇO-----
struct dfise=1_WELL_1
machine etch name=machine3 rate=0.45 isotropic Oxide
etch machine=machine3 time=1.1
struct dfise=1_WELL_2
strip Photoresist
struct dfise=1_WELL_3
temp_ramp name=tempramp4 time=5 temp=1100
diffuse temp_ramp=tempramp4
gas_flow name=gasflow5 pressure=1 flowO2=1
temp_ramp name=tempramp5 time=20 temp=1100
diffuse temp_ramp=tempramp5 gas_flow=gasflow5
temp_ramp name=tempramp6 time=5 temp=1100
diffuse temp_ramp=tempramp6
struct dfise=1_WELL_4
implant Boron dose=3e13 energy=60 tilt=7 rot=0
struct dfise=1_WELL_5
temp_ramp name=tempramp7 time=360 temp=1150
diffuse temp_ramp=tempramp7
pdbSetBoolean Oxide Grid GridAddPerp 1
pdbSetBoolean Silicon Grid GridAddPerp 1
pdbSet Oxide Grid perp.add.dist 1e-6
gas_flow name=gasflow8 pressure=1 H2O
temp_ramp name=tempramp8 time=45 temp=1000
diffuse temp_ramp=tempramp8 gas_flow=gasflow8
gas_flow name=gasflow9 pressure=1 flowO2=1
temp_ramp name=tempramp9 time=30 temp=1000
```

```

diffuse temp_ramp=tempramp9 gas_flow=gasflow9
struct dfise=1_WELL_6
## -----ÓXIDO FINO-----
struct dfise=2_TOX_1
machine etch name=machine6 rate=0.4 isotropic Oxide
etch machine=machine6 time=1.01
struct dfise=2_TOX_2
strip Photoresist
struct dfise=2_TOX_3
temp_ramp name=tempramp10 time=5 temp=1000
diffuse temp_ramp=tempramp10
gas_flow name=gasflow11 pressure=1 flowO2=1
temp_ramp name=tempramp11 time=60 temp=1000
diffuse temp_ramp=tempramp11 gas_flow=gasflow11
temp_ramp name=tempramp12 time=6 temp=1050 ramprate=-0.1389
temp_ramp name=tempramp12 time=14 temp=1000 ramprate=0.0000
diffuse temp_ramp=tempramp12
struct dfise=2_TOX_4
## ----- POLY-----
machine deposit name=machine8 rate=1.0 isotropic Poly
deposit machine=machine8 time=0.4
struct dfise=3_POLY_1
mgoals on
mask name=mask4 segments = {19.5 22.1 } negative
photo mask=mask4 thickness=1
struct dfise=3_POLY_2
etch material = {Poly} type=isotropic rate = {0.405} time=1.01 smooth
struct dfise=3_POLY_3
strip Photoresist
struct dfise=3_POLY_4
## ----- FONTE E DRENO-NMOS-----
struct dfise=5_NMOS_1
implant Arsenic dose=5e15 energy=150 tilt=7 rot=0
struct dfise=5_NMOS_2
strip Photoresist
struct dfise=5_NMOS_3
temp_ramp name=tempramp13 time=50 temp=1000
diffuse temp_ramp=tempramp13
struct dfise=6_ANN_SD_1
pdbSetBoolean Oxide Grid GridAddPerp 1
pdbSetBoolean Silicon Grid GridAddPerp 1
pdbSet Oxide Grid perp.add.dist 1e-6
gas_flow name=gasflow14 pressure=1 H2O
temp_ramp name=tempramp14 time=25 temp=1000
diffuse temp_ramp=tempramp14 gas_flow=gasflow14
struct dfise=6_ANN_SD_2
gas_flow name=gasflow15 pressure=1 flowO2=1
temp_ramp name=tempramp15 time=10 temp=1000
diffuse temp_ramp=tempramp15 gas_flow=gasflow15
struct dfise=6_ANN_SD_3
## ----- DEPOSIÇÃO DE ÓXIDO COM CVD-----
deposit material = {Oxide} type = isotropic rate = {1.0} time=0.25
struct dfise=7_OX_CVD_1
temp_ramp name=tempramp16 time=30 temp=800
diffuse temp_ramp=tempramp16
struct dfise=7_OX_CVD_2

```

```

## ----- ABERTURA DE CONTATOS -----
mask name=mask6 segments = {4.5 22.1 } negative
photo mask=mask6 thickness=1
struct dfise=8_CONTATOS_1
etch material = {Oxide} type=isotropic rate = {0.5} time=1 smooth
struct dfise=8_CONTATOS_2
strip Photoresist
struct dfise=8_CONTATOS_3
## ----- METALIZAÇÃO -----
deposit material = {Aluminum} type = isotropic rate = {1.0} time=2.5
struct dfise=9_METAL_1
mask name=mask7 segments = {-0.1 9.5 } negative
photo mask=mask7 thickness=1
struct dfise=9_METAL_2
etch material = {Aluminum} type=isotropic rate = {2.6} time=1.01 smooth
struct dfise=9_METAL_3
strip Photoresist
struct dfise=9_METAL_4
transform reflect right
contact point x=-1 y=4 name=source Aluminum
contact point x=0.2 y=22 name=gate Polysilicon
contact point x=-1 y=40 name=drain Aluminum
struct ise.mdraw=n@node@
exit

```

Anexo B: Código da simulação elétrica IDxVGS do transistor NMOS

```
File {
  * input files:
  Grid= "n@previous@_msh.grd"
  Doping= "n@previous@_msh.dat"
  * output files:
  Plot = "@dat@"
  Current = "@plot@"
  Output= "@log@"
}
Electrode {
  { Name="source" Voltage=0.0 }
  { Name="drain" Voltage=0.0 }
  { Name="gate" Voltage=0.0 }
}
Physics {
  AreaFactor=10
  Mobility( DopingDep HighFieldsat Enormal )
  EffectiveIntrinsicDensity( OldSlotboom )
}
Plot {
  eDensity hDensity eCurrent hCurrent
  Potential SpaceCharge ElectricField
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
}
Math {
  Extrapolate
  RelErrControl
  Iterations=100
}
Solve {
  Initial Solution
  Coupled (Iterations=100) {Poisson}
  Coupled { Poisson Electron Hole}

# -Bias drain to target bias
  Quasistationary ( InitialStep=0.0115 Increment=1.33 MinStep=1e-4
    MaxStep=0.05 Decrement=1.35
    Goal { Name="drain" Voltage=0.1 } )
    { Coupled { Poisson Electron Hole } }

# -Gate voltage sweep
  Quasistationary( InitialStep=1e-2 Increment=2 MinStep=1e-5 MaxStep=0.02 Decrement=1.35
    Goal{ Name="gate" Voltage= 5 } )
    { Coupled{ Poisson Electron Hole } }
}
```

Anexo C: Código da simulação elétrica IDxVDS do transistor NMOS

```
File {
  * input files:
  Grid= "n@previous@_msh.grd"
  Doping= "n@previous@_msh.dat"
  * output files:
  Plot = "@dat@"
  Current = "@plot@"
  Output= "@log@"
}
Electrode {
  { Name="source" Voltage=0.0 }
  { Name="drain" Voltage=0.0 }
  { Name="gate" Voltage=0.0 Barrier=-0.55 }
}
Physics {
  AreaFactor=30
  Mobility( DopingDep HighFieldsat Enormal )
  EffectiveIntrinsicDensity( OldSlotboom )
}
Plot {
  eDensity hDensity eCurrent hCurrent
  Potential SpaceCharge ElectricField
  eMobility hMobility eVelocity hVelocity
  Doping DonorConcentration AcceptorConcentration
}

Math {
  Extrapolate
  # Derivatives
  Iterations=25
  # NewDiscretization
  RelErrControl
  # NotDamped=50
}
Solve {
  # initial gate voltage Vgs=0.0V
  Poisson
  Coupled (Iterations=100) { Poisson Electron }
  Coupled { Poisson Electron Hole }
  save(FilePrefix="vg0")

  # second gate voltage Vgs=1.0V
  QuasiStationary
  ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
    Goal { name="gate" voltage=-1.0 } )
  { Coupled { Poisson Electron Hole } }
  save(FilePrefix="vg1")

  # third gate voltage Vgs=2.0V
  QuasiStationary
  ( InitialStep=0.007 Maxstep=0.15 MinStep=0.0001
```

```

        Goal { name="gate" voltage=-2.0 } )
    { Coupled { Poisson Electron Hole } }
save(FilePrefix="vg2")

# fourth gate voltage Vgs=3.0V
    QuasiStationary
    ( InitialStep=0.0055 Maxstep=0.15 MinStep=0.0001
      Goal { name="gate" voltage=-3.0 } )
    { Coupled { Poisson Electron Hole } }
save(FilePrefix="vg3")

# fifth gate voltage Vgs=4.0V
    QuasiStationary
    ( InitialStep=0.013 Maxstep=0.15 MinStep=0.0001
      Goal { name="gate" voltage=-4.0 } )
    { Coupled { Poisson Electron Hole } }
save(FilePrefix="vg4")

# fifth gate voltage Vgs=5.0V
    QuasiStationary
    ( InitialStep=0.013 Maxstep=0.15 MinStep=0.0001
      Goal { name="gate" voltage=-5.0 } )
    { Coupled { Poisson Electron Hole } }
save(FilePrefix="vg5")

```

#Load saved structures and ramp drain to create family of curves:

```

# first curve
Load(FilePrefix="vg0")
NewCurrent="vg0_"
    QuasiStationary
    ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
      Goal { name="drain" voltage=-5.0 }
    )
    { Coupled { Poisson Electron Hole }
      CurrentPlot (time =
                    (range = (0 0.2) intervals = 20;
                     range = (0.2 1.0) ) ) }

# second curve
load(FilePrefix="vg1")
NewCurrent="vg1_"
    QuasiStationary
    ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
      Goal { name="drain" voltage=-5.0 } )
    { Coupled { Poisson Electron Hole }
      CurrentPlot (time =
                    (range = (0 0.2) intervals = 20;
                     range = (0.2 1.0) ) ) }

# third curve
load(FilePrefix="vg2")
NewCurrent="vg2_"
    QuasiStationary
    ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
      Goal { name="drain" voltage=-5.0 } )

```

```

    { Coupled { Poisson Electron Hole }
      CurrentPlot (time =
        (range = (0 0.2) intervals = 20;
         range = (0.2 1.0) ) ) }

# fourth curve
load(FilePrefix="vg3")
NewCurrent="vg3_"
  QuasiStationary
    ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
      Goal { name="drain" voltage=-5.0 } )
    { Coupled { Poisson Electron Hole }
      CurrentPlot (time =
        (range = (0 0.2) intervals = 20;
         range = (0.2 1.0) ) ) }

# fifth curve
load(FilePrefix="vg4")
NewCurrent="vg4_"
  QuasiStationary
    ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
      Goal { name="drain" voltage=-5.0 } )
    { Coupled { Poisson Electron Hole }
      CurrentPlot (time =
        (range = (0 0.2) intervals = 20;
         range = (0.2 1.0) ) ) }

# sixth curve
load(FilePrefix="vg5")
NewCurrent="vg5_"
  QuasiStationary
    ( InitialStep=0.01 Maxstep=0.15 MinStep=0.0001
      Goal { name="drain" voltage=-5.0 } )
    { Coupled { Poisson Electron Hole }
      CurrentPlot (time =
        (range = (0 0.2) intervals = 20;
         range = (0.2 1.0) ) ) }

}

```