



## SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



<b>Evento</b>	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
<b>Ano</b>	2016
<b>Local</b>	Campus do Vale - UFRGS
<b>Título</b>	Arquitetura do “Test Zone Search” para Codificação de Vídeo no Padrão HEVC
<b>Autor</b>	BRUNNO ALVES DE ABREU
<b>Orientador</b>	SERGIO BAMPI

# Arquitetura do “Test Zone Search” para Codificação de Vídeo no Padrão HEVC

Brunno Alves de Abreu e Sergio Bampi (Orientador)

Instituto de Informática - Universidade Federal do Rio Grande do Sul

A demanda por vídeos de maiores resoluções vem aumentando, levando a um consequente aumento na complexidade da codificação de vídeos. A pesquisa em codificação de vídeo tem como objetivo buscar soluções para a redução dessa complexidade, a fim de aumentar a qualidade do vídeo na saída e diminuir o tempo de codificação/decodificação. O HEVC (“High Efficiency Video Coding”) é o padrão de codificação de vídeo estado-da-arte e consegue obter uma diminuição na taxa de bits de até 50% para um mesmo vídeo, em comparação com o padrão anterior, H.264/AVC. Para isso, o novo padrão utiliza algoritmos mais sofisticados que necessitam de um esforço computacional maior quando comparado ao padrão antigo. Uma das formas de reduzir o esforço computacional é desenvolver arquiteturas de hardware dedicadas, pois elas conseguem explorar o paralelismo da aplicação ao máximo, além de não incorrer no “overhead” necessário para decodificar as instruções em um processador de propósito geral.

Este projeto de iniciação foca em uma das etapas mais custosas da codificação de vídeo: a Estimção de Movimento (ME), que consiste em procurar blocos de quadros semelhantes a blocos de outros quadros (inter-predição) ou no mesmo quadro (intra-predição), para detectar semelhanças. Na inter-predição, a procura por blocos mais semelhantes depende de um algoritmo de busca, o qual decide que regiões do quadro anterior devem ser avaliadas.

O objetivo do projeto foi desenvolver uma arquitetura de hardware dedicada que implementa o algoritmo de busca “Test Zone Search” (TZSearch), utilizado na inter-predição. A Soma das Diferenças Absolutas (SAD) foi utilizada para avaliar o grau de semelhança entre os blocos, através de uma árvore de somadores (desenvolvida em etapa anterior do projeto). A arquitetura foi descrita em linguagem VHDL, usando mecanismos de “pipeline” para otimizar o número de ciclos da execução do algoritmo. Além disso, para auxiliar em decisões de projeto, foi implementado um software em Python que simula a execução do TZSearch, utilizando dados reais do software de referência do HEVC, o HM (“HEVC Test Model”). Para projetar a arquitetura, foi utilizada a ferramenta de síntese ISE, da Xilinx Inc. Para que atingíssemos processamento em tempo real (25 fps) para vídeos Full-HD, alguns cálculos específicos foram simplificados, os quais levaram a uma queda insignificante de 1,2% na eficiência da compressão. Para os dispositivos FPGA utilizados (Virtex V e Virtex VI), a arquitetura desenvolvida atingiu taxas de processamento de 31,14 e 25,13 fps respectivamente.

Como trabalhos futuros, estão sendo obtidos valores de consumo de energia para diferentes tamanhos de árvores de somadores. Além disso, a arquitetura será posteriormente integrada pelo grupo de pesquisa a um módulo de controle de complexidade, o qual será responsável por adicionar ou eliminar etapas da execução dinamicamente, de acordo com os recursos da aplicação.