



SALÃO DE INICIAÇÃO CIENTÍFICA XXVIII SIC

paz no plural



Evento	Salão UFRGS 2016: SIC - XXVIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2016
Local	Campus do Vale - UFRGS
Título	Implementação e avaliação de uma arquitetura CGRA sem banco de registradores
Autor	LAURIEN SANTIN
Orientador	LUIGI CARRO

Implementação e avaliação de uma arquitetura CGRA sem banco de registradores

Autor: Laurien Santin

Orientador: Luigi Carro

Instituição: Universidade Federal do Rio Grande do Sul

Apesar do grande avanço que tivemos na eficiência e flexibilidade dos microprocessadores, sua performance ainda é inferior à de *Application Specific Integrated-Circuits* (ASICs). ASICs, contudo, deixam a desejar em termos de versatilidade, uma vez que são projetados para executar um número limitado de instruções. Nesse contexto, arquiteturas reconfiguráveis são importantes objetos de estudo devido à sua flexibilidade e desempenho comparável ao de ASICs. Mais especificamente, arquiteturas reconfiguráveis de grão grosso (CGRA) beneficiam-se do paralelismo ao nível de instrução (ILP) e de aplicações com uma quantidade significativa de *loops*.

CGRAs utilizam-se dos mesmos princípios de processadores *Very Long Instruction Word* (VLIW) para explorar o ILP em *loops*, com algumas diferenças. Eles usualmente provêm um número maior de elementos de processamento (PEs), por exemplo. Entretanto, a organização de um CGRA geralmente apresenta os registradores agrupados em um banco de registradores, que, devido ao elevado número de portas de leitura e escrita exigidas pela considerável quantidade de PEs, ocupa um espaço grande e torna-se caro. Além disso, o seu atraso, devido ao multiplexador em sua entrada, acaba tornando-o o gargalo da arquitetura.

Para solucionar esse problema, uma arquitetura sem banco de registradores, chamada Refree, foi pensada. Em vez disso, cada elemento de processamento possui dois registradores livres e é conectado a duas redes *crossbar*, que servirão para transferir dados entre os elementos de processamento. A ideia é remover o gargalo do banco de registradores e reduzir o alto custo que um banco de registradores teria. O atraso do banco é substituído pelo atraso da rede *crossbar*, o qual se espera que seja menor que o atraso na entrada do banco de registradores.

Uma implementação preliminar, porém incompleta, já existia. O trabalho realizado foi de implementar instruções que faltavam e efetuar algumas modificações necessárias. A partir daí, serão desenvolvidos *testbenchs* e uma ferramenta para automatizar a geração de código. Então, seu desempenho será avaliado e comparado ao da arquitetura MIPS.

Referências:

1. JOST, Tiago T. **RefreeMIPS** : A CGRA-based MIPS architecture. 2014. 51p. Trabalho de Conclusão de Curso. UFRGS, Porto Alegre.
2. TODMAN, T. J., et al. Reconfigurable computing: architectures and design methods. *IEEE Proceedings: Computers and digital techniques*. Vol. 152, No. 2, p. 193-207, March, 2005.
3. SUTTER, B.; RAGHAVAM, P., LAMBRECHTS, A.; Coarse-Grained Reconfigurable Array Architectures. In: _____. *Handbook of Signal Processing Systems*. Boston: Springer US, 2010. p. 449-484.