

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DANIEL ALVES FUSCO

**EFEITOS DA RADIAÇÃO IONIZANTE E EVENTOS
SINGULARES EM CIRCUITOS ANALÓGICOS DE BAIXO E
ULTRA BAIXO CONSUMO**

Porto Alegre

(2016)

DANIEL ALVES FUSCO

**EFEITOS DA RADIAÇÃO IONIZANTE E EVENTOS
SINGULARES EM CIRCUITOS ANALÓGICOS DE BAIXO E
ULTRA BAIXO CONSUMO**

Dissertação de mestrado apresentada
ao Programa de Pós-Graduação em Engenharia
Elétrica, da Universidade Federal do Rio Grande do
Sul, como parte dos requisitos para a obtenção do título
de Mestre em Engenharia Elétrica.

Área de concentração: Engenharia de
Computação.

ORIENTADOR: Prof. Dr. Tiago Roberto Balen

Porto Alegre

(2016)

DANIEL ALVES FUSCO

**EFEITOS DA RADIAÇÃO IONIZANTES E EVENTOS
SINGULARES EM CIRCUITOS ANALÓGICO DE BAIXO E
ULTRA BAIXO CONSUMO.**

Esta dissertação foi julgada adequada para a
obtenção do título de Mestre em Engenharia Elétrica e
aprovada em sua forma final pelo Orientador e pela
Banca Examinadora.

Orientador: _____

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Gilson Inácio Wirth

Doutor pela Universidade de Dortmund - Dortmund, Alemanha

Prof. Dr. Hamilton Duarte Klimach

Doutor pela Universidade Federal de Santa Catarina – Florianópolis, Brasil

Prof. Dr. Raphael Martins Brum

Doutor pela Universidade de Montpellier - Montpellier, França

Coordenador do PPGEE: _____

Prof. Dr. Luís Fernando Alves Pereira

Porto Alegre, Abril de 2016.

DEDICATÓRIA

Dedico este trabalho a minha família, em especial pela dedicação e apoio em todos os momentos difíceis.

AGRADECIMENTOS

Agradeço a empresa Datacom pela liberdade de horário e incentivo.

Agradeço ao meu orientador, Prof. Dr. Tiago Balen, pelo incentivo, orientação e pelas milhares de revisões que ele me ajudou a fazer no artigo e na dissertação.

Agradeço, novamente, a minha família em especial a minha esposa Erica pelo incentivo e apoio incondicional aos estudos.

RESUMO

Esse trabalho apresenta um estudo sobre os efeitos de radiação em circuitos analógicos de baixa e ultra baixa potência e tensão, identificando as fragilidades destes circuitos (e das respectivas técnicas de projeto) quando aplicados em ambientes radioativos, como, por exemplo, os circuitos em satélites, e em equipamentos de instalações nucleares. Foram realizados estudos de caso, via simulação elétrica utilizando o software HSPICE, considerando os efeitos de degradação elétrica correspondentes a doses de radiação acumulada de até 500krad(Si), além de eventos singulares considerando circuitos de baixa tensão e potência projetados para a tecnologia IBM (GF) de 130nm. Pôde-se observar que o uso de transistores de óxido mais fino, apesar de afetar negativamente o consumo estático, é recomendado para as aplicações estudadas, devido a menor sensibilidade à radiação. Ainda, foi discutido o aumento dos caminhos de fuga de corrente devido ao uso de layout distribuído. Possibilidades e estratégias de mitigação foram discutidas. Por fim, obteve-se um conjunto de sugestões e informações para auxiliar o projetista de circuitos de baixo consumo a obter soluções robustas à radiação.

Palavras-chave: Micro e Nano Eletrônica. Baixa Potência. Radiação Ionizante. Dose Total. Eventos Singulares.

ABSTRACT

This work studies the radiation effects in low-power and ultra-low power analog circuits, identifying the fragility of such circuits (and associated design techniques) when employed in radioactive environments, as for example, in satellites and nuclear facilities. Case studies were carried out using HSPICE software for electrical simulation of cumulative radiation effects, corresponding to doses up to 500krad(Si), as well as for single events simulation. We showed that, the use of thin oxide (core) MOSFETS, though increasing the static consumption, is recommended for the studied applications, because they are less sensitive to radiation. Then, we discussed the increase of current leakage paths by the distributed layout style. Mitigation strategies were also discussed. Finally, we obtained a set of suggestions and information to guide the designers of low power analog circuits towards obtaining radiation robust solutions.

Keywords: Microelectronics. Low power. Ionizing radiation. Total dose. Single Events.

SUMÁRIO

1	INTRODUÇÃO	14
2	EFEITOS DA RADIAÇÃO EM DISPOSITIVOS SEMICONDUTORES.....	17
2.1	EFEITOS DA DOSE TOTAL IONIZANTE	17
2.1.1	Alteração da tensão de limiar.....	17
2.1.2	Alteração da corrente de fuga.....	19
2.1.3	Diminuição da mobilidade dos portadores de carga	20
2.1.4	Curva de operação em subthreshold	21
2.1.5	Aumento do ruído característico.....	22
2.2	EFEITOS DE EVENTOS SINGULARES	23
2.2.1	SET – Single Event Transient	26
2.2.2	SEU – Single Event Upset	26
2.2.3	SEL – Single Event Latchup.....	26
3	TÉCNICAS DE PROJETO DE CIRCUITOS LOW POWER.....	28
3.1	CIRCUITOS ANALÓGICOS	28
3.1.1	Operação em Subthreshold– Inversão fraca.....	28
3.1.2	Bulk-driven	29
3.1.3	Self-Cascode	30
3.1.4	SUBBANDGAP.....	31
4	FRAGILIDADES DOS CIRCUITOS DE BAIXO CONSUMO À RADIAÇÃO.....	33
4.1	IMPACTO DEVIDO À BAIXA TENSÃO.....	33
4.2	IMPACTO DEVIDO À BAIXA CORRENTE	34
4.3	IMPACTO DEVIDO AO TIPO DE MOSFET EMPREGADO – I/O OU CORE.....	35
4.4	IMPACTO DEVIDO À MULTIPLICIDADE DE MOSFETS	36
5	SETUPS DE SIMULAÇÃO.....	38
5.1	SETUP DE SIMULAÇÃO DA DOSE TOTAL IONIZANTE.....	38
5.2	SETUP DE SIMULAÇÃO DE EVENTOS SINGULARES.....	40
5.3	EFEITOS DA RADIAÇÃO NOS MOSFETS – DADOS EXPERIMENTAIS	42
6	SIMULAÇÕES – ESTUDOS DE CASO – MITIGAÇÃO.....	43
6.1	REFERÊNCIA DE TENSÃO LOW POWER – CIR1 (COLOMBO, 2012).....	43
6.1.1	EFEITOS DE TID – CIR1 (COLOMBO, 2012).....	44
6.1.2	EFEITOS SET – CIR1 (COLOMBO, 2012).....	47
6.2	REFERÊNCIA DE TENSÃO ULTRA LOW POWER – CIR2 (MATTIA, KLIMACH E BAMPI, 2014).....	49
6.2.1	EFEITOS TID – CIR2 (MATTIA, KLIMACH E BAMPI, 2014)	50
6.2.2	EFEITOS SET – CIR2 (MATTIA, KLIMACH E BAMPI, 2014).....	52
6.3	AMPLIFICADOR OPERACIONAL LOW POWER – CIR3 (IDRIS, 2015)	53
6.3.1	EFEITOS TID – CIR3 (IDRIS, 2015).....	54
6.3.2	EFEITOS SET – CIR3 (IDRIS, 2015).....	56
6.4	AMPLIFICADOR OPERACIONAL ULTRA LOW POWER – CIR4 (FERREIRA E SONKUSALE, 2014) – ANÁLISE QUALITATIVA.....	58
7	CONCLUSÕES.....	62

REFERÊNCIAS.....	64
APÊNDICE: NETLISTS E ARQUIVOS DE SIMULAÇÃO UTILIZADOS NESTE	
TRABALHO	68
NETLIST DE CIR1 PARA HSPICE.....	69
NETLIST DE CIR2 PARA HSPICE.....	71
NETLIST DE CIR3 PARA HSPICE - CONFIGURAÇÃO NÃO-INVERSORA PARA	
MEDIDA DA THD.....	73
NETLIST DE CIR3 PARA HSPICE - CONFIGURAÇÃO PARA MEDIDA DO GANHO	
EM MALHA ABERTA E MARGEM DE FASE.....	75

LISTA DE ILUSTRAÇÕES

Figura 1 - Variação da tensão de limiar para MOSFETs 130nm de I/O canal N em relação à dose de radiação. Extraído de (GONELLA, 2007).....	18
Figura 2 - Cargas aprisionadas no óxido de campo. Extraído de (SCHWANK, 2008).	19
Figura 3 - ELT – Para evitar correntes de fuga. (GONELLA, 2007).....	20
Figura 4 - Demonstração da degradação da mobilidade em função das cargas presas na interface e no óxido. Adaptado de (GALLOWAY, GAITAN e RUSSELL, 1984).	21
Figura 5 - Medidas experimentais realizadas em MOSFET de I/O de tamanho mínimo – 130nm. Adaptado de (GONELLA, 2007).	22
Figura 6 - Coleta de pares elétron-lacuna devido à incidência de um íon pesado numa junção p-n reversamente polarizada. Extraído de (BAUMANN, 2005).	23
Figura 7 - Impulso de corrente gerado por eventos singulares na tecnologia 130nm. Extraído de (FERLET-CAVROIS, 2006).	24
Figura 8 Diferenças entre dados experimentais e simulados. Extraído de (MAVIS e EATON, 2007).	25
Figura 9 - Bipolares parasitas (a); circuito equivalente do SCR (b).....	27
Figura 10 - Região de operação de subthreshold. Extraída e modificada de (FONSTAD, 2009).	28
Figura 11 - Circuito básico de exemplo da técnica de bulk-driven. Extraída de (KHATEB, 2010).	29
Figura 12 - Estrutura cascode (a); e estrutura self-cascode (b). Adaptado de (DHANOA, PRAKASH e RAJPUT, 2009).	30
Figura 13 - Circuito básico simulado para demonstra os efeitos da variação da tensão de limiar em circuitos de baixa tensão.	33
Figura 14 - Circuito simulado (a); Efeito de evento singular para dois casos de polarização (b).....	35
Figura 15 - Fonte de tensão independente em série com o terminal de gate para simulação da alteração da tensão de limiar devido à radiação ionizante.....	38
Figura 16 - Circuito para simulação da fuga de corrente devido à radiação.	39
Figura 17 - Circuito utilizado para simular eventos singulares.	41
Figura 18 - Circuito da referência de tensão CIR1 (COLOMBO, 2012).	44
Figura 19 - Alteração na tensão de saída devido à dose acumulada no CIR1	45
Figura 20 - Alteração na tensão de saída devido à dose acumulada considerando M8 sendo um transistor ELT (CIR1).	47
Figura 21 - Resultado da simulação de evento singular no dreno de M11.....	47
Figura 22 - Resultado da simulação de evento singular no dreno de M3.....	48
Figura 23 - Resultado da simulação de evento singular no dreno de M10.....	48
Figura 24 - Resultado da simulação de evento singular no dreno de M10 com um capacitor MOS entre dreno e source	49
Figura 25 - Circuito da referência de tensão CIR2 (MATTIA, KLIMACH e BAMPI, 2014). ..	50

Figura 26 - Resultado da simulação de SET no M2 do CIR2. SET injetado em $t = 1\text{ms}$	52
Figura 27 - Resultado da simulação de SET no M2 do CIR2 com capacitor MOS entre dreno e source de M2. SET injetado em $t = 1\text{ms}$. Temperatura de operação igual a -40°C	53
Figura 28 - Circuito do amplificador operacional CIR3 (IDRIS, 2015).	54
Figura 29 - Resultado da simulação de SET em M5 do CIR3. SET injetado em $t = 1\text{ms}$	56
Figura 30 - Resultado da simulação de SET em M2 do CIR3. SET injetado em $t = 1\text{ms}$	57
Figura 31 - Resultado da simulação de SET em M5 do CIR3 com capacitor MOS entre dreno de M5 e V_{ss} . SET injetado em $t = 1\text{ms}$	57
Figura 32 - Resultado da simulação de SET em M2 do CIR3 com os terminais de bulk e source conectados. SET injetado em $t = 1\text{ms}$	58
Figura 33 - Exemplo de layout distribuído genérico onde aumenta a quantidade de interface para formação de canal parasita devido à radiação acumulada.	59
Figura 34 - Método de layout distribuído apresentado em CIR4 para aumento da impedância de saída. Figura adaptada de (FERREIRA e SONKUSALE, 2014).	60

LISTA DE TABELAS

Tabela 1 - Efeito da variação da tensão de limiar em relação à proximidade da polarização da região de subthreshold.	34
Tabela 2 - Dimensão mínima para MOSFETs 130nm para garantir estabilidade das características do circuito com o aumento da dose acumulada.	40
Tabela 3 – Dimensões dos MOSFETs do CIR1 (COLOMBO, 2012).	44
Tabela 4 - Fuga de corrente e alteração na tensão de limiar simulados para o circuito CIR1..	45
Tabela 5 - Resultados da simulação Monte Carlo para CIR1	46
Tabela 6 – Dimensões dos MOSFETs do CIR2 (MATTIA, KLIMACH e BAMPI, 2014).....	50
Tabela 7 - Fuga de corrente e alteração na tensão de limiar simulados para o CIR2.....	51
Tabela 8 – Dimensões dos MOSFETs do CIR3 (IDRIS, 2015).....	54
Tabela 9 - Fuga de corrente e alteração na tensão de limiar simulados para o CIR3.....	55

LISTA DE ABREVIATURAS

ΔV_{th} : Variação da Tensão de limiar

CTAT: Complementary to Absolute Temperature

ELT: Enclosed Layout Transistor

eV: Elétron-volt

I_d : Corrente entrando no terminal de dreno do MOSFET

I_{off} : Corrente entrando no terminal de dreno do MOSFET com V_{gs} igual a 0V

LET: Linear Energy Transfer

LOCOS: Local Oxidation of Silicon

PDK: Process Design Kit

PPGEE: Programa de Pós-Graduação em Engenharia Elétrica

PTAT: Proportional to Absolute Temperature

PWL: Piecewise Linear

Rad: Radiation Absorbed Dose

SCR: Silicon Controlled Rectifier

SEL: Single Event Latchup

SET: Single Event Transient

SEU: Single Event Upset

SOI: Silicon on Insulator

STI: Shallow Trench Isolation

TID: Total Ionizing Dose

TJB: Transistor de junção bipolar

Vgs: Tensão entre os terminais de gate e fonte do MOSFET

Vth: Tensão de limiar

1 INTRODUÇÃO

Os circuitos de baixo e ultra baixo consumo e tensão estão espalhados por diversas áreas de tecnologia, desde pequenos rádios e relógios até marca-passos (HADDAD, 2003; WONG, 2004) e satélites (MENGIBAR-POZO, 2013). A intenção principal deles é a diminuição do peso e o aumento da duração das baterias (MENGIBAR-POZO, 2013). Esse mesmo requisito é obrigatório em circuitos enviados para fora da atmosfera terrestre. Em satélites e nas longas missões espaciais, por exemplo, além da diminuição do peso - que facilita o lançamento e diminui o gasto de combustível - a redução do consumo - que aumenta a vida útil das baterias - e a tensão de operação reduzida - para funcionamento com células solares - os equipamentos necessitam suportar os efeitos da radiação ionizante acumulada e dos eventos singulares. Além dos satélites, os circuitos dos equipamentos em instalações como aceleradores de partículas, por exemplo, e usinas nucleares também necessitam apresentar robustez à radiação (NASR-STOREY, 2015).

Um circuito, para ser utilizado fora da atmosfera ou em ambientes onde podem sofrer efeitos da radiação (como usinas nucleares e laboratórios de pesquisa da área de física de partículas), precisa ser projetado, simulado e validado para tal uso, uma vez que a radiação afeta o desempenho dos dispositivos que compõe o circuito.

A dose acumulada altera características importantes dos transistores. O aumento da corrente de fuga é o efeito causado pela radiação que mais causa dano aos circuitos de baixa potência, além disso, observam-se variações de até centenas de milivolts na tensão de limiar (GONELLA, 2007; MCLEAN e OLDHAM, 1987) e queda na mobilidade dos portadores de carga (GALLOWAY, GAITAN e RUSSELL, 1984). Todos esses efeitos degradam a operação dos dispositivos tornando-os, em alguns casos, totalmente inoperantes.

Os eventos singulares simulados nesse trabalho mostram que, devido às baixas correntes nos dispositivos, os efeitos observados afetam o circuito por um tempo maior

quando comparados aos circuitos que apresentam maior corrente. Observou-se que os eventos singulares afetam mais o funcionamento do circuito quando ocorrem em pontos de baixa capacitância (BAUMANN, 2005) e que em vários desses casos, quando é um sinal estático, por exemplo, a adição de capacitores MOS diminuiu o efeito indesejado.

As técnicas de projeto de circuitos de baixa potência fragilizam os dispositivos em relação aos efeitos da radiação. A operação em subthreshold (FONSTAD, 2009), por exemplo, faz com que os circuitos operem com tensões menores que a tensão de limiar, trabalhando, desta forma, com tensões e correntes reduzidas. Isso faz com que pequenas variações na tensão de limiar e na fuga de corrente, devido à radiação, possam apresentar efeitos significativos para a operação do circuito.

Uma técnica de projeto para obter baixo consumo, observada nos estudos de caso deste trabalho, é a utilização de dispositivos de óxido mais espesso uma vez que, comumente, as tecnologias comerciais disponibilizam ao projetista a escolha destes diferentes tipos de transistores. Esse tipo de dispositivo apresenta fuga de corrente menor que os dispositivos de óxido mais fino, mas, em contrapartida, devido à espessura maior de óxido, apresentam uma maior variação tanto na fuga de corrente quanto na tensão de limiar do que os dispositivos de óxido mais fino, sob efeito de radiação (SCHWANK, 2008).

Com o objetivo de avançar o conhecimento sobre efeitos de radiação em circuitos analógicos de baixo consumo de energia, esse trabalho visa obter uma lista de cuidados e observações, para serem adotados, em tempo de projeto, em tal classe de circuitos. Para isso, simulações elétricas serão apresentadas salientando os pontos de fragilidade dos circuitos de baixo consumo, e discutindo possibilidades de mitigação.

Neste trabalho, alguns estudos de caso serão apresentados; as variações da tensão de limiar e fuga de corrente, obtidas de trabalhos relacionados, serão tabeladas, para cada caso, de acordo com a dimensão dos dispositivos empregados (GONELLA, 2007) e simulações

elétricas, utilizando o software HSPICE, serão realizadas. Para cada um dos casos simulados serão apresentadas as possíveis soluções para os efeitos observados.

O trabalho se divide da seguinte forma: capítulo 2 trata dos efeitos da radiação em dispositivos semicondutores de forma generalizada, o capítulo 3 apresenta técnicas de projeto de circuitos de baixo consumo, o capítulo 4 apresenta as fragilidades dos circuitos de baixo consumo à radiação, o capítulo 5 apresenta o método de simulação dos efeitos da radiação (dose total e eventos singulares), o capítulo 6 apresenta os resultados obtidos e mitigação dos estudos de caso. Por fim, o capítulo 7 apresenta as conclusões do trabalho.

2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS SEMICONDUTORES

2.1 EFEITOS DA DOSE TOTAL IONIZANTE

A Dose Total Ionizante, *Total Ionizing Dose* em inglês, ou apenas TID, é o efeito acumulativo da exposição do semicondutor à radiação ionizante. Ela é expressa pela relação entre a energia depositada, devido à radiação, por unidade de massa. A unidade de medida utilizada é o rad, *radiation absorbed dose* em inglês, sendo 1 rad definido como 100ergs de energia por grama do material, onde $1 \text{ erg} = 0,1\mu\text{J}$ (BALEN, 2010).

O efeito observado é a interação resultante entre as partículas ionizantes e os óxidos dos dispositivos. Essa interação gera o aprisionamento de cargas tanto na interface, entre o óxido e o silício (bulk), quanto no interior do óxido dos dispositivos, alterando o potencial necessário para a inversão do canal (SCHWANK, 2008). As principais características afetadas são a tensão de limiar (V_{th}), fuga de corrente, mobilidade dos portadores de carga, alteração da curva de operação em subthreshold e a característica de ruído do dispositivo. Apesar de ser um tema já bem explorado pela literatura disponível, a seguir, serão apresentadas resumidamente cada uma dessas características.

2.1.1 Alteração da tensão de limiar

As alterações na tensão de limiar, V_{th} , podem ser expressas como sendo a soma dos efeitos causados devido às cargas aprisionadas no óxido e as cargas aprisionadas na interface (MCLEAN e OLDHAM, 1987). Esse aprisionamento de cargas se comporta de forma diferente para os MOSFETs P e N. Para MOSFETs P tanto as cargas aprisionadas no óxido quanto as cargas aprisionadas na interface contribuem para aumentar a magnitude (ou módulo) da tensão de limiar, ou seja, dificultando a condução do MOSFET P. Para os MOSFETs N observa-se um resultado diferente. As cargas aprisionadas no óxido, que causam diminuição na tensão de limiar, tem o efeito dominante para pequenas doses de radiação. Esse

efeito é alterado para grandes doses de radiação quando as cargas aprisionadas na interface tornam-se dominantes em relação às do óxido (GONELLA, 2007). As cargas aprisionadas na interface para MOSFETs N causam aumento da tensão de limiar. Essa diferença de comportamento causa uma mudança de comportamento na curva da tensão limiar em relação à dose de radiação recebida pelo material. Um exemplo pode ser observado na Figura 1 (GONELLA, 2007), as curvas representam a variação da tensão de limiar de acordo com a dose acumulada no dispositivo. Por exemplo, o MOSFET N de 360nm/240nm (curva de cor preta) apresenta uma variação de -410mV na tensão de limiar para a dose de 3Mrad, ou seja, a tensão de limiar diminui 410mV tornando mais fácil colocar o MOSFET em condução. Já o MOSFET de 10µm/10µm mantém a tensão de limiar praticamente inalterada até 10Mrad.

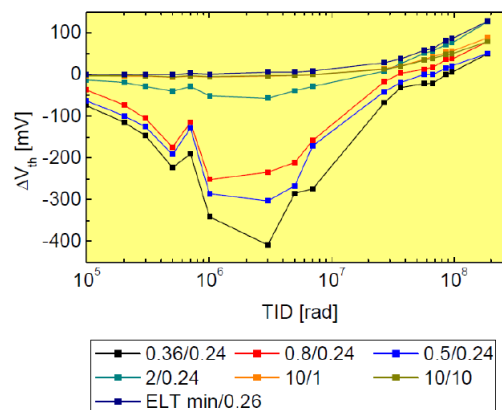


Figura 1 - Variação da tensão de limiar para MOSFETs 130nm de I/O canal N em relação à dose de radiação. Extraído de (GONELLA, 2007).

A taxa de acúmulo de carga depende dos parâmetros da tecnologia como a espessura do óxido e também depende do campo elétrico aplicado sobre o óxido. Um número significativo de pares elétron-lacuna gerados devido à radiação se recombinam em picossegundos (SCHWANK, 2008) e não degradam o desempenho do MOSFET. Os pares que não se recombinam rapidamente degradam o desempenho do MOSFET e podem ser calculados por (SCHWANK, 2008)

$$N_h = f(E_{ox}) \cdot g_0 \cdot D \cdot t_{ox} \quad (1)$$

Onde N_h é o número de lacunas, $f(E_{ox})$ representa a produção de lacunas como função do campo elétrico do óxido, g_0 depende do material e representa a carga inicialmente criada (para o SiO_2 $g_0 = 8.1 \times 10^{12}$ pairs $\times \text{cm}^{-3} \times \text{rad}^{-1}$ (MCLEAN e OLDHAM, 1987), D é a dose acumulada e t_{ox} é a espessura do óxido (em cm).

2.1.2 Alteração da corrente de fuga

O aumento da fuga de corrente se dá pelo aprisionamento de cargas nos óxidos de campo, desta forma gerando fuga de corrente entre os terminais de dreno e fonte de um MOSFET (intradvice) ou entre MOSFETs próximos (interdevices), através da indução de uma região de inversão no substrato do semiconductor (SCHWANK, 2008). As cargas induzidas pela radiação são varridas rapidamente por tunelamento em óxidos mais finos (SCHRIMPF, 2007), com isso a diminuição da espessura do óxido de campo, com o avanço dos nós tecnológicos, torna o MOSFET um pouco mais robusto à radiação. A Figura 2 apresenta o local do aprisionamento das cargas para um MOSFET com tecnologia de isolamento LOCOS, do inglês *Local Oxidation of Silicon*, e para STI, do inglês *Shallow Trench Isolation*, (utilizada na tecnologia 130nm que é o objeto de estudo deste trabalho).

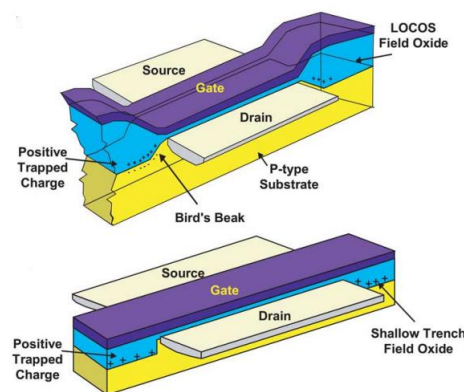


Figura 2 - Cargas aprisionadas no óxido de campo. Extraído de (SCHWANK, 2008).

Uma forma de mitigar o aumento da corrente de fuga em MOSFETs devido às cargas aprisionadas no óxido de campo é eliminar o caminho desta corrente. Na Figura 3 é apresentada a técnica para evitar o aumento de correntes de fuga nos MOSFETs utilizando uma abordagem de layout diferente da clássica. A abordagem chama-se ELT, do inglês, *Enclosed Layout Transistor*. Observa-se que não existe mais óxido de campo entre os terminais de dreno e fonte, o que diminui a fuga de corrente gerada pelo aprisionamento de cargas em um dispositivo operando sob radiação. Além disso, o anel de guarda p+, altamente dopado, interrompe possíveis caminhos de fuga de corrente entre dispositivos (GONELLA, 2007).

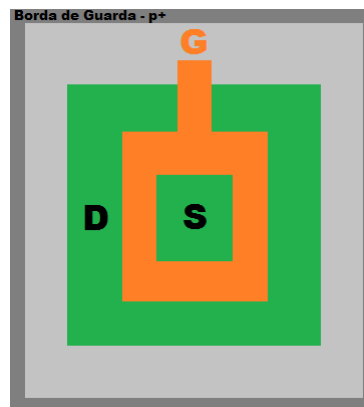


Figura 3 - ELT – Para evitar correntes de fuga. (GONELLA, 2007).

A utilização de ELTs elimina totalmente o problema do aumento da corrente de fuga, mas traz consigo, principalmente, dois grandes problemas: aumento expressivo da área e dificuldades no modelamento do dispositivo e na aplicação de técnicas de projeto para circuitos analógicos (ANELLI, 1999) (CARDOSO e BALEN, 2016).

2.1.3 Diminuição da mobilidade dos portadores de carga

A diminuição da mobilidade se dá principalmente pelo espalhamento Coulombiano devido às cargas presas na interface, embora estudos recentes demonstrem que as cargas

presas no óxido não podem ser totalmente negligenciadas (SCHRIMPF, 2007; UPAC, 1993; GALLOWAY, GAITAN e RUSSELL, 1984). Em (GALLOWAY, GAITAN e RUSSELL, 1984) são apresentados alguns resultados experimentais comparados aos valores calculados obtidos através de:

$$\mu = \frac{\mu_0}{1 + \alpha_{it}N_{it} + \alpha_{ot}N_{ot}} \quad (2)$$

Onde μ_0 é a mobilidade pré-radiação, α_{it} e α_{ot} são parâmetros que quantificam os efeitos das cargas presas na interface e no óxido respectivamente e N_{it} e N_{ot} representam a densidade de cargas presas na interface e no óxido respectivamente. A Figura 4 apresenta um exemplo de degradação da mobilidade devido à dose acumulada.

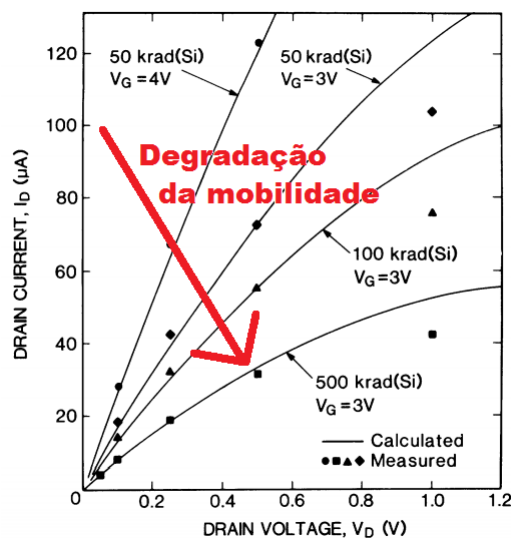


Figura 4 - Demonstração da degradação da mobilidade em função das cargas presas na interface e no óxido. Adaptado de (GALLOWAY, GAITAN e RUSSELL, 1984).

2.1.4 Curva de operação em subthreshold

A região de operação onde a tensão V_{gs} é menor que a tensão de limiar V_{th} é chamada de região de operação subthreshold. A corrente de subthreshold varia exponencialmente com o potencial de superfície (SCHRIMPF, 2007). O potencial de superfície, por sua vez, varia

inversamente com as cargas de interface e estas aumentam durante a irradiação. Com esse efeito o MOSFET pode chegar ao ponto de nem desligar mais, mantendo corrente entre o terminal de dreno e fonte constantemente, primeiramente aumentando o consumo e, com o aumento da dose, tornando o MOSFET não operacional. Na Figura 5 é possível ver o grande aumento da corrente I_d mesmo com $V_{gs} = 0V$ durante as medidas experimentais de (GONELLA, 2007) em um MOSFET de I/O de tamanho mínimo para a tecnologia 130nm.

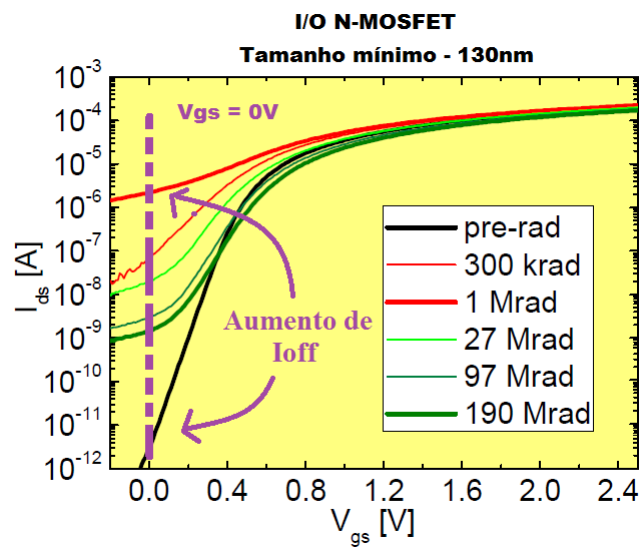


Figura 5 - Medidas experimentais realizadas em MOSFET de I/O de tamanho mínimo – 130nm. Adaptado de (GONELLA, 2007).

2.1.5 Aumento do ruído característico

O ruído característico do MOSFET é afetado pela radiação ionizante. O aumento do ruído $1/f$ ocorre devido ao aumento dos defeitos no óxido próximo ao semicondutor (associado ao processo de captura e emissão) (Meisenheimer e Fleetwood, 1990). Por esse assunto não ser o foco deste trabalho não nos aprofundaremos nas análises.

2.2 EFEITOS DE EVENTOS SINGULARES

Quando uma partícula de alta energia (prótons, nêutrons e íons pesados) se choca contra um determinado ponto de um circuito, são gerados pares elétron-lacuna através da ionização do material. Quando essa geração de pares elétron-lacuna ocorre próxima a uma junção PN reversamente polarizada ocorre a coleta dos elétrons e lacunas através do campo elétrico da junção, gerando, desta forma, um pulso de corrente. A Figura 6 ilustra o processo de ionização do material, criação dos pares elétron-lacuna e coleta de carga.

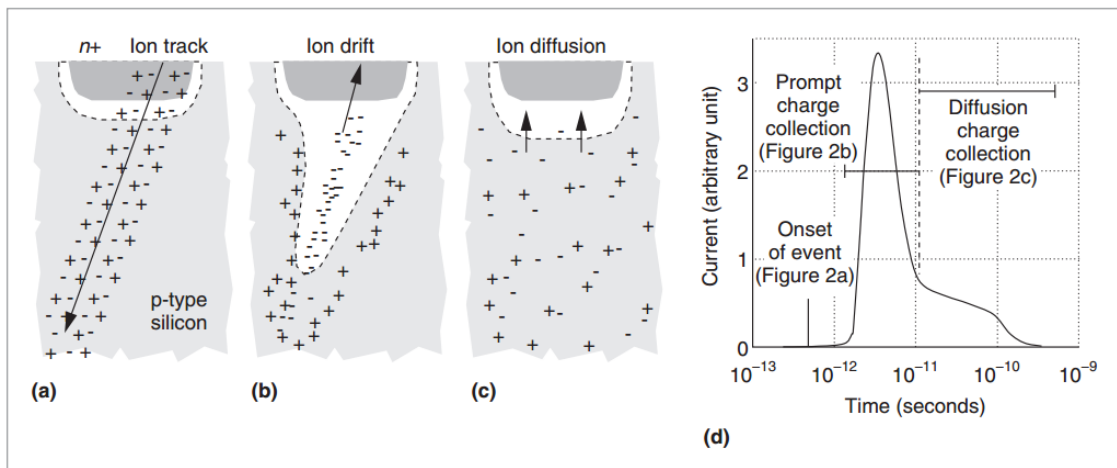


Figura 6 - Coleta de pares elétron-lacuna devido à incidência de um íon pesado numa junção p-n reversamente polarizada. Extraído de (BAUMANN, 2005).

No instante em que os pares elétron-lacuna se formam, de forma cilíndrica no trajeto no qual a partícula ionizante atravessou o material semiconductor, os elétrons e as lacunas são coletadas devido ao campo elétrico ao qual a junção está submetida, forçando os elétrons a irem para o material n+ e as lacunas para material p em um processo conhecido como corrente de deriva. Nota-se a deformação na região de depleção com alto campo elétrico. Após a região de depleção voltar ao normal, alguns elétrons e lacunas ainda estão dispersos no material e serão coletados lentamente num processo chamado de difusão, gerando a

corrente de difusão (BAUMANN, 2005). Na Figura 6(d) observa-se o formato resultante da corrente gerada na junção devido às correntes de deriva e de difusão.

A corrente gerada devido a eventos singulares pode ser modelada de acordo com (MESSENGER, 1982) como sendo uma dupla exponencial apresentada abaixo:

$$I(t) = I_0(e^{-t/\tau_1} - e^{-t/\tau_2}) \quad (3)$$

Onde temos I_0 representando o pico de corrente máximo e τ_1 e τ_2 sendo as constantes de tempo associadas à coleta da junção e ao tempo de estabelecimento do rastro de ionização, respectivamente.

Para a tecnologia 130nm o impulso de corrente gerado devido a eventos singulares foi experimentalmente observado para dispositivos SOI, do inglês *Silicon on Insulator*, por (FERLET-CAVROIS, 2006) e é representado na Figura 7.

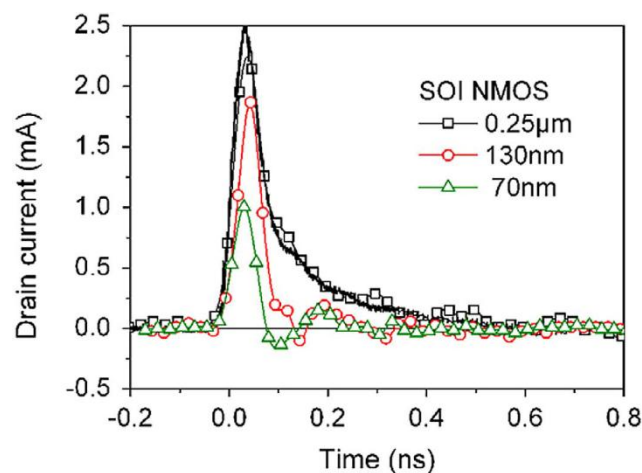


Figura 7 - Impulso de corrente gerado por eventos singulares na tecnologia 130nm. Extraído de (FERLET-CAVROIS, 2006).

Com essa caracterização, é possível simular os efeitos singulares nos circuitos utilizando a ferramenta de simulação HSPICE.

Apesar de estar caracterizada, essa forma de simulação de eventos singulares não é precisa (MAVIS e EATON, 2007). Foram comparados, em (MAVIS e EATON, 2007), as cargas injetadas no circuito por eventos experimentais e via simulação através da dupla exponencial mencionada acima e através de uma função PWL, do inglês *Piecewise Linear*, do HSPICE. Na Figura 8 são demonstradas as diferenças entre os dados experimentais e os simulados. O eixo y apresenta a largura, em picossegundos, do transiente causado devido ao evento singular, em função da LET, do inglês *Linear Energy Transfer*, da partícula ionizante que gerou o evento singular. Para efeitos de comparação entre soluções, a dupla exponencial é muito utilizada, mas para uma simulação mais precisa do real efeito físico dos eventos singulares é demonstrado em (MAVIS e EATON, 2007) que a simulação utilizando modelos 3D dos MOFESTs é mais precisa.

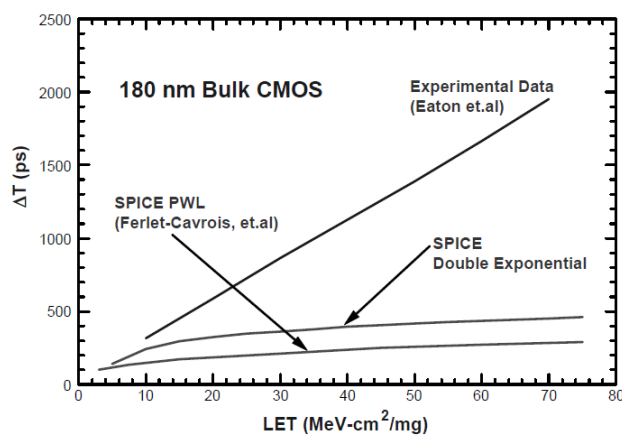


Figura 8 Diferenças entre dados experimentais e simulados. Extraído de (MAVIS e EATON, 2007).

Existem diversos tipos de eventos singulares dependendo de onde e como se apresentam no circuito. Aqui descreveremos, resumidamente, os três principais tipos.

2.2.1 SET – Single Event Transient

Quando um evento singular ocorre em um circuito analógico ou de lógica combinacional, sem capacidade de memória, é chamado de SET – Single Event Transient. O SET gera alterações temporárias no comportamento dos circuitos (MAURER, 2008). Uma referência de tensão, por exemplo, utilizada em um conversor analógico-digital, pode ter a tensão de saída momentaneamente alterada devido a um SET gerando uma conversão incorreta do valor analógico lido (MAURER, 2008). Outro exemplo seria a momentânea alteração da frequência de saída de um PLL devido à alteração da tensão de referência da entrada do VCO, do inglês *voltage-controlled oscillator*. O enfoque desse trabalho sobre os eventos singulares são os SETs e seus efeitos sobre os circuitos analógicos e como mitigá-los.

2.2.2 SEU – Single Event Upset

Os eventos singulares que ocorrem em circuitos digitais com retenção como, por exemplo, em memórias são chamados de SEU – Single Event Upset (MAURER, 2008). Existem memórias e sistemas que contam com ECCs, Códigos de Correção de Erros, para corrigir ou, ao menos, validar as informações gravadas na memória. Como este trabalho é mais focado nos circuitos analógicos, esse tema não será abordado detalhadamente.

2.2.3 SEL – Single Event Latchup

Os circuitos CMOS possuem a fragilidade de, dependendo da proximidade dos MOSFETs, formarem transistores bipolares parasitas conforme representado na Figura 9(a). Observa-se que se um evento singular atingir a região indicada na Figura 9(a) irá forçar o bipolar PNP-parasita a conduzir, colocando corrente na base do NPN-parasita e colocando-o em condução também. Após isso ocorrer, se estabelece um caminho de baixa impedância realimentado entre Vdd e Vss que só é possível eliminar retirando Vdd e Vss do circuito.

Nota-se aqui uma grande semelhança entre os bipolares parasitas do circuito CMOS e o circuito equivalente de um SCR, do inglês *Silicon Controlled Rectifier* - Retificador Controlado de Silício, Figura 9(b), que é um dispositivo muito utilizado em eletrônica de potência. Ele funciona da mesma forma que o circuito parasita, uma vez acionado, com um pulso no terminal de gatilho – G, só para de conduzir entre Anodo – A e Catodo – C se for retirada a alimentação entre Anodo e Catodo.

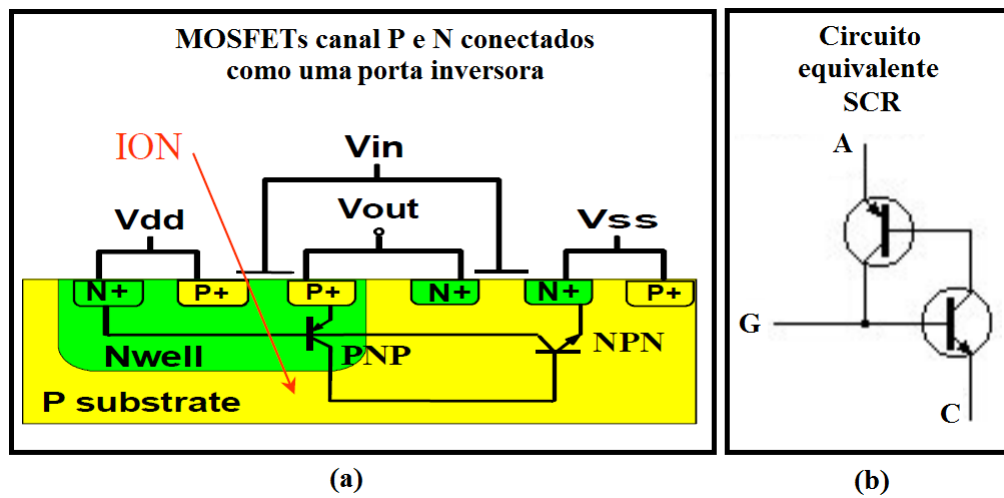


Figura 9 - Bipolares parasitas (a); circuito equivalente do SCR (b).

3 TÉCNICAS DE PROJETO DE CIRCUITOS LOW POWER

3.1 CIRCUITOS ANALÓGICOS

3.1.1 Operação em Subthreshold– Inversão fraca

Quando o MOSFET opera com tensão V_{gs} menor que a tensão de limiar V_{th} diz-se que está operando na região de sub-limiar ou, em inglês, *subthreshold*. Na Figura 10 é apresentada a curva de corrente $I_d \times V_{gs}$ indicando a região de operação. Como não existe a criação do canal na superfície do terminal de gate os elétrons vão do terminal de source para o terminal de dreno por difusão (FONSTAD, 2009).

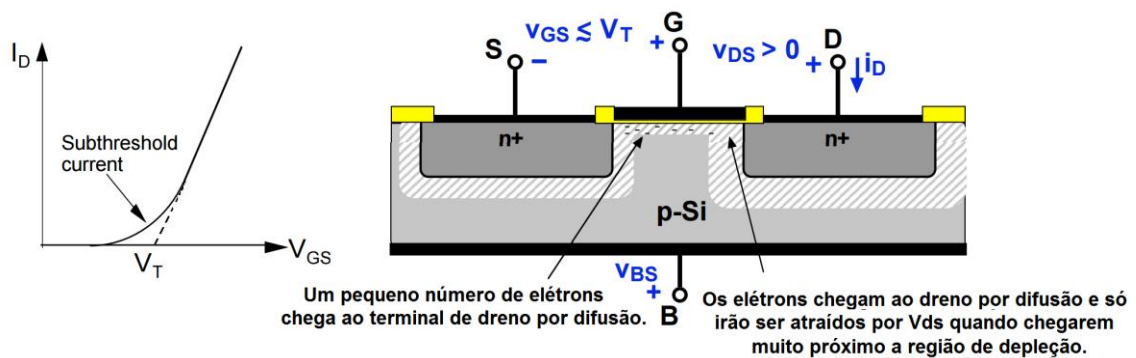


Figura 10 - Região de operação de subthreshold. Extraída e modificada de (FONSTAD, 2009).

Para circuitos digitais, a região de subthreshold é geralmente vista como uma região de fuga de corrente. Para os circuitos analógicos de baixa potência, esta é uma região de extrema importância, pois permite controlar pequenas correntes entre o terminal de dreno e source com uma tensão V_{gs} abaixo da tensão de limiar. Ainda, com o avanço dos nós tecnológicos, a tensão de limiar vem decaindo e, com isso, uma menor tensão no terminal de gate pode ser aplicada para controlar um MOSFET.

3.1.2 Bulk-driven

Uma das grandes limitações para projetar circuitos de baixa potência e tensão é a tensão de limiar. Utilizando a técnica de bulk-driven, é possível remover a tensão de limiar do caminho do sinal (BLALOCK, ALLEN e RINCON-MORA, 1998). A ideia principal dessa técnica é colocar uma tensão de polarização otimizada e fixa no terminal de gate do MOSFET e o sinal no terminal de bulk, conforme apresentado na Figura 11.

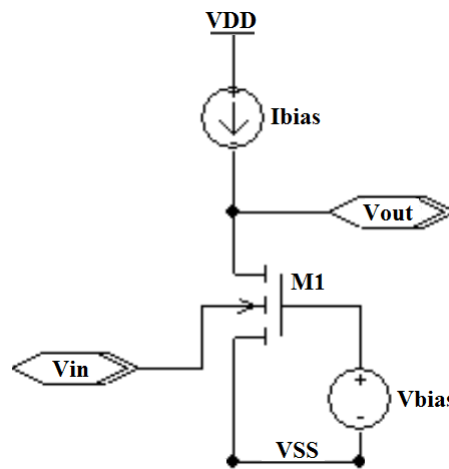


Figura 11 - Circuito básico de exemplo da técnica de bulk-driven. Extraída de (KHATEB, 2010).

Essa técnica é ideal para a criação de pares diferenciais em circuitos rail-to-rail além de possuir um g_{mb} (ganho do MOSFET operando como bulk-driven) mais linear e constante do que os pares diferenciais convencionais (gate-driven) (GORDON, 2003). Ainda, de acordo com (GORDON, 2003), existem três desvantagens principais no uso dessa técnica quando comparando com a técnica convencional de acionamento de MOSFETS – gate-driven:

- Ganho do MOSFET reduzido: $g_{mb} = \eta g_m$
- Largura de banda reduzida: $f_{t(bulk-driven)} = \frac{\eta}{3.8} f_{t(gate-driven)}$
- Maior figura de ruído devido à $g_{mb} < g_m$: $Noise_{(bulk-driven)} = \frac{Noise_{(gate-driven)}}{\eta^2}$

Sendo $\eta = 0,2 \dots 0,4$;

Com isso, ainda temos um possível aumento da área principalmente devido à diminuição do ganho que obriga o aumento de $\frac{W}{L}$.

3.1.3 Self-Cascode

Devido aos avanços tecnológicos, a dimensão dos MOSFETs tem diminuído muito com o passar dos anos. Com a diminuição do canal dos MOSFETs, o dispositivo já não consegue obter alta impedância de saída reduzindo o ganho intrínseco do dispositivo (DHANOA, PRAKASH e RAJPUT, 2009). Para o projeto de circuitos convencionais, o uso de estruturas cascode, mostradas na Figura 12(a), soluciona o problema da diminuição da impedância de saída e do ganho, mas, para circuitos que operam com baixa tensão de alimentação, a estrutura cascode regular diminui a excursão máxima da tensão de saída. A topologia self-cascode, Figura 12(b), consegue obter altas impedâncias e ganhos e possui as mesmas restrições de tensão de um MOSFET único (DHANOA, PRAKASH e RAJPUT, 2009).

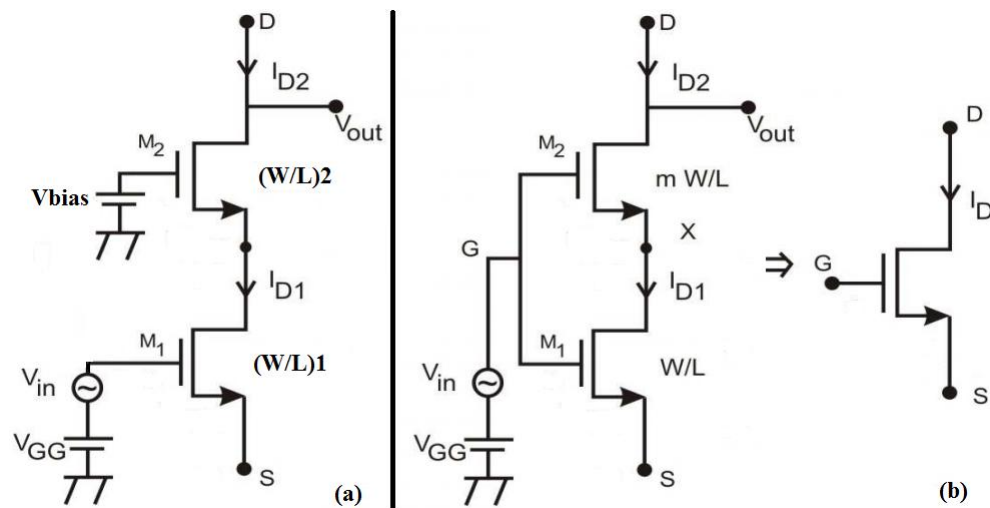


Figura 12 - Estrutura cascode (a); e estrutura self-cascode (b). Adaptado de (DHANOA, PRAKASH e RAJPUT, 2009).

Na estrutura self-cascode escolhe-se $m \gg 1$ fazendo M1 operar na região linear e M2 em saturação ou na região linear. A tensão V_{ds_M1} é tão pequena que o circuito praticamente opera como se fosse apenas um MOSFET. É utilizada em circuitos de baixa tensão de alimentação pois apresenta impedância de saída similar a configuração cascode mas diminui a excursão de saída em apenas V_{ds_M2} e não em $V_{ds_M1} + V_{ds_M2}$ como a estrutura cascode. Em (DOYLE, 2004) são demonstradas outras características da topologia self-cascode.

3.1.4 Subbandgap

Um das características mais importantes das referências de tensão é a estabilidade em relação à variação da temperatura. Tal estabilidade pode ser obtida associando-se circuitos com coeficientes térmicos opostos, buscando zerar o coeficiente térmico resultante do circuito. Aos circuitos que apresentam coeficiente térmico negativo dá-se o nome de circuito CTAT, do inglês, *Complementary to Absolute Temperature*, e aos circuitos que apresentam coeficiente térmico positivo dá-se o nome de circuito PTAT, do inglês, *Proportional to Absolute Temperature*.

As referências de tensão bandgap se baseiam no fato de junções pn diretamente polarizadas apresentarem tensões com coeficiente térmico negativo conhecido, aproximadamente $-2\text{mV}/^\circ\text{C}$ (ALENN, 2001) formando o circuito com comportamento CTAT. Ainda, em junções pn, temos a tensão devido à agitação térmica do material, V_t , que rege as correntes na junção e possui coeficiente térmico positivo de $0,085\text{mV}/^\circ\text{C}$ (ALENN, 2001) formando o circuito com comportamento PTAT. Unindo estes dois comportamentos com coeficientes multiplicadores adequados pode-se projetar circuitos com coeficiente térmico teórico próximo de $0\text{V}/^\circ\text{C}$.

As tecnologias modernas requerem operação abaixo de 1,25V, mas circuitos de referência bandgap utilizando tensões abaixo de 1,5V são difíceis de estabilizar (DOYLE, 2004). Ainda, de acordo com (DOYLE, 2004), diversos circuitos foram propostos para solucionar esse problema, mas todos utilizam técnicas especiais que não fazem parte da tecnologia CMOS padrão como, por exemplo, DTMOST (do inglês *Diode-Connected Dynamic Threshold MOSFET*) e BiCMOS (combinação das tecnologias Bipolar com CMOS), o que encarece o custo de fabricação. Em (DOYLE, 2004) e (BECKER-GOMEZ, VISWANATHAN T. L. e VISWANATHAN T. R., 2008) são apresentadas referências de tensão sub-bandgap utilizando a tecnologia padrão CMOS. Referências de tensão subbandgap são aquelas que conseguem estabilizar a tensão de saída, independentemente da tensão de alimentação e da variação da temperatura, abaixo da tensão de bandgap do Silício.

4 FRAGILIDADES DOS CIRCUITOS DE BAIXO CONSUMO À RADIAÇÃO

As técnicas de projeto utilizadas em circuitos de baixo consumo impactam na robustez do circuito em relação à radiação. Serão descritas nesse capítulo as fragilidades observadas para cada técnica de projeto e seus possíveis efeitos no desempenho dos circuitos.

4.1 IMPACTO DEVIDO À BAIXA TENSÃO

Os circuitos de baixa tensão são mais impactados com os efeitos da dose total do que os circuitos com polarização normal devido ao fato de operarem com baixas tensões de V_{gs} e V_{ds} . Segundo (GONELLA, 2007), pode-se ver uma alteração de aproximadamente 400mV na tensão de threshold para MOSFETs canal N 130nm (Figura 1) para uma dose de 3 Mrad. Comparando essa alteração na tensão de threshold com as tensões de polarização dos circuitos de baixa tensão, observa-se que corresponderá a um percentual maior do que para os circuitos de polarização normal. Com isso, o efeito em circuitos de baixa tensão será maior. Para exemplificar, foi simulado o circuito da Figura 13 para mostrar o efeito do desvio da tensão de threshold em circuitos de baixa tensão quando comparados aos de polarização normal. Na Tabela 1 pode ser vista a comparação realizada, demonstrando um efeito significativamente maior nos circuitos de baixa tensão. A fonte de tensão V_{ds} é igual a 1,8V para todos os casos e V_{gs} e ΔV_{th} variam conforme a Tabela 1.

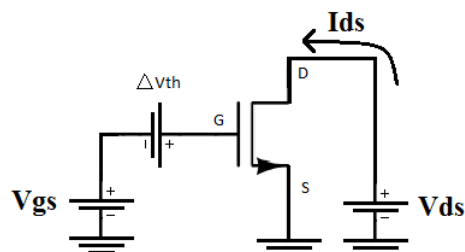


Figura 13 - Circuito básico simulado para demonstra os efeitos da variação da tensão de limiar em circuitos de baixa tensão.

Observa-se um incremento da corrente I_{ds} muito maior para a variação ΔV_{th} quando V_{gs} se aproxima da tensão de limiar do MOSFET.

Tabela 1 - Efeito da variação da tensão de limiar em relação à proximidade da polarização da região de subthreshold.

W/L (μ)	V_{gs} (V)	ΔV_{th} (V)	I_d (μ A)	
(10/10)	1,5	0	105,3	
(10/10)	1,5	0,2	147,1	↗ +40%
(10/10)	0,5	0	0,886	
(10/10)	0,5	0,2	6,95	↗ +785%
(10/5)	1,5	0	206,5	
(10/5)	1,5	0,2	286,4	↗ +40%
(10/5)	0,5	0	1,7	
(10/5)	0,5	0,2	13,76	↗ +810%

4.2 IMPACTO DEVIDO À BAIXA CORRENTE

Os circuitos de baixo consumo são mais afetados do que os circuitos regulares devido às baixas correntes observadas nos seus componentes. Devido à baixa corrente, uma variação na corrente de I_{off} ou ainda variações na corrente de fuga dos MOSFETs afetam proporcionalmente mais os circuitos de baixo consumo. A corrente total desse tipo de circuito é da ordem de nA até μ A, podendo ser da mesma ordem de grandeza das correntes de fuga, dependendo do tamanho do MOSFET e da dose de radiação sobre o dispositivo (GONELLA, 2007). Além dos efeitos de TID (corrente de fuga), as baixas correntes de polarização dos circuitos podem gerar maiores efeitos para eventos singulares quando comparados com circuitos de consumo normal. Considerando que eventos singulares podem ser interpretados como uma rápida descarga da carga acumulada nas capacitâncias parasitas dos nós, com isso alterando a tensão do nó, quanto menor for a corrente do transistor que, após o evento, restaura a carga do nó, mais lenta será a recuperação da tensão do nó afetado. Na Figura 14 é demonstrado o efeito de um evento singular em um circuito simplificado de referência de tensão com duas tensões de alimentação. Com isso, temos duas correntes diferentes de

polarização. Na Figura 14(a) é apresentado o circuito, que foi simulado durante o desenvolvimento desse estudo, de uma referência de tensão simples e em 14(b) é apresentado o efeito do evento singular (pior caso considerado para evento singular na tecnologia de 130nm experimentalmente observado) para as duas tensões de polarização. Observa-se um aumento significativo do tempo de recuperação do circuito após a aplicação do evento em 100ns. Para a tensão de 0,8V, o circuito levou, aproximadamente, o triplo do tempo para estabilizar a tensão de saída.

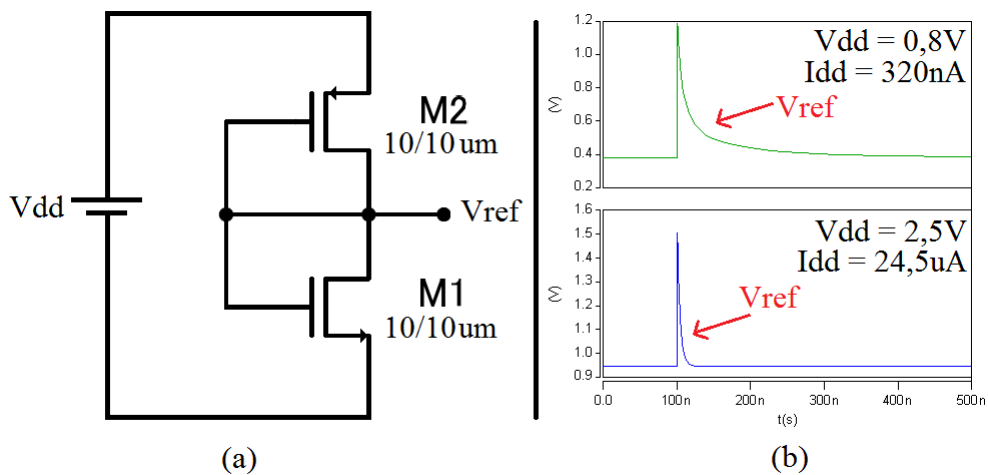


Figura 14 - Circuito simulado (a); Efeito de evento singular para dois casos de polarização (b).

4.3 IMPACTO DEVIDO AO TIPO DE MOSFET EMPREGADO – I/O OU CORE

Em 130nm, por exemplo, diferentes tipos de MOSFETs podem ser escolhidos para o projeto dependendo da necessidade. Em 130nm existem diversos tipos de MOSFETs, mas eles podem ser divididos em duas grandes famílias, os MOSFETs de I/O com espessura de óxido de porta igual a 5,2nm e tensão de operação até 2V5/3V3 e os MOSFETs de Core com espessura de óxido de porta igual a 2,2nm e tensão de operação até 1V2/1V5.

Os circuitos de (COLOMBO, 2012; MATTIA, KLIMACH e BAMPI, 2014) foram projetados com MOSFET de I/O. Comparados aos MOSFETs de Core, os de I/O possuem

corrente I_{off} entre 25 e 30 vezes menor (IBM) e essa característica afeta toda a curva $I_{ds} \times V_{gs}$ desde $V_{gs} = 0V$ até o transistor entrar em saturação. Essa vantagem do MOSFET de I/O para projetos de baixo consumo só é verdadeira para ambientes livres de radiação. Em (GONELLA, 2007), é demonstrado que os MOSFETs de Core apresentam menores alterações na fuga de corrente conforme a dose de radiação ionizante aumenta sobre o dispositivo. Isso se deve ao fato de o MOSFET de Core possuir uma espessura de óxido de porta menor que a espessura do óxido de porta dos MOSFETs de I/O (IBM, 2003; SCHRIMPF, 2007), e que as correntes de fuga em MOSFETs se dão basicamente devido às cargas aprisionadas no óxido de porta (corrente de fuga do dispositivo) e no óxido de campo (corrente de fuga entre dispositivos) (SCHWANK, 2008). Essa característica dos MOSFETs de I/O e Core sugere a existência de um compromisso entre consumo estático do circuito e desempenho em ambientes radioativos.

4.4 IMPACTO DEVIDO À MULTIPLICIDADE DE MOSFETs

Uma das técnicas mais utilizadas para solucionar os problemas de processo na fabricação de circuitos integrados é executar o layout do circuito de forma distribuída e simétrica fazendo com que dois MOSFETs que devem ter características muito semelhantes estejam, no layout, divididos em partes menores e entrelaçados (KLIMACH, 2016). Essa técnica minimiza diversos problemas decorrentes da variabilidade do processo, tais como as variações da dopagem em determinados pontos do silício e as variações da espessura de óxido ao longo do *wafers* e ainda minimiza as capacitâncias parasitas em MOSFETs de grandes dimensões. O layout distribuído é utilizado em todos os tipos de circuito, não somente em circuitos de baixo consumo. Em (GONELLA, 2007), pode-se observar que a fuga de corrente devido à radiação depende predominantemente do comprimento do canal do MOSFET e

conforme apresentado na Figura 2 o efeito ocorre nas duas interfaces do canal com o óxido de campo, ou seja, apesar de o layout distribuído melhorar e corrigir os problemas do processo de fabricação, este gera diversas interfaces canal-óxido de campo sem variar o comprimento do canal do MOSFET original o que, conseqüentemente, gera diversos pontos de fuga de corrente sendo, cada um, da mesma intensidade da fuga de corrente de um único MOSFET com W grande. Dessa forma, temos um compromisso entre robustez contra variabilidade de projeto e desempenho em ambientes radioativos que pode ser minimizado com a escolha correta da dimensão dos dispositivos.

5 SETUPS DE SIMULAÇÃO

As simulações de TID e SET foram realizadas no nível elétrico utilizando o software HSPICE e o PDK (Process Design Kit) 130nm da IBM. Todos os circuitos foram simulados em temperatura ambiente e nos extremos de suas respectivas faixas de temperatura de operação, mas serão apresentadas abaixo apenas as simulações relevantes. Todas as simulações de TID foram realizadas para até 500krad(Si), pois de acordo com (MAURER, 2008) essa dose pode ser acumulada em satélites durante todo o seu período de utilização.

5.1 SETUP DE SIMULAÇÃO DA DOSE TOTAL IONIZANTE

Em trabalhos prévios a esse, é possível encontrar as alterações na tensão de limiar e na fuga de corrente para doses conhecidas de radiação relacionadas ao nó tecnológico sob estudo. Neste trabalho esses valores foram obtidos de (GONELLA, 2007) e para cada circuito simulado foram tabeladas as alterações de acordo com a dose.

As alterações na tensão de limiar foram simuladas de duas formas diferentes, apenas para facilitar as simulações, pois para os estudos de caso simulados elas foram equivalentes. A primeira forma utilizada altera diretamente o parâmetro V_{TH0} nos arquivos de parâmetros do PDK conforme os valores obtidos em (GONELLA, 2007) para cada valor de dose que se deseja simular. A segunda forma, apresentada na Figura 15, insere o valor obtido em (GONELLA, 2007) como uma fonte de tensão independente em série com o terminal de gate do MOSFET.

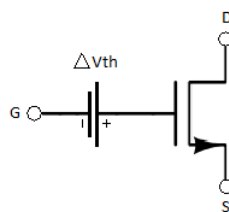


Figura 15 - Fonte de tensão independente em série com o terminal de gate para simulação da alteração da tensão de limiar devido à radiação ionizante.

A fuga de corrente foi simulada, conforme descrito em (PANIZ, 2010), adicionando uma fonte de corrente independente em paralelo com os terminais de dreno e fonte do MOSFET. Assim como para as alterações na tensão de limiar, as alterações da fuga de corrente, conforme a dose acumulada no material, foram obtidas a partir dos dados experimentais apresentados em (GONELLA, 2007). A Figura 16 apresenta o circuito equivalente do método descrito em (PANIZ, 2010) para simulação da fuga de corrente devido à dose acumulada de radiação ionizante.

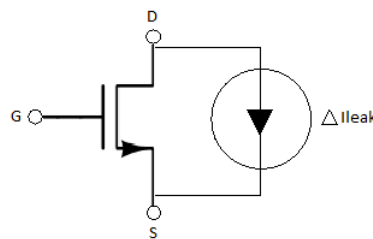


Figura 16 - Circuito para simulação da fuga de corrente devido à radiação.

Este método apresenta a fragilidade de não variar a corrente de fuga de acordo com a tensão entre os terminais de dreno e fonte, com isso, esse método de simulação de TID pode levar a resultados inválidos de acordo com as características do circuito simulado.

Nas simulações, os efeitos da radiação foram simulados em todos os MOSFETs ao mesmo tempo, dose por dose. Os efeitos foram simulados individualmente apenas para descobrir qual MOSFET é o maior ofensor do desempenho dos circuitos.

Os efeitos da dose total, conforme comentado, foram obtidos a partir de (GONELLA, 2007) e variam conforme a dimensão do dispositivo. Para MOSFETs de canal longo, a fuga de corrente sofre menor variação devido à radiação (GONELLA, 2007), assim como para MOSFETs de comprimento longo a tensão de limiar sofre menor variação devido à radiação (GONELLA, 2007).

Para as doses normalmente acumuladas durante o período de utilização de satélites, que dependendo da órbita e da vida útil pode chegar a 500krad(Si) (MAURER, 2008), as

dimensões ideais dos MOSFETs para projeto de circuitos analógicos são apresentadas na Tabela 2. Considerando os valores apresentados na Tabela 2, como mínimos para o projeto, tem-se um projeto mais robusto contra os efeitos da radiação para a tecnologia 130nm (não o de menor consumo, mas sim o que menos irá variar suas características com o aumento da dose acumulada), desconsiderando o uso de dispositivos ELT. Para os MOSFETs canal N, o uso de ELT é altamente recomendado para obter a menor influência da radiação nas características do circuito, já que MOSFETs canal P sofrem menor influência da radiação naturalmente (GONELLA, 2007). A Tabela 2 pode ser vista como uma síntese dos dados experimentais de (GONELLA, 2007), elaborada de forma a apresentar as dimensões mínimas de projeto para reduzir os efeitos da radiação ionizante.

Tabela 2 - Dimensão mínima para MOSFETs 130nm para garantir estabilidade das características do circuito com o aumento da dose acumulada.

MOSFET	Tipo	Dimensão W/L (um)
I/O	Canal P	2/0,24
	Canal N	10/10
Core	Canal P	0,8/0,12
	Canal N	10/10

5.2 SETUP DE SIMULAÇÃO DE EVENTOS SINGULARES

Os efeitos de eventos singulares foram simulados utilizando uma fonte de corrente gerando um impulso de corrente, conforme o modelo de dupla exponencial proposto por (MESSENGER, 1982). A fonte é conectada entre os terminais de dreno e bulk dos transistores. Efeitos singulares em todas as junções PN reversamente polarizadas dos circuitos em estudo foram simuladas conforme sugerido por (LANOT & BALEN, 2014). A Figura 17 apresenta o circuito utilizado para a simulação de eventos singulares em transistores NMOS

(nos projetos simulados, em geral, o terminal de bulk está conectado no terminal de fonte, caso contrário estará especificado no texto).

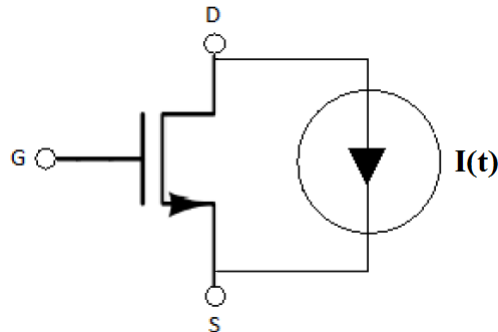


Figura 17 - Circuito utilizado para simular eventos singulares.

O modelo de dupla exponencial desenvolvido por (MESSENGER, 1982) nos dá um método analítico para simular os efeitos de partículas ionizantes se chocando contra o silício (LANOT e BALEN, 2014). O pulso de corrente é modelado da seguinte maneira.

$$I(t) = I_0(e^{-t/\tau_1} - e^{-t/\tau_2}) \quad (4)$$

Onde I_0 é o pico do pulso de corrente devido à colisão da partícula, τ_1 é a constante do tempo de coleta da junção e τ_2 é a constante de tempo para estabelecimento do rastro de ionização dentro do semicondutor (MESSENGER, 1982).

Em (FERLET-CAVROIS, 2006) foram obtidos dados experimentais para os pulsos de corrente, o pior caso obtido para uma tecnologia de 130nm foi $\tau_2 = 5\text{ps}$ e $\tau_1 = 100\text{ps}$ e estes serão os valores utilizados nesse trabalho. Resultados experimentais com íons pesados para a tecnologia 130nm mostraram que o pulso de corrente originado devido a eventos singulares tem 700ps de largura no pior caso (NARASIMHAM, 2007) e pico de corrente de 2mA (FERLET-CAVROIS, 2006). Esses parâmetros são dependentes da energia transferida para o silício durante o processo de ionização, conhecido como Linear Energy Transfer (LET). Nos testes mencionados, a LET para os quais os parâmetros do pulso de corrente foram medidos, varia de 15MeV.cm²/mg até 100MeV.cm²/mg. Esses valores de LET são adequados para

reproduzir os efeitos da interação real de um íon pesado contra o silício que poderia ocorrer no espaço, por exemplo. Com estes valores para os parâmetros do pulso transiente, simula-se uma carga depositada, por evento, de aproximadamente 190fC.

5.3 EFEITOS DA RADIAÇÃO NOS MOSFETS – DADOS EXPERIMENTAIS

Os dados experimentais, apresentados em (GONELLA, 2007) e utilizados neste trabalho, foram obtidos através de testes realizados em MOSFETs comerciais da tecnologia 130nm. Foram levantadas as variações na tensão de limiar e na fuga de corrente, de acordo com a dose acumulada e o tamanho dos MOSFETs, para dispositivos de I/O e Core. Foram comparados 3 fabricantes diferentes, onde foi observado que, qualitativamente, os efeitos são semelhantes. Nessa mesma comparação também foi observado que, quantitativamente, os efeitos se diferem entre fabricantes, ou seja, para uma análise mais precisa, dos efeitos da radiação no desempenho dos circuitos, é preciso ter exatamente os dados do fabricante que será utilizado.

6 SIMULAÇÕES: ESTUDOS DE CASO

Foram simulados, utilizando o Software HSPICE, circuitos de baixa e ultra baixa potência como, por exemplo, referências de tensão e amplificadores operacionais que utilizam diferentes métodos de projeto, buscando o melhor desempenho e menor consumo. O objetivo é chegar a uma lista de parâmetros para auxiliar o projetista de circuitos analógicos de baixo consumo, em tempo de projeto, a obter um circuito que apresente baixa sensibilidade à radiação ionizante, tanto à TID quanto a SETs. Todos os circuitos foram simulados considerando os desvios paramétricos de V_{th} e leakage correspondentes a uma dose de até 500krad(Si), para simular o ambiente das longas missões espaciais (MAURER, 2008), nos limites de temperatura de operação, além da temperatura ambiente.

6.1 REFERÊNCIA DE TENSÃO LOW POWER – CIR1 (COLOMBO, 2012)

O circuito apresentado em (COLOMBO, 2012) trata-se de uma referência de tensão baseada numa tensão bandgap que utiliza a técnica Self-Cascode como circuito PTAT (além do resistor) já que a estrutura bandgap é CTAT naturalmente. Ainda, a estrutura bandgap é feita sem a utilização de TJBs, Transistor de junção bipolar, utilizando um MOSFET canal P, como diodo polarizado diretamente. A tensão de saída do circuito é 1,473V com coeficiente térmico de 25,3 ppm/°C. O consumo estático do circuito é de 62,5 μ W e foi projetado com MOSFETs de I/O para minimizar a fuga de corrente. A desvantagem é que os MOSFETs de I/O são mais suscetíveis à radiação ionizante devido ao óxido de porta ser mais espesso (IBM, 2003), (SCHWANK, 2008), como já mencionado. A Figura 18 apresenta o esquemático do circuito em questão (COLOMBO, 2012), onde V_{dd} é igual a 2,5V. O circuito foi simulado para temperaturas de -40°C, 25°C e 85°C, mas, como não apresentou diferenças relevantes, serão apresentados os resultados para 25°C apenas.

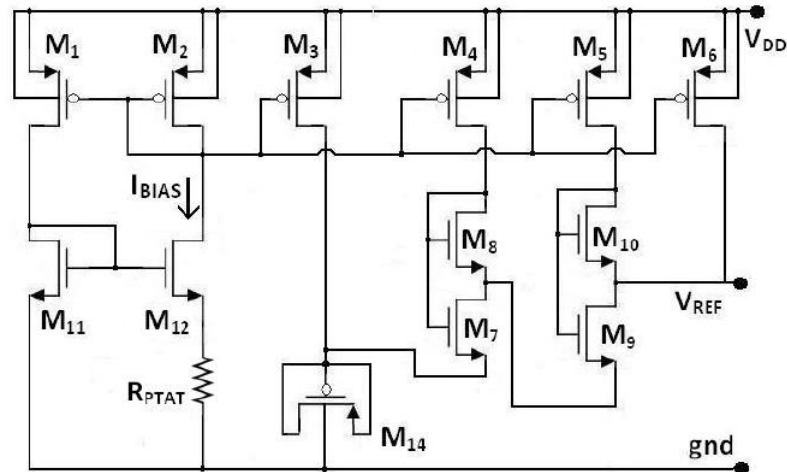


Figura 18 - Circuito da referência de tensão CIR1 (COLOMBO, 2012).

A Tabela 3 apresenta as dimensões dos MOSFETs do projeto de (COLOMBO, 2012).

Tabela 3 – Dimensões dos MOSFETs do CIR1 (COLOMBO, 2012).

MOSFET	M1	M2	M3	M4	M5	M6
W (um)	1,25	1,25	1,25	1,25	1,25	1,25
L (um)	2	2	2	2	2	2
Multiplicidade	4	4	4	2	100	150
MOSFET	M7	M8	M9	M10	M11	M12
W (um)	1	2	1	1	3	3
L (um)	0,25	0,25	0,25	0,25	8	8
Multiplicidade	4	262	1	155	2	4

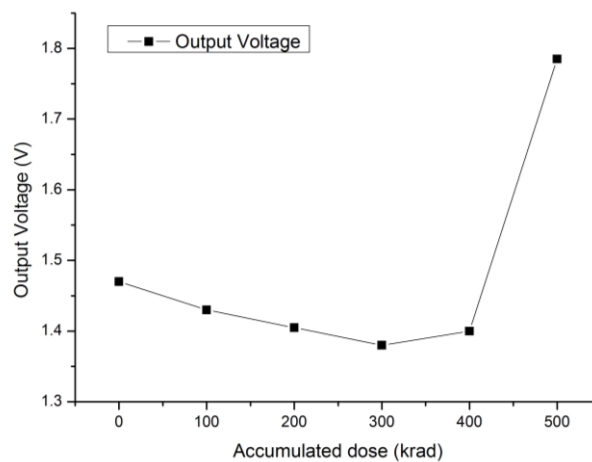
6.1.1 Efeitos de TID – CIR1 (COLOMBO, 2012)

A partir dos dados experimentais de (GONELLA, 2007), é possível tabelar os efeitos na tensão de limiar e na corrente de fuga dos MOSFETs, de acordo com as dimensões destes, devido à dose acumulada, considerando ainda que foram utilizados MOSFETs de I/O. Na Tabela 4, é apresentada a variação na tensão de limiar e o aumento da corrente de fuga dos transistores de acordo com suas dimensões (GONELLA, 2007). Para os transistores de canal P, as alterações na tensão de limiar e na corrente de fuga são negligenciáveis (GONELLA, 2007).

Tabela 4 - Fuga de corrente e alteração na tensão de limiar simulados para o circuito CIR1.

	Dose (rad)				
	100k	200k	300k	400k	500k
M7	-20mV	-25mV	-30mV	-40mV	-45mV
	1nA	10nA	60nA	200nA	300nA
M8,	0V	0V	0V	0V	0V
M10	1nA	10nA	60nA	200nA	300nA
M9	-25mV	-50mV	-75mV	-100mV	-125mV
	0,2nA	10nA	60nA	200nA	300nA
M11,	0V	0V	0V	0V	0V
M12	3pA	20pA	200pA	600pA	2nA

A Figura 19 mostra a variação da tensão de saída do circuito de acordo com a dose acumulada simulada. A referência de tensão CIR1 apresenta quatro MOSFETs de canal curto, M7-M10, que são os responsáveis pela alteração na tensão de saída. Analisando individualmente, M8 é o maior responsável pela alteração na tensão de saída observada na Figura 19. O transistor M8 é o primeiro MOSFET dos quatro que formam, em série, o circuito PTAT. Devido a isso, para o circuito CIR1 (COLOMBO, 2012), duas soluções são possíveis: alterar M8 para um MOSFET ELT ou reprojeter o circuito alterando os transistores M7-M10 para canal longo, pois, como já mencionado, os efeitos de TID são menos severos para transistores de canal mais longos (GONELLA, 2007).

**Figura 19 - Alteração na tensão de saída devido à dose acumulada no CIR1.**

Foi realizada uma simulação Monte Carlo de variações do processo para cada dose simulada, com 1000 interações cada, chegando aos resultados obtidos na Tabela 5. Foi selecionada a opção de simulação que representa a mais completa variação estatística do processo e que melhor representa as variações de processo, simulando uma produção de longo prazo, conforme descrito na documentação do PDK da tecnologia de 130nm da IBM. A variação observada entre 400krad e 500krad (Figura 19) não é observada quando simulando o circuito considerando M8 sendo ELT, ou seja, variação de tensão de limiar e fuga de corrente devido à radiação em M8 desprezíveis.

Tabela 5 - Resultados da simulação Monte Carlo para CIR1

krad	Vout (V)					
	Média	Variância	Desvio padrão	Máximo	Mínimo	Coefficiente de Variação
0	1,474	285,4631u	13,4m	1,531	1,412	0,0091
100	1,433	287,1874u	13,4m	1,489	1,371	0,0094
200	1,407	287,2782u	13,4m	1,463	1,345	0,0095
300	1,387	280,2986u	13,3m	1,443	1,326	0,0096
400	1,401	189,4437u	10,9m	1,451	1,351	0,0078
500	1,787	932,8762u	24,2m	1,891	1,683	0,0135

Na Figura 20 foi simulado o CIR1 considerando M8 como sendo um transistor ELT para efeito de comparação. Com isso tanto a fuga de corrente quanto a tensão de limiar de M8 não se alteram para doses acumuladas até 500krad (GONELLA, 2007). Observa-se que a tensão de saída do circuito variou 50% menos considerando M8 um MOSFET ELT em relação à simulação original. Conforme a aplicação do circuito, mesmo com M8 sendo ELT, a variação da tensão de saída poderia não ser adequada. Outras alterações em M7, M9 e M10 podem ser realizadas buscando minimizar ainda mais a variação da tensão de saída, aumentando a robustez do circuito à radiação. Com a troca de M8 para ELT o aumento da variância e do desvio padrão (Tabela 5) para a simulação de 500krad não foi mais observada.

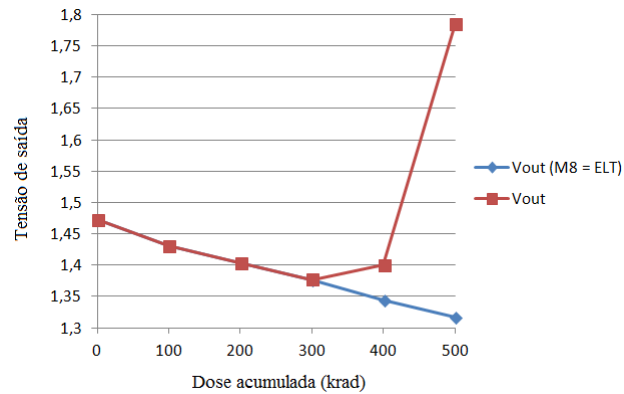


Figura 20 - Alteração na tensão de saída devido à dose acumulada considerando M8 sendo um transistor ELT (CIR1).

6.1.2 Efeitos de SET – CIR1 (COLOMBO, 2012)

Os efeitos de eventos singulares foram simulados em todas as junções PN reversamente polarizadas do circuito. Os resultados mais significativos, conforme esperado, foram observados nos nós de menor capacitância do circuito que são os drenos de M3 e M7-M10. O desvio de tensão é menor quando o evento singular é simulado no dreno de M11, por exemplo. As Figuras 20 até 22 apresentam os resultados da simulação de um evento singular nos drenos de M11, M3 e M10 respectivamente. As figuras ainda mostram o efeito no consumo de corrente instantâneo durante o evento singular.

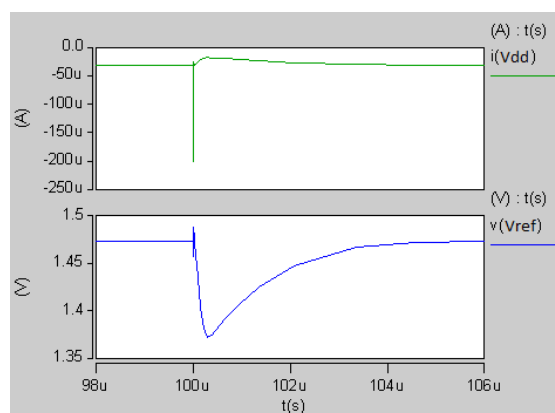


Figura 21 - Resultado da simulação de evento singular no dreno de M11.

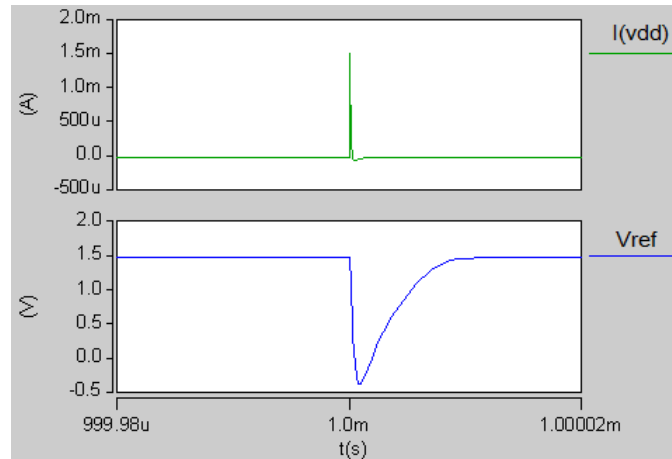


Figura 22 - Resultado da simulação de evento singular no dreno de M3.

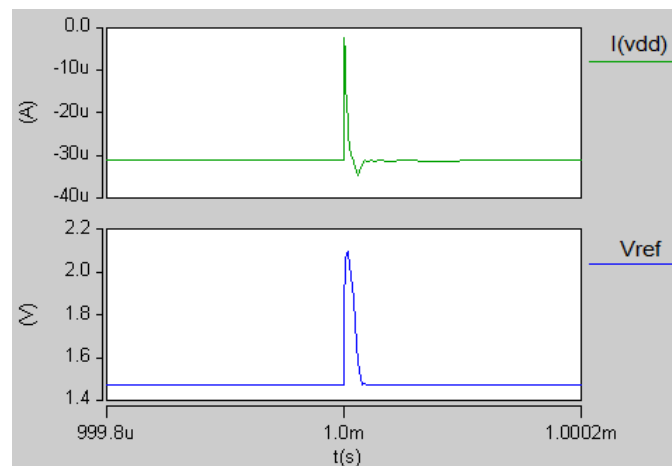


Figura 23 - Resultado da simulação de evento singular no dreno de M10.

A Figura 24 mostra a mitigação do problema ao conectar um capacitor MOS ao dreno de M10. O capacitor MOS utilizado na simulação tem $W = L = 100\mu\text{m}$. Valores intermediários de queda de tensão podem ser obtidos com valores menores de capacitância, pois se altera a carga crítica do nó, alterando a probabilidade de SET no circuito. Antes da utilização do capacitor, a tensão de saída variou 42% durante o evento singular. Com o uso do capacitor, a tensão variou menos de 1%.

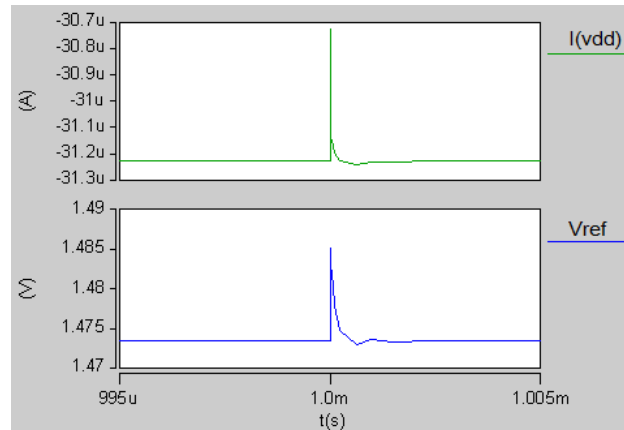


Figura 24 - Resultado da simulação de evento singular no dreno de M10 com um capacitor MOS entre dreno e source

6.2 REFERÊNCIA DE TENSÃO ULTRA LOW POWER – CIR2 (MATTIA, KLIMACH & BAMPI, 2014)

O circuito apresentado em (MATTIA, KLIMACH & BAMPI, 2014) é uma referência de tensão de ultra baixo consumo, consumindo 40nW e operando com tensão de alimentação de 1,2V. O circuito opera de -40°C até 125°C tendo coeficiente térmico igual a 2,3ppm/°C. A tensão de saída do circuito é 625mV. A Figura 25 apresenta o circuito CIR2 (MATTIA, KLIMACH & BAMPI, 2014) que se baseia em um extrator de tensão de limiar (comportamento CTAT) e utiliza a topologia Self-Cascode (comportamento PTAT) para ajustar os parâmetros buscando zerar o coeficiente térmico do circuito. Assim como a referência de tensão CIR1 (COLOMBO, 2012), CIR2 (MATTIA, KLIMACH & BAMPI, 2014) foi projetado utilizando MOSFETs de I/O, mas não utiliza outros componentes no projeto, apenas MOSFETs, melhorando desta forma o coeficiente térmico (KITAGAWA 2016).

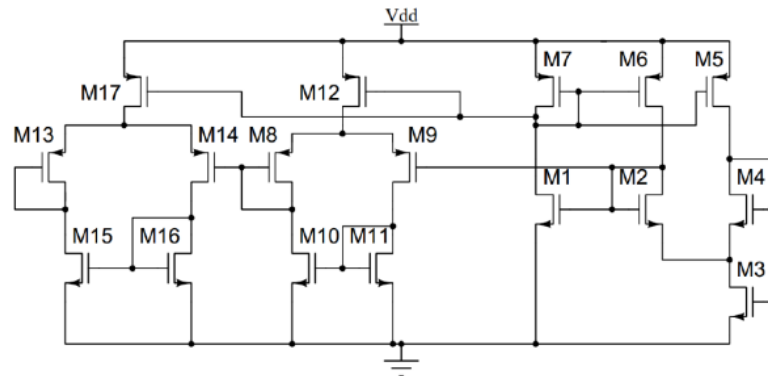


Figura 25 - Circuito da referência de tensão CIR2 (MATTIA, KLIMACH e BAMPI, 2014).

A Tabela 6 apresenta as dimensões dos MOSFETs do projeto de (MATTIA, KLIMACH e BAMPI, 2014).

Tabela 6 – Dimensões dos MOSFETs do CIR2 (MATTIA, KLIMACH e BAMPI, 2014).

MOSFET	M1	M2	M3	M4	M5	M6
W (um)	1	1	1	1,1	10	10
L (um)	30	30	50	50	15	15
Multiplicidade	1	1	2	6	1	1
MOSFET	M7	M8	M9	M10	M11	M12
W (um)	10	5	5	1	1	10
L (um)	15	10	8,4	10	10	10
Multiplicidade	6	2	1	1	4	1
MOSFET	M13	M14	M15	M16	M17	
W (um)	5	5	1	1	10	
L (um)	10	8,4	10	10	10	
Multiplicidade	2	1	1	4	1	

6.2.1 Efeitos TID – CIR2 (MATTIA, KLIMACH e BAMPI, 2014)

A partir dos dados experimentais de (GONELLA, 2007) é possível tabular os efeitos na tensão de limiar e da fuga de corrente nos MOSFETs, devido a radiação, de acordo com a dimensão deles, considerando ainda que foram utilizados MOSFETs de I/O. Na Tabela 7 é apresentada a variação na tensão de limiar e o aumento da corrente de fuga dos transistores de

acordo com sua dimensão (GONELLA, 2007). Para os transistores de canal P as alterações na tensão de limiar e na corrente de fuga são negligenciáveis (GONELLA, 2007).

Tabela 7 - Fuga de corrente e alteração na tensão de limiar simulados para o CIR2.

	Dose (rad)				
	100k	200k	300k	400k	500k
M1, M2,	-25mV	-50mV	-75mV	-100mV	-125mV
M10, M15	2pA	10pA	20pA	70pA	200pA
M3	-15mV	-25mV	-30mV	-40mV	-45mV
	2pA	10pA	20pA	70pA	200pA
M4, M11,	0V	0V	0V	0V	0V
M16	2pA	10pA	20pA	70pA	200pA

Para a simulação em -40°C , os resultados foram inválidos para todas as doses de radiação simuladas, de 100krad até 500krad. A tensão de saída do circuito ficou negativa devido à fonte independente de corrente adicionada em cada MOSFET para simular a fuga de corrente. Quando a tensão no terminal de dreno dos MOSFETs chega a 0V a fuga de corrente deveria ser zero, mas isso não ocorre devido a não correlação entre a fuga de corrente e a tensão no terminal de dreno no método de simulação utilizado. Com isso, a tensão torna-se negativa, pois a fuga de corrente não cessa.

Para as simulações realizadas em $+25^{\circ}\text{C}$ e em $+125^{\circ}\text{C}$ o circuito apresentou queda de 50% na tensão de saída para a dose de 100krad. As simulações realizadas para as doses maiores que 100krad tiveram resultados inválidos (tensão de saída negativa).

Com os resultados expostos acima, conclui-se que o CIR2 (MATTIA, KLIMACH & BAMPI, 2014) não é capaz de operar em ambientes radioativos. O principal efeito observado foi a fuga de corrente, induzida devido à radiação, que é grande o suficiente para levar o circuito a um ponto de operação inválido. Circuitos de ultra baixa potência projetados com MOSFETs de I/O serão drasticamente afetados por TID devido a grande variação na fuga de

corrente que alcança níveis da ordem da corrente nominal do circuito. O aumento da vulnerabilidade dos circuitos projetados com MOSFETs de I/O (quando comparados com MOSFETs de Core) ocorre devido ao aumento da espessura do óxido dos MOSFETs de I/O que incrementa o efeito do aprisionamento de cargas.

6.2.2 Efeitos SET – CIR2 (MATTIA, KLIMACH e BAMPI, 2014)

Os efeitos dos eventos singulares foram simulados em todas as junções PN reversamente polarizadas. A junção mais sensível foi o dreno-bulk do transistor M2 (nó de baixa capacitância para GND). A Figura 26 apresenta o resultado da simulação de eventos singulares em M2 do circuito CIR2 (MATTIA, KLIMACH e BAMPI, 2014) para três temperaturas de operação. O pior caso é observado em -40°C onde, em condições normais de operação (pré-rad), a corrente total de operação do circuito decaiu aproximadamente 50%.

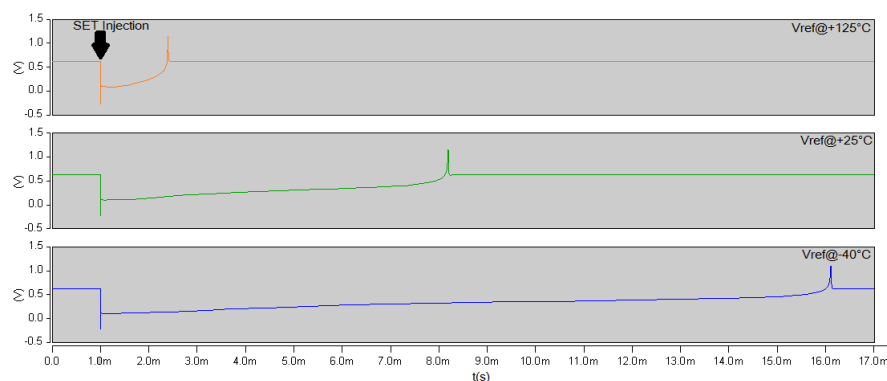


Figura 26 - Resultado da simulação de SET no M2 do CIR2. SET injetado em $t = 1\text{ms}$.

A diminuição da corrente dos nós do circuito operando em -40°C fez a tensão de saída levar mais tempo para estabilizar, pois, com uma corrente menor, mais demorada é a recuperação da carga retirada do nó pelo evento singular.

Para mitigar o efeito apresentado na Figura 26, um capacitor MOS ($W=L=100\mu\text{m}$) foi adicionado entre dreno e source de M2. A Figura 27 apresenta o resultado do mesmo evento

singular que gerou o resultado apresentado na Figura 26, mas com o capacitor adicionado no circuito.

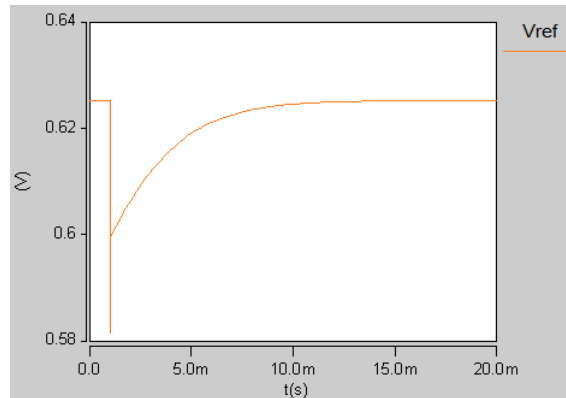


Figura 27 - Resultado da simulação de SET no M2 do CIR2 com capacitor MOS entre dreno e source de M2. SET injetado em $t = 1$ ms. Temperatura de operação igual a -40°C .

O erro máximo na tensão de saída durante a instabilidade foi menor que 6,9%. Obviamente o capacitor utilizado é grande; os requisitos do projeto irão ditar qual o erro máximo aceitável e com isso qual o tamanho do capacitor a ser escolhido.

6.3 AMPLIFICADOR OPERACIONAL LOW POWER – CIR3 (IDRIS, 2015)

O circuito apresentado em (IDRIS, 2015) é um amplificador operacional simples com corrente de polarização gerada por circuito NMOS, e um par diferencial de entrada sendo gate-driven. É um amplificador operacional Miller com consumo aproximado de 400uW e alimentação simétrica de 1V8 projetado para uma tecnologia de 130nm. Este circuito difere dos outros considerados de baixa potência e tensão por possuir alimentação simétrica, mas foi considerado aqui para demonstração do aumento da robustez à radiação devido ao aumento da corrente dos dispositivos. A margem de fase é de aproximadamente 60° e o ganho próximo a

70dB. A Figura 27 apresenta o circuito do amplificador operacional apresentado em (IDRIS, 2015).

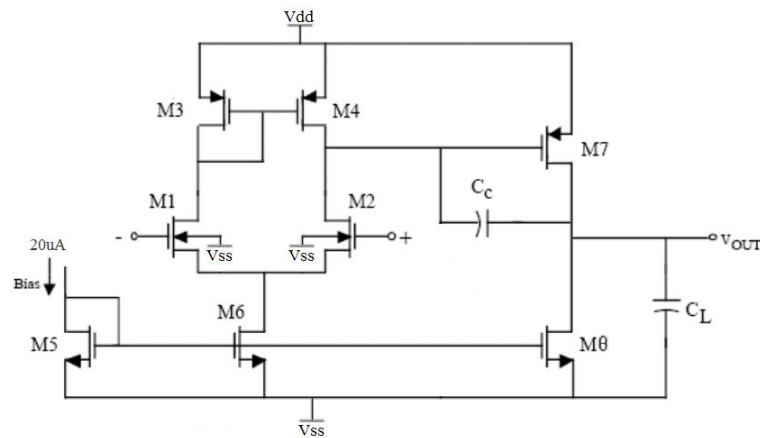


Figura 28 - Circuito do amplificador operacional CIR3 (IDRIS, 2015).

A Tabela 8 apresenta as dimensões dos MOSFETs do projeto de (IDRIS, 2015).

Tabela 8 – Dimensões dos MOSFETs do CIR3 (IDRIS, 2015).

MOSFET	M1	M2	M3	M4	M5	M6
W (um)	2,5	2,5	1,5	1,5	13,5	13,5
L (um)	0,5	0,5	0,5	0,5	0,5	0,5
Multiplicidade	1	1	1	1	1	1
MOSFET	M7	M8				
W (um)	30	100				
L (um)	0,5	0,5				
Multiplicidade	1	1				

6.3.1 Efeitos TID – CIR3 (IDRIS, 2015)

A partir dos dados experimentais de (GONELLA, 2007) é possível tabelar os efeitos na tensão de limiar e da fuga de corrente nos MOSFETs de acordo com a dimensão deles devido à dose acumulada, considerando ainda que foram utilizados MOSFETs de I/O. Na Tabela 9 é apresentada a variação na tensão de limiar e o aumento da fuga de corrente dos transistores de acordo com sua dimensão (GONELLA, 2007). Para os transistores de canal P as alterações na fuga de corrente são negligenciáveis (GONELLA, 2007).

Tabela 9 - Fuga de corrente e alteração na tensão de limiar simulados para o CIR3.

	Dose (rad)				
	100k	200k	300k	400k	500k
M1, M2	-10mV	-15mV	-20mV	-25mV	-30mV
	30pA	1nA	3nA	10nA	30nA
M3,	+5mV	+5mV	+5mV	+5mV	+5mV
M4, M7	0A	0A	0A	0A	0A
M5, M6	-1mV	-1mV	-1mV	-2mV	-4mV
	30pA	1nA	3nA	10nA	30nA
M8	0V	0V	0V	0V	0V
	30pA	1nA	3nA	10nA	30nA

Os efeitos sobre a margem de fase são negligenciáveis para as simulações até 500krad (Si). O ganho em malha aberta é 2,26dB menor em 500krad comparado aos resultados obtidos em simulações sem radiação. Esse efeito pode ser considerado desprezível, considerando a utilização em malha fechada e ganho finito para a maioria das aplicações. A THD (*Total Harmonic Distortion*, em inglês) foi verificada para uma frequência de entrada de 100kHz em uma configuração com malha fechada não-inversora, com ganho de tensão igual a 20, onde não foram obtidas alterações expressivas entre as simulações com e sem efeitos da radiação acumulada. Foram realizadas simulações Monte Carlo (1000 iterações) onde não foram observadas alterações significativas dos resultados obtidos quando comparando as simulações com e sem efeitos da radiação.

Nos circuitos simulados neste trabalho, o aumento da fuga de corrente é o efeito mais significativo para as distorções observadas. Comparando a fuga de corrente (Tabela 9) com a corrente dos dispositivos do CIR3, observa-se que a fuga de corrente é pelo menos 300 vezes menor que as correntes nominais dos circuitos, por isso, a distorção observada nas simulações é pequena e não prejudicial para quase a totalidade das aplicações do amplificador operacional projetado em (IDRIS, 2015). O projeto é robusto para aplicações até 500krad (Si), mesmo utilizando MOSFETs de I/O, devido a ter as correntes dos nós na ordem das dezenas de uA e por utilizar o L mínimo dos transistores igual a 500nm (GONELLA, 2007).

6.3.2 Efeitos de SET – CIR3 (IDRIS, 2015)

Os efeitos dos eventos singulares foram simulados em todas as junções PN reversamente polarizadas. As junções mais sensíveis foram o dreno-bulk do M5 e dreno-bulk de M2. O efeito acentuado no sinal de saída na simulação de SET em M5 ocorre devido a corrente de polarização (20uA) ser direcionada para VSS, zerando a tensão de BIAS do circuito, desta forma, forçando o espelho de corrente formado entre M5 e M6 a parar de funcionar durante o evento, deixando o par diferencial de entrada sem a corrente de polarização. Ainda, o efeito na tensão de saída na simulação de SET em M2 deve-se ao SET colocar em condução direta o transistor M7, baixando a tensão do terminal de Gate. As Figuras 29 e 30 apresentam os resultados da simulação de SET em M5 e M2 respectivamente. A simulação de SET foi executada com um sinal de entrada de frequência igual 100kHz em uma configuração não-inversora com ganho de tensão igual a 20.

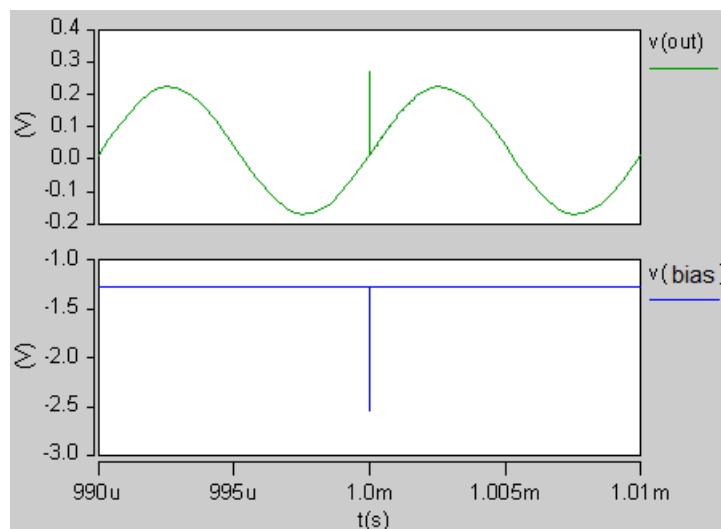


Figura 29 - Resultado da simulação de SET em M5 do CIR3. SET injetado em $t = 1\text{ms}$.

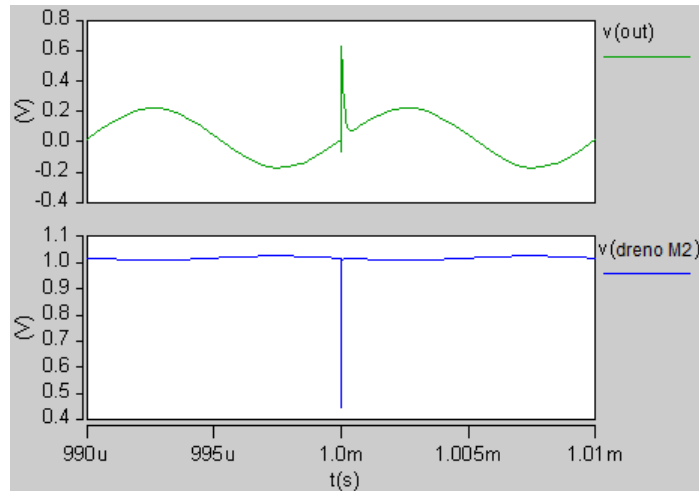


Figura 30 - Resultado da simulação de SET em M2 do CIR3. SET injetado em $t = 1\text{ms}$.

O efeito de SET em M5 pode ser mitigado, conforme apresentado nas simulações anteriores, com o uso de um capacitor MOS no dreno de M5 por ser um sinal estático de polarização, que não está no caminho do sinal. O resultado do efeito de SET na junção dreno-bulk de M5 com o capacitor MOS (100um/100um) é apresentado na Figura 31. Observa-se que o sinal de saída $V(\text{out})$, amplificado 20 vezes em relação ao de entrada $V(\text{in}_p)$, não sofre alteração devido ao evento singular em M5 e que a tensão de polarização $V_{(\text{Vd}_M5)}$ se altera aproximadamente 1mV apenas. A alteração máxima permitida na tensão de saída, que satisfaz os requisitos do sistema, vai ditar a dimensão do capacitor MOS necessário.

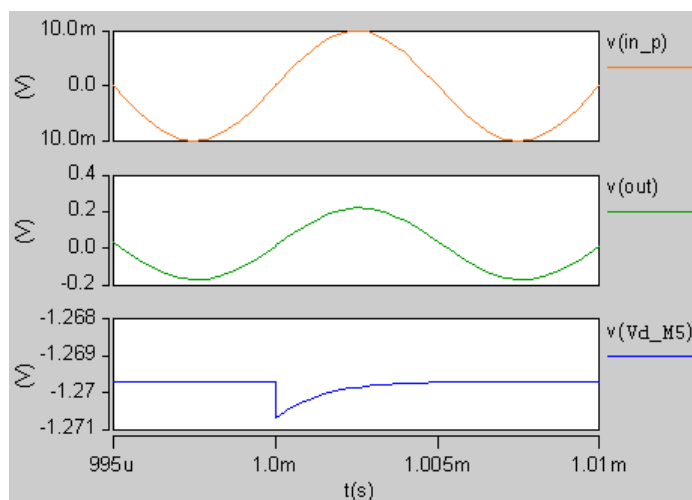


Figura 31 - Resultado da simulação de SET em M5 do CIR3 com capacitor MOS entre dreno de M5 e V_{ss} . SET injetado em $t = 1\text{ms}$.

O efeito do evento singular em M2 não pode ser mitigado com o uso de capacitor MOS, pois o dreno de M2 faz parte do caminho do sinal. Qualquer capacitor inserido no dreno de M2 para GND iria alterar as características do amplificador operacional. A solução adotada e que se mostrou efetiva (na simulação) foi conectar o terminal de bulk e de source juntos em M2 (consequentemente em M1 também). Tal conexão, como apresentado na Figura 32, minimiza o efeito de eventos singulares na junção dreno-bulk do transistor M2, pois elimina a conexão entre o terminal de gate de M7 e VSS criada pelo evento singular durante a condução de corrente entre o terminal de dreno e bulk de M2. Nas simulações a conexão do bulk no source em M2 não afetou o ganho em malha aberta e manteve a THD menor que 1%. Para tanto a tecnologia deve dispor da possibilidade de utilização de poços individuais para os transistores.

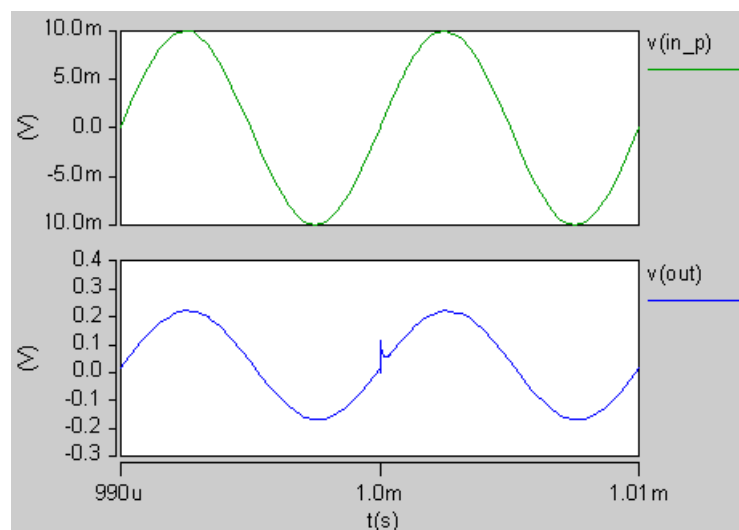


Figura 32 - Resultado da simulação de SET em M2 do CIR3 com os terminais de bulk e source conectados. SET injetado em $t = 1\text{ms}$.

6.4 AMPLIFICADOR OPERACIONAL ULTRA LOW POWER – CIR4 (FERREIRA E SONKUSALE, 2014) – ANÁLISE QUALITATIVA

O circuito apresentado em (FERREIRA e SONKUSALE, 2014) é um amplificador de ultra baixo consumo com tensão de operação igual a 0,25V e ganho em malha aberta de 60dB,

projetado para uma tecnologia de 130nm. O projeto utiliza um circuito bulk-driven aprimorado como amplificador diferencial de entrada, além de um layout distribuído para aumentar a impedância de saída do circuito. O estudo de caso desse projeto consiste em uma análise qualitativa do efeito de TID, principalmente a fuga de corrente, no layout distribuído utilizado. Ainda, essa questão nos leva a repensar o uso de layout distribuído (multiplicidade) quando a robustez à radiação é um dos requisitos de projeto. A Figura 33 exemplifica o que foi comentado.

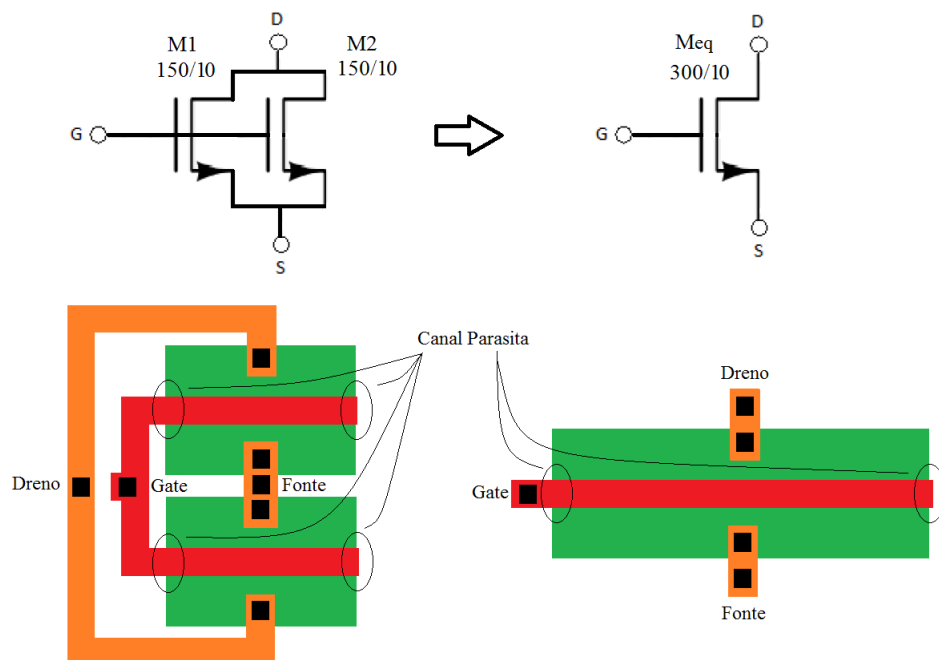


Figura 33 - Exemplo de layout distribuído genérico onde aumenta a quantidade de interface para formação de canal parasita devido à radiação acumulada.

Devido ao layout distribuído, exemplo da Figura 33, tem-se o dobro de regiões de óxido espesso adjacentes ao canal que possibilitam a criação de canais parasitas devido ao acúmulo de cargas aprisionadas induzidas pela radiação, no óxido de campo, conforme descrito no Capítulo 2.1.2. Nota-se que, como a variação da fuga de corrente depende da tensão entre os terminais de dreno e fonte e do comprimento do canal “L” (GONELLA,

2007), a fuga de corrente devido à radiação acumulada (aprisionamento de cargas no óxido de campo) será da ordem do dobro do observado no layout distribuído apresentado na Figura 33, pois tanto o comprimento do canal “L” quanto a tensão V_{DS} são as mesmas para qualquer layout (da Figura 33). A única diferença nesse quesito é que se multiplicam as interfaces onde ocorre o acúmulo de cargas.

Para o CIR4 (FERREIRA e SONKUSALE, 2014), além de ser utilizado o layout distribuído, os transistores foram empilhados de forma semelhante, mas não igual, à técnica self-cascode apresentada no Capítulo 4.1.3. A Figura 34 apresenta o método empregado no CIR4 para distribuir o layout e como foi realizada a equivalência dos múltiplos transistores.

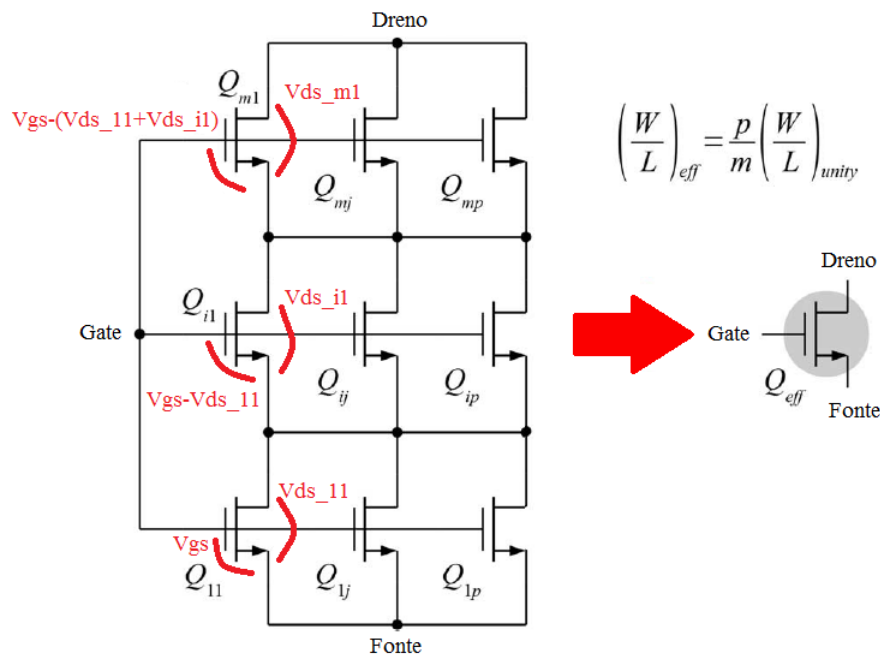


Figura 34 - Método de layout distribuído apresentado em CIR4 para aumento da impedância de saída. Figura adaptada de (FERREIRA e SONKUSALE, 2014).

Observa-se na Figura 34 que a tensão entre gate e fonte de cada MOSFET “unitário” é diferente devido ao efeito do empilhamento. Devido a essa diferença, a estrutura é sensível à radiação de duas formas. A primeira é a variação da tensão de limiar, devido à radiação, diferente entre cada linha da estrutura devido à variação da tensão entre gate e fonte

(GONELLA, 2007). A segunda fragilidade é a possibilidade de criação de múltiplos canais parasitas devido aos m*p transistores criados.

Para o CIR4 as simulações de TID e SET não foram finalizadas até a data de finalização deste texto, por isso não serão apresentadas. No entanto, com a análise qualitativa da técnica utilizada, foi possível perceber a fragilidade à radiação imposta devido ao fracionamento dos MOSFETs, tanto no layout distribuído utilizado por (FERREIRA e SONKUSALE, 2014), quanto no caso dos múltiplos MOSFETs entrelaçados para minimizar os efeitos das variações do processo de fabricação.

7 CONCLUSÕES

Neste trabalho foram realizados estudos de caso em duas fontes de referência de tensão, um amplificador operacional e análise qualitativa em um amplificador operacional de ultra baixo consumo, analisando os efeitos da radiação sobre o desempenho deles. Além disso, foram discutidas algumas fragilidades que as técnicas de projeto para circuitos de baixo consumo causam no desempenho destes em ambientes expostos à radiação ionizante. Foi realizada análise dos resultados baseada em simulações elétricas dos circuitos, utilizando o software HSPICE. Ainda, foram realizadas simulações Monte Carlo buscando alcançar uma análise mais fiel dos resultados, considerando a variabilidade do processo de fabricação. A partir dos dados simulados e da análise teórica dos circuitos analógicos de baixo consumo, pode-se enumerar alguns pontos para que, durante o projeto, sejam levados em consideração, para melhorar a robustez à radiação desta importante classe de circuitos.

O uso de MOSFETs de canal curto para ambientes sujeitos a radiação é altamente não recomendável. Sabe-se que para circuitos analógicos, dificilmente usa-se MOSFETs de tamanho mínimo, mas como foi observado, os circuitos analisados CIR1 e CIR2, por exemplo, não utilizam valores apropriados para minimizar os efeitos da radiação. Utilizando $W \geq 5\mu\text{m}$ e $L \geq 10\mu\text{m}$ para a tecnologia 130nm, minimizam-se os efeitos da radiação acumulada.

O uso de MOSFETs de Core ao invés de I/O leva a um consumo estático maior, mas também a uma maior robustez à dose acumulada, devido à menor variação da tensão de limiar e da fuga de corrente.

O layout distribuído, apesar de minimizar os efeitos das variações de processo, pode criar diversos canais parasitas. Desta forma, o aconselhável é realizar o layout distribuído apenas para transistores com comprimento de canal $\geq 10\mu\text{m}$ para minimizar o efeito, ou seja, dividindo a dimensão W e mantendo $L \geq 10\mu\text{m}$.

A corrente dos ramos dos circuitos influencia diretamente no tempo de resposta a um evento singular. Como pôde ser observado na seção 5.2 e nas simulações do circuito CIR2 o tempo de resposta aumenta com a diminuição da corrente de polarização. Durante o projeto e simulações de validação, testes podem ser realizados para ajustar as correntes do circuito a fim de obter a resposta desejada a um determinado evento singular ou ainda pode ser aumentada a carga crítica do nó com a adição de capacitâncias.

Foi possível observar nas simulações que a fuga de corrente, devido à radiação, é o efeito que mais afeta os circuitos de baixo consumo. Mesmo CIR2 sendo uma referência de tensão baseada em um extrator de tensão de limiar e este limiar variar devido ao acúmulo de cargas, a fuga de corrente, na simulação, inutilizou o circuito para a menor dose simulada – 100krad (Si). Em CIR3, em apenas algumas simulações (e principalmente analisando as dimensões dos transistores) foi possível determinar que o transistor M8 é o principal causador do desvio da tensão de saída devido à sua fuga de corrente.

Por fim, pode-se, em tempo de projeto minimizar os efeitos da radiação levando-se em conta os pontos comentados nesse trabalho.

Ainda, para finalizar, os dados simulados nesse trabalho foram obtidos através de um processo de simulação simplificado que acarreta em erros na simulação de dose total, onde, por exemplo, a fuga de corrente não varia conforme V_{ds} e ainda a simulação de eventos singulares também é limitada no modelamento do real fenômeno físico. Contudo, para obtenção dos pontos de fragilidade e mitigação desses pontos, as simulações são satisfatórias e se justificam pela simplicidade.

Os resultados obtidos neste trabalho foram publicados no artigo “Radiation Effects in Low Power and Ultra Low Power Voltage References” e apresentados no 17th IEEE Latin-American Test Symposium - LATS2016.

REFERÊNCIAS

- ALENN, P. E. **Lecture 390** – Bandgap Voltage References. 2001. Disponível em: <http://www2.ece.gatech.edu/academic/courses/ece4430/Filmed_lectures/BandgapSources/L390-BandgapRefs.pdf>. Acesso em: 28 de Abr. 2016.
- ANELLI, G. et al. Radiation Tolerant VLSI Circuits in Standard Deep Submicron CMOS Technologies for the LHC Experiments: Practical Design Aspects. **IEEE Transactions on Nuclear Science**, [S. 1], v. 46, n. 6, p. 1690 – 1696. Dec. 1999.
- BAUMANN, R. Soft errors in advanced computer systems. **IEEE Design & Test of Computers**, [S. 1], v. 22, n. 3, p. 258-266, June. 2005.
- BECKER-GOMEZ, A.; VISWANATHAN, T. L.; VISWANATHAN, T. R. A Low-Supply-Voltage CMOS Sub-Bandgap Reference. **IEEE Transactions on Circuits and Systems II: Express Briefs**, [S. 1], v. 55, n. 7, p. 609 – 613. July 2008.
- BLALOCK, B. J.; ALLEN, P. E.; RINCON-MORA, G.A. Designing 1-V Op amps using standard digital CMOS technology. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, [S. 1], v. 45, n. 7, p. 769 – 780. July 1998.
- CARDOSO, G. S.; BALEN, T. R. Study of layout extraction accuracy on W/L estimation of ELT in analog design flow. In: IEEE LATIN AMERICAN SYMPOSIUM ON CIRCUITS & SYSTEMS (LASCAS), 7., 2016, Florianópolis. **Proceedings...** New York: IEEE, 2016. p. 279-282.
- CARDOSO, G. S. et al. Reliability Analysis of 0.5 μ m CMOS Operational Amplifiers under TID Effects. **Journal of Integrated Circuits and Systems**, [S. 1], v. 9, n. 1, p. 70-79. 2014.
- COLOMBO, D. et al. A CMOS 25 ppm Bandgap Voltage Reference using Self-Cascode Composite Transistor. In: IEEE LATIN AMERICAN SYMPOSIUM ON CIRCUITS & SYSTEMS (LASCAS), 3., 2012, Playa del Carmen. **Proceedings...** New York: IEEE, 2012. p. 1-4.
- DHANOVA, J. K.; PRAKASH, N.; RAJPUT, S. S. Self Cascode Current Mirrors For Low Voltage Analog Circuits. In: INTERNATIONAL CONFERENCE: SCIENCES OF ELECTRONIC, 5., 2009, Tunísia. **Proceedings...** Tunísia: SETIT. 2009. p. 1-5.
- DING, Y. **Study of Radiation-Tolerant Integrated Circuits for Space Applications**. 2010. 72 p. Dissertação (Master of Science) - University of Saskatchewan, Saskatoon, 2010.
- DOYLE, J. et al. A CMOS Subbandgap Reference Circuit With 1-V Power Supply Voltage. **IEEE Journal of Solid-State Circuits**, [S. 1], v. 39, n. 1, p. 252 – 255. Jan. 2004.

ESQUEDA, I. S. **Modeling of Total Ionizing Dose Effects in Advanced Complementary Metal-Oxide-Semiconductor Technologies**. 2011. 179 p. Dissertação (Doctor of Philosophy) – Arizona State University, Arizona, 2011.

FERLET-CAVROIS, V. et al. Statistical Analysis of the Charge Collected in SOI and Bulk Devices Under Heavy Ion and Proton Irradiation—Implications for Digital SETs. **IEEE Transactions on Nuclear Science**, [S. 1], v. 53, n. 6, p. 3242-3252, Dec. 2006.

FERREIRA, L. H. C.; SONKUSALE, S. R. A 60-dB Gain OTA Operating at 0.25-V Power Supply in 130-nm Digital CMOS Process. **IEEE Circuits and Systems I: Regular Papers, IEEE Transactions on**, [S. 1], v. 61, n. 6, p. 1609 - 1617. 2014.

FONSTAD, C. **Sub-threshold MOSFET Operation**. 2009. Disponível em <http://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-012-microelectronic-devices-and-circuits-fall-2009/lecture-notes/MIT6_012F09_lec12.pdf>. Acesso em: 28 Abr. 2016.

GALLOWAY, K. F.; GAITAN, M.; RUSSELL, T. J. A simple model for separating interface and oxide charge effects in MOS device characteristics. **IEEE Transactions on Nuclear Science**, [S. 1], v. 31, n. 6, p. 1497 – 1501. Dec. 1984.

GONELLA, L. et al. **Total Ionizing Dose Effects in 130-nm Commercial CMOS Technologies For HEP experiments**. 2006. Disponível em: <http://www.ba.infn.it/~daccel/files/Gerardin_Vertex2006.pdf>. Acesso em: 16 Maio 2016.

GORDON, M. **Bulk-Driven Circuits**. 2003. Disponível em: <http://www.eecg.toronto.edu/~kphang/papers/2003/gordon_bulkdrivencirc.pdf>. Acesso em: 28 Apr. 2016.

HADDAD, et al. An ultra low-power dynamic translinear cardiac sense amplifier for pacemakers. **Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on**, [S. 1], v. 5, p. V-37 - V-40. May 2003.

INTERNATIONAL BUSINESS MACHINES (IBM). **Foundry technologies 130-nm CMOS and RF CMOS**. 2003. Disponível em: <http://edg.uchicago.edu/projects/sampling_chip_review_2010/docs/130nm-techbrief01.pdf>. Acesso em 16 May 2016.

IDRIS, M. I. et al. Low Power Operational Amplifier in 0.13um Technology. **Modern Applied Science**, Canada, v. 9, n. 1. p. 34-44. 2015.

KHATEB, F. Utilizing the bulk-driven technique in low voltage low-power integrated circuits design. In: IEEE INTERNATIONAL SYMPOSIUM ON DESIGN AND DIAGNOSTICS OF ELECTRONIC CIRCUITS AND SYSTEMS (DDECS), 13., 2010, Vienna. **Proceedings...** New York: IEEE, 2010. p. 16 – 19.

KITAGAWA, A. **Voltage References**. 2016. Disponível em: <<http://jaco.ec.t.kanazawa-u.ac.jp/edu/mix/pdf/5.pdf>>. Acesso em 28 Abr. 2016.

KLIMACH, H. **Circuitos Eletrônicos Integrados – ENG04061**. 2016. Disponível em: <https://chasqueweb.ufrgs.br/~hklimach/E061/E061_Processos_Dispositivos%20-%20Mismatch.pdf>. Acesso em: 28 Abr. 2016.

- LANOT, A. J. C.; BALEN, T. R. Analysis of the Effects of Single Event Transients on an SAR-ADC based on Charge Redistribution. In: LATIN AMERICAN TEST WORKSHOP - LATW, 15., 2014, Fortaleza. **Proceedings...** New York: IEEE, 2014. p. 1-5.
- MATTIA, O. E.; KLIMACH H.; BAMPI, S. 2.3 ppm/°C 40nW MOSFET-Only Voltage Reference. In: INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS DESIGN, 2014, New York. **Proceedings...** New York: ACM, 2014. p. 215-220.
- MAURER, et al. Harsh Environments: Space Radiation Environment, Effects, and Mitigation. **Johns Hopkins APL Technical Digest**, [S. 1], v. 28, n. 1. p. 17-29. 2008.
- MAVIS, D. G.; EATON, P. H. SEU and SET modeling and mitigation in deep submicron technologies. In: IEEE INTERNATIONAL RELIABILITY PHYSICS SYMPOSIUM PROCEEDINGS, 45., 2007, Phoenix. **Proceedings...** New York: IEEE, 2007. p. 293 – 305.
- MCLEAN, F. B.; OLDHAM, T. R. Basic mechanisms of radiation effects in electronic materials and devices. **Harry Diamond Laboratories**, [S. 1], v. HDL-TR, p. 2129. Sep. 1987.
- MEISENHEIMER, T. L.; FLEETWOOD, D. M. Effect of radiation-induced charge on 1/f noise in MOS devices. *Nuclear Science, IEEE Transactions on*, v. 37, n. 6, p. 1696-1702, 1990. ISSN 0018-9499.
- MENGIBAR-POZO, L. et al. Low-power design in aerospace circuits: A case study. **IEEE Aerospace and Electronic Systems Magazine**, [S. 1], v. 28, n. 12, p. 46 - 52. Dec. 2013.
- MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 29, n. 6, p. 2024-2031, Dec. 1982.
- NARASIMHAM, B. et al. Characterization of Digital Single Event Transient Pulse-Widths in 130-nm and 90-nm CMOS Technologies. **IEEE Transactions on Nuclear Science**, Snowmass Village, v. 54, n. 6, p. 2506-2511. Dec. 2007;
- NASR-STOREY, S. S. E. et al. Modeling TID Effects in Mach-Zehnder Interferometer Silicon Modulator for HL-LHC Data Transmission Applications. **IEEE Transactions on Nuclear Science**, [S. 1], v. 62, n. 6, p. 2971-2978. Dec. 2015;
- PANIZ, V. **Simulação Elétrica do Efeito de Dose Total em Células de Memória Estática (SRAM)**. 2010. 85 p. Dissertação (Mestrado) - Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.
- ROSSETO, A. C. J. **Análise dos efeitos de dose total ionizante em circuitos analógicos CMOS**. 2014. 105 p. Dissertação (Mestrado) - Universidade Federal do Rio Grande do Sul, Porto Alegre, 2014.
- SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 11-29;
- SCHWANK, J. R. et al. Radiation Effects in MOS Oxides. **Nuclear Science, IEEE Transactions on**, Snowmass Village, v. 55, n. 4, p. 1833 – 1853. 2008.

BALEN, T. R. **Efeitos da radiação em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção.** 2010. 205 p. Tese (Doutorado) - Universidade do Rio Grande do Sul, Porto Alegre, 2010.

UPAC, D. et al. Separation of effects of oxide-trapped charge and interface-trapped charge on mobility in irradiated power MOSFETs. **IEEE Transactions on Nuclear Science**, [S. 1], v. 40, n. 6, p. 1307 – 1315. Dec. 1993.

WONG et al. A very low-power CMOS mixed-signal IC for implantable pacemaker applications. **IEEE Journal of Solid-State Circuits**, [S. 1], v. 39, n. 12, p. 2446 – 2456. Dec. 2004.

APÊNDICE:

Netlists e arquivos de simulação utilizados neste trabalho

APÊNDICE: NETLISTS E ARQUIVOS DE SIMULAÇÃO UTILIZADOS NESTE TRABALHO

NETLIST DE CIR1 PARA HSPICE

```
*voltage_reference_uA

.global vdd gnd
.TEMP 38.15
*.TEMP -40 38.15 +125

.include models/models.inc
.lib models/skew.file stats
.include models/design.inc
.lib models/fixed_corner tt
.include models/skew_psp.file

* Habilita Monte Carlo
.param mc_global=1
.param fet_drop_mis=1
.param fet_geo_mis=1
.param pc_nest=1
.param pc_orient=1
.param pc_dist=1
.param rx_dist=1
.param cor_*=1

.option scale=1e-6 post=1

* VDD - Fontes de alimentação
V10 vdd gnd dc 2.5

* SET -- Efeito da radiação
*I2 0 5 exp(0 2m 1m 10p 1.02n 200p)

*ILEAK - simulando correntes de fuga IO MOSFETS
I7 6 4 dc 300n
I8 5 6 dc 0
I9 8 6 dc 300n
I10 7 8 dc 300n
I11 1 gnd dc 2n
I12 3 2 dc 2n

*Vth SHIFT - alteração de Vth para o M7 e M9
V101 101 5 dc 0.045
```

```
V100 100 7 dc 0.125
R1 2 gnd 100k
```

```
Xx12 (3 1 2 2) dgnfet l=8 w=3 M=4
Xx11 (1 1 gnd gnd) dgnfet l=8 w=3 M=2
Xx10 (7 7 8 8) dgnfet l=0.25 w=1 M=155
*xx9 para quando simulando com radiação
Xx9 (8 100 6 6) dgnfet l=0.25 w=1 M=1
*xx9 para quando simulando sem radiação
*Xx9 (8 7 6 6) dgnfet l=0.25 w=1 M=1
Xx8 (5 5 6 6) dgnfet l=0.25 w=2 M=262
*xx7 para quando simulando sem radiação
*Xx7 (6 5 4 4) dgnfet l=0.25 w=1 M=4
*xx7 para quando simulando com radiação
Xx7 (6 101 4 4) dgnfet l=0.25 w=1 M=4
```

```
Xx1 (1 3 vdd vdd) dgpfet l=2 w=1.25 M=4
Xx2 (3 3 vdd vdd) dgpfet l=2 w=1.25 M=4
Xx3 (4 3 vdd vdd) dgpfet l=2 w=1.25 M=4
Xx4 (5 3 vdd vdd) dgpfet l=2 w=1.25 M=2
Xx5 (7 3 vdd vdd) dgpfet l=2 w=1.25 M=100
Xx6 (8 3 vdd vdd) dgpfet l=2 w=1.25 M=150
```

```
Xx14 (4 4 4 gnd) dgpfet l=2 w=20
```

```
*capacitor mos para mitigar o efeito do set
*Xx100 (gnd 7 gnd gnd) dgnfet l=100 w=100 M=10
```

```
*simulando com monte carlo
.tran 1p 10u sweep monte = 1000
```

```
*para calcular as estatísticas do monte carlo
.measure tran ref find v(8) at 5u
```

```
*simulando sem monte carlo
.tran 1p 10u
```

```
.end
```

NETLIST DE CIR2 PARA HSPICE

```

*voltage_reference_40nW

.global vdd gnd
.TEMP -40 +25 +125

.include models/models.inc
.lib models/skew.file stats
.include models/design.inc
.lib models/fixed_corner tt
.include models/skew_psp.file

* Habilita Monte Carlo
.param mc_global=1
.param fet_drop_mis=1
.param fet_geo_mis=1
.param pc_nest=1
.param pc_orient=1
.param pc_dist=1
.param rx_dist=1
.param cor_*=1

.option scale=1e-6 post=1

.NODESET V(2) = 0.425

* VDD - Fontes de alimentação
V30 vdd gnd dc 1.2

* SET -- Efeito da radiação
*I2 1 gnd exp(0 2m 1m 10p 1.02n 200p)

*ILEAK - simulando correntes de fuga IO MOSFETS
I1 4 gnd dc 2p
I2 1 2 dc 2p
I3 2 gnd dc 2p
I4 3 2 dc 2p
I10 7 gnd dc 2p
I11 6 gnd dc 2p
I15 10 gnd dc 2p
I16 8 gnd dc 2p

*Vth shift - simulando variações na tensão de threshold dos mmosfets.. nos mosfets P
foi alterado o arquivo dos parâmetros.. nos N foi adicionado as fontes abaixo.
V1 101 1 dc 0.025
V2 102 1 dc 0.025
V3 103 3 dc +0.015
V4 104 3 dc +0.0

```



```
V10 110 6 dc 0.025
V11 111 6 dc 0
V15 115 8 dc 0.025
V16 116 8 dc 0
```

```
*Xx1 (4 1 gnd gnd) dgnfet l=30 w=1
Xx1 (4 101 gnd gnd) dgnfet l=30 w=1 *samente para simular Vth shift
*Xx2 (1 1 2 gnd) dgnfet l=30 w=1
Xx2 (1 102 2 gnd) dgnfet l=30 w=1 *samente para simular Vth shift
*Xx3 (2 3 gnd gnd) dgnfet l=50 w=1 M=2
Xx3 (2 103 gnd gnd) dgnfet l=50 w=1 M=2 *samente para simular Vth shift
*Xx4 (3 3 2 gnd) dgnfet l=50 w=1.1 M=6
Xx4 (3 104 2 gnd) dgnfet l=50 w=1.1 M=6 *samente para simular Vth shift
Xx5 (3 4 vdd vdd) dgpfet l=15 w=10
Xx6 (1 4 vdd vdd) dgpfet l=15 w=10
Xx7 (4 4 vdd vdd) dgpfet l=15 w=10 M=6
Xx8 (7 7 5 5) dgpfet l=10 w=5 M=2
Xx9 (6 1 5 5) dgpfet l=8.4 w=5
*Xx10 (7 6 gnd gnd) dgnfet l=10 w=1
Xx10 (7 110 gnd gnd) dgnfet l=10 w=1 *samente para simular Vth shift
*Xx11 (6 6 gnd gnd) dgnfet l=10 w=1 M=4
Xx11 (6 111 gnd gnd) dgnfet l=10 w=1 M=4 *samente para simular Vth shift
Xx12 (5 4 vdd vdd) dgpfet l=10 w=10
Xx13 (10 10 9 9) dgpfet l=10 w=5 M=2
Xx14 (8 7 9 9) dgpfet l=8.4 w=5
*Xx15 (10 8 gnd gnd) dgnfet l=10 w=1
Xx15 (10 115 gnd gnd) dgnfet l=10 w=1 *samente para simular Vth shift
*Xx16 (8 8 gnd gnd) dgnfet l=10 w=1 M=4
Xx16 (8 116 gnd gnd) dgnfet l=10 w=1 M=4 *samente para simular Vth shift
Xx17 (9 4 vdd vdd) dgpfet l=10 w=10
```

```
*capacitor mos para mitigar o efeito do set
*Xx1000 (gnd 1 gnd gnd) dgpfet l=1000 w=1000
```

```
*simulando com monte carlo
.tran 10p 1m sweep monte = 10
```

```
*simulando sem monte carlo
.tran 10p 1m
```

```
.end
```

NETLIST DE CIR3 PARA HSPICE - CONFIGURAÇÃO NÃO-INVERSORA PARA MEDIDA DA THD

```

*amp_low_power_alterado.sp

.global vdd gnd
*.temp 26

.include models/models.inc
.lib models/skew.file stats
.include models/design.inc
.lib models/fixed_corner tt
.include models/skew_psp.file
*.include 130nm_bulk.txt
*.include ibm_130nm.txt

* habilita monte carlo
*.param mc_global=1
*.param fet_drop_mis=1
*.param fet_geo_mis=1
*.param pc_nest=1
*.param pc_orient=1
*.param pc_dist=1
*.param rx_dist=1
*.param cor_*=1

.option scale=1e-6 post=1

* vdd - fontes de alimentação
v30 vdd gnd dc 1.8
v31 vss gnd dc -1.8 *** mal explicado no artigo mas é +1v8 e -1v8.

* corrente de polarização
i30 vdd 1 dc 20u

* seno - sinal de entrada
v10 in_p gnd sin(0 0.08 100k)
*v10 in_p gnd pulse(-0.05 0.05 0 0 0 10u 20u)

* resistores de realimentação - config não inversora então ganho =  $1 + (r2/r1) = 20$ 
r2 out in_n 190k
r1 in_n gnd 10k

* set -- efeito da radiação
i200 1 vss exp(0 2m 1m 10p 1.02n 200p)

```

**simular tid tem que alterar o arquivo de parâmetros para os pmos.. os nmos são ajustados abaixo.

```

*v101 101 in_n 30m
*v102 102 in_p 30m
*v105 105 1 dc 4m
*v106 106 1 dc 4m

*i1 4 2 30n
*i2 6 2 30n
*i5 1 vss 30n
*i6 2 vss 30n
*i8 out vss 30n

* netlist do amp_op
c1 6 out 0.6pf
c2 out vss 2pf

xx1 (4 in_n 2 2) dgnfet l=0.5 w=2.5 m=1
xx2 (6 in_p 2 2) dgnfet l=0.5 w=2.5 m=1
xx5 (1 1 vss vss) dgnfet l=0.5 w=13.5 m=1
xx6 (2 1 vss vss) dgnfet l=0.5 w=13.5 m=1

**somente para simular tid senão comentar
*xx1 (4 101 2 vss) dgnfet l=0.5 w=2.5 m=1
*xx2 (6 102 2 vss) dgnfet l=0.5 w=2.5 m=1
*xx5 (1 105 vss vss) dgnfet l=0.5 w=13.5 m=1
*xx6 (2 106 vss vss) dgnfet l=0.5 w=13.5 m=1

xx8 (out 1 vss vss) dgnfet l=0.5 w=100 m=1

xx3 (4 4 vdd vdd) dgpfet l=0.5 w=1.5 m=1
xx4 (6 4 vdd vdd) dgpfet l=0.5 w=1.5 m=1
xx7 (out 6 vdd vdd) dgpfet l=0.5 w=30 m=1

*capacitor mos para mitigar o efeito do set
**xx100 (vss 1 vss vss) dgnfet l=100 w=100 m=10

*simulando com monte carlo
*.tran 1p 10m sweep monte = 1000

*simulando sem monte carlo
.tran 1p 10m

*calcula thd
.four 100k v(out)

.end

```

NETLIST DE CIR3 PARA HSPICE - CONFIGURAÇÃO PARA MEDIDA DO GANHO EM MALHA

ABERTA E MARGEM DE FASE

```
*amp_low_power_alterado.sp
```

```
.global vdd gnd vss
```

```
*.TEMP 26
```

```
.include models/models.inc
```

```
.lib models/skew.file stats
```

```
.include models/design.inc
```

```
.lib models/fixed_corner tt
```

```
.include models/skew_psp.file
```

```
* Habilita Monte Carlo
```

```
*.param mc_global=1
```

```
*.param fet_drop_mis=1
```

```
*.param fet_geo_mis=1
```

```
*.param pc_nest=1
```

```
*.param pc_orient=1
```

```
*.param pc_dist=1
```

```
*.param rx_dist=1
```

```
*.param cor_*=1
```

```
.option scale=1e-6 post=1
```

```
* VDD - Fontes de alimentação
```

```
V30 vdd gnd dc 1.8
```

```
V31 vss gnd dc -1.8 *** mal explicado no artigo mas é +1V8 e -1V8.
```

```
* Corrente de polarização
```

```
I30 vdd 1 dc 20u
```

```
* Seno - Sinal de entrada
```

```
V10 in_P in_N AC 990mV
```

**simular TID tem que alterar o arquivo de parâmetros para os PMOS.. os NMOS são ajustados abaixo.

```
V101 101 in_N 0
```

```
V102 102 in_P 0
```

```
V105 105 1 dc 0
```

```
V106 106 1 dc 0
```

```
I1 4 2 0
```

```
I2 6 2 0
```

```
I5 1 vss 0
```

I6 2 vss 0
I8 out vss 0

* Netlist do amp_op

C1 6 out 0.6pF
C2 out vss 2pF

*Xx1 (4 in_N 2 2) dgnfet l=0.5 w=2.5 M=1
*Xx2 (6 in_P 2 2) dgnfet l=0.5 w=2.5 M=1
*Xx5 (1 1 vss vss) dgnfet l=0.5 w=13.5 M=1
*Xx6 (2 1 vss vss) dgnfet l=0.5 w=13.5 M=1

**somente para simular TID senão comentar
Xx1 (4 101 2 2) dgnfet l=0.5 w=2.5 M=1
Xx2 (6 102 2 2) dgnfet l=0.5 w=2.5 M=1
Xx5 (1 105 vss vss) dgnfet l=0.5 w=13.5 M=1
Xx6 (2 106 vss vss) dgnfet l=0.5 w=13.5 M=1

Xx8 (out 1 vss vss) dgnfet l=0.5 w=100 M=1

Xx3 (4 4 vdd vdd) dgpfet l=0.5 w=1.5 M=1
Xx4 (6 4 vdd vdd) dgpfet l=0.5 w=1.5 M=1
Xx7 (out 6 vdd vdd) dgpfet l=0.5 w=30 M=1

.tran 1p 10m
*calcula THD
*.FOUR 50k V(out)
*simulando com monte carlo
*.AC DEC 1000 1Hz 10XHz sweep monte = 1000
*simulando sem monte carlo
.AC DEC 1000 1Hz 10XHz
*para plotar o ganho em dB e a margem de fase
.PLOT AC VDB(out,in_P) VP(out,in_P)

.end