

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

DIOGO BATISTA SANTANA

**Amplificador de Saída de RF CMOS
Classe-E com Controle de Potência para
uso em 2,2 GHz**

Dissertação apresentada como requisito
parcial para a obtenção do grau de Mestre em
Microeletrônica

Orientador: Prof. Dr. Hamilton Klimach
Co-orientador: Prof. Dr. Eric Fabris

Porto Alegre
2016

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Batista Santana, Diogo

Amplificador de Saída de RF CMOS Classe-E com Controle de Potência para uso em 2,2 GHz / Diogo Batista Santana. – Porto Alegre: PGMICRO da UFRGS, 2016.

94 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR–RS, 2016. Orientador: Hamilton Klimach; Coorientador: Eric Fabris.

1. RF. 2. Projeto RF CMOS. 3. Amplificador de Potência. 4. Classe E. 5. Sistemas de Comunicações. 6. Amplificador Chaveado. I. Klimach, Hamilton. II. Fabris, Eric. III. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luis da Cunha Lamb

Coordenadora do PGMICRO: Prof. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

*"To a truly phenomenal woman.
She will be missed, but not forgotten."*

AGRADECIMENTOS

Ao apoio dos amigos, em especial a Ana Paula, que compartilharam as dificuldades e felicidades no percurso deste longo caminho. Aos mestres que souberam compartilhar seus conhecimentos, em especial, aos professores Hamilton Klimach, Eric Fabris e Sérgio Bampi. Aos colegas membros do NSCAD e grupo AMS que contribuíram enormemente no desenvolvimento deste trabalho, com destaque para David, Jhon, Pedro, Helga, Renê, Alonso, Israel, Roger, Luís, Gabriel, Sandro, Arthur, Filipe que compartilharam parte deste desafio. E finalmente aos familiares que estiveram sempre presentes, em especial, ao meu pai pela paciência e dedicação que teve em todos os momentos da minha vida e à minha mãe (in memoriam) que esteve sempre presente, em meus pensamentos, e segue como peça fundamental em minhas escolhas.

RESUMO

É apresentado um amplificador de potência (PA) com controle digital da potência de saída, operando na banda S de frequência (2,2 GHz). Este PA utiliza um transformador de entrada para reduzir as flutuações dos sinais de terra. Um estágio de excitação oferece uma impedância apropriada para a fonte de entrada e ganho para o próximo estágio. O estágio de controle é usado para melhorar a eficiência do PA, composto por quatro ramos paralelos de chaves, onde os estados (ligado ou desligado) são separadamente ativados por uma palavra de controle de 4 bits. O estágio de saída implementa um amplificador classe E, usando uma topologia cascode para minimizar o estresse de tensão sobre os transistores, permitindo sua utilização sob tensão de alimentação de 3,3 V para se atingir uma potência de saída máxima em torno de 1 W, em um processo CMOS 130 nm, cuja tensão típica de alimentação é 1,2 V.

O PA proposto foi projetado em uma tecnologia CMOS 130 nm para RF, ocupa uma área de 1,900 x 0,875 mm² e os resultados das simulações em leiaute extraído obtidos demonstram uma potência de saída máxima de 28,5 dBm (707 mW), com PAE (*Power-Added Efficiency*) correspondente de 49,7%, para uma tensão de alimentação de 3,3 V. O controle de 4 bits permite um ajuste dentro da faixa dinâmica da potência de saída entre 13,6 a 28,5 dBm (22,9 a 707 mW), divididos em 15 passos, com o PAE variando de 9,1% a 49,7%.

O PA proposto permite redução do consumo de potência quando este não está transmitindo na potência máxima. A potência consumida atinge um mínimo de 0,21 W quando a potência de saída é de 13,6 dBm (22,9 mW) e um máximo de 1,4 W quando a potência de saída é de 28,5 dBm (707 mW), o que representa 1,19 W de economia, aumentando a vida da bateria. A linearidade obtida neste circuito mostrou-se suficiente para atender os requisitos da máscara de emissão de espúrios de um padrão de comunicação com envoltória constante largamente utilizado, apresentando desempenho adequado para atender as especificações dos sistemas de comunicações modernos.

Palavras-chave: RF, Projeto RF CMOS, Amplificador de Potência, Classe E, Sistemas de Comunicações, Amplificador Chaveado.

RF CMOS Class-E Power Amplifier with Power Control useful to 2.2 GHz

ABSTRACT

A power amplifier with digital power control useful to S-Band (2.2 GHz) applications and with an output power around 1 W is presented. It uses an input transformer to reduce ground bounce effects. A tuned driver stage provides impedance matching to the input signal source and proper gain to the next stage. A control stage is used for efficiency improvement, composed by four parallel branches where the state (on or off) is separately activated by a 4-bit input. The class-E power stage uses a cascode topology to minimize the voltage stress over the power transistors, allowing higher supply voltages.

The PA was designed in a 130 nm RF CMOS process and the layout has a total area of $1.900 \times 0.875 \text{ mm}^2$, post-layout simulations resulted a peak output power of 28.5 dBm with a maximum power added efficiency (PAE) around 49.7% under 3.3 V of supply voltage. The 4-bit control allows a total output power dynamic range adjustment of 14.9 dB, divided in 15 steps, with the PAE changing from 9.1% to 49.7%.

The proposed PA allows reduce the power consumption when it isn't transmitting at the maximum output power. Where the power consumption is only 0.21 W when the PA is at the minimum output power level of 13.6 dBm (22.9 mW), which is 1.19 W smaller than the power consumption at full mode (1.4 W), increasing the battery life. The linearity in this circuit meet the emission mask requirements for a widely used communication standard with constant envelope. Post-layout simulation results indicate an overall performance adequate to fulfill the specifications of modern wireless communication systems.

Keywords: RF CMOS Design, Class-E, Wireless Communications, Switching Amplifier.

LISTA DE FIGURAS

1.1	Diagrama de um transceptor típico.	15
1.2	Comparação do desempenho de LNA em <i>roadmaps</i> de processos CMOS, SiGe e InP.	16
1.3	Comparação do desempenho de PA em <i>roadmaps</i> de processos CMOS, SiGe e InP.	17
1.4	Sistema Brasileiro de Coleta de Dados, mostrando os círculos de visibilidade das estações de Cuiabá e de Alcântara.	19
2.1	Cálculo da potência de saída.	22
2.2	Diagrama de fluxo de sinal.	24
2.3	Definição de potências em um amplificador.	25
2.4	Definição de potências em um amplificador, incluindo os <i>Drivers</i>	25
2.5	PAE normalizada em função do ganho.	26
2.6	Magnitude do vetor de erro (EVM).	28
2.7	Espectro GMSK ideal e máscara requerida.	28
2.8	Amplificadores de potência classes A, B ou C.	29
2.9	Formas de onda da corrente de dreno em um PA classe C.	30
2.10	Máxima eficiência em função do ângulo de condução.	31
2.11	Máxima potência de saída em função do ângulo de condução.	32
2.12	Esquemático amplificador classe D.	33
2.13	PA classe D com circuito série ressonante. (a)-(c) Circuitos equivalentes	34
2.14	Esquemático amplificador classe E.	36
2.15	Formas de onda de um amplificador operando em classe E.	38
2.16	Esquemático do circuito equivalente do amplificador classe E.	39
2.17	Esquemático amplificador classe F.	40
2.18	Topologia cascode.	42
2.19	Topologia com transistores empilhados.	43
2.20	2x4 <i>array</i> de combinadores de potência.	44
3.1	Esquemático do PA classe E com potência de saída controlável.	47
3.2	Transformador de entrada com 200 x 200 μm^2	49
3.3	Indutância e fator de acoplamento simulados do transformador de entrada.	49
3.4	Fator de qualidade simulado do transformador de entrada.	50
3.5	Esquemático das células NOR.	51
3.6	Esquemático amplificador classe E.	53
3.7	Resistência de carga em função da tensão de alimentação.	53

3.8	Capacitância C_P em função da tensão de alimentação.	54
3.9	Indutância L_S em função do fator de qualidade da rede.	55
3.10	Capacitância C_S em função do fator de qualidade da rede.	55
3.11	Esquemático amplificador classe E com perdas.	56
3.12	(a) Corrente de dreno e (b) resistência da chave para transistor NMOS.	57
3.13	(a) Capacitância de dreno e (b) fonte da chave para transistor NMOS.	58
3.14	Espaço de projeto classe E.	59
3.15	Esquemático amplificador classe E com perdas dos indutores.	60
3.16	Espaço de projeto classe E.	61
3.17	Esquemático do cascode com NMOS de óxido espesso em base comum e NMOS de óxido fino em fonte comum.	62
3.18	Espaço de projeto classe E com cascode.	63
3.19	Leiaute do PA CMOS (área total: $1,900 \times 0,875 \text{ mm}^2$).	65
3.20	Célula unitária de potência.	66
4.1	<i>Testbench</i> para principais figuras de mérito.	68
4.2	Potência de saída em função da palavra de controle e faixa dinâmica.	69
4.3	PAE e consumo de potência em função da potência de saída.	69
4.4	Sinais de corrente e tensão nas chaves.	70
4.5	Tensões nos drenos dos transistores da chave.	70
4.6	<i>Testbench</i> para parâmetros S de grande sinais.	71
4.7	Parâmetro S21 para diferentes condições da potência de entrada.	71
4.8	Parâmetro S11 para diferentes condições da potência de entrada.	72
4.9	Parâmetro S22 para diferentes condições da potência de entrada.	72
4.10	Parâmetro S12 para diferentes condições da potência de entrada.	73
4.11	Fatores de estabilidade (a) K e (b) Δ	73
4.12	Densidade espectral de entrada e saída e máscara GSM simulada em 2,2 GHz.	74
4.13	Chip fabricado	78
4.14	Leiaute <i>chip-on-board</i> em substrato RO 4003.	79
4.15	Configuração de teste do PA.	80

LISTA DE TABELAS

1.1	Características básicas do transponder SBCD.	19
1.2	Desempenho esperado do PA	20
2.1	Parâmetros de amplificador classe E com indutância finita.	44
3.1	Dimensões dos transistores da célula básica NOR	51
3.2	Componentes passivos da rede de carga	64
4.1	Desempenho do PA	75
4.2	Comparação com implementações de PA	75
4.3	Desempenho do PA em <i>corners</i> para 80 °C de temperatura.	76
4.4	Desempenho do PA em <i>corners</i> para 0 °C de temperatura.	77
4.5	Desempenho do PA em <i>corners</i> para 125 °C de temperatura.	77
B.1	Desempenho do PA em <i>corners</i> para 80 °C de temperatura (continua).	89
B.2	Desempenho do PA em <i>corners</i> para 0 °C de temperatura (continua).	91
B.3	Desempenho do PA em <i>corners</i> para 125 °C de temperatura (continua).	93

LISTA DE ABREVIATURAS E SIGLAS

ACPR	Razão de Potência do Canal Adjacente
ADC	Conversor Analógico-Digital
AM-AM	Modulação de Amplitude para Modulação de Amplitude
AM-PM	Modulação de Amplitude para Modulação de Fase
AMS	Analógico e Sinais Mistos
ANA	Agência Nacional de Águas
ANEEL	Agência Nacional de Energia Elétrica
CDMA	Acesso Múltiplo por Divisão de Código
CMCD	Centro de Missão Coleta de Dados
CMOS	Metal-Óxido-Semicondutor Complementar
DAC	Conversor Digital-Analógico
ESD	<i>Electrostatic Discharge</i>
EVM	Magnitude do Vector de Erro
FDD	Duplexação por Divisão de Frequência
FDSOI	<i>Fully Depleted Silicon on Insulator</i>
GMSK	<i>Gaussian-Filtered Minimum Shift Keying</i>
HEMT	<i>High Electron Mobility Transistor</i>
IDP	<i>Integrated Passive Devices</i>
IoT	Internet das Coisas
ITRS	<i>International Technology Roadmap for Semiconductors</i>
LDMOS	<i>Laterally Diffused Metal Oxide Semiconductor</i>
LNA	Amplificador de Baixo Ruído
LPF	Filtros Passa-Baixas
MG	<i>Multi-gate</i>
MOSFET	Transistor Metal-Óxido-Semicondutor de Efeito de Campo
NMOS	Transistor Metal-Óxido-Semicondutor tipo n

PA	Amplificador de Potência
PAE	<i>Power-Added Efficiency</i>
PCB	Placa de Circuito Impresso
PCD	Plataforma de Coleta de Dados
PMOS	Transistor Metal-óxido-Semicondutor tipo p
PM-PM	Modulação de Fase para Modulação de Fase
RF	Radiofrequência
RFC	<i>Radio frequency Choke</i>
RMS	Valor Médio Quadrático
SBCD	Sistema Brasileiro de Coleta de Dados
TDD	Duplexação por Divisão de Tempo
TDDDB	<i>Time Dependent Dielectric Breakdown</i>
UTB FD	<i>Ultra-thin body fully depleted</i>
ZDS	Chaveamento em Derivada de Tensão Zero
ZVS	Chaveamento em Tensão Zero

SUMÁRIO

1	INTRODUÇÃO	14
1.1	Motivação	18
1.1.1	Sistema Brasileiro de Coleta de Dados	18
1.2	Objetivos	19
1.3	Organização	20
2	AMPLIFICADORES DE POTÊNCIA PARA RF	21
2.1	Figuras de Mérito	22
2.1.1	Potência de Saída	22
2.1.2	Ganho de Potência	23
2.1.3	Eficiência	25
2.1.4	Controle de potência	26
2.1.5	Linearidade	27
2.2	Classes de operação de amplificadores de potência	29
2.2.1	Classes lineares A, B e C	29
2.2.2	Classes não lineares	32
2.3	PAs em tecnologia CMOS	41
2.3.1	Tensão de alimentação	41
2.3.2	Carga de Saída	42
2.4	Operação Segura	45
3	IMPLEMENTAÇÃO E LEIAUTE	47
3.1	Transformador de Entrada	48
3.2	Driver e Estágio de Controle	50
3.3	Estágio de Potência	52
3.3.1	Projeto do Amplificador Classe E	52
3.3.2	Perdas de Potência	54
3.3.3	Aumentando a Tensão de Alimentação Usando Cascode	61
3.3.4	Projeto Final e Otimização	62
3.4	Leiaute	64
4	SIMULAÇÕES E RESULTADOS	67
4.1	Resultados Nominais	67
4.2	Simulação de Robustez	76
4.3	Fabricação	78
5	CONCLUSÃO	81
5.1	Trabalhos Futuros	82

REFERÊNCIAS	83
APÊNDICE A LISTA DE PUBLICAÇÕES	87
APÊNDICE B SIMULAÇÃO DE <i>CORNERS</i>	88

1 INTRODUÇÃO

A presença de dispositivos móveis com capacidade de comunicação sem fio tornou-se inerente ao modo de vida moderna. Desde 2003 quando pela primeira vez o número de linhas de celulares móveis ultrapassou o número de linhas fixas (REYNAERT; STEYART, 2006) estes dispositivos têm estado cada vez mais presentes nas vidas das pessoas. Hoje eles são usados não somente para atender à demanda da telefonia, mas para uma grande variedade de outras formas de comunicação de dados como: email, vídeos, notícias, televisão, entre outros.

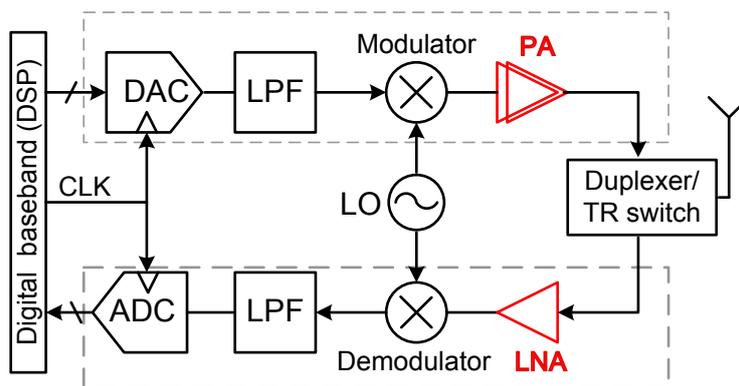
Claramente, o uso de sistemas de comunicações sem fio não aparece apenas nos telefones celulares, mas também em uma diversidade de dispositivos como *tablets*, computadores, consoles de videogames, etc. Recentemente vem ganhando força a ideia da internet das coisas (IoT) que promete a interligação de um grande número de dispositivos tais como relógios, máquinas de lavar, sensores e uma infinidade de outros equipamentos. Torna-se difícil imaginar a realização de tais conexões por outro meio que não seja através dos sistemas de comunicações sem fio. Obviamente, as pesquisas na área de telefonia celular são impulsionadas pelo grande número de vendas desse mercado.

De fato, já está disponível uma gama de padrões de comunicação sem fio, mais conhecidos por suas siglas: GSM, IEEE802.11, Bluetooth, ZigBee, DCS, CDMA, UMTS, WCDMA, DECT, WiMax, UWB, LTE. Cada uma destas designa um sistema ou norma para certo nicho de aplicações. Hoje, um dispositivo eletrônico deve suportar diversos protocolos de comunicação, fazendo com que a fração do conteúdo de um dispositivo correspondente aos módulos de RF (radiofrequência) seja grande.

Por exemplo, um iPad 4G conta com nada menos que 19 módulos de RF e AMS (Analogico e sinais mistos), que atendem a diversos protocolos de comunicação, tais como: LTE, 3G, 2G, Bluetooth, 802.11, FM (The Business Journals, 2012). Para implementar estes sistemas, surge a necessidade de transceptores, que são responsáveis por transmitir e receber informações como voz, vídeo, dados, entre outros, de acordo às normas estabelecidas nos protocolos de comunicação.

A Figura 1.1 apresenta o diagrama de um transceptor, o qual é formado por um processador digital de sinal, um receptor e um transmissor. Para realizar a recepção de uma informação, a chave de seleção conectada à antena é selecionada para o receptor, e então o sinal proveniente da antena é amplificado pelo amplificador de baixo ruído (LNA), o qual reduz a influência da contribuição do ruído gerado nos blocos subsequentes, através de seu alto ganho e baixa figura de ruído. O demodulador é responsável pela conversão de frequência, onde o sinal é transladado para a frequência de banda-base, enquanto mantém boa linearidade. Já em baixa frequência, as componentes em frequências indesejadas são reduzidas por filtros passa-baixas (LPF). No conversor analógico-digital (ADC) ocorre a conversão do sinal em bits, que serão processados na unidade de processamento digital.

Figura 1.1: Diagrama de um transceptor típico.



Fonte: (ALAVI, 2014).

A transmissão inicia-se no processador digital, que é o responsável por codificar os dados, depois estes sinais retornam ao domínio analógico por meio do conversor digital-analógico (DAC). Após a conversão, uma quantidade considerável de ruído e réplicas de sinais podem comprometer a qualidade do sinal, estes sinais indesejados são reduzidos ao utilizar LPFs. Então, no modulador os sinais são transladados para a frequência RF, através da multiplicação pelo sinal do oscilador local (LO). Finalmente, o amplificador de potência (PA) é o responsável por entregar eficientemente a potência requerida à antena, mediante a chave de seleção.

Com a crescente preocupação com a autonomia dos dispositivos portáteis, também crescem as buscas por melhor desempenho quanto à eficiência dos transmissores. Consequentemente, estes requisitos de alta eficiência são direcionados ao PA, visto que este é o bloco dentro de um transceptor que requer maior consumo de potência.

Para entregar um sinal modulado de alta potência, o PA acaba tendo um alto consumo, limitando o tempo de vida da bateria de um dispositivo. Por exemplo, no caso da necessidade de transmitir 1 W de potência e considerando-se 20% de eficiência, o consumo de potência seria de 5 W, mas no caso de se atingir 50% de eficiência este valor seria de somente 2 W, aumentando o tempo de vida da bateria de um dispositivo portátil.

O amplificador de potência é um dos poucos blocos de RF que é produzido em tecnologias mais caras, como GaAs ou LDMOS (*Laterally diffused metal oxide semiconductor*), devido sua necessidade de melhor desempenho em altas frequências. Enquanto por um longo tempo, a tecnologia metal-óxido-semicondutor complementar (CMOS) tem sido amplamente utilizada em circuitos integrados digitais, por sua alta capacidade de integração, baixo custo e constante melhora de desempenho (JOHANSSON; FRITZIN, 2014).

Assim, os amplificadores de potência produzidos em tecnologia CMOS tornaram-se tópico de intenso interesse na última década, desde que a evolução do processo CMOS permitiu a diminuição dos dispositivos, o que resulta em um aumento na frequência máxima de operação (f_{max}) e na frequência de transição (f_T), ao ponto destas possibilitarem a operação em RF, porém isto veio com um preço, que foi a redução das tensões de ruptura dos dispositivos (ABIDI, 2004). Logo, a evolução do processo CMOS nem sempre garante a melhora do desempenho dos circuitos operando em RF, ao contrário dos circuitos digitais, que se beneficiam da menor área ocupada, custo e melhora na velocidade.

Os circuitos RF que operam em pequenos sinais não sofrem tanto com a redução das tensões de ruptura quanto os que operam em grandes sinais, visto que, em pequenos sinais,

terão uma faixa dinâmica reduzida a qual muitas vezes é justificada pela capacidade de integração do processo CMOS. No entanto, aqueles que operam em grandes sinais, em especial o amplificador de potência, são fortemente afetados por esta restrição de tensão, impactando diretamente na capacidade de atingir uma elevada potência de saída.

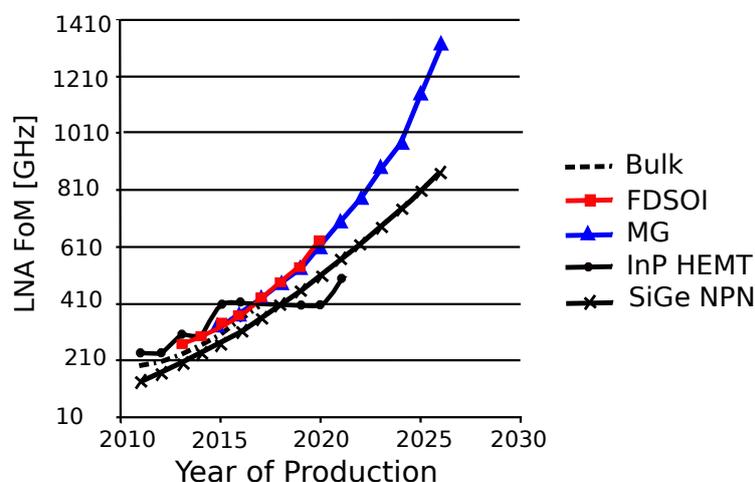
A organização responsável pelo *roadmap* dos processos tecnológicos o *International Technology Roadmap for Semiconductors* (ITRS) em seus relatórios divulga a tendência das figuras de mérito (FoM) de 5 circuitos de sinais mistos e RF, entre eles estão o amplificador de baixo ruído (LNA) e o amplificador de potência (PA). Para avaliar a tendência no comportamento destes dois circuitos RF ao longo da evolução dos processos tecnológicos, as figuras de mérito são aquelas apresentadas em (Association Semiconductor Industry, 2011).

Para o caso do LNA, é considerada, na frequência de operação f , a figura de ruído mínima do transistor (F_{MIN}), chamada FoM do limite superior, calculada pela Equação 1.1.

$$FOM_{LNA-UL} = \frac{f}{(F_{MIN} - 1)} \quad (1.1)$$

A Figura 1.2 apresenta uma projeção de desempenho da FoM do limite superior, FOM_{LNA-UL} , para LNAs implementados em tecnologia CMOS, SiGe HS-NPN (*High Speed NPN*) e da família III-V InP HEMT (*High Electron Mobility Transistor*) para a próxima década segundo estudo do ITRS. Dos processos CMOS avaliados estão o Bulk, que é o processo CMOS tradicional, utiliza *wafers bulk*, e são mais básicos e baratos. Os *fully depleted silicon on insulator* (FDSOI) e *ultra-thin body fully depleted* (UTB FD) CMOS são processos onde os transistores são separados do substrato de silício por uma camada de isolante, que permitem se fazer transistores muito pequenos (até 22 nm) e rápidos. Já o processo MG (*Multi-gate*) também é uma tecnologia CMOS feita em silício *bulk* ou SOI, mas onde os transistores são construídos tridimensionalmente (conhecido como *tri-gate* ou *finfets*). Todos estes processos usam substratos de silício, o que os tornam mais baratos.

Figura 1.2: Comparação do desempenho de LNA em *roadmaps* de processos CMOS, SiGe e InP.



Fonte: Association Semiconductor Industry (2013).

Alguns processos mais caros não utilizam um substrato de silício, como no caso do InP HEMT, que é um processo que usa como base o fosfeto de índio como semiconductor, onde

se obtém alta mobilidade de elétrons e sobre o qual são fabricados transistores de estrutura complexa, resultando transistores muito rápidos (HEMT). Como também o GaN HEM, que é um processo que usa como base o nitreto de gálio como semiconductor, resultando alta mobilidade de elétrons, similar ao que se obtém no InP, seu antecessor é o GaAs ou arseneto de gálio, que era empregado nos anos 70 em sistemas de micro-ondas e para uso militar. E finalmente, SiGe é um processo que usa o silício-germânio como base para fabricar transistores bipolares de alta velocidade, muitas vezes do tipo hétero-junção (HBT).

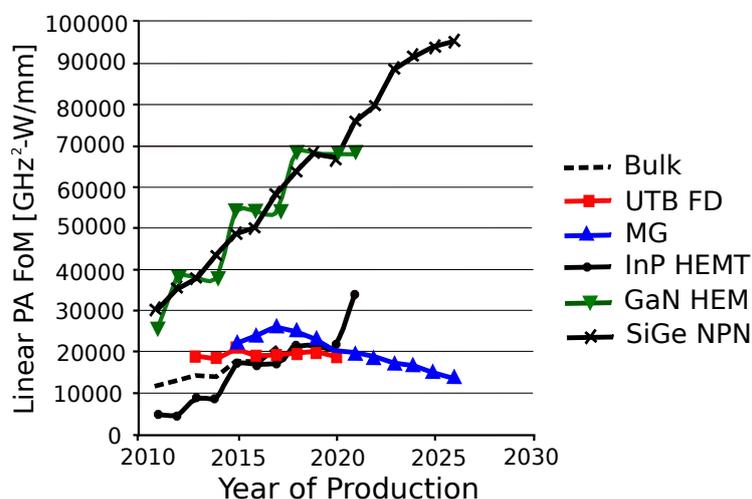
Portanto, nota-se uma rigorosa semelhança na capacidade da tecnologia CMOS para a implementação de um LNA operando a 60 GHz quando comparada a capacidade de implementação em tecnologias SiGe e III-V (Association Semiconductor Industry (2013)).

No caso do PA, a definição da FoM é um pouco mais complicada em função das diferentes classes de operações, principalmente no que tange à linearidade. Assim, o ITRS define a figura de mérito do PA sem considerar a linearidade, de forma que independa de projetos ou especificações. Para expressar esta FoM em função de parâmetros dos dispositivos o ITRS utiliza um PA saturado com a maior eficiência (class B ou F) e assume um PAE (*Power Added Efficiency*) de 50%. A Equação 1.2 apresenta esta relação para os dispositivos CMOS em função dos parâmetros *peak f_T current density* ($I_{ON}/2$), tensão de ruptura dos dispositivos (BV_{GD}), tensão de alimentação (V_{DD}), máximo ganho estável (MSG) e f_{max} .

$$FOM_{PA} = \frac{I_{ON}}{4} \min\{V_{DD}, \frac{BV_{GD}}{2}\} \cdot \min\{MSG, \frac{f_{MAX}^2}{f^2}\} \cdot 0.5 \cdot f^2 \quad (1.2)$$

A Figura 1.3 apresenta a projeção da FoM para amplificadores de potência lineares. Como pode ser visto, as tecnologias InP e GaN apresentam melhor desempenho e grandes vantagens em comparação às tecnologias CMOS, tendo uma expectativa de cerca de 3,5 vezes o desempenho da tecnologia MG CMOS (*Multi-gate* CMOS). Segundo a Figura 1.3, a tendência dos amplificadores de potência produzidos em tecnologia CMOS será sofrer uma drástica redução de desempenho com o escalamento da tecnologia (Association Semiconductor Industry (2013)).

Figura 1.3: Comparação do desempenho de PA em *roadmaps* de processos CMOS, SiGe e InP.



Fonte: Association Semiconductor Industry (2013).

Portanto, fica evidente a necessidade de desenvolvimento de novas arquiteturas, a fim de se obter melhoria no desempenho, associada à produção em tecnologias de baixo custo com alto grau de integração, fazendo uso do grande potencial que o processamento digital pode proporcionar ao desempenho dos amplificadores de potência.

1.1 Motivação

Diante das diversas áreas de aplicações para se avaliar alternativas de implementações de amplificadores de potência em tecnologias CMOS, que possibilitem a integração deste com os demais circuitos que compõem os sistemas de comunicação, surge a necessidade de desenvolvimento de transponders de comunicação para atender ao sistema brasileiro de coleta de dados (SBCD).

Esta demanda possibilita a inserção do circuito desenvolvido em um projeto real, com reais chances de integração com os demais blocos de um transponder, incluindo um sistema de processamento de dados, em uma solução inicial multi-chip. Assim, na Subseção seguinte apresenta-se os principais aspectos do SBCD.

1.1.1 Sistema Brasileiro de Coleta de Dados

Iniciado em 1993, o SBCD tem como função a coleta de dados ambientais, sendo de grande importância para diversas aplicações de interesse científico e econômico. Das quais estão: hidrologia, meteorologia, oceanografia (boias de deriva, boias ancoradas), química da atmosfera, qualidade da água (comitês de bacias hidrográficas, prefeituras, e órgãos de gestão e fiscalização de recursos hídricos e meio ambiente), entre outras (YAMAGUTI; ORLANDO; PEREIRA, 2009).

O SBCD no ano de 2008 contava com cerca de 800 plataformas de coletas de dados (PCD), que estão espalhadas pelo território brasileiro (YAMAGUTI; ORLANDO; PEREIRA, 2009). Este sistema contempla ainda uma constelação de satélites, que são responsáveis por retransmitir as informações provenientes das PCDs para as estações de recepção de Cuiabá e Alcântara. Os dados recebidos nestas estações são enviados pela internet para o Centro de Missão Coleta de Dados (CMCD), onde são processados, armazenados e distribuídos entre os usuários. A Figura 1.4 apresenta estes caminhos, quando um dos satélites está no círculo de visibilidade de uma das estações de recepção.

Nos satélites utilizados pelo SBCD estão presentes os transponders, que são responsáveis por receber os sinais emitidos pelas PCDs, nas faixas de frequências 401,620 MHz e de 401,650 MHz, e transladar para a banda S (2267,52 MHz), na qual é transmitida para as estações de recepção em terra. Nas PCDs os dados são transmitidos usando uma modulação em fase de $\pm 60^\circ$ (com portadora residual). As mensagens são transmitidas em intervalos regulares de 40 a 220 s com taxa de 400 bit/s (RAE, 2005). Portanto, haverá uma divisão no tempo (TDD) e na frequência (FDD, devido ao efeito Doppler inerente ao enlace espacial) entre os sinais enviados pelas PCDs.

Os sinais que chegam ao transponder devem ser modulados em fase, com índice de modulação de 1,8 rad na frequência de 2267,52 MHz. Os sinais enviados no enlace de descida devem ter um potência mínima de cerca 21,5 dBm. As principais características do transponder são apresentadas na Tabela 1.1.

Portanto, existe uma demanda para atender o sistema brasileiro de coleta de dados, de grande importância estratégica para o país, provendo um transponder embarcado em satélites (RAE, 2005), visando completar o enlace de comunicação entre os pontos de coleta de dados espalhados pelo país com os centros de recepção de dados.

Figura 1.4: Sistema Brasileiro de Coleta de Dados, mostrando os círculos de visibilidade das estações de Cuiabá e de Alcântara.



Fonte: (YAMAGUTI; ORLANDO; PEREIRA, 2009).

Tabela 1.1: Características básicas do transponder SBCD.

Sensibilidade	-123 dBm
Potência máxima de entrada (receptor)	-98 dBm
Potência de saída mínima	21,5 dBm \pm 1 dB
Taxa de símbolo	800 bauds
Taxa de dados	400 bit/s
Codificação	Código <i>Manchester</i>

1.2 Objetivos

O objetivo proposto no âmbito deste trabalho é o desenvolvimento de um amplificador de potência em tecnologia CMOS, operando na frequência de 2,2 GHz. Este projeto tem como característica principal atender um sistema de modulação com envoltória constante, com foco para obtenção de uma alta eficiência, enquanto atinge uma potência de saída máxima da ordem de 1 W, e ainda conte com uma potência de saída controlável digitalmente, devido a faixa restrita de variação imposta pelo sistema de apenas ± 1 dB da potência de saída. Assim, o controle da potência de saída do amplificador possibilita o ajuste da potência dentro da faixa desejada, para que não se tenha desperdício de energia quando transmitindo muito acima da potência máxima, ou perdas de pacotes de dados quando transmitindo abaixo do valor mínimo de potência.

A Tabela 1.2 apresenta os requisitos principais esperados para implementação do PA. Considerou-se uma perda de implementação de 6 dB distribuídas entre as perdas de chaves, descasamento com a antena e perdas na placa e cabos. Assim, a potência mínima esperada entregue pelo PA para operação no centro da faixa de operação é de 27,5 dBm,

enquanto o controle da potência deve possuir um faixa de controle entre 20,5 a 27,5 dBm. O teste de linearidade adotado será o respeito à máscara GSM para oferecer uma comparação com os trabalhos publicados na literatura, quando os sinais provenientes dos modelos do transponder estiverem disponíveis a máscara destes sinais podem ser adicionadas posteriormente.

Tabela 1.2: Desempenho esperado do PA

Potência de Saída	> 20,5 dBm
Perdas de implementação	6 dBm
Eficiência	Máxima possível
Faixa de controle da potência de saída	20,5 - 27,5 dBm
Teste de linearidade	Máscara GSM

Baseado na construção de um sistema de controle de potência em laço fechado, foram analisados sensores de potência por meio do acoplamento magnético entre linhas de transmissões sob influência deste trabalho, desenvolvido por meio de um trabalho final de curso (ANDRADE, 2015) que será integrado a este trabalho posteriormente.

Estes requisitos estão na faixa de variação da potência de saída exigida pelo SBCD e todos os requisitos se adequam a este sistema, fazendo com que este projeto tenha como alvo sua integração com todo o sistema transponder, que está sendo desenvolvido paralelamente no NSCAD/UFRGS, para compor novos satélites do SBCD. Apesar da possível aplicação para satélites não entram no escopo deste trabalho o estudo e testes sobre a degradação por efeitos de radiação, justifica-se, em parte, a operação em baixa órbita do satélite (por volta de 800 Km) e o baixo tempo de vida útil (por volta de 1 ano) exigidos para a aplicação.

1.3 Organização

Este trabalho está organizado em quatro outros capítulos como segue: no capítulo 2 tem-se uma revisão bibliográfica com as principais métricas utilizadas, as principais classes de operações e suas características, seguida por um resumo dos principais trabalhos e estratégias utilizadas nos projetos de amplificadores de potência em tecnologia CMOS recentemente. No capítulo 3 é apresentado um PA com potência de saída controlável, sua implementação e leiaute. Em seguida, no capítulo 4, são apresentados os resultados e simulações, bem como uma comparação com alguns trabalhos do estado da arte. E finalmente, este trabalho é concluído com algumas indicações de trabalhos futuros.

2 AMPLIFICADORES DE POTÊNCIA PARA RF

A crescente demanda por sistemas de comunicação sem fio dos últimos anos, veio acompanhada da necessidade de uso de amplificadores de potência. Qualquer que seja o sistema de comunicação utilizado, é difícil imaginar que um PA não estará presente, mesmo que não seja na forma convencional que conhecemos estes circuitos por mais de meia década. Isto devido a sua característica principal, de prover apropriada potência a ser irradiada na antena, através do canal de comunicação, para que seja atingido o ponto de recepção com energia suficiente para ser demodulada, portanto fazendo a interface mínima requerida entre a informação, a antena e o canal de comunicação.

Por ser o bloco de maior consumo em um transceptor RF a busca por melhorias em seu desempenho é aspecto importante. As principais métricas destes circuitos são potência de saída, linearidade, ganho, eficiência, frequência de operação e largura de banda. A potência de saída e a linearidade são normalmente requisitos do sistema de comunicação, enquanto ganho e linearidade não estão diretamente relacionados à eles, mas sim ao consumo de bateria. Em um mundo onde a duração da bateria tornou-se fundamental, a melhoria em eficiência virou a nova ordem em aplicações móveis.

Buscando atingir a diminuição do custo de produção, o projeto de um PA tem mudado de soluções em processos tecnológicos mais caros, como GaAs (PILGRIM, 2014) ou LDMOS (JOHANSSON; FRITZIN, 2014), para topologias mais complexas em processos CMOS devido sua alta capacidade de integração e custo reduzido. Este capítulo apresenta as principais características destes circuitos, as figuras de mérito aplicadas, bem como aspectos de sua implementação em tecnologia CMOS e uma revisão bibliográfica que apresenta os principais trabalhos disponíveis na literatura.

2.1 Figuras de Mérito

Esta seção aborda as principais figuras de mérito utilizadas para se caracterizar um amplificador de potência.

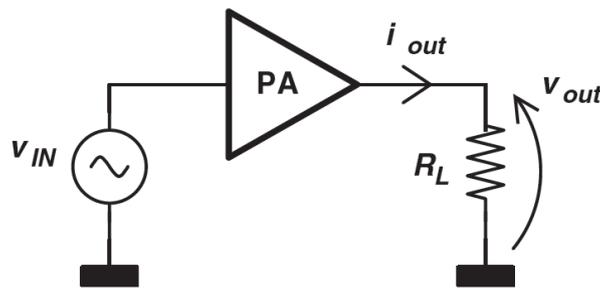
2.1.1 Potência de Saída

A potência de saída é um dos principais aspectos de um amplificador de potência, sendo ela definida como a potência ativa entregue à carga. Neste momento é importante ressaltar que muitas vezes em aplicações de RF e de micro-ondas a carga é a própria antena, uma chave de seleção ou filtros, e estes geralmente são projetados com impedância típica de 50Ω .

A potência de saída instantânea pode ser encontrada a partir da tensão ($v_{out}(t)$) e da corrente ($i_{out}(t)$) presente na carga, apresentadas na Figura 2.1, e dada por,

$$p_{out}(t) = v_{out}(t)i_{out}(t) \quad (2.1)$$

Figura 2.1: Cálculo da potência de saída.



Fonte: REYNAERT; STEYAERT (2006)

Assim, para um sinal senoidal e assumindo a condição de carga resistiva, a potência entregue a uma carga R_L é obtida pela Equação 2.2.

$$P_{o,tot} = \frac{V_{o,rms}^2}{R_L} \quad (2.2)$$

Onde $V_{o,rms}$ é o valor quadrático médio (rms) da tensão de saída. Na Equação 2.2 estão presentes não somente a potência centrada na frequência fundamental, mas também os valores relativos às potências centradas nas componentes espectrais harmônicas. Como a potência irradiada de interesse é somente aquela centrada em torno da frequência fundamental, e considerando que as potências dos harmônicos podem ser filtradas ou suprimidas, define-se para este trabalho a potência de saída através da Equação 2.3.

$$P_o = \frac{V_o^2}{2R_L} \quad (2.3)$$

Onde V_o é o valor de pico da tensão senoidal na frequência de interesse. O valor de V_o é obtido da expansão da série de Fourier do sinal $v_{out}(t)$.

2.1.2 Ganho de Potência

Existem diversas definições de ganhos de potência para amplificadores, (GONZALEZ, 1997) define três deles baseado no diagrama de fluxo da Figura 2.2 e fornece as equações que os definem a partir de uma rede de duas portas caracterizada por parâmetros S . Onde os parâmetros S para uma rede de duas portas, como no caso do diagrama de fluxo da Figura 2.2, são definidos em função das ondas incidente (a_1) e refletida (b_1) na porta 1 e das ondas incidente (a_2) e refletida (b_2) na porta 2, e calculados por meio das Equações 2.4 a 2.7.

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (2.4)$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (2.5)$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (2.6)$$

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (2.7)$$

No diagrama da Figura 2.2 são definidos também a potência de entrada da rede (P_{IN}) calculada pela Equação 2.8, e a potência entregue à carga (P_L) dada pela Equação 2.9.

$$P_{IN} = \frac{1}{2}|a_1|^2 - \frac{1}{2}|b_1|^2 \quad (2.8)$$

$$P_L = \frac{1}{2}|b_1|^2 - \frac{1}{2}|a_2|^2 \quad (2.9)$$

Enquanto define ainda a potência disponível na fonte de entrada (P_{AVS}) por meio da Equação 2.10, onde o coeficiente de reflexão da entrada da rede de duas portas (Γ_{IN}) é igual ao conjugado do coeficiente de reflexão da fonte (Γ_S). E a potência disponível na rede de carga (P_{AVN}) é dada pela Equação 2.11, onde o coeficiente de reflexão da carga de saída (Γ_L) é igual ao conjugado do coeficiente de reflexão da saída da rede de duas portas (Γ_{OUT})

$$P_{AVS} = P_{IN}|_{\Gamma_{IN}=\Gamma_S^*} \quad (2.10)$$

$$P_{AVN} = P_L|_{\Gamma_L=\Gamma_{OUT}^*} \quad (2.11)$$

Após definidas todas as potências do diagrama de fluxo da Figura 2.2 (GONZALEZ, 1997) define os ganhos como segue:

Ganho de transdução de potência, G_T é a relação entre a potência entregue à carga (P_L) e a potência disponível na fonte de entrada (P_{AVS}):

$$G_T = \frac{P_L}{P_{AVS}} \quad (2.12)$$

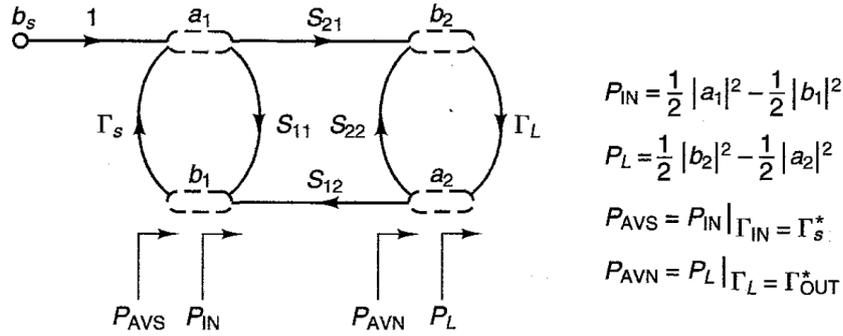
Ganho de potência, G_P é a relação entre a potência entregue à carga e a potência de entrada da rede (P_{IN}):

$$G_P = \frac{P_L}{P_{IN}} \quad (2.13)$$

Ganho de potência disponível, (G_A) é a relação entre a potência disponível na rede de carga (P_{AVN}) e a potência disponível na fonte de entrada (P_{AVS}):

$$G_A = \frac{P_{AVN}}{P_{AVS}} \quad (2.14)$$

Figura 2.2: Diagrama de fluxo de sinal.



Fonte: GONZALEZ (1997)

As equações em termos dos parâmetros S da rede para G_T , G_P e G_A são dadas por,

$$G_T = \frac{1 - |\Gamma_S|^2}{|1 - S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{OUT}\Gamma_L|^2} \quad (2.15)$$

$$G_P = \frac{1}{1 - |\Gamma_{IN}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{22}\Gamma_L|^2} \quad (2.16)$$

$$G_A = \frac{1 - |\Gamma_S|^2}{|1 - S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1}{1 - |\Gamma_{OUT}|^2} \quad (2.17)$$

Onde os coeficientes de reflexão na entrada e saída são definidos nas Equações 2.18 e 2.19.

$$\Gamma_{IN} = S_{11} \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (2.18)$$

$$\Gamma_{OUT} = S_{22} \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \quad (2.19)$$

Estes ganhos são utilizados no projeto de amplificadores, pois auxiliam o entendimento das relações que governam os ganhos, sob diferentes condições de casamento de impedância, a partir da caracterização da rede por parâmetros S. No entanto, a expressão do ganho de potência pode também ser obtida mais facilmente considerando-se a quantidade de potência requerida na entrada (P_{IN}) e a potência de saída gerada, calculada segundo a Equação 2.3. Normalmente o ganho de potência é expresso em decibel, como mostra a Equação 2.20.

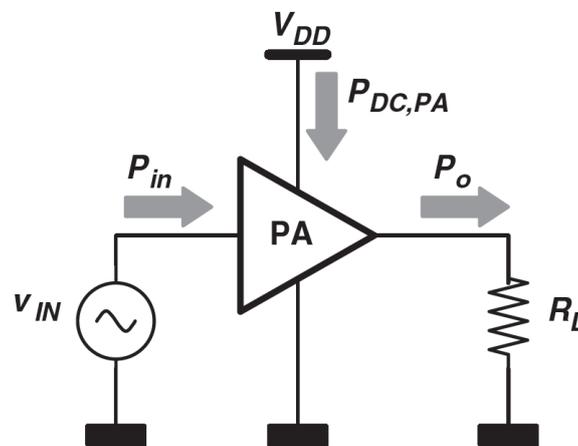
$$G_P = 10 \log_{10} \left(\frac{P_L}{P_{IN}} \right) \quad (2.20)$$

2.1.3 Eficiência

Há diversas formas de se expressar a eficiência de amplificadores, todas elas estão relacionadas à capacidade destes de converterem a potência elétrica consumida (P_{DC}) em potência de sinal de saída, na frequência de interesse (P_o), como mostra a Figura 2.3. Uma forma comumente encontrada é a eficiência de dreno, definida como a relação entre a potência de saída (P_o) e a potência consumida pelo PA ($P_{dc,PA}$) apresentada na Equação 2.21.

$$\eta_d = \frac{P_o}{P_{DC,PA}} \quad (2.21)$$

Figura 2.3: Definição de potências em um amplificador.

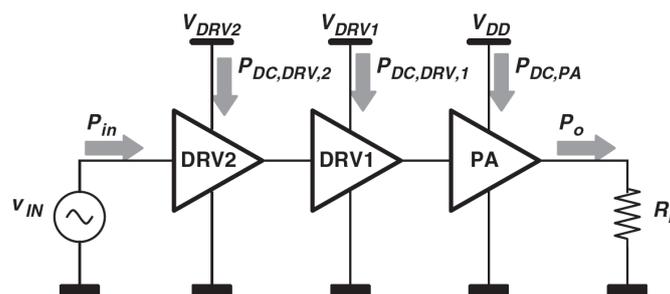


Fonte: REYNAERT; STEYAERT (2006)

Muitas vezes um amplificador de potência envolve mais de um estágio, como é o caso do amplificador da Figura 2.4 que possui dois estágios de excitação (*drivers*). Assim, a definição da eficiência total inclui o consumo destes estágios anteriores como mostra a Equação 2.22 extrapolada para um número n de estágios.

$$\eta_{oa} = \frac{P_o}{P_{DC,PA} + \sum_{i=1}^{n-1} P_{DC,DRV,i}} \quad (2.22)$$

Figura 2.4: Definição de potências em um amplificador, incluindo os *Drivers*.



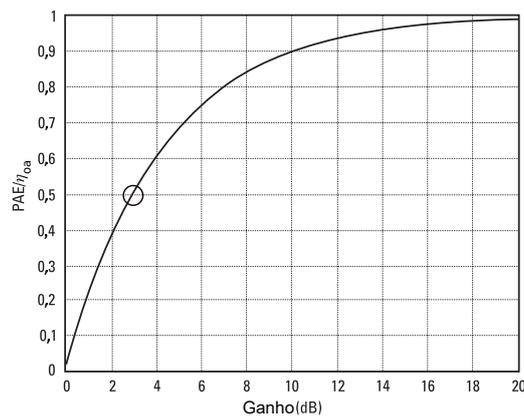
Fonte: REYNAERT; STEYAERT (2006)

As métricas utilizadas acima envolvem somente a potência de saída e o consumo de potência, não levando em consideração o ganho de potência. Portanto, uma figura de mérito bastante utilizada e que considera o ganho de potência do amplificador é chamada *power-added efficiency* (PAE). Esta métrica substitui a potência de saída pela diferença entre as potências de saída e a da entrada calculada pela Equação 2.23.

$$PAE = \frac{P_o - P_{in}}{P_{DC,PA} + \sum_{i=0}^n P_{DC,DRV,i}} \quad (2.23)$$

Como pode ser visto existe uma relação entre as três expressões, e obviamente o PAE será sempre menor que a eficiência total que por sua vez é menor que a eficiência de dreno. A Figura 2.5 apresenta a PAE em relação à eficiência total em função do ganho de potência. Quando o ganho é baixo, em torno de 3 dB por exemplo, a PAE corresponde a somente 50% da eficiência total. À medida em que o ganho aumenta o valor do PAE tende a se aproximar da eficiência total.

Figura 2.5: PAE normalizada em função do ganho.



Fonte: ROGERS; PLETT (2003)

2.1.4 Controle de potência

A necessidade de controle de potência de saída, em um amplificador de RF, pode surgir em função do sistema de comunicação. O sistema de Acesso Múltiplo por Divisão de Código (CDMA, do inglês *Code-Division Multiple Access*) é o exemplo clássico de protocolo que exige a implementação de controle de potência, visto que neste protocolo todos os usuários estão transmitindo ao mesmo tempo e na mesma frequência. Logo, à medida em que cresce o número de usuários emitindo altas potências aumenta o ruído produzido para um determinado usuário, que pode ser afetado caso ele esteja distante da estação base. Assim, o controle de potência é um problema crítico (RAZAVI, 2011), definido no protocolo para evitar interferências entre usuários.

Outros sistemas utilizam separação em frequência (FDD) ou no tempo (TDD), e assim reduzem a interferência entre usuários. Porém, mesmo nestes sistemas o controle de potência faz-se necessário quando se deseja a redução do consumo da bateria. Pois, quando os dispositivos estão próximos de um ponto de comunicação estão desperdiçando energia ao transmitirem em potência máxima.

Ou o controle de potência existe, no caso de um satélite, para que se possa ajustar a potência transmitida conforme as necessidades do enlace, de forma a não se transmitir

mais potência que o necessário. Isso é feito porque a transmissão de mais potência que o necessário para o enlace representa mais potência desnecessariamente consumida da fonte de energia. E um satélite deve administrar bem a energia que seus eletrônicos consomem, pois este não está conectado a fontes infindáveis de energia.

Sendo assim, a inserção de um mecanismo de controle de potência é de fundamental importância nos sistemas atuais de comunicação.

2.1.5 Linearidade

O desempenho dinâmico de um amplificador de potência torna-se crítico para alguns esquemas de modulação, pois a linearidade do PA contribui significativamente para o desempenho do transmissor. Assim, pode-se definir a linearidade de um PA de duas formas: a linearidade de amplitude e a linearidade de fase. A não-linearidade de amplitude, chamada de distorção AM-AM (modulação de amplitude para modulação de amplitude), é função da compressão de ganho, natural da maioria dos sistemas. A variação da transcondutância com o sinal de entrada, em um dispositivo MOSFET, é a principal responsável pela distorção AM-AM. Normalmente, torna-se difícil garantir uma boa linearidade sem comprometer a eficiência.

As distorções provocadas pela amplitude do sinal de entrada têm efeitos também na fase do sinal de saída, chamada distorção AM-PM. Devida, principalmente, à não-linearidade da capacitância de porta, em um dispositivo MOSFET. A não-linearidade de fase, chamada de distorção PM-PM (modulação de fase para modulação de fase), ocorre quando a variação da fase do sinal de saída não é linearmente proporcional à variação da fase do sinal de entrada. No entanto, o efeito da distorção PM-PM é reduzido, visto que a banda dos sinais modulados é pequena em comparação a frequência do sinal da portadora (REYNAERT; STEYAERT, 2006). Por isso, o amplificador não apresenta grande variação de comportamento, diante de uma pequena variação relativa de frequência em torno da frequência de operação.

Para verificar as não-linearidades de um amplificador de potência devem ser considerados os esquemas de modulação (RAZAVI, 2011). E assim, caracterizados segundo as exigências da aplicação, segundo seus requerimentos em nível de sistema. Pois, alguns esquemas de modulação não possuem preocupações quanto aos efeitos de distorção de amplitude, por exemplo, GSM e Bluetooth. Enquanto, como EDGE e WLAN, que possuem envoltória variável, têm degradação de desempenho em função da não-linearidade de amplitude.

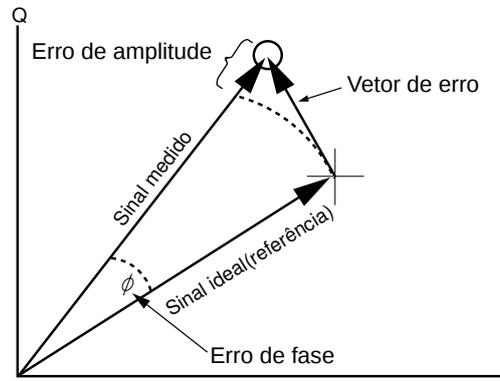
Sendo assim, verifica-se a linearidade de um PA, normalmente, através da caracterização da dinâmica do PA segundo seu desempenho em banda, chamado magnitude do vetor de erro (EVM), e segundo seu desempenho espectral fora da banda, medido através da razão de potência do canal adjacente (ACPR do inglês).

O EVM é definido como o valor médio quadrático (RMS) do erro entre os símbolos transmitidos ($IQ_{real}(i)$) e os símbolos de referência ($IQ_{ideal}(i)$). Este erro é calculado tipicamente para um grande número de símbolos da constelação (N). O EVM é calculado matematicamente pela Equação 2.24.

$$EVM_{RMS} = \frac{\sum_{i=0}^N \frac{1}{N} (IQ_{ideal}(i) - IQ_{real}(i))^2}{\sum_{i=0}^N \frac{1}{N} (IQ_{ideal}(i))^2} \quad (2.24)$$

Os vetores são exemplificados na Figura 2.6.

Figura 2.6: Magnitude do vetor de erro (EVM).



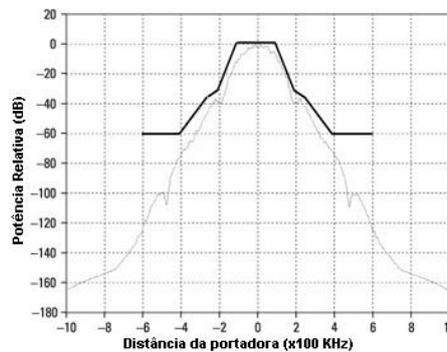
Fonte: Elaborado pelo próprio autor.

A razão de potência do canal adjacente é a métrica utilizada para avaliar as não linearidades de um PA através dos efeitos de crescimento espectral. Usada em detrimento do teste convencional de dois tons para prever adequadamente a interferência gerada por um transmissor usando modulações digitais (RAZAVI, 2011). Assim, o ACPR é definido segundo a Equação 2.25.

$$ACPR_{adj} = \frac{P_{adj}}{P_{main}} \quad (2.25)$$

O ACPR, portanto, são as regras impostas para que os transmissores não gerem espúrios nas faixas espectrais próximas. Assim, a forma mais comum de apresentar estes requerimentos é através da máscara espectral da modulação, que contém os limites impostos para o espectro de saída para cada faixa espectral. Assegurando que o amplificador de potência não irá corromper ou bloquear o espectro dos canais vizinhos. Um exemplo de máscara de emissão espectral é apresentada na Figura 2.7, para uma modulação *Gaussian-filtered minimum shift keying* (GMSK) usado no protocolo GSM-1900.

Figura 2.7: Espectro GMSK ideal e máscara requerida.



Fonte: SEURRE; SAVELLI; PIETRI (2002)

2.2 Classes de operação de amplificadores de potência

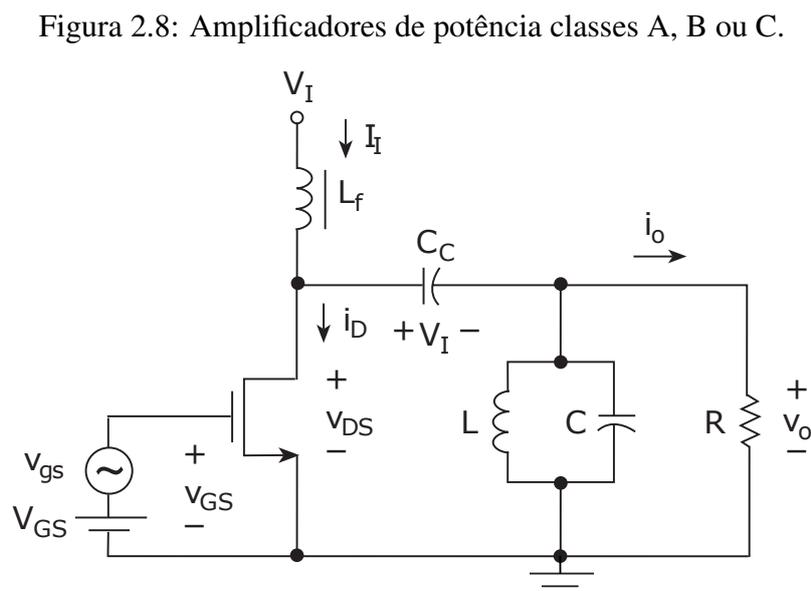
Os amplificadores de potência são classificados em classes, que dependem da forma como os elementos ativos (transistores) atuam sobre suas tensões e correntes, o que define seu conteúdo espectral. Duas grandes classes podem ser definidas segundo essa natureza: as classes tradicionais, chamadas genericamente “classes lineares” (A, B e C) e as classes chaveadas (D, E e F).

As classes de operação “lineares” supriram por longos anos as necessidades dos sistemas de comunicações por associarem um bom compromisso entre linearidade e eficiência. Porém, com a necessidade de portabilidade dos sistemas e consequente melhora da eficiência, o uso das classes chaveadas tem se tornado uma necessidade nos últimos anos em circuitos integrados, visto que estas classes já são facilmente encontradas em circuitos discretos.

2.2.1 Classes lineares A, B e C

As classes “lineares” são denominadas assim, pois, têm em comum uma tensão de dreno (idealmente) senoidal, devido à carga ressonante conectada ao dreno que filtra os harmônicos de mais alta ordem. E apesar de utilizarem dispositivos não lineares, estes são considerados como fontes dependentes de corrente. Assim, a forma de onda da corrente de dreno depende da tensão de entrada (porta-fonte, no caso de um MOSFET) e sua forma de onda, bem como do ponto de operação do transistor. Logo, a forma de onda do dreno é determinada pela fonte de corrente e impedância de carga (KAZIMIERCZUK, 2008).

A Figura 2.8 apresenta um circuito básico que pode ser utilizado para se implementar uma destas classes A, B ou C. Em classe A, a corrente quiescente (I_I) é grande o suficiente para manter o transistor ativo todo o tempo. A indutância *Radio Frequency Choke* (RFC), L_f , permite polarização na tensão V_I e excursão do sinal de tensão em V_{DS} de aproximadamente 0 V a $2V_I$ V.



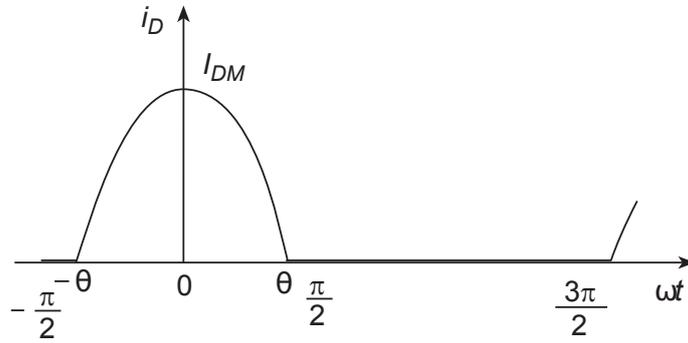
Fonte: KAZIMIERCZUK (2008)

Devido à ação do circuito sintonizado (LC) a tensão de dreno pode ser assumida senoidal, enquanto a corrente pode ser senoidal sobre uma componente DC, operando em classe A, ou não senoidal, como nos casos de operação em classes B ou C. Assim, o que

define a classe de operação é a parcela do ciclo do sinal de corrente que flui no transistor, chamada de ângulo de condução 2θ . Portanto, quando o transistor conduz durante todo o ciclo (360°) o amplificador opera em classe A. No caso da corrente fluir por metade do ciclo, em um ângulo de condução de 180° , a operação é chamada em classe B. Com ângulos e condução entre 180° e 360° opera em classe AB. A classe C é assim chamada quando o transistor opera com um ângulo de condução inferior a 180° (ROGERS; PLETT, 2003).

A corrente de dreno para um dado ângulo de condução pode ser definida de acordo com a Equação 2.26, e sua forma de onda é apresentada na Figura 2.9. A partir do desenvolvimento da série de Fourier, tem-se as correntes dc (I_I) e na frequência fundamental (I_m), assumindo que a rede é sintonizada para a frequência f_0 (KAZIMIERCZUK, 2008).

Figura 2.9: Formas de onda da corrente de dreno em um PA classe C.



Fonte: KAZIMIERCZUK (2008)

$$i_D = \begin{cases} I_{DM} \frac{\cos \omega t - \cos \theta}{1 - \cos \theta} & \text{for } -\theta < \omega t \leq \theta \\ 0 & \text{for } \theta < \omega t \leq 2\pi - \theta \end{cases} \quad (2.26)$$

A componente dc da corrente é dada pela Equação 2.27.

$$I_I = \frac{1}{2\pi} \int_{-\theta}^{\theta} i_D d(\omega t) = I_{DM} \frac{\sin \theta - \theta \cos \theta}{\pi(1 - \cos \theta)} \quad (2.27)$$

Logo, a potência dc é dada pela Equação 2.28.

$$P_I = I_I V_I = I_{DM} \frac{\sin \theta - \theta \cos \theta}{\pi(1 - \cos \theta)} V_I \quad (2.28)$$

Enquanto a amplitude da componente fundamental é encontrada na Equação 2.29.

$$I_m = \frac{1}{\pi} \int_{-\theta}^{\theta} i_D \cos \omega t d(\omega t) = I_{DM} \frac{\theta - \sin \theta \cos \theta}{\pi(1 - \cos \theta)} \quad (2.29)$$

Assim, a potência de saída é encontrada pela Equação 2.30, onde V_m é a tensão de pico na carga.

$$P_o = \frac{1}{2} I_m V_m = \frac{1}{2} I_{DM} \frac{\theta - \sin \theta \cos \theta}{\pi(1 - \cos \theta)} V_m \quad (2.30)$$

Baseado nas Equações 2.28 e 2.30, encontra-se a potência dissipada no transistor na Equação 2.31.

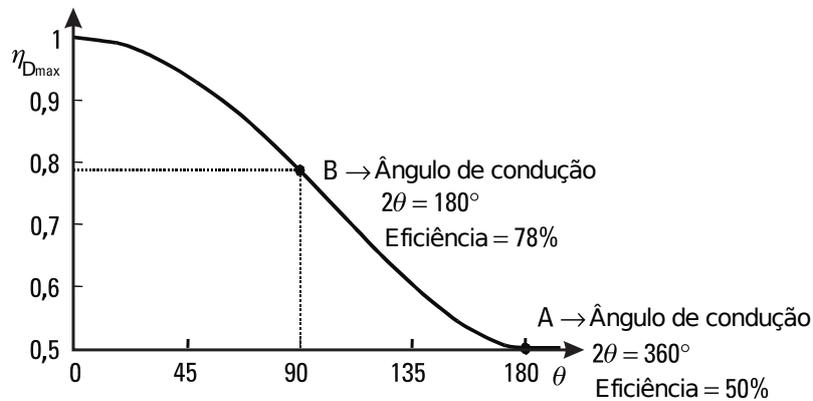
$$P_D = P_I - P_o \quad (2.31)$$

Portanto, a eficiência de dreno é calculada pela Equação 2.32. O máximo valor de V_m para evitar distorção e melhor eficiência de um amplificador operando em uma destas classes lineares é de V_I (KAZIMIERCZUK, 2008), portanto a eficiência de dreno (η_D) é calculada para esta condição.

$$\eta_D = \frac{P_o}{P_I} = \frac{1}{2} \left(\frac{I_m}{I_I} \right) \left(\frac{V_m}{V_I} \right) = \frac{\theta - \sin \theta \cos \theta}{2(\sin \theta - \theta \cos \theta)} \left(1 - \frac{V_{DSmin}}{V_I} \right) \quad (2.32)$$

A Figura 2.10 apresenta a eficiência de dreno máxima em função do ângulo de condução. A resistência de carga deve ser ajustada para que se tenha a excursão máxima aproximadamente entre V_{DSmin} e $2V_I$ para que estes valores sejam atingidos (ROGERS; PLETT, 2003). Esta curva apresenta a eficiência de dreno diminuindo de 100% para 50% quando o ângulo de condução é elevado de 0° para 180° .

Figura 2.10: Máxima eficiência em função do ângulo de condução.



A fim de se comparar o desempenho de um amplificador linear, é importante apresentar a capacidade relativa de cada uma das classes entregar potência. Assim, usando a potência normalizada para excursão máxima de $2V_I$ de tensão e para uma corrente de pico I_{DM} , e convertendo para rms, obtém-se a potência normalizada para operação em classe A.

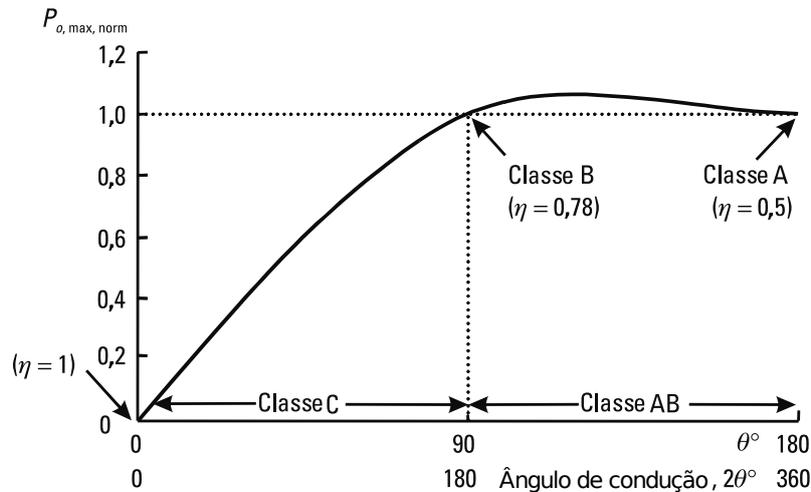
$$P_{o,norm} = \frac{I_{DM} 2V_I}{8} = \frac{I_{DM} V_I}{4} \quad (2.33)$$

$$P_{o,max,norm} = \frac{P_o}{P_{o,norm}} = 2 \frac{\theta - \sin \theta \cos \theta}{\pi(1 - \cos \theta)} \quad (2.34)$$

A Figura 2.11 apresenta a potência normalizada em função do ângulo de condução. Nota-se, que de acordo à Figura 2.10 a operação de um PA em classe C poderia (idealmente) atingir uma eficiência de dreno de 100%. Porém, como mostra a Figura 2.11, essa condição é atingida para uma potência de 0 W na saída, o que é obviamente uma condição indesejável em amplificadores de potência.

À medida que aumentamos o ângulo de condução, operando ainda em classe C, a eficiência diminui até o valor de 78%, com a potência normalizada aumentando até 1. Em classe B, vê-se igual capacidade de potência a um PA em classe A, no entanto obtém-se uma eficiência de 78% comparado a 50% da classe A. Operar em classe AB, define uma condição onde se eleva a capacidade de potência acima daquela obtida em classe A, com um máximo de aproximadamente de 1,15 em 240° .

Figura 2.11: Máxima potência de saída em função do ângulo de condução.



Fonte: ROGERS; PLETT (2003)

Outro aspecto a considerar quando se compara estas classes de operação diz respeito à linearidade: vê-se claramente que amplificadores operando em classe A têm uma linearidade melhor em relação às demais classes, visto que nestes amplificadores a corrente não é cortada em nenhum momento. Sendo a classe C o menos linear, pois neste a corrente sofre o maior corte, passando mais da metade do período sem sensibilidade ao sinal de entrada. Enquanto a classe AB guarda o melhor compromisso entre a linearidade da classe A e a eficiência da classe B.

2.2.2 Classes não lineares

Ao contrário dos amplificadores operando em classes lineares, que consideram a presença de sinais de tensões ou correntes, aproximadamente, senoidais no dreno do transistor. As classes não lineares descartam esta premissa, explorando harmônicos de mais alta ordem para melhorar o desempenho. Estas topologias são dependentes da rede passiva de saída, responsável por controlar as formas de onda no dreno e na carga de saída, minimizando o tempo em que há condução de grande corrente enquanto ainda existe alta tensão no transistor (RAZAVI, 2011).

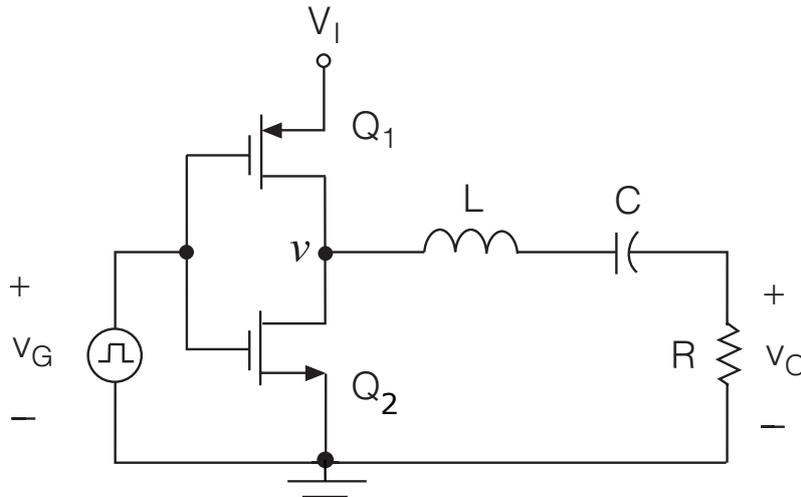
2.2.2.1 Classe D

É uma das classes de operação de amplificadores largamente utilizada em eletrônica discreta, e foi inventada em 1959 por Baxandall (KAZIMIERCZUK, 2008). Sua implementação envolve o uso de um transistor PMOS e um NMOS operando como chaves, para produzir uma onda de tensão idealmente quadrada, como mostra a Figura 2.12. A rede LC, conectada aos drenos dos transistores, é responsável pela filtragem de harmônicos da onda quadrada, permitindo que o sinal na carga possa ser considerado senoidal.

A análise da operação deste circuito é baseada na proposta por (KAZIMIERCZUK, 2008), e portanto, utiliza as mesmas premissas onde o transistor é considerado uma chave, com resistência linear quando ligado e com capacitâncias parasitas desprezadas. Os elementos da rede série são passivos, lineares, invariantes no tempo e não apresentam parasitas reativos. A rede série possui um fator de qualidade alto o suficiente para se considerar a corrente na carga senoidal.

Portanto, considerando que durante metade do período o NMOS (Q_2) conduz e na

Figura 2.12: Esquemático amplificador classe D.



Fonte: KAZIMIERCZUK (2008)

outra metade o PMOS (Q_1) conduz corrente, semelhante a um inversor digital. Assim, a tensão de saída pode ser definida de acordo com a Equação 2.35, que representa a situação onde a tensão de saída assume o valor de V_I quando a chave Q_1 está ligada (Q_2 desligada) e valor 0 V quando Q_2 está ligada (Q_1 desligada). A Figura 2.13(a) apresenta o circuito equivalente para o circuito da Figura 2.12, onde as chaves são substituídas pelas resistências equivalentes, o indutor L possui resistência parasita (r_L), e o capacitor C possui resistência parasita (r_C). As correntes e tensões utilizadas para se definir as expressões da tensão de dreno dada pela Equação 2.35 são indicadas na Figura 2.13(a).

$$v \approx v_{DS2} = \begin{cases} V_I & \text{for } 0 < \omega t \leq \pi \\ 0 & \text{for } \pi < \omega t \leq 2\pi \end{cases} \quad (2.35)$$

O que resulta na Equação 2.36 após expansão em série de Fourier.

$$v \approx v_{DS2} = V_I \left(\frac{1}{2} + \frac{2}{\pi} \sin(\omega t) + \frac{2}{3\pi} \sin(3\omega t) + \frac{2}{5\pi} \sin(5\omega t) + \dots \right) \quad (2.36)$$

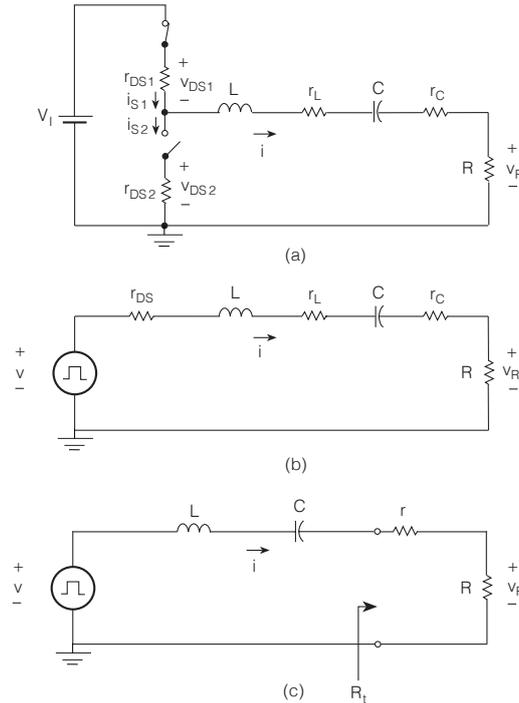
Logo, a componente fundamental é facilmente identificada e apresentada na Equação 2.37

$$v_{DS2} = V_m \sin(\omega t) = \frac{2V_I}{\pi} \sin(\omega t) = 0,637V_I \sin(\omega t) \quad (2.37)$$

Baseado no comportamento ressonante da rede em série ($Z = j(X_L - X_C)$), apresentada no circuito equivalente da Figura 2.13(b), quando a chave Q_1 encontra-se ligada. Pode-se afirmar que esta apresentará uma alta impedância capacitiva para frequências abaixo da frequência de ressonância (f_0), e impedância indutiva para frequências acima de f_0 . Como definido nas premissas de funcionamento do circuito, para frequências próximas de f_0 tem-se uma baixa impedância dessa rede, e para os harmônicos uma alta impedância, o que permite que a corrente da carga seja aproximada por uma onda senoidal da forma da Equação 2.38.

$$i = I_m \sin(\omega t - \psi) \quad (2.38)$$

Figura 2.13: PA classe D com circuito série ressonante. (a)-(c) Circuitos equivalentes



Fonte: KAZIMIERCZUK (2008)

Onde ψ é a defasagem produzida pela rede em série. A amplitude desta corrente pode ser encontrada a partir da impedância do circuito ressonante Z , Equação 2.39.

$$I_m = \frac{V_m}{|Z|} = \frac{2V_I}{\pi Z_0 \sqrt{\left(\frac{R_t}{Z_0}\right)^2 + \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}\right)^2}} \quad (2.39)$$

Onde Z_0 é a impedância característica do circuito ressonante, e a resistência total R_t é indicada na Figura 2.13(c), que mostra o circuito equivalente RLC, com a resistência (r) sendo a soma das resistências r_{DS1} , r_L e r_C . Dessa expressão pode ser obtido o valor da amplitude da corrente senoidal (fundamental), na condição de frequência de operação (f) igual à frequência f_0 , Equação 2.40.

$$I_{mr} = \frac{2V_I}{\pi R_t} \quad (2.40)$$

A corrente dc consumida (I_I) pode ser encontrada a partir da Equação 2.38, visto que a corrente entregue pela fonte V_I é a mesma que passa pela chave S1 (i_{s1}) da Figura 2.13(a). Portanto, a componente dc é encontrada através da integral dessa corrente em um período, apresentada na Equação 2.41.

$$I_I = \frac{1}{2\pi} \int_0^{2\pi} i_{s1} d(\omega t) = \frac{I_m}{2\pi} \int_0^\pi \sin(\omega t - \psi) d(\omega t) \quad (2.41)$$

Após resolver a integral para a condição de operação $f = f_0$ tem-se a corrente dc dada pela Equação 2.42.

$$I_I = \frac{I_m}{\pi} = \frac{2V_I}{\pi^2 R_t} \approx \frac{V_I}{5R_t} \quad (2.42)$$

Logo, o consumo de potência dc é expresso pela Equação 2.43.

$$P_I = \frac{2V_I^2}{\pi^2 R_t} \approx \frac{V_I^2}{5R_t} \quad (2.43)$$

Usando-se a Equação 2.39, a potência de saída é encontrada através da Equação 2.44 em $f = f_0$.

$$P_o = \frac{I_{rm}^2 R}{2} \approx \frac{2V_I^2}{\pi^2 R} \quad (2.44)$$

Para se encontrar a eficiência de dreno deste circuito basta se utilizar as Equações 2.43 e 2.44.

$$\eta_D = \frac{P_o}{P_I} = \frac{R}{R_t} = 1 - \frac{Q_L}{Q_0} \quad (2.45)$$

Onde Q_L indica o fator de qualidade do circuito RLC carregado (considerando a carga R) enquanto Q_0 é o fator de qualidade do circuito RLC intrínseco. Portanto, para que se obtenha alta eficiência, a carga R do circuito deve ser alta em relação aos parasitas dos dispositivos passivos e as resistências das chaves. O que implica elevado fator de qualidade da rede passiva para obtenção de alta eficiência.

Outro fator importante é a presença dos capacitores parasitas nos drenos dos transistores, que são intrínsecos ao processo CMOS. Estes capacitores são carregados quando o transistor Q_P conduz, e descarregados quando Q_N liga, resultando em uma potência que é dissipada em cada ciclo da frequência de operação (f). A potência dissipada é definida pela Equação 2.46 para uma capacitância parasita (C_{par}) total conectada nos drenos dos transistores. Esta fonte de perdas leva a uma degradação da eficiência.

$$P_{diss} = \frac{1}{2} f C_{par} V_I^2 \quad (2.46)$$

Outro fator que gera um impacto grande no desempenho destes amplificadores é a necessidade de alta potência de entrada, tendo este amplificador não somente um transistor na entrada e sim um NMOS e um PMOS a serem acionados pelos *drivers*. Assim, dado que nos processos CMOS utilizados a mobilidade dos elétrons é maior que a mobilidade das lacunas, o transistor PMOS deve ser fabricado com largura cerca de duas a três vezes maior que a largura dos transistores NMOS, para manter igual capacidade de corrente entre eles, fazendo com que as capacitâncias parasitas sejam maiores que o dobro daquelas apresentadas caso fosse utilizado uma classe com apenas um transistor NMOS. Resultando, portanto, em uma capacitância de entrada alta, tornando estes amplificadores menos atrativos para aplicações RF de alto desempenho (REYNAERT; STEYAERT, 2006).

2.2.2.2 Classe E

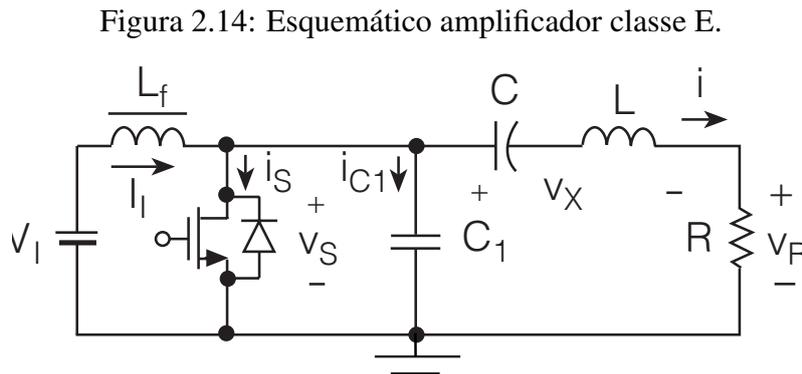
A implementação de amplificadores chaveados têm se mostrado atrativa, devido à sua capacidade de se atingir alta eficiência. E nesse contexto, a classe E tem se mostrado uma alternativa à classe D de operação, em virtude de suas características de produzir uma tensão zero quando a chave entra em operação, chamada condição de chaveamento em tensão zero (ZVS do inglês *zero voltage switching*), e um chaveamento quando a derivada da tensão também é zero (ZDS do inglês *Zero Derivative Switching*). Como apresentado em (SOKAL; SOKAL, 1975) estas são as condições para operação em classe

E, embora apenas a condição ZVS seja necessária para se obter 100% de eficiência, a condição ZDS oferece melhor imunidade às variações dos componentes (REYNAERT; STEYAERT, 2006).

Um amplificador operando em classe E pode ser visto como uma chave de pólo simples e uma rede de carga. Como apresentado neste trabalho, esta rede consiste em um circuito ressonante em série com a resistência de carga, enquanto a chave é implementada pelo transistor NMOS. Assim, a tensão de dreno é determinada pela chave enquanto ligada, e pela resposta transiente da rede de carga quando a chave estiver desligada (RAAB, 1977).

A análise para o circuito da Figura 2.14 é baseada nas seguintes premissas:

1. O transistor possui resistência zero quando ligado, e a resistência desligado é infinita, e o tempo de chaveamento é zero.
2. A indutância *Choke* (L_f) é alta o suficiente para considerar a corrente ac muito menor em relação a corrente dc sobre esta indutância.
3. O fator de qualidade carregado (Q_L) da rede RLC do circuito é alto o suficiente para se considerar a corrente passando por esta rede senoidal.
4. O ciclo de condução D é de 0,5.



Fonte: KAZIMIERCZUK (2008)

De acordo com as premissas assumidas, tem-se a corrente através da rede ressonante dada pela Equação 2.47. Onde I_m é a amplitude desta corrente, ϕ é a fase inicial, i é mostrada na Figura 2.14 e ω é a frequência angular de operação.

$$i = I_m \sin(\omega t + \phi) \quad (2.47)$$

Da Figura 2.14 tem-se,

$$i_S + i_{C1} = I_I - i = I_I - I_m \sin(\omega t + \phi) \quad (2.48)$$

Da operação do transistor, em 50% do ciclo da frequência de operação, define-se a corrente através da chave pela Equação 2.49.

$$I_S = \begin{cases} I_I - I_m \sin(\omega t + \phi) & \text{for } 0 < \omega t \leq \pi \\ 0 & \text{for } \pi < \omega t \leq 2\pi \end{cases} \quad (2.49)$$

Como o capacitor C_1 não conduz corrente quando a chave está ligada e a corrente passando pela rede ressonante é a mesma que passará pelo capacitor no período em que a

chave está desligada, portanto a corrente no capacitor é dada através da Equação 2.50.

$$i_{C1} = \begin{cases} 0 & \text{for } 0 < \omega t \leq \pi \\ I_I - I_m \sin(\omega t + \phi) & \text{for } \pi < \omega t \leq 2\pi \end{cases} \quad (2.50)$$

Logo, a tensão sobre o capacitor (v_{C1}) pode ser encontrada integrando-se a corrente (i_{C1}) sobre ele e a tensão na chave (v_S) será igual a v_{C1} .

$$\begin{aligned} v_S = v_{C1} &= \frac{1}{\omega C_1} \int_{\pi}^{\omega t} i_{C1} d(\omega t) = \frac{1}{\omega C_1} \int_{\pi}^{\omega t} [I_I - I_m \sin(\omega t + \phi)] d(\omega t) \\ &= \begin{cases} 0 & \text{for } 0 < \omega t \leq \pi \\ \frac{1}{\omega C_1} \{I_I(\omega t - \pi) + I_m[\cos(\omega t + \phi) + \cos \phi]\} & \text{for } \pi < \omega t \leq 2\pi \end{cases} \end{aligned} \quad (2.51)$$

Utilizando a condição de ZVS onde $v_S(2\pi) = 0$ na Equação 2.51, obtém-se uma relação entre I_I , I_m e ϕ apresentada na Equação 2.52.

$$I_m = -I_I \frac{\pi}{2 \cos \phi} \quad (2.52)$$

Esta por sua vez pode ser combinada com a Equação 2.51 e então aplicar a condição ZDS ($d(v_S)/d(\omega t) = 0$ em $\omega t = 2\pi$), para a obtenção da expressão do ângulo inicial ϕ , através da Equação 2.53.

$$\tan \phi = -\frac{2}{\pi} \quad (2.53)$$

Da qual é extraído o valor deste ângulo.

$$\phi = \pi - \arctan\left(\frac{2}{\pi}\right) = 2,5747 \text{ rad} = 147,52^\circ \quad (2.54)$$

A partir deste valor, substituindo nas equações das tensões e correntes previamente desenvolvidas, chega-se na tensão de alimentação (V_I), considerando-se a queda na indutância *Choke* igual a zero.

$$\begin{aligned} V_I &= \frac{1}{2\pi} \int_{\pi}^{2\pi} v_S d(\omega t) \\ &= \frac{I_I}{2\pi\omega C_1} \int_{\pi}^{2\pi} \left(\omega t - \frac{3\pi}{2} - \frac{\pi}{2} \cos(\omega t) - \sin(\omega t)\right) d(\omega t) = \frac{I_I}{\pi\omega C_1} \end{aligned} \quad (2.55)$$

O que leva a um importante parâmetro de um amplificador classe E, que é a impedância de entrada dc (R_{DC}).

$$R_{DC} = \frac{V_I}{I_I} = \frac{1}{\pi\omega C_1} \quad (2.56)$$

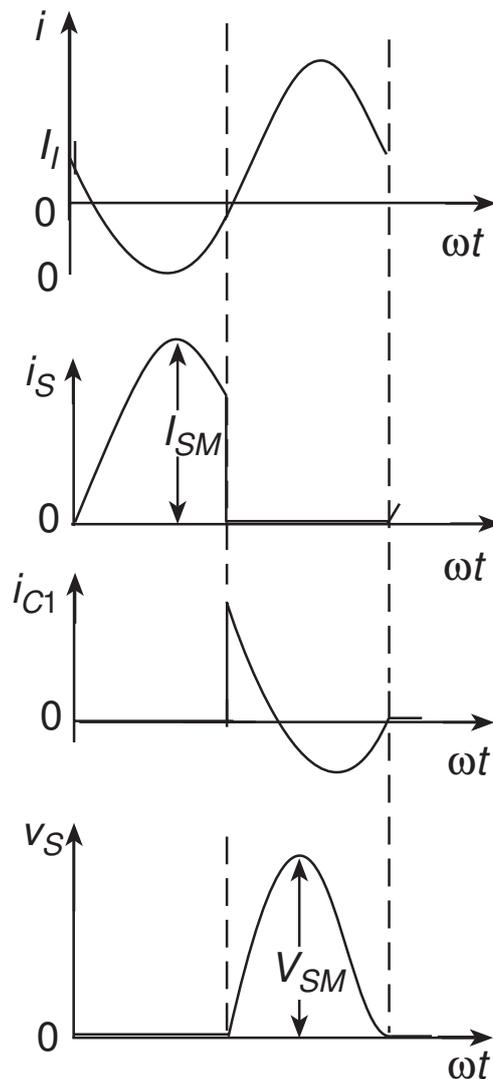
Assim, após alguma manipulação matemática das equações de corrente e tensão sobre a chave, pode-se obter os valores da corrente máxima (I_{SM}), na Equação 2.57, e o valor máximo da tensão (V_{SM}), na Equação 2.58, fazendo uso das condições $d(i_S)/d(\omega t) = 0$ e $d(v_S)/d(\omega t) = 0$, respectivamente.

$$I_{SM} = I_I \left(\frac{\sqrt{\pi^2 + 4}}{2} + 1 \right) = 2,862 I_I \quad (2.57)$$

$$V_{SM} = 2\pi(\pi - \phi)V_I = 3,562V_I \quad (2.58)$$

As formas de onda da corrente e da tensão na chave do amplificador, Figura 2.14, são apresentadas na Figura 2.15. Nota-se, portanto, que o stress de tensão provocado no transistor é função da rede passiva, conectada no dreno deste. Este é um dos principais problemas em se implementar amplificadores operando em classe E em tecnologia CMOS, visto que este valor é inerente à operação nesta classe.

Figura 2.15: Formas de onda de um amplificador operando em classe E.

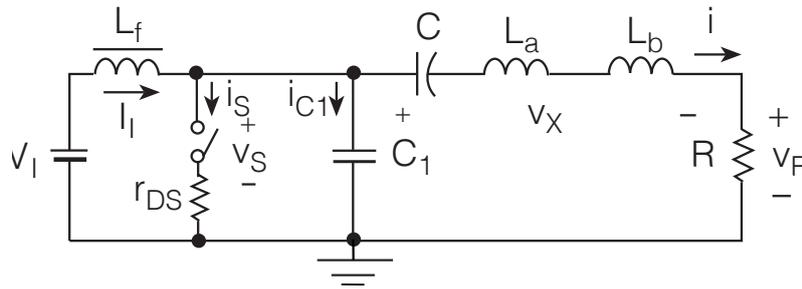


Fonte: KAZIMIERCZUK (2008)

Para o cálculo da potência de saída, é assumida uma corrente senoidal passando na rede RLC, portanto, as componentes harmônicas da frequência fundamental são zero. Para este propósito é utilizado o circuito equivalente da Figura 2.16, onde o indutor L da Figura 2.14 é substituído pelo equivalente série de L_a e L_b . Assim pode-se assumir que o conjunto L_a - C ressona na frequência f_o , enquanto L_b é o responsável pelo desvio de fase do conjunto RLC.

Utilizando este arranjo, pode-se determinar as relações de tensões sobre o indutor L_b e a carga R , encontrando assim a excursão de tensão na carga $V_{Rm} \approx 1,074V_I$ (KA-

Figura 2.16: Esquemático do circuito equivalente do amplificador classe E.



Fonte: KAZIMIERCZUK (2008)

ZIMIERCZUK, 2008). Resultando na potência de saída (P_O), calculada pela Equação 2.59.

$$P_O = \frac{V_{Rm}^2}{2R} \approx 0,5768 \frac{V_I^2}{R} \quad (2.59)$$

Após definidas as condições de operação em classe E, e dispondo das equações de tensões e correntes da Figura 2.14, pode-se chegar aos valores dos componentes da rede passiva, resumidos nas Equações 2.60-2.63 (KAZIMIERCZUK, 2008) para o esquemático da Figura 2.14.

$$R = 0,577 \frac{V_I^2}{P_O} \quad (2.60)$$

$$C_1 = \frac{0,1836}{R\omega_0} \quad (2.61)$$

$$L = R \frac{Q_L}{\omega_0} \quad (2.62)$$

$$C = \frac{1}{\omega_0^2 L} \left(\frac{Q_L}{Q_L - 1,1525} \right) \quad (2.63)$$

Entre as principais vantagens de um amplificador classe E está a sua alta eficiência, sua característica de chaveamento, bem como a capacidade em reduzir as perdas de chaveamento devido à capacitância parasita do transistor. Porém, alguns problemas de implementação, comuns na maioria dos circuitos chaveados, estão também presentes como as perdas pela resistência da chave. Também deve ser levado em consideração no projeto o fator de qualidade da rede passiva, que degrada o desempenho do amplificador, reduzindo sua eficiência. Além disso, crescem as preocupações a respeito da operação segura dos dispositivos utilizados, visto que a tensão de dreno pode atingir idealmente $3,6V_{DD}$ (Equação 2.58).

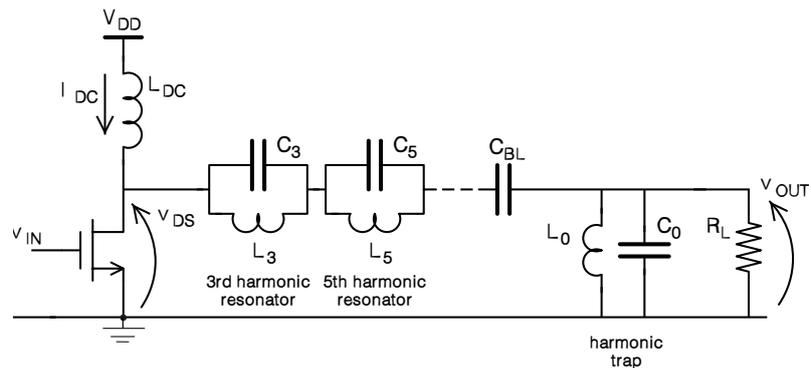
2.2.2.3 Classe F

Outra forma de se atingir alta eficiência é por meio da seleção do conteúdo espectral, onde uma rede passiva com filtros ressonantes nas frequências dos harmônicos é responsável pela redução da sobreposição das curvas de corrente e tensão. Conhecido como classe F de operação, este método de melhorar a eficiência é um dos mais antigos e foi inventado por Tyler em 1919 (KAZIMIERCZUK, 2008).

A figura 2.17 apresenta um esquemático do amplificador classe F. Neste caso, pode-se considerar um amplificador classe B, com tempo de condução de 50%, acrescido de filtros

ressonadores (REYNAERT; STEYAERT, 2006). A operação deste circuito consiste em adicionar filtros sintonizados nas frequências ímpares, de forma que a onda no dreno do transistor pareça quadrada à medida que o número de filtros harmônicos é aumentado. Um circuito ressonante na frequência de operação paralelo à carga garante uma onda senoidal na saída, desde que seu fator de qualidade seja suficientemente alto. Assim, a eficiência do circuito da Figura 2.17 pode chegar até 92,0%.

Figura 2.17: Esquemático amplificador classe F.



Fonte: REYNAERT; STEYAERT (2006)

No entanto, uma eficiência ideal de 100% só é atingida quando se tem um número infinito de filtros harmônicos, o que na prática implica o uso de uma linha de transmissão $\lambda/4$. A implementação desta linha torna a integração difícil, pois para o caso de operação em 1 GHz e com uma permissividade relativa de 9, o comprimento de uma *stripline* seria de 25 mm. Esta classe de operação é considerada chaveada, para o caso onde tem-se infinitos harmônicos, de outra forma o transistor tem os mesmo requisitos de um amplificador operando em classe B (REYNAERT; STEYAERT, 2006).

Esta classe é uma alternativa para implementação de PAs com alta eficiência mesmo utilizando poucos filtros de harmônicos, podendo sua implementação atingir uma eficiência comparável às demais classes, principalmente a classe E, no entanto, neste trabalho optou-se pela utilização da classe E pelas vantagens apresentadas anteriormente.

2.3 PAs em tecnologia CMOS

A principal figura de mérito de um PA é sua potência de saída, que é apresentada através da Equação 2.64. Logo, existem apenas duas variáveis com as quais o projetista precisa lidar para conseguir altas potências. Por isso o projeto de PAs continua desafiador, com apenas as opções de se aumentar a tensão de pico de saída V , o que está diretamente relacionado à tensão de alimentação disponível, ou se reduzir a carga na saída (R_L). Muitos esforços têm sido feitos para melhoria destas estratégias e serão apresentadas nesta seção.

$$P = \frac{V^2}{2R_L} \quad (2.64)$$

2.3.1 Tensão de alimentação

Atualmente, o avanço das tecnologias CMOS permite sua operação em maiores frequências (maior F_t e F_{max}), porém isso veio com o preço da diminuição da tensão de ruptura dos dispositivos (HAJIMIRI, 2011). Assim, os circuitos que operam em pequenos sinais não sofreram tanto com esta redução, ao contrário daqueles que operam em grandes sinais, já que estes intrinsecamente necessitam de maior excursão de sinais.

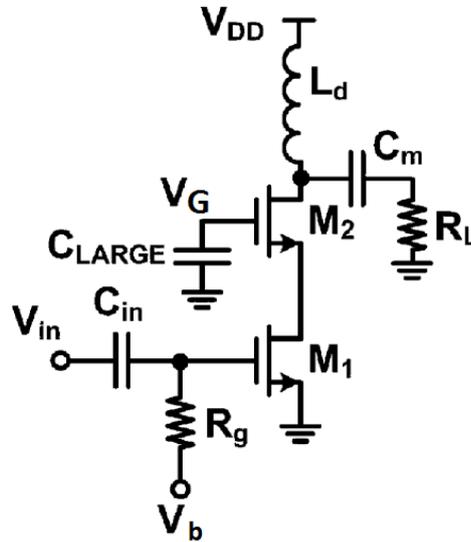
Portanto, para se conseguir garantir a operação segura dos dispositivos e ao mesmo tempo aumentar a excursão de tensão na carga, há necessidade de inovação na topologia dos circuitos. Apesar das condições seguras de operação em RF não serem ainda conhecidas, a prática comum nestes casos é se manter as tensões sobre óxidos abaixo de $2V_{DD}$ (MAZZANTI et al., 2006). Para isto, a maioria dos trabalhos publicados recentemente fazem uso da estrutura cascode, para garantir operação segura e aceitável tensão de alimentação (JOHANSSON; FRITZIN, 2014).

Como mencionado anteriormente na Seção 2.2, a tensão de dreno de um transistor operando como chave em um amplificador classe E pode chegar a aproximadamente $3,6V_{DD}$. Adicionando um transistor M2 em série a M1 para implementar a chave, Figura 2.18, esta tensão será dividida entre os dois transistores, e assim a queda de tensão sobre o óxido cai para $V_{gd2,max} = 3,56V_{DD} - V_G$, sobre o transistor M2 e $V_{gd1,max} = V_G - V_{TH2}$, sobre M1. Logo, pode-se notar um relevante aumento na tensão de alimentação que pode ser utilizada sem se ultrapassar os limites de operação dos dispositivos.

A ideia da topologia cascode pode ser estendida para uma pilha de transistores, para se elevar a tensão de alimentação (ANNEMA; GEELLEN; JONG, 2001). Utilizando-se a estratégia apresentada na Figura 2.19 com apropriada polarização, pode-se conseguir aumentar a tensão de alimentação pelo fator do número "n" de transistores empilhados, para uma mesma potência de saída. No entanto, obviamente à medida que se coloca transistores em série empilhados, as perdas por condução de corrente crescem de acordo à resistência equivalente destes. Portanto, irá existir um compromisso entre a escolha do número de transistores empilhados, para se aumentar a tensão de alimentação, e a eficiência atingida por este arranjo devido às perdas na chave.

Porém, substituindo-se M2 por um dispositivo E/S (entrada/saída) de óxido espesso (comprimento de canal típico de cerca de 0,35-0,6 μm) consegue-se aumentar em cerca de três vezes a tensão de alimentação. Como resultado tem-se uma maior potência, se mantida a carga, e menor corrente nos dispositivos, possibilitando uma maior eficiência. Esta topologia permite a operação em alta frequência e operação segura, utilizando a velocidade dos transistores de óxido fino, em configuração fonte comum, aliada a maior

Figura 2.18: Topologia cascode.



Fonte: JOHANSSON; FRITZIN (2014)

tensão de ruptura dos transistores de óxido espesso.

2.3.2 Carga de Saída

De acordo à Equação 2.64, o segundo parâmetro que afeta a potência de saída é a carga. Por outro lado, é comum o uso da impedância 50Ω como referência de carga, logo o uso de uma rede de transformação de impedância faz-se necessária. A técnica mais utilizada ao longo dos anos é a transformação por uma rede L. O fator de transformação para uma rede L é definido como a relação entre as impedâncias que se deseja transformar. Neste caso, considera-se R_0 a impedância padrão de 50Ω , e a carga R_L , da Equação 2.60, assim o fator de transformação é dado pela Equação 2.65.

$$m = R_0/R_L = P_{out} * R_0 / (0,577 * V_{dd}^2) \quad (2.65)$$

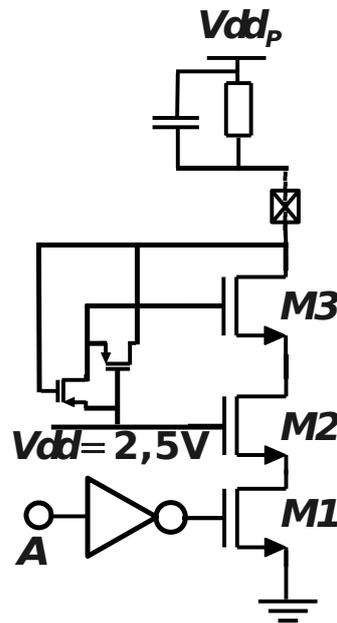
Para exemplificar, para se atingir 1W de potência de saída com uma tensão de alimentação de 1,2 V, a relação de transformação é de aproximadamente 60, enquanto em se usando 3,3 V de tensão de alimentação, tem-se “m” de aproximadamente 6,2. Portanto, como este fator está diretamente relacionado às perdas da rede de casamento, diminuir esta relação torna-se importante. Pode ser demonstrado que a perda por inserção (IL) de uma rede de casamento L, é dada pela Equação 2.66 (NIKNEJAD, 2007)

$$IL = \frac{1}{1 + \frac{Q_{net}}{Q_c}} = \frac{1}{1 + \frac{\sqrt{m-1}}{Q_c}} \quad (2.66)$$

Onde Q_C é o fator de qualidade dos componentes e Q_{net} é o fator de qualidade da rede de casamento. Assim, ficam claras as vantagens em se diminuir a relação de transformação ao menor valor possível, para se atingir melhor eficiência.

Muitos esforços foram feitos nos últimos anos para se reduzir esta relação. Uma das técnicas mais convencionais é se usar a estrutura diferencial, visto que a excursão de tensão é dobrada, reduzindo em um quarto a relação de transformação e mantendo-se o mesmo stress sobre os transistores, para uma mesma potência de saída. Porém,

Figura 2.19: Topologia com transistores empilhados.



Fonte: ANNEMA; GEELLEN; JONG (2001)

aumentando-se no mínimo em duas vezes a área ocupada e a evidente necessidade de um balun para a conversão diferencial para *single-end*, nos sistemas que possuem saída *single-end*.

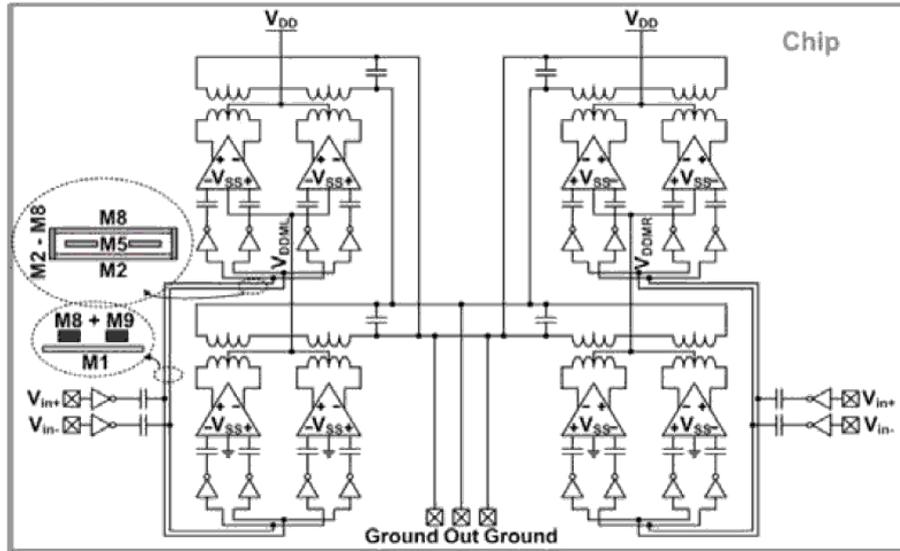
Outra abordagem muito citada apresenta o conceito de combinação de potência, utilizando os enrolamentos secundários dos transformadores conectados em série (LIU; LIU; NIKNEJAD, 2006), (LIU et al., 2008) ou paralelo (AFSAHI et al., 2009) para se reduzir a potência de saída necessária de cada PA conectado nos primários dos enrolamentos. O baixo fator de qualidade dos transformadores integrados fez crescer o uso de soluções em dois chips com o uso de transformadores passivos integrados em tecnologia IDP (Integrated Passive Devices) (LEE; PARK; HONG, 2009), (SON; PARK; HONG, 2009).

Trabalhos mais recentes utilizam uma estrutura em 2×4 array, apresentada na Figura 2.20, combinando 8 células unitárias de PAs com o conjunto de cada dois deles em série e combinando-os em paralelo para atingir cerca de 1W de potência (FATHI; SU; WOOLLEY, 2013). A combinação de potência aumenta a complexidade das estruturas, elevando a exigência por simetria e casamento das estruturas (AN et al., 2008).

Uma estratégia bastante adotada em amplificadores classe E é a utilização de uma indutância finita (L_f) no lugar de um indutor RF-choke. Com essa estratégia adiciona-se mais um grau de liberdade na implementação do amplificador, o próprio valor da indutância finita. Com isso, a resistência de carga agora é determinada pela potência de saída, tensão de alimentação e a indutância finita. Ao contrário da solução analítica encontrada para o caso onde se tem um RFC, o uso de uma indutância finita não permite tal solução, e portanto, uma solução numérica é necessária para a análise do amplificador. Porém, o resultado dessa solução é bastante difundido na literatura e apresenta-se na Tabela 2.1 os principais parâmetros afetados, quando se tem diferentes valores para esta indutância KAZIMIERCZUK (2008).

Verifica-se, portanto, um aumento da carga R, enquanto a capacitância C_1 é maior à medida em que a relação de impedância da indutância L_f e resistência da rede RLC

Figura 2.20: 2x4 array de combinadores de potência.



Fonte: FATHI; SU; WOOLEY (2013)

Tabela 2.1: Parâmetros de amplificador classe E com indutância finita.

$\omega L_f/R_{DC}$	$\omega L_f/R$	$\omega C_1 R$	$\omega L_b/R$	RP_o/V_I^2
∞	∞	0,1836	1,152	0,5768
1000	574,40	0,1839	1,151	0,5774
100	58,34	0,1867	1,141	0,5834
10	6,47	0,2175	1,039	0,6470
1	1,363	0,6839	0,0007	1,3630

diminui. Esta relação tem um impacto positivo direto, pois permite uma diminuição no fator de transformação enquanto permite o aumento do tamanho do transistor. Ainda, a adição de mais um grau de liberdade permite a redução da tensão de pico para, aproximadamente, duas vezes e meia a tensão de alimentação (ZULINSKI; STEADMAN, 1987), (YOO; HUANG, 2000). Possibilitando assim a redução do stress sobre os transistores, o aumento da potência de saída, da carga de saída e da eficiência (YOO; HUANG, 2000).

2.4 Operação Segura

Acompanhado da grande evolução na velocidade dos dispositivos surgiram as preocupações com a operação segura destes. Para manter a operação segura dos dispositivos CMOS adota-se a redução da tensão de alimentação, prevenindo os efeitos de degradação. Porém, no desenvolvimento de circuitos que possuem grande excursão de tensão, como os PAs, torna-se desafiador o projeto para se atingir altas potências de saída e uma vida útil aceitável.

Os amplificadores de potência requerem altas tensões e correntes, e assim acabam operando nos limites das tensões e correntes do dispositivo. Sendo a vida útil destes dispositivos principalmente dependentes dos campos elétricos no transistor e através de suas junções. A maioria dos estudos publicados foca nos efeitos de degradação dos dispositivos em operação DC ou de baixa frequência, enquanto poucos estudos focam no comportamento dos efeitos de estresse em operação em RF (SASSE; KUPER; SCHMITZ, 2008). Estes estudos apontam para três principais mecanismos que determinam os limites de tensões e correntes nos dispositivos NMOS.

1. Tensão de ruptura do óxido de porta.
2. *Hot-carrier injection*
3. Ruptura da junção e *punch-through*

Com a redução da espessura do óxido de porta, um dos principais pontos que sofrem falhas nos dispositivos é este óxido. Para uma espessura de porta de 1 nm, quando aplicada uma tensão de 1 V, tem-se uma tensão sobre o óxido de 10 MV/cm. Enquanto um óxido de SiO_2 de boa qualidade, com pequena espessura (< 10 nm), possui campo elétrico de ruptura da ordem de 15 MV/cm (NIKNEJAD; CHOWDHURY; CHEN, 2012). Portanto, mesmo uma pequena tensão aplicada em um dispositivo de óxido fino pode resultar em um campo elétrico que ultrapassa esse limite. Estes altos campos elétricos ao longo do tempo de operação conduzem a uma ruptura catastrófica, conhecida como ruptura do dielétrico dependente do tempo (TDDB do inglês *Time-Dependent Dielectric Breakdown*). Uma prática comum utilizada é manter as máximas tensões através do dispositivo abaixo de duas vezes a tensão de alimentação (MAZZANTI et al., 2006).

Outro importante mecanismo acontece na presença de alta tensão entre porta e dreno, por meio do fenômeno chamado *Hot-carrier injection*. Quando na região de depleção, próxima ao dreno, o pico de campo elétrico é suficientemente alto para empurrar elétrons da banda de valência para a banda de condução (NIKNEJAD; CHOWDHURY; CHEN, 2012), fazendo com que os portadores com grande energia que passam pelo canal do MOSFET possam tunelar pelo óxido de porta, onde poderá surgir um aprisionamento de carga que provocará mudanças nos parâmetros dos dispositivos, como a tensão de limiar e transcondutância (SASSE; KUPER; SCHMITZ, 2008). Para dispositivos com comprimento de canais maiores a 100 nm, o efeito deste estresse é mais severo quando a tensão de dreno-fonte é alta e a tensão porta-fonte é em torno da metade da tensão dreno-fonte, porém nos dispositivos com $L < 100$ nm, esse efeito é máximo quando a tensão porta-fonte é similar a tensão dreno-fonte (JOHANSSON; FRITZIN, 2014).

A ruptura da junção pode não ser um fenômeno destrutivo e tão pronunciado quanto os outros dois acima, mesmo incluindo o efeito chamado *punch-through*, onde as regiões de depleção do dreno e fonte se unem em uma só região de depleção. Porém, este efeito poderá gerar uma grande corrente e uma alta queda de tensão, que resultará em portadores de alta energia e causará problemas térmicos, especialmente para um longo período de

tempo (JOHANSSON; FRITZIN, 2014).

Em amplificadores de potência um desses efeitos predomina em relação a outros de acordo a classe de operação. O estresse causado por *hot-carriers* depende de uma grande quantidade de elétrons e um campo elétrico lateral alto, implicando a existência de uma alta corrente de dreno e alta tensão de dreno. Portanto, as classes lineares são as que possuem este efeito mais pronunciado, pois, nestas classes, o transistor conduz grande quantidade de corrente, enquanto mantém uma grande tensão de dreno. A operação em classe A obriga maior cuidado que a operação em classe B, pois aquela conduz corrente sempre quando a tensão começa a subir acima da tensão de alimentação, enquanto em classe B a condução de corrente ocorre apenas quando a tensão de dreno está abaixo do valor de V_{DD} . Estas classes possuem uma excursão da tensão de dreno da ordem de $2V_{DD}$, não aumentando as preocupações com a ruptura de óxido.

Para as classes de operações chaveadas, no caso da classe D, tem-se um chaveamento quando ainda existe uma tensão no dreno, e a tensão deve ser mantida abaixo da tensão de alimentação nominal da tecnologia, não demonstrando grandes efeitos devido aos mecanismos de ruptura. Enquanto, em classe F o comportamento é semelhante à operação em classe B. Contudo, a operação em classe E não sofre de grande efeito de *hot-carriers*, visto que a condução do transistor ocorre apenas quando a tensão de dreno retorna ao valor zero. Porém, a operação é limitada pelos efeitos de degradação por ruptura de óxido e ruptura da junção. Pois, a tensão de dreno pode atingir um valor ideal de $3,6V_{DD}$, que poderá provocar a ruptura do óxido. No entanto, é importante lembrar que a tensão de ruptura de dreno para a tecnologia CMOS, para corrente de dreno igual a zero, é da ordem de duas a três vezes a tensão nominal de alimentação (REYNAERT; STEYAERT, 2006).

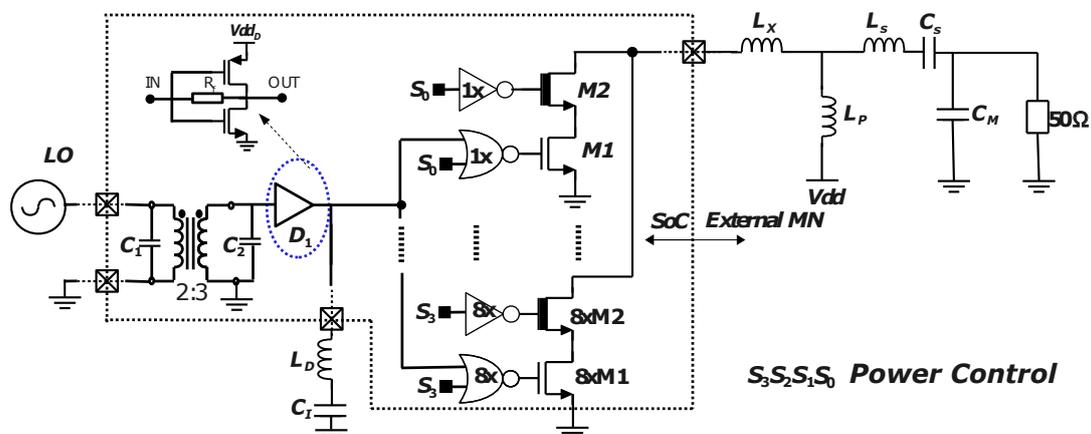
3 IMPLEMENTAÇÃO E LEIAUTE

A implementação do PA desenvolvido neste trabalho utiliza a tecnologia CMOS 130 nm para aplicações em 2,2 GHz de frequência. Devido ao desempenho do esquema de chaveamento suave, os amplificadores operando em classe E poderiam, idealmente, atingir 100% de eficiência, se as condições de chaveamento em tensão zero (ZVS) e chaveamento em derivada de tensão zero fossem satisfeitas, prevenindo perdas na chave quando os transistores ligam (KAZIMIERCZUK, 2008) o que os tornam muito atrativos do ponto de vista do consumo de potência e eficiência energética.

A operação em classe E ainda leva vantagem sobre outras classes chaveadas de amplificadores, sendo mais fácil sua implementação, especialmente comparada à classe F (MAZZANTI et al., 2006). Enquanto os amplificadores em classe D tornaram-se uma opção para circuitos em alta frequência (GHz) somente a partir da chegada das tecnologias de 130 nm, onde os transistores PMOS atingiram velocidade suficiente para operação nestas frequências (JOHANSSON; FRITZIN, 2014).

O esquemático do amplificador de potência proposto é apresentado na Figura 3.1. Ele consiste em um transformador de entrada integrado, um estágio de *driver*, um estágio de controle para acionar, mediante uma palavra digital, o último estágio de potência operando em classe E. As estratégias adotadas em cada um destes estágios serão abordadas nas próximas seções.

Figura 3.1: Esquemático do PA classe E com potência de saída controlável.



Fonte: Elaborado pelo próprio autor.

3.1 Transformador de Entrada

Sendo o sinal de entrada referenciado de uma fonte externa ao chip, assume-se que existe um *bounce* no sinal de referência interno, devido às grandes correntes através dos *bondwires*, que representam indutâncias parasitas. Logo, irá existir uma interferência nos sinais referenciados entre estes dois terras, podendo inclusive produzir problemas de estabilidade nos amplificadores que operam desbalanceados. Para reduzir este efeito de flutuação do sinal de terra foi utilizado um transformador, este faz com que o sinal aplicado em seu enrolamento primário seja transferido para o secundário, mas neste caso referenciado ao nó de terra interno que está flutuando.

Portanto, a inclusão de um transformador tem dois objetivos principais: diminuir a degradação provocada pela flutuação do sinal de referência para os próximos blocos e oferecer casamento de impedância à fonte geradora de sinal externa ao chip. Assim, o transformador a ser escolhido deve possuir uma indutância suficiente para oferecer casamento usando apenas capacitores integrados, altos fatores de qualidade para reduzir as perdas nos enrolamentos, bem como fator de acoplamento suficientemente alto para transferência de sinais entre os enrolamentos. A indutância de cada enrolamento é função da geometria do transformador, definindo a área que este ocupará em silício, o fator de qualidade depende da resistência do enrolamento, enquanto o fator de acoplamento depende da topologia utilizada e da distância entre os enrolamentos primários e secundários. Sendo todos estes parâmetros dependentes da tecnologia utilizada.

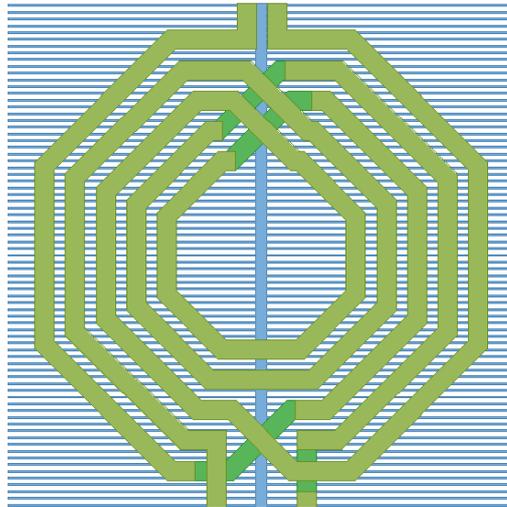
Esta tecnologia apresenta um substrato não isolado com resistividade moderada (cerca de 1-2 Ω -cm) que impacta nas perdas dos dispositivos passivos. Possui ainda 8 camadas de metais, divididas entre 3 camadas de roteamento (nível 1X) com resistividade de aproximadamente 70 m Ω por quadrado em cobre, 2 camadas mais espessas (nível 2X) com resistividade de cerca de 38 m Ω por quadrado, também em cobre. Os 3 níveis superiores são dedicados ao roteamento de sinais de RF, e são construídos em alumínio, cobre e alumínio com espessuras de 4, 3 e 0,46 μ m, respectivamente, e resistividade associada de 7, 6 e 89 m Ω por quadrado, respectivamente.

Dentre as topologias de transformadores comumente utilizadas, aquela que apresenta um leiaute interdigitado permite atingir um bom acoplamento magnético entre os enrolamentos, produzindo melhor desempenho para circuitos integrados (LONG, 2000). Assim, esta foi a topologia escolhida para projetar o transformador de entrada com razão de espiras de 2:3. Para sua caracterização foi utilizado o simulador eletromagnético ADS MomentumTM. O leiaute é apresentado na Figura 3.2, ele inclui um plano de terra construído na primeira camada de metal, onde foram incluídas algumas aberturas para evitar perdas pelo fluxo de correntes parasitas.

Após a simulação de algumas configurações de transformadores foi escolhido e projetado um transformador com trilhas de 8,5 μ m de espessura usando uma pilha com as duas camadas mais altas em paralelo, para reduzir a resistência série dos enrolamentos. A distância mínima de 5 μ m entre trilhas de um mesmo metal foi usada para aumentar o acoplamento mútuo e portanto, a indutância mútua. Um diâmetro externo de 200 μ m foi utilizado para projetar uma autoindutância adequada para ser utilizada na rede de casamento da entrada.

A Figura 3.3 apresenta os resultados de simulação para as autoindutâncias dos enrolamentos primário e secundário (L_P e L_S), e o coeficiente de acoplamento dado pela

Figura 3.2: Transformador de entrada com $200 \times 200 \text{ } \mu\text{m}^2$.



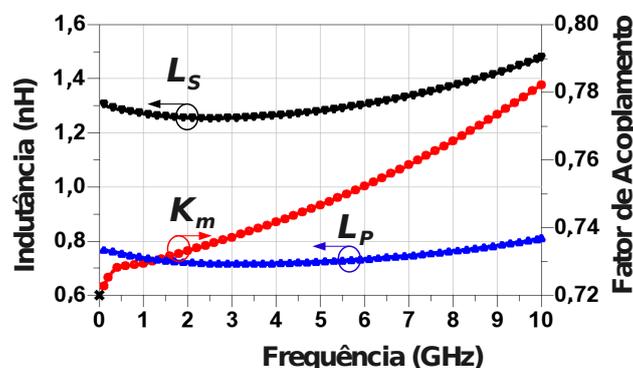
Fonte: Elaborado pelo próprio autor.

equação 3.1, onde M é a indutância mútua.

$$K_m = \frac{M}{\sqrt{L_P L_S}} \quad (3.1)$$

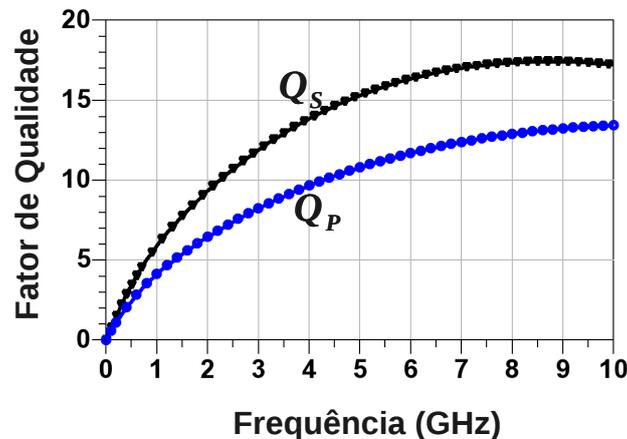
O fator de acoplamento magnético é cerca de 0,73 em 2,2 GHz, sendo suficiente para transferir o sinal de entrada para o chip. Enquanto as autoindutâncias são 0,70 nH e 1,25 nH nos enrolamentos primário e secundário, respectivamente. Na Figura 3.4 tem-se o resultado dos fatores de qualidade dos enrolamentos, como pode ser visto os pontos de máximo estão além da frequência de operação, com valores de cerca de 17 e 13 para o secundário e primário, respectivamente. Enquanto em 2,2 GHz esses valores são, aproximadamente, 10 e 7, respectivamente. Um circuito ressonante usando capacitores foi utilizado para melhorar o desempenho quando inserido no circuito, absorvendo as capacitâncias dos *pads* no enrolamento primário bem como a capacitância de porta dos transistores do próximo estágio no secundário, provendo casamento à porta da entrada.

Figura 3.3: Indutância e fator de acoplamento simulados do transformador de entrada.



Fonte: Elaborado pelo próprio autor.

Figura 3.4: Fator de qualidade simulado do transformador de entrada.



Fonte: Elaborado pelo próprio autor.

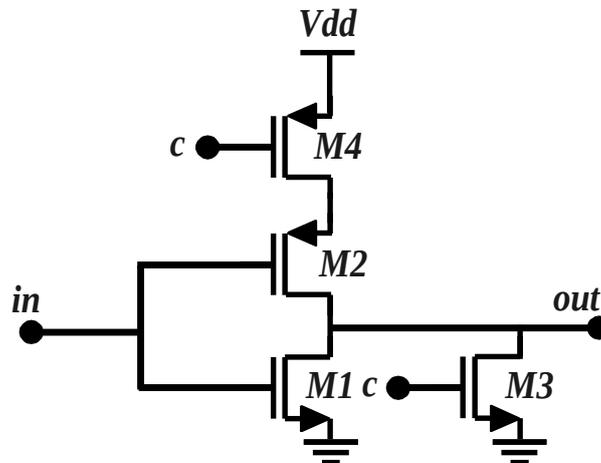
3.2 Driver e Estágio de Controle

Para oferecer a impedância requerida pela fonte geradora de sinal e garantir os níveis de sinal apropriados à entrada do estágio de controle, foi utilizado um *driver* (D_1) conectado à saída do transformador. Uma topologia com amplificador sintonizado é usada para compensar a carga do próximo estágio. Portanto, um indutor construído com *bondwire* (L_D) é utilizado devido à área ocupada reduzida e ao fator de qualidade maior apresentado comparado aos indutores integrados disponíveis. Com esta estratégia um reduzido consumo de potência é atingido neste estágio. No entanto, a principal desvantagem em utilizar uma indutância de *bondwire* é sua grande variação, ou baixa previsibilidade. Devido a possíveis variações em seu tamanho e espaçamento, além da influência de *bondwires* vizinhos, através da indutância mútua entre eles. Por isso, foi utilizado um capacitor externo (C_I) para dar maior flexibilidade ao projeto, e sintonia fina da frequência de ressonância deste estágio.

O resistor de realimentação (R_f) melhora a estabilidade do *driver* e oferece um grau de liberdade para ajuste do ganho deste. Este circuito pode ser sintonizado devido ao fato de entregar uma potência constante a uma carga constante do próximo estágio, e não possuir controle de acionamento de partes de sua estrutura. Enquanto o estágio de controle não permite tal abordagem, pois ao acionar diferentes partes do estágio de potência haverá diferentes nós independentes que não podem ser sintonizados com apenas um indutor, exigindo um número de indutores igual ao número de divisões que se deseja, portanto, resultando em uma área ocupada proibitiva à medida que se aumenta o número de bits de controle. Para este trabalho existem 15 células unitárias que exigiriam 15 indutores.

Então, para projetar o bloco de controle foi utilizado um conjunto de células NOR arranjadas na proporção binária 1:2:4:8 que controlam o sinal de entrada na porta de M1 através da palavra de controle S, da Figura 3.1. O esquemático da célula básica NOR é apresentado na Figura 3.5, os transistores M1 e M2 formam o conjunto inversor responsável por transmitir o sinal de entrada da célula no sinal que acionará os transistores do estágio de potência, funcionando como *driver* para os MOSFETs do estágio de potência. Enquanto, os transistores M3 e M4 são os responsáveis por implementar o controle deste bloco, respondendo ao sinal "c" da Figura 3.5.

Figura 3.5: Esquemático das células NOR.



Fonte: Elaborado pelo próprio autor.

O transistor M1 da célula básica NOR foi projetado com fator de *tapering* de aproximadamente 4, em relação aos transistores do estágio de potência, a fim de minimizar a energia gasta em cada ciclo da frequência de operação, número próximo ao fator ótimo de 3,53 sugerido por RABAEY (1996) para este fim. Para M2 foi aplicada a regra de aumentar em 1,5 vezes a largura (W) do transistor PMOS em relação ao NMOS, para compensar a diferença de mobilidade existente entre eles.

No caso do transistor M4 adotou-se a mesma largura do transistor M2, para evitar maiores perdas quando conduzindo corrente. Enquanto para M3 foi adotada uma largura menor, evitando assim o carregamento exagerado do nó de saída desta célula, visto que este transistor atua somente para desligar este bloco, e a frequência dos sinais de controle é bem menor comparada com a frequência do sinal de entrada, o que permite aumentar o tempo para desligamento deste transistor. Os valores de W e L de cada um destes transistores encontra-se na Tabela 3.1.

Tabela 3.1: Dimensões dos transistores da célula básica NOR

Device	W (μm)	L (nm)
M1	82,5	120
M2	112,5	120
M3	11	120
M4	112,5	120

Adicionalmente, um conjunto de inversores projetados com transistores de óxido espesso, que permitem operação em uma tensão de alimentação maior (até 3,3 V), entrega uma tensão de polarização apropriada aos dispositivos cascodes (M2) de 2,5 V. Ao desligar ambos os transistores M1 e M2, garante-se a operação segura do transistor M1, que se deseja desligar, pois se M2 de um determinado ramo permanecer com tensão na porta quando M1 está desligado produzirá estresse no transistor M1.

3.3 Estágio de Potência

Este estágio do PA é o responsável por entregar toda a potência requerida para a antena, como mencionado no Capítulo 2, a utilização de um amplificador em operação na classe E traz vantagens consideráveis em relação à eficiência e ao consumo de potência. Como este estágio é o responsável por lidar com uma alta potência de saída, justifica-se a opção de utilizar este estágio em operação classe E.

3.3.1 Projeto do Amplificador Classe E

Desde a introdução da ideia da operação em classe E, muitos trabalhos procuraram desenvolver as equações que regem o projeto de tais amplificadores. A primeira delas introduzida em 1977 assume uma indutância *choke* infinita, sem considerar as perdas no circuito, bem como assume um alto fator de qualidade da rede passiva, para obter as equações que representam os sinais de tensões e correntes no amplificador (RAAB, 1977), usando curvas de ajustes orientadas a projeto as equações foram refinadas em (SOKAL, 2001). Enquanto foi acrescentado um fator de qualidade finito para a rede, bem como diferentes ciclos de condução dos sinais nos transistores em (KAZIMIERCZUK; PUCZKO, 1987).

Nestes trabalhos não foram consideradas as principais fontes de perdas do amplificador, mais recentemente (REYNAERT; STEYAERT, 2006) introduziu um modelo baseado em espaço de estados, que leva em consideração as perdas nos indutores e também nas chaves, ele permite uma análise do comportamento do chaveamento do amplificador, porém não inclui o comportamento dependente do tempo das chaves ou o comportamento não linear dos capacitores.

Portanto, em todos eles o comportamento não é completamente modelado e assim, o projeto depende enormemente da interação com ferramentas de simulação para otimização do circuito. No entanto, as equações apresentadas na Seção 2.2 auxiliam a enxergar os *tradeoffs*, e como o primeiro passo para entender o comportamento do amplificador. Logo, são estas equações que foram obtidas na Seção 2.2, e rerepresentadas nas Equações 3.2-3.5, utilizadas para este projeto como ponto de partida para dimensionamento do amplificador. A Figura 3.6 apresenta o esquemático com os componentes das Equações 3.2-3.5.

$$R_L = 0,577 \frac{V_{DD}^2}{P_O} \quad (3.2)$$

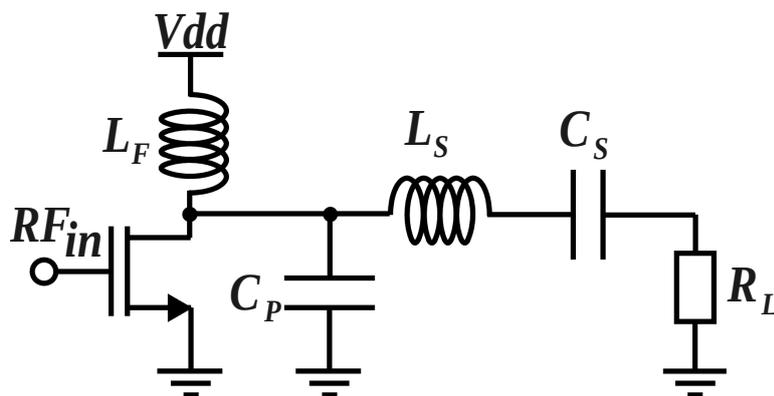
$$C_P = \frac{0,1836}{R_L \omega_0} \quad (3.3)$$

$$L_S = R_L \frac{Q_{out}}{\omega_0} \quad (3.4)$$

$$C_S = \frac{1}{\omega_0^2 L_S} \left(\frac{Q_{out}}{Q_{out} - 1,1525} \right) \quad (3.5)$$

A Equação 3.2 revela a principal relação deste amplificador, mostrando a resistência de carga em função da potência de saída que se deseja. Nela fica evidente, que entregar potências da ordem de 1 W implica uma resistência de carga de poucos Ohms. Ou olhando-se por outro lado, por exemplo, para uma resistência de carga de 50 Ω , diretamente na saída, e tensão de alimentação nominal desta tecnologia (1,2 V) a potência obtida seria apenas de 16,6 mW.

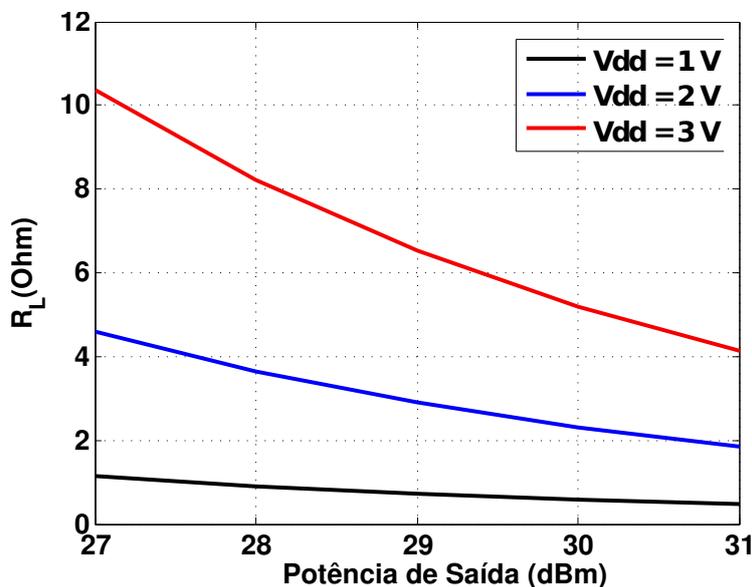
Figura 3.6: Esquemático amplificador classe E.



Fonte: Elaborado pelo próprio autor.

A Figura 3.7 apresenta a resistência de carga em função da potência de saída, para valores de tensões de alimentação de 1 V, 2V e 3V. Mostrando a grande importância na escolha do valor da tensão de alimentação apropriada, evitando-se as perdas na rede de casamento para a impedância da antena de 50Ω . Pois, para 30 dBm (1 W) de potência de saída tem-se um aumento $0,58 \Omega$ para $5,2 \Omega$ na carga de saída, representando uma diminuição de cerca de 10 vezes no fator de transformação (m) dado pela Equação 2.65, elevando a tensão de alimentação de 1 V para 3 V.

Figura 3.7: Resistência de carga em função da tensão de alimentação.

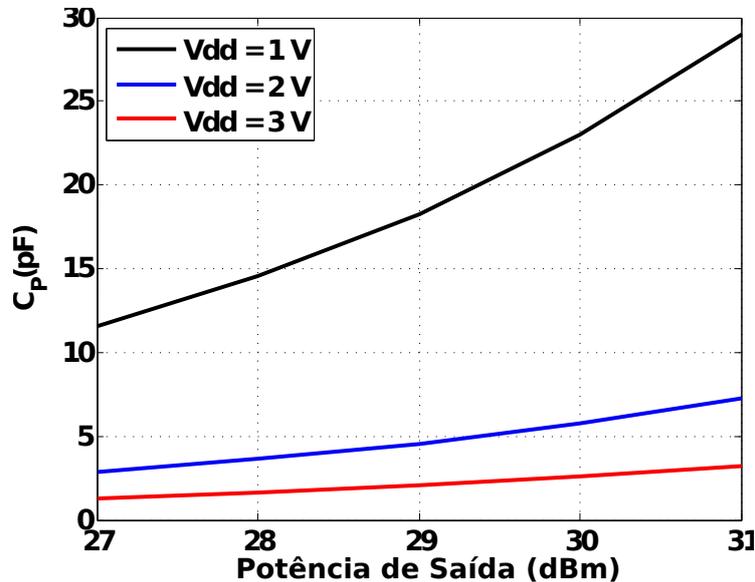


Fonte: Elaborado pelo próprio autor.

A capacitância C_P , através das Equações 3.2 e 3.3, apresenta uma relação inversamente proporcional ao quadrado da tensão de alimentação, que pode ser visto na Figura 3.8, onde está o resultado desta equação para diferentes valores de potência de saída e tensão de alimentação. O que indica uma tendência em escolher valores menores dessa tensão, para aumentar a capacitância C_P que poderia ser adicionada ao nó de dreno, porém existirá um compromisso entre essa capacitância e a resistência de carga R_L , que

deve ser uma opção de projeto. Neste projeto a escolha foi usar a maior tensão possível, a fim de reduzir o fator de transformação, que de acordo com a Seção 2.3 tem-se uma redução das perdas na rede de casamento.

Figura 3.8: Capacitância C_P em função da tensão de alimentação.



Fonte: Elaborado pelo próprio autor.

Os outros dois elementos (L_S e C_S) definem a forma de onda dos sinais da saída, eles formam o filtro inserido entre o dreno e a carga de saída. Assim, é de se esperar que estes dois elementos devam considerar o fator de qualidade da rede em seus equacionamentos. Portanto, a escolha dos valores destes dois componentes passa pelo compromisso entre a largura de banda operacional e o conteúdo harmônico do sinal de saída.

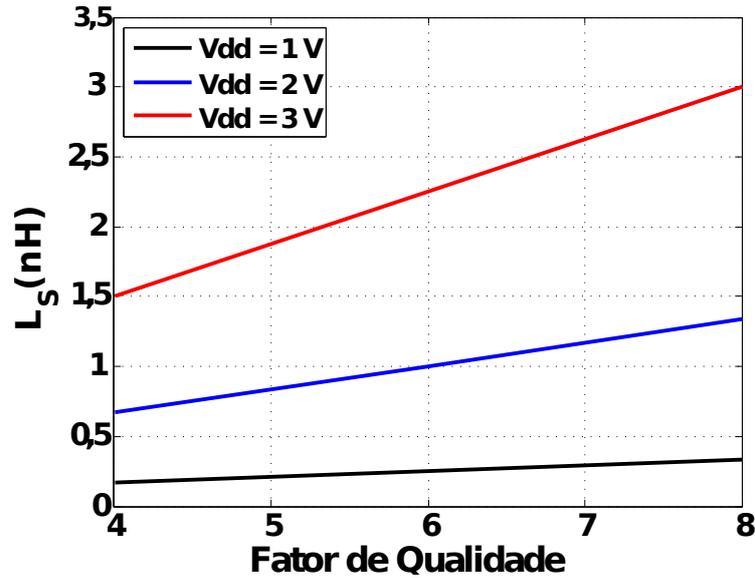
Nas Figuras 3.9 e 3.10 têm-se os valores da indutância série (L_S) e capacitância série (C_S) em função do fator de qualidade da rede (Q_{out}), para uma potência de saída fixa em 30 dBm. Nota-se que usando uma tensão de alimentação maior, os valores da capacitância série estão mais próximos dos componentes comerciais com maiores fatores de qualidade, para tensão de alimentação 1 V seus valores já estão acima de 20 pF, e não são encontrados capacitores dessa ordem facilmente para operação na frequência de 2,2 GHz. Enquanto os valores da indutância (L_S) estão abaixo de 500 nH para 1 V de tensão de alimentação, o que dificulta sua implementação com indutores integrados, porém são facilmente encontrados componentes externos com alto fator de qualidade.

Estes gráficos oferecem os principais compromissos que existem na escolha dos componentes da rede passiva, porém não foram incluídas as principais fontes de perdas decorrentes da implementação destes amplificadores. Assim, a Subseção seguinte é dedicada a estas perdas.

3.3.2 Perdas de Potência

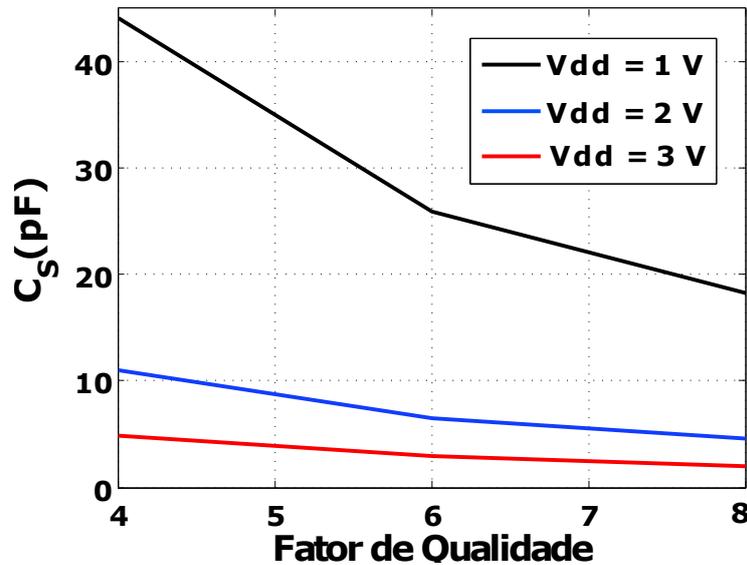
As duas principais fontes de perdas são as perdas na chave, que resulta no dimensionamento dos transistores, e as perdas decorrentes dos componentes passivos, sobretudo nos componentes parasitas dos indutores.

Figura 3.9: Indutância L_S em função do fator de qualidade da rede.



Fonte: Elaborado pelo próprio autor.

Figura 3.10: Capacitância C_S em função do fator de qualidade da rede.



Fonte: Elaborado pelo próprio autor.

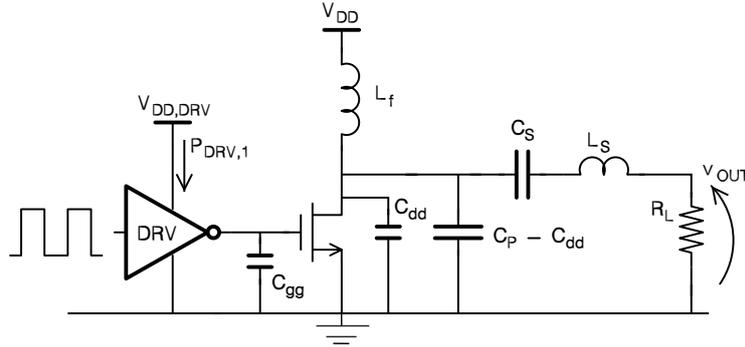
3.3.2.1 Perdas na Chave e Dimensionamento dos Transistores

O transistor NMOS operando como chave é definido com boa aproximação por uma resistência em paralelo a uma capacitância C_{dd} , quando ligado e por uma capacitância C_{dd} , quando desligado, apresentados na Figura 3.11. Do modelo quadrático para o transistor operando na região linear a resistência é dada pela Equação 3.6 (RAZAVI, 2001).

$$r_{on} = \frac{1}{\mu_n C_{ox} W/L (V_{GS} - V_{th} - V_{DS}/2)} \propto \frac{1}{W} \quad (3.6)$$

Logo, a resistência é função basicamente da tensão de *overdrive* e da relação geomé-

Figura 3.11: Esquemático amplificador classe E com perdas.



Fonte: REYNAERT; STEYAERT (2006).

trica. A perda, quando conduzindo corrente, é proporcional a esta resistência, portanto, usar um comprimento mínimo e uma grande largura são as poucas alternativas que restam na hora de definir o transistor, para minimizar a perda de condução. Assim, define-se as variáveis C_{dd} e r_{on} em função da largura (W) do transistor, através das Equações 3.7 e 3.8. Onde, C_{dd-0} e $1/r_{on-0}$ são a capacitância total de dreno por unidade de largura e a condutância equivalente por unidade de largura, quando a chave está acionada, respectivamente.

$$C_{dd} = C_{dd-0}W \quad (3.7)$$

$$r_{on} = r_{on-0}/W \quad (3.8)$$

Uma das principais vantagens dos amplificadores classe E é o fato da capacitância C_P poder ser implementada parcialmente, ou completamente pela capacitância C_{dd} do NMOS, fruto da capacitância de junção com polarização reversa. Assim, a capacitância C_P da Equação 3.3, usando a Equação 3.7, resulta na Equação 3.9.

$$C_{dd-0}W = \alpha \frac{0,1836}{R_L \omega_0} \quad (3.9)$$

A capacitância parasita de dreno irá variar durante o ciclo de chaveamento, ainda assim, a média dessa capacitância continua proporcional ao valor da largura (W), e o impacto dessas não-linearidades no desempenho do amplificador não é tão pronunciado (MAZZANTI et al., 2006).

As perdas durante o chaveamento, devido a resistência do NMOS, podem ser extraídas a partir da Equação 3.10, que apresenta a eficiência de dreno em função das perdas na chave (RAAB; SOKAL, 1978), (YOO; HUANG, 2000).

$$\eta = \frac{1}{1 + 1,365(r_{on}/R_L)} \quad (3.10)$$

Desta relação é possível extrair a potência das perdas normalizada para a potência de saída, e usando as Equações 3.7, 3.8 e 3.9, chega-se na Equação 3.11.

$$\frac{P_{Loss,switch}}{P_{out}} = 1,365(r_{on}/R_L) = 7,46 \frac{\omega_0 r_{on-0} C_{dd-0}}{\alpha} \quad (3.11)$$

A relação apresenta o resultado esperado, onde o ponto de minimização das perdas ocorre para $\alpha = 1$. No entanto, as dimensões do transistor da chave são também restritas pela capacitância de porta (C_g), pois esta será carregada e descarregada em cada ciclo de chaveamento. A potência perdida ao se carregar a capacitância de porta é definida através da Equação 3.12, para a frequência de chaveamento f_0 .

$$P_{DRV,1} = f_0 C_g V_{DD,DRV}^2 \quad (3.12)$$

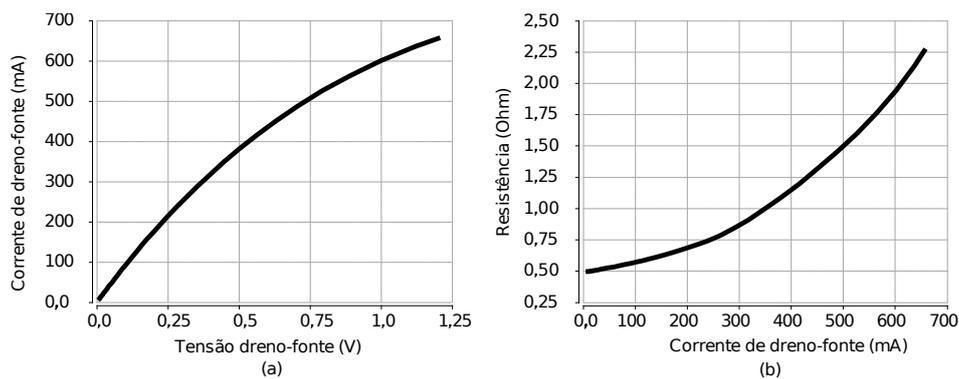
Assim como a capacitância de dreno, a capacitância de porta também terá variações ao longo de um ciclo de condução, em função dos grandes sinais aplicados e diferentes regiões de operação do transistor. No entanto, a relação de proporcionalidade continua válida, como mostra a Equação 3.13.

$$P_{DRV,1} \propto C_g \propto W \quad (3.13)$$

Enquanto elevar o tamanho do transistor impacta positivamente na melhoria da eficiência de dreno do estágio de saída, este aumento tende a provocar um aumento da potência consumida no estágio de controle, e na eficiência global do circuito. A fim de encontrar o espaço de projeto, para este trabalho, extraiu-se a resistência e as capacitâncias de dreno e de porta do transistor NMOS regular.

A Figura 3.12 apresenta a resistência do transistor nmos regular de 130 nm, com um comprimento nominal de porta de tamanho mínimo e largura do canal de $1000 \mu\text{m}$, obtida para tensão de porta igual a tensão de alimentação nominal de 1,2 V. À medida que a tensão de dreno-fonte aumenta, e o transistor entra na região de saturação, a resistência aumenta, no entanto, a resistência de interesse para uma aproximação do modelo da chave é a resistência na região linear, quando a tensão de dreno-fonte se aproxima de zero. Assim, a resistência da chave pode ser aproximada pela Equação 3.14. Esta é uma aproximação otimista, visto que à medida que a corrente aumenta tem-se uma maior resistência.

Figura 3.12: (a) Corrente de dreno e (b) resistência da chave para transistor NMOS.

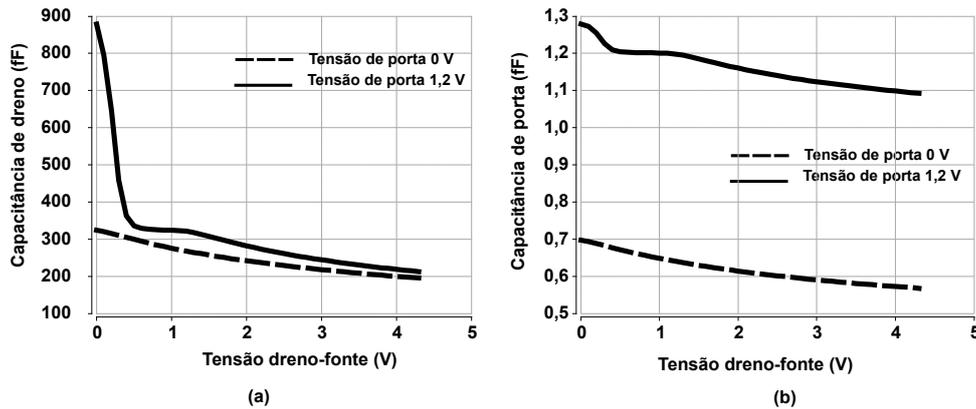


Fonte: Elaborado pelo próprio autor.

$$r_{on,130nm} = 1000 \mu\text{m} \cdot 0,5 \Omega \cdot \frac{1}{W} \quad (3.14)$$

Para extrair as capacitâncias de dreno e de porta, utilizou-se método semelhante ao utilizado na obtenção da resistência da chave, porém neste caso duas tensões de porta são aplicadas para entender o comportamento não linear destas capacitâncias. A Figura 3.13

Figura 3.13: (a) Capacitância de dreno e (b) fonte da chave para transistor NMOS.



Fonte: Elaborado pelo próprio autor.

apresenta as curvas de capacitância de dreno e de porta, para um transistor de $1000 \mu\text{m}$ de largura, em função da tensão de dreno.

Nota-se uma maior capacitância quando a tensão aplicada na porta é igual a V_{DD} , principalmente na região linear, todavia neste caso a chave está ligada e a capacitância de interesse, portanto, é a capacitância com o transistor desligado (curva pontilhada). Deve ser adicionada uma capacitância de roteamento a esta capacitância, que tipicamente é cerca de $1 \text{ pF}/1000 \mu\text{m}$ (REYNAERT; STEYAERT, 2006). Logo, a capacitância de dreno pode ser definida pela Equação 3.15.

$$C_{dd,130nm} = \frac{1,32 \text{ pF}}{1000 \mu\text{m}} \cdot W \quad (3.15)$$

A capacitância de porta pode ser obtida da Figura 3.13(b), neste caso utiliza-se o pior caso da capacitância obtida. Assim, a capacitância de porta pode ser definida pela Equação 3.16.

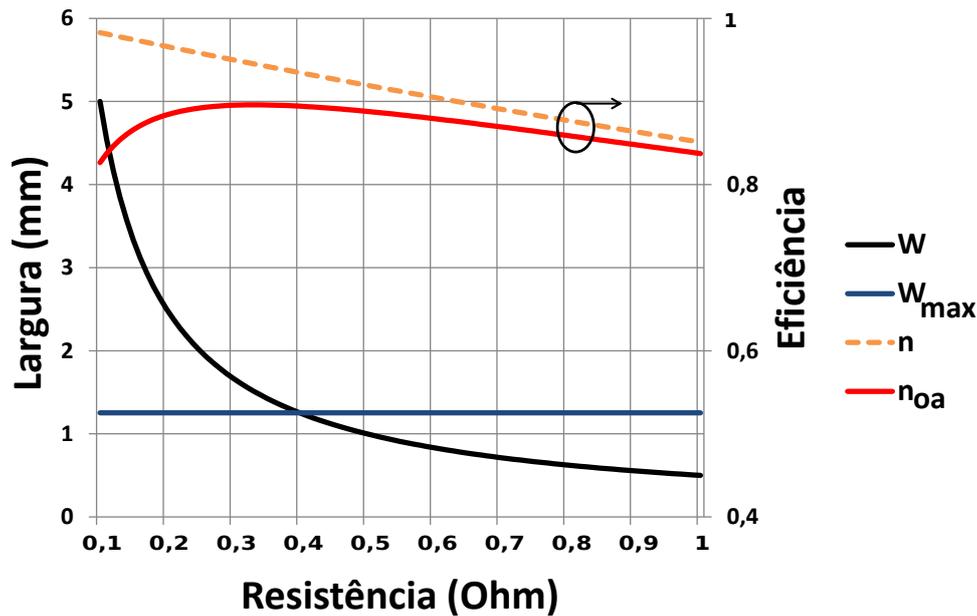
$$C_{gg,130nm} = \frac{1,28 \text{ pF}}{1000 \mu\text{m}} \cdot W \quad (3.16)$$

Para avaliar o espaço de projeto, baseado nos parâmetros extraídos da tecnologia, para diferentes valores da resistência da chave pode-se definir a largura máxima (W_{max}), através da Equação 3.9, para α igual a 1. Enquanto o valor da largura pode ser encontrado em função do valor de resistência da chave, através da Equação 3.8. No caso dos valores de eficiência de dreno aplica-se a Equação 3.10, que pode ser utilizada em conjunto as Equações 3.11 e 3.12 para calcular a eficiência global (η_{oa}).

A Figura 3.14 mostra estes resultados, para uma carga de saída (R_L) igual a 8Ω e frequência de chaveamento de 2,2 GHz, enquanto a tensão de alimentação é ajustada para manter a tensão máxima sobre o dreno do transistor abaixo da tensão de ruptura de 4,3 V.

Observa-se que a eficiência de dreno tem uma relação proporcional à resistência da chave, como previsto na relação que a define. No entanto, nota-se um valor ótimo para a eficiência global, para este caso 89% para uma largura de canal de $1430 \mu\text{m}$. De acordo a esta curva o espaço de projeto fica limitado abaixo do valor máximo de largura (curva em azul), quando o tamanho do transistor é grande o suficiente para que a capacitância em paralelo seja totalmente implementada pela capacitância parasita de dreno. Neste caso o valor de eficiência global máxima ficou fora do espaço de projeto, pois a largura requerida

Figura 3.14: Espaço de projeto classe E.



Fonte: Elaborado pelo próprio autor.

está acima do valor máximo de largura. Assim, a eficiência global tende a diminuir à medida em que diminui-se a dimensão do transistor além do máximo.

3.3.2.2 Perdas nos Indutores

Outra importante fonte de perdas em classe E é proveniente dos elementos passivos da rede de carga, especialmente os indutores. Para estes elementos é definida a figura de mérito fator de qualidade (Q) como a relação entre a energia armazenada e dissipada por ciclo de oscilação, que pode ser traduzida pela relação $Q = \omega_0 L / r$, onde r é a resistência em série com a indutância L .

Para obter as relações de perdas acrescentadas por estes elementos utiliza-se o mesmo fator de qualidade Q para os indutores da rede de carga, e portanto, a resistência parasita em série $r_x = \omega_0 L_x / Q$ para cada um dos indutores do amplificador. A Figura 3.15 apresenta estes resistores no esquemático do amplificador classe E.

Os elementos L_m e C_m são responsáveis pela conversão de impedância de R_L para a impedância da antena, neste caso 50Ω . Claramente, o indutor L_m pode ser associado em série com L_S e implementado usando apenas um indutor. A fim de apresentar a contribuição de cada um deles, suas perdas serão consideradas separadamente.

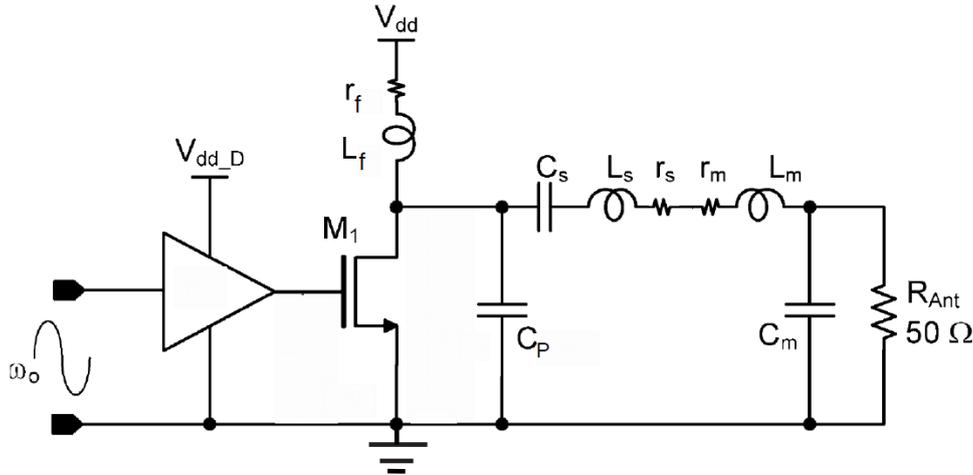
Para o resistor r_S tem-se uma divisão de tensão com a resistência de carga R_L , e portanto, usando a Equação 2.62 obtém-se a perda normalizada para a potência de saída devido ao indutor L_S (MAZZANTI et al., 2006).

$$\left. \frac{P_{LOSS}}{P_O} \right|_{r_S} = \frac{r_S}{R_L} = \frac{\omega_0 L_S}{Q R_L} = \frac{Q_{out}}{Q} \quad (3.17)$$

Assim, usando um determinado indutor com fator de qualidade conhecido a redução das perdas ocorre apenas diminuindo Q_{out} . No entanto, definido Q_{out} ela independe de L_S ou R_L , somente do fator de qualidade do próprio indutor.

A inserção de perdas na rede de transformação usando uma rede L foram introduzidas

Figura 3.15: Esquemático amplificador classe E com perdas dos indutores.



Fonte: Adaptado de MAZZANTI et al. (2006).

na Seção 2.3. Através da Equação 2.66 obtém-se as perdas devido ao resistor r_m e dado pela Equação 3.18.

$$\left. \frac{P_{LOSS}}{P_O} \right|_{r_m} = \frac{1}{IL} - 1 = \frac{\sqrt{m-1}}{Q} \quad (3.18)$$

As perdas provenientes do resistor r_f são obtidas de forma direta, visto que este resistor forma um divisor de tensão com a resistência DC de entrada calculada na Equação 2.56. Usando a Equação 2.61 na Equação 2.56 obtém-se o resistor de entrada DC por $R_{DC} = R_L/0,577$ que pode ser utilizado para encontrar as perdas normalizadas desse indutor, a Equação 3.19 traz esta relação.

$$\left. \frac{P_{LOSS}}{P_O} \right|_{r_f} = \frac{P_{DC} - P_O}{P_O} = \frac{0,577r_f}{R_L} = \frac{0,577\omega_0 L_f}{QR_L} = 0,577 \frac{n_f}{Q} \quad (3.19)$$

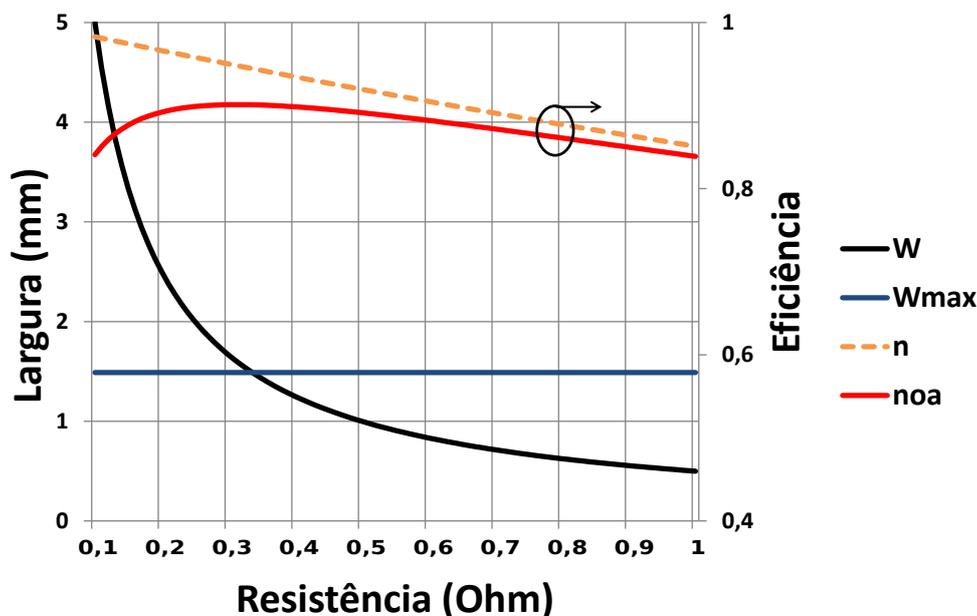
Onde P_{DC} é a potência DC entregue pela fonte de alimentação. A constante $n_f = \omega_0 L_f / R_L$ é a relação de impedâncias entre o indutor RFC e a resistência de carga, e assim para considerar um bom RFC esta constante é muitas vezes maior que 20 resultando em perdas superiores a 50% da potência de saída somente no indutor RFC para um fator de qualidade típico de 20.

Este resultado demonstra a necessidade em reduzir o valor da indutância L_f , pois uma quantidade inaceitável de potência é perdida utilizando um indutor RFC. Na Seção 2.3 discutiu-se essa tendência nas implementações atuais destes amplificadores, e um dos principais motivos para esta tendência é justamente a redução das perdas neste indutor. Adicionado a isso ainda os benefícios citados na Seção 2.3, principalmente a redução da tensão de pico de operação em classe E para cerca de $2,5V_{DD}$, reduzindo o estresse sobre o transistor, e o aumento da carga de saída o que reduz as perdas nas redes de transformação de impedância. Em contrapartida tem-se um aumento considerável na flutuação do sinal de alimentação, onde foi reduzido o isolamento para esta fonte, aumentando assim a necessidade de capacitores de desacoplamento.

Uma análise do espaço de projeto para as condições de carga de saída $R_L = 8\Omega$ e frequência de 2,2 GHz para o caso de $n_f = 6,47$ utilizando os valores da Tabela 2.1

correspondente a este condição é apresentado na Figura 3.16. Este resultado mostra um aumento no espaço de projeto ao possibilitar o aumento do valor da capacitância de dreno e conseqüente redução do valor da resistência da chave permitindo se trabalhar com um valor de W da ordem de $1490 \mu\text{m}$, além é claro da redução das perdas na própria indutância L_f .

Figura 3.16: Espaço de projeto classe E.



Fonte: Elaborado pelo próprio autor.

Das Equações 3.17, 3.18 e 3.19 o fator de qualidade dos indutores são de grande importância nas perdas, como esperado. E portanto, é de fundamental importância a escolha destes componentes, o que levou à opção de utilizar neste trabalho indutores externos pelos seus melhores fatores de qualidade, além de acrescentar flexibilidade ao projeto, o que para a aplicação alvo mostra-se mais relevante em detrimento de um menor custo que pode ser atingido utilizando os indutores integrados. Após introduzir as principais fontes de perdas nos amplificadores operando em classe E, a subseção seguinte apresenta a solução encontrada em topologia de circuitos para elevar a tensão de alimentação enquanto mantém a operação segura dos dispositivos.

3.3.3 Aumentando a Tensão de Alimentação Usando Cascode

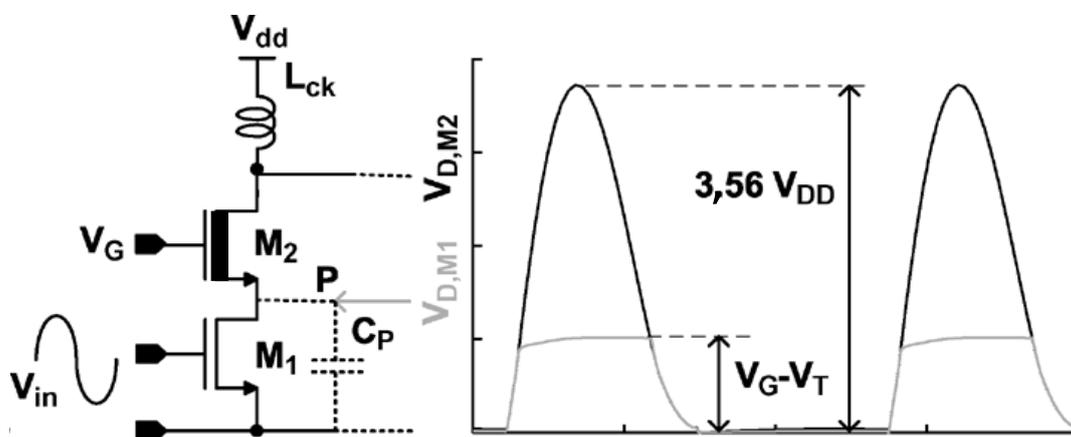
Esta classe de operação apresenta uma alta tensão de dreno, como mostra a Equação 2.58 essa tensão pode chegar a aproximadamente $3,56V_{DD}$. Logo, uma das principais vantagens em utilizar esta classe de operação pode comprometer a operação dos dispositivos através da ruptura do óxido de porta, caso não seja adotadas medidas que reduzam esta tensão sobre o óxido de porta.

Neste momento é importante ressaltar os efeitos dominantes que degradam os transistores operando em classe E. Neste caso devido à operação intrínseca que separa a corrente de dreno e a tensão de dreno no tempo nunca haverá coincidência entre alta tensão e alta corrente, bem como a condução de corrente ocorre apenas quando a tensão de dreno é próxima de zero devido à rede passiva. Assim, a operação é limitada pela tensão de ruptura do óxido de porta e ruptura da junção e não por injeção de portadores de alta energia

(REYNAERT; STEYAERT, 2006). Tipicamente a tensão de ruptura é da ordem de 2 a 3 vezes a tensão nominal de alimentação, para o processo IBM 130 nm utilizado esta tensão é de 4,3 V para os transistores NMOS regulares de óxido fino e maior que 8,5 V para os transistores NMOS de óxido espesso quando não estão conduzindo correntes ($V_G = 0$ e $V_B = 0$) (IBM, 2010).

Na seção 2.3 foi apresentado um conjunto cascode como forma de aumentar a tensão de alimentação de um PA, esse conceito foi aplicado neste trabalho com este fim. No entanto, optou-se pela utilização de um dispositivo de óxido espesso em base comum combinado com um dispositivo de óxido fino como mostra a Figura 3.17. Com a adição de um transistor na configuração cascode obtém-se as tensões máximas de $V_{gd2, max} = 3,56V_{DD} - V_G$ para M2 e $V_{gd1, max} = V_G - V_{TH2}$ para M1.

Figura 3.17: Esquemático do cascode com NMOS de óxido espesso em base comum e NMOS de óxido fino em fonte comum.



Fonte: MAZZANTI et al. (2006).

Para exemplificar, ao utilizar os valores das tensões de ruptura para este processo de fabricação para o caso de apenas um transistor tem-se a tensão de alimentação máxima de 1,2 V à qual poderia ser utilizada sem submeter o transistor a tensões acima da tensão de ruptura. Quando se utiliza a configuração cascode esta tensão passa a ser da ordem de 3,75 V, representando um aumento de aproximadamente 3 vezes na tensão de alimentação. Evidentemente esses limites são ideais, visto que trabalhar muito próximo da tensão de ruptura dos dispositivos deve ser evitado, e portanto, as tensões adotadas como limite neste trabalho são as tensões comumente utilizadas na prática de manter as máximas quedas de tensões sobre os dispositivos abaixo de $2V_{DD-nom}$ para assegurar uma boa vida-útil dos dispositivos (MAZZANTI et al., 2006), onde V_{DD-nom} é a tensão de alimentação nominal.

3.3.4 Projeto Final e Otimização

Baseado no desenvolvimento das equações básicas da operação em classe E somadas às principais fontes de perdas deste circuito e as topologias comumente utilizadas para implementação destes amplificadores, é proposto a estrutura cascode utilizando indutância finita como estágio de saída do amplificador de potência.

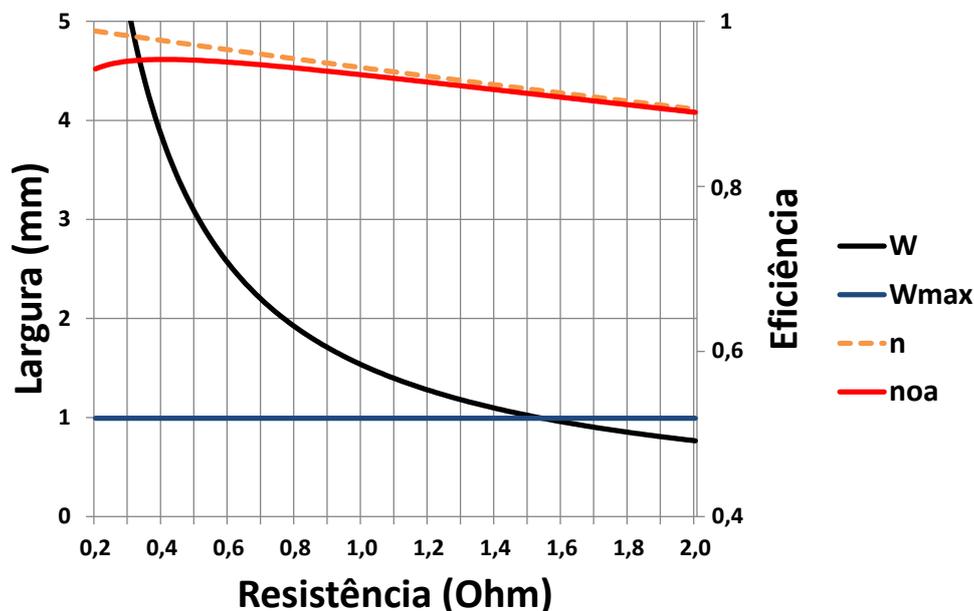
Utilizou-se o valor de cerca de 6,5 para n_f reduzindo as perdas na indutância finita e os valores da Tabela 2.1 para atualizar as Equações 3.2-3.5 que definem os componentes

da rede de carga.

A utilização da topologia cascode torna difícil estimar a capacitância de dreno, pois mesmo o dispositivo em fonte comum (M1 da Figura 3.17) está desligado M2 possui baixa resistência até que o nó intermediário carregue até aproximadamente o valor de $V_G - V_{TH2}$, portanto, a capacitância equivalente é o paralelo entre as capacitâncias do nó intermediário e a capacitância de dreno de M2. Enquanto, a resistência da chave aumenta como resultado da soma das resistências de M1 e M2.

Viu-se que na Subseção 3.3.1 que à medida em que se eleva a tensão de alimentação o valor da resistência C_P diminui de acordo a Figura 3.8. Logo o espaço de projeto diminui enquanto aumentamos a capacitância por largura da chave e diminui-se a capacitância total que pode ser inserida em paralelo a chave, como mostra a Figura 3.18. No entanto o pico de corrente é reduzido, bem como as perdas de condução na chave. Esta diminuição do pico de corrente é o que torna possível a operação com potências de aproximadamente 1 W, como o caso deste trabalho.

Figura 3.18: Espaço de projeto classe E com cascode.



Fonte: Elaborado pelo próprio autor.

Onde o resultado é para a chave com $n_f = 1$ e considerando a capacitância de dreno e fonte do transistor de óxido espesso igual a 400 fF/1000 μm resultando em uma capacitância total igual a 2,12 pF/1000 μm para o cascode. Este foi o resultado inicial para dimensionamento dos transistores.

Um importante fator a considerar também na hora de fazer alguma alteração no circuito, é o fato de que para obedecer a operação em classe E algumas variações nos valores dos componentes podem fazer com que o amplificador deixe de atender as condições de operação em classe E. No entanto, é difundido na literatura que o desvio da operação em classe E pode ser benéfico para melhorar a eficiência (KAZIMIERCZUK; PUCZKO, 1987)(REYNAERT; STEYAERT, 2006), visto que não se pode evitar realizar estes amplificadores sem perdas, e assim pode-se elevar a eficiência total, por exemplo, aumentando a capacitância paralelo irá reduzir o pico de tensão o que permite elevar a tensão de alimentação e aumentar o tamanho dos transistores da chave.

Além disso, o tamanho da indutância L_f pode variar para melhorar o desempenho do amplificador. Com as relações obtidas no projeto do amplificador uma otimização baseada nas simulações foram realizadas, resultando nos transistores M1 e M2 iguais a $4800 \mu\text{m}$ e $5300 \mu\text{m}$, respectivamente.

Portanto, para controlar a potência de saída estes transistores foram divididos em 15 células unitárias de forma a implementar 4 bits de controle.

A rede de carga foi implementada usando componentes disponíveis comercialmente, seus valores e referências são apresentados na Tabela 3.2. A indutância de dois *bondwires* (L_X) e as capacitâncias dos *PADs* que conectam o sinal de saída externamente ao chip forma incluídas na rede de carga. Os *bondwires* foram estimados em 2 nH e modelados de acordo ao modelo disponibilizado pela empresa responsável pelo encapsulamento com comprimento de cerca de 2 mm.

A transformação de impedância de R_L para a carga de 50Ω foi realizada através da capacitância C_M e um indutor formando uma rede L, este indutor foi transformado em série combinado com o indutor L_S .

Tabela 3.2: Componentes passivos da rede de carga

Componente	Valor	Fabricante	Número de série	Q @2,2 GHz
L_P	2,9 nH	Murata	LQW15AN2N9B00D	100
L_S	0,6 nH	TDK	MLG1005S0N6BT000	50
C_S	6,2 pF	JTI	500R07S6R2BV4T	70
C_M	6,8 pF	JTI	500R07S6R8BV4T	70
C_I	7,5 pF	JTI	500R07S7R5BV4T	70

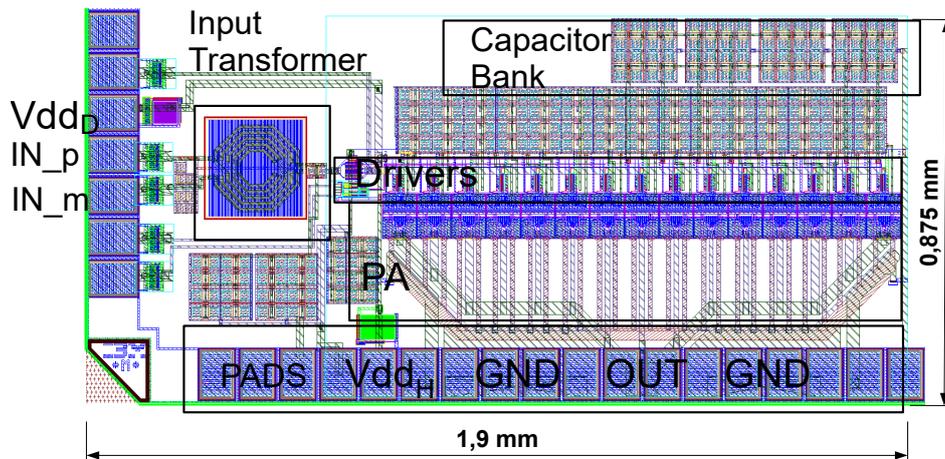
3.4 Leiaute

O esquemático da Figura 3.1 foi implementado de acordo com as regras da tecnologia IBM 130 nm (IBM 8RF-DM) (IBM, 2010). Este processo de fabricação é uma opção para aplicações em radiofrequência por sua disponibilidade de três metais espessos para roteamento de sinais de alta frequência e para implementação de indutores, o que reduz as perdas pela menor resistividade destas camadas. Ainda conta com uma camada que bloqueia regiões de implantes com poços P e N sob os indutores.

Neste processo é disponibilizada uma grande variedade de transistores, divididos em dois grandes grupos: os de óxido finos de 2,2 nm e os transistores de óxido espesso de 5,2 nm, o que possibilita a utilização da estrutura cascode discutida na seção anterior. Os transistores de 2,2 nm de espessura de óxido são divididos entre os regulares, com tensão de *threshold* intermediária, os de baixa potência, baixa tensão de *threshold*, e ainda os nativos com tensão de *threshold* próximo a zero. Enquanto contém as opções regular e de alta tensão tensão de *threshold* para os de óxido espesso. Neste trabalho foram utilizados ambos os transistores regulares.

No planejamento do posicionamento de todo o PA foi dada prioridade ao estágio de saída, por possuir as linhas mais críticas quanto às perdas. Logo este foi posicionado o mais próximo dos *PADs* de saída, enquanto as células do estágio de controle foram posicionadas o mais próximo do estágio de potência. O *driver* de entrada está conectando todos os ramos do estágio de controle, assim ele foi posicionado imediatamente após o transformador de entrada, que foi posicionado próximo aos *PADs* da entrada. A Figura 3.19 apresenta o leiaute completo do PA.

Figura 3.19: Leiaute do PA CMOS (área total: $1,900 \times 0,875 \text{ mm}^2$).



Fonte: Elaborado pelo próprio autor.

No leiaute estão presentes os *PADs* utilizados para conexão externa, as proteções ESD (*Electrostatic discharge*) utilizadas para proteção eletrostática das portas dos transistores e dos sinais de alimentação. As células de potência são alocadas lado a lado com suas respectivas células de controle posicionadas na entrada de cada uma delas.

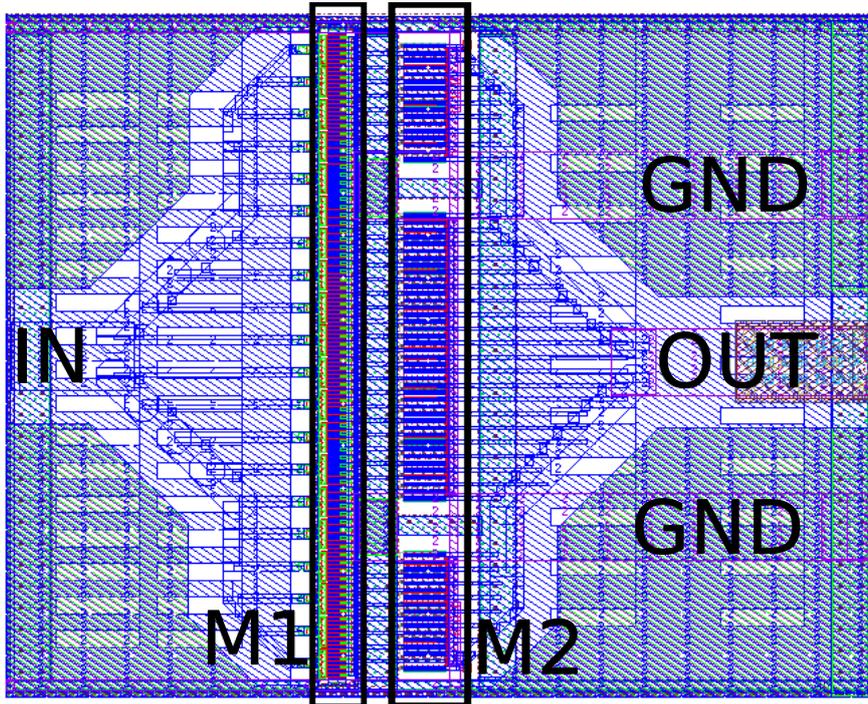
A célula unitária de potência é composta por uma estrutura cascode dos transistores M1 e M2, descrita na Seção 3.3. Eles foram posicionados um acima do outro de forma a reduzir os componentes parasitas entre o dreno de M1 e fonte de M2, visto que este é o nó mais crítico em termo de parasitas.

O leiaute da célula unitária de potência é apresentada na Figura 3.20. Foram agrupados 8 *fingers* com a conexão de entrada ligando cada uma das portas dos transistores M1, em volta dos grupos de *fingers* são conectados ligações para o substrato formando um anel de guarda em volta do transistor M1 de forma a não existir grandes diferenças de potenciais entre *fingers*. O transistor M2 segue o mesmo padrão do transistor M1, exceto que para este caso existe a passagem de duas linhas de terra entre três grupos de *fingers*, oferecendo uma conexão para o substrato e as conexões de fonte do transistor M1 para o terra.

As conexões entre estes dois transistores são realizadas em metal MQ (nível 4) que possui menor resistência comparado aos três primeiros e não produz significativa capacitância parasita em relação ao metal M1 que passa abaixo. A linha de saída é realizada conectando todos os drenos de M2 também em metal MQ.

Foram utilizados *shields* nas linhas de entrada e saída, bem como um plano de terra em metal M1, uma vez que não acrescenta muita capacitância parasita e aumenta a imunidade aos efeitos de acoplamento entre células unitárias de potência ou a outros circuitos através do substrato. Outra importante técnica de leiaute utilizada nesta célula foi anel de guarda em volta da célula, diminuindo ainda mais a interferência pelo substrato aos demais circuitos do chip. Grande atenção foi dada ao roteamento que interliga as saídas das células unitárias de potência. De forma a garantir a mesma resistência para cada ramo de saída foram utilizadas larguras de metal proporcional a seus comprimentos. Utilizou-se o metal de menor resistividade (metal E1) para roteamento entre as saídas destas células e as linhas (metal MA) que ligam aos *PADs*. Optou-se por utilizar linhas em ângulo de 45° , para evitar efeitos de pontas, e três níveis de conexões para estas linhas.

Figura 3.20: Célula unitária de potência.



Fonte: Elaborado pelo próprio autor.

Como pode ser visto no leiaute da Figura 3.19 cada uma das linhas de saída recebem linhas de *shields* que também são responsáveis por levar o sinal de terra para as células de potência. Estas linhas são dedicadas para criar um caminho de baixa impedância para o terra, evitando assim que possa surgir uma corrente de volta da carga para o chip, problema este apresentado por REYNAERT; STEYAERT (2006). Como este caminho é crítico do ponto de vista da indutância, foram utilizados 8 *bondwires* sendo 4 de cada lado das linhas de sinal.

A parte superior da área destinada ao núcleo do amplificador foi preenchida com capacitores de desacoplamento para oferecer caminho para as correntes AC, que não podem ser supridas pelas fontes de alimentação.

4 SIMULAÇÕES E RESULTADOS

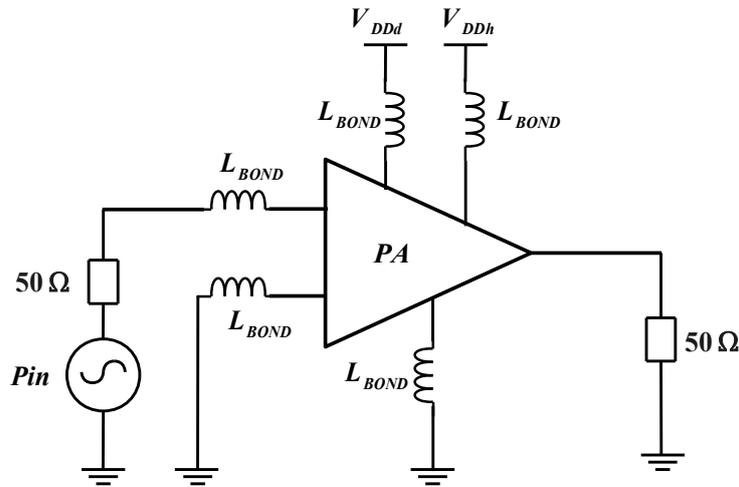
Após a extração de parasitas, usando o ambiente de desenvolvimento da CadenceTM, foram realizadas as simulações do amplificador proposto, em temperatura de 80 °C e tensão de alimentação igual 3,3 V. Assume-se uma resistência térmica de 32 °C/W, entre a junção e o ambiente. A temperatura foi estimada, assumindo-se o chip montado sobre uma placa de material RF4 (Texas Instruments, 1998), para o pior caso de dissipação de potência, cerca de 750 mW. Este valor de resistência térmica está próximo daquela reportada, para o caso de um encapsulamento QFN de 5 x 5 mm², montado em placa de circuito multicamada (Amkor Technology, 2015). Assim, a temperatura ambiente de operação assumida, e para a qual foram realizadas as simulações é de 55 °C.

Neste momento é importante ressaltar o conjunto de ferramentas utilizadas para a realização das simulações, como apresentado no capítulo anterior toda a parte de implementação física e a extração de parasitas foram realizadas utilizando o ambiente de desenvolvimento da CadenceTM, devido ao fato do conjunto de modelos oferecidos para o processo de fabricação utilizado ser disponibilizado somente para este ambiente. No entanto, para permitir a simulação utilizando o ambiente de desenvolvimento ADSTM da KeysightTM utilizou-se a ferramenta Dynamic Link integrada ao ADS, assim foi possível fazer a leitura das *netlists* desenvolvidas (em Cadence) utilizando o ADS. Logo, tornou-se mais fácil a integração dos resultados eletromagnéticos obtidos na simulação do transformador de entrada desenvolvidas dentro do ambiente ADS. Portanto, todos os resultados apresentados neste capítulo foram obtidos utilizando este conjunto de ferramentas, ainda assim foram verificados a confiabilidade dos resultados ao se repetir a maioria dos testes dentro do ambiente de simulação da Cadence, neste caso utilizando modelo de circuito equivalente dos resultados obtidos para o transformador de saída.

4.1 Resultados Nominais

A caracterização das principais figuras de mérito do PA, tais como potência de saída, eficiência e consumo de potência, foi realizada utilizando o *testbench* da Figura 4.1. Para excitar o amplificador proposto aplica-se uma onda contínua senoidal na porta de entrada, que possui resistência de 50 Ω. A carga de saída é considerada também uma resistência de 50 Ω. Em todas as simulações foram utilizados os modelos de *bondwire* de 2 mm de comprimento, disponibilizados pela companhia responsável pelo encapsulamento (PACKAGING OPTIONS, 2015).

Por simplicidade, na Figura 4.1 não foram incluídos a quantidade equivalente de *bondwires* para cada sinal, utilizou-se apenas a indicação da consideração destes nas simulações. Os demais elementos que afetam a simulação, tais como as capacitâncias de PADs e proteções ESD, também foram considerados. Os dois *bondwires* usados na linha

Figura 4.1: *Testbench* para principais figuras de mérito.

Fonte: Elaborado pelo próprio autor.

de saída não são apresentados na Figura 4.1, pois estes são parte da rede de carga, e são considerados interno à instância PA.

A potência de saída máxima atingida é de 28,5 dBm, com PAE correspondente de 49,7%, considerando todo o consumo do PA. A Figura 4.2 apresenta a potência de saída alternando a palavra de controle de 1111 (todas as chaves desligadas) a 0000 (todas elas ligadas). A Figura 4.2 indica uma faixa dinâmica da potência de saída de 14,9 dB, e um *leakage* da portadora de 35,4 dB. O *leakage* da portadora, neste caso, é a quantidade de potência existente na saída mesmo com todas as chaves desligadas, o que irá limitar a faixa dinâmica, quando se deseja aumentar a resolução entre os passos de potência, por isso considera-se a diferença entre a potência máxima e a potência na condição de todas chaves desligadas.

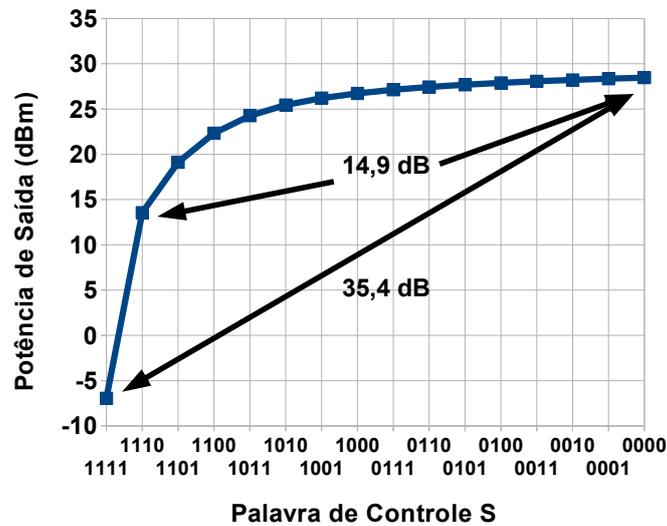
Este desempenho indica uma capacidade de se estender o número de bits para 5 ($5 \times 6 = 30 \leq 35,6$). Mas evidentemente, essa capacidade pode ser aumentada, por meio da redução da potência de saída quando todas as chaves estão desligadas. Por exemplo, reduzindo o acoplamento pelos inversores que acionam os transistores cascode. No entanto, não é escopo deste trabalho o comportamento dinâmico do controle de potência, a fim de modular o sinal banda base, porém, sua implementação pode ser alcançada utilizando-se estratégia semelhante às aplicadas neste trabalho, adicionando-se algumas considerações importantes, tais como: a frequência dos sinais de banda base, que implica na velocidade de resposta do estágio de controle, e problemas de implementação, como descasamento entre os caminhos de fase e amplitude.

O resultado, da Figura 4.2, demonstra a capacidade do amplificador proposto em controlar a potência de saída entre os 15 estados, em uma faixa de 13,6 a 28,5 dBm.

A Figura 4.3 apresenta o consumo de potência e o PAE, associados à potência de saída para cada um dos estados possíveis da palavra de controle. A tensão de alimentação utilizada foi de $V_{DD} = 3,3V$. Estas curvas mostram como o consumo de potência é diminuído, através dos bits de controle, mantendo uma eficiência substancial em todos os modos de operação, oferecendo a capacidade de otimização do transmissor, mediante a redução do consumo de potência.

Esta estratégia apresenta um controle não linear da potência de saída, no entanto,

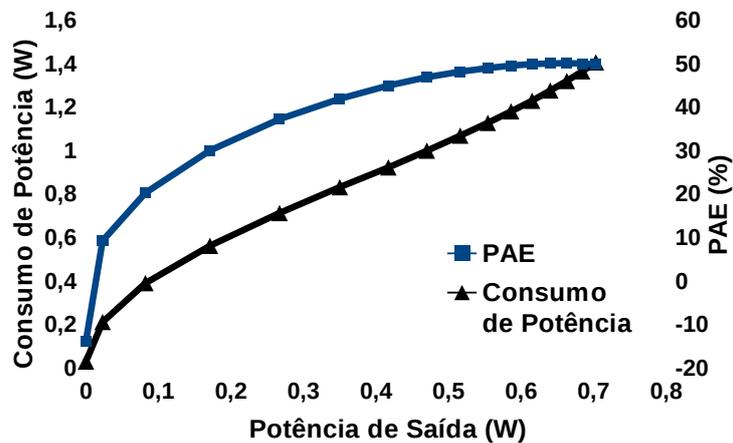
Figura 4.2: Potência de saída em função da palavra de controle e faixa dinâmica .



Fonte: Elaborado pelo próprio autor.

caso este seja um requisito do sistema, uma possível solução desse problema pode ser por meio do uso de um banco de capacitor na rede de carga (MESHKIN; SABERKARI; NIABOLI-GUILANI, 2010).

Figura 4.3: PAE e consumo de potência em função da potência de saída.

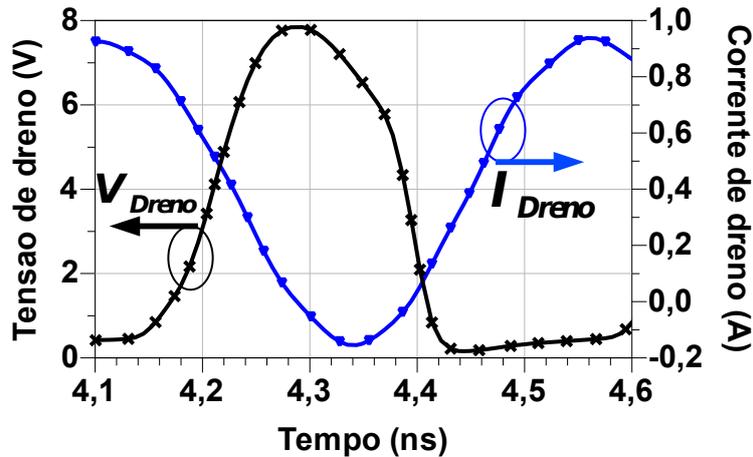


Fonte: Elaborado pelo próprio autor.

A fim de verificar a operação em classe E, a Figura 4.4 apresenta os sinais no domínio do tempo, da corrente e tensão nos drenos dos transistores M2 das chaves, onde todas elas estão ligadas. A tensão máxima resultante está condizente com os valores projetados, na ordem de $2,5V_{DD}$. Logo as tensões máximas de estresse nos transistores cascodes ficam abaixo de $2V_{DD}$, como recomendado para operação segura.

A Figura 4.5 apresenta a tensão nos drenos dos transistores M2 em conjunto com a tensão de dreno do transistor M1 de uma das células unitárias. Nota-se que a tensão sobre o transistor de óxido fino também está abaixo dos valores indicados para operação segura,

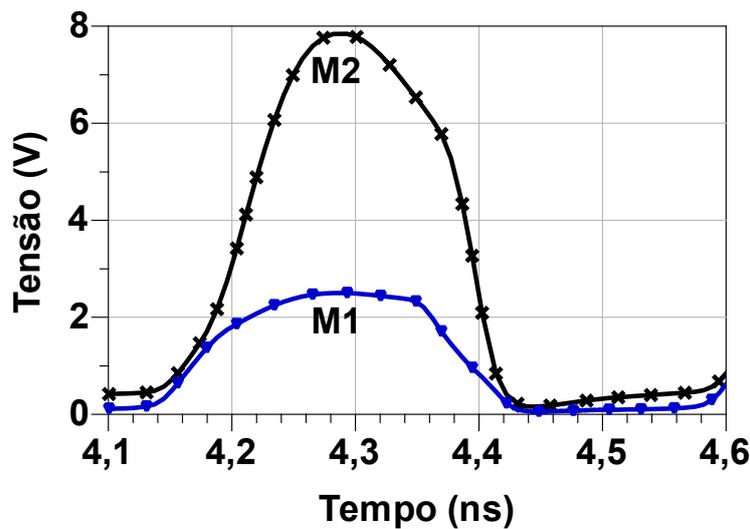
Figura 4.4: Sinais de corrente e tensão nas chaves.



Fonte: Elaborado pelo próprio autor.

onde esta tensão depende basicamente da tensão de polarização no gate do transistor M2.

Figura 4.5: Tensões nos drenos dos transistores da chave.

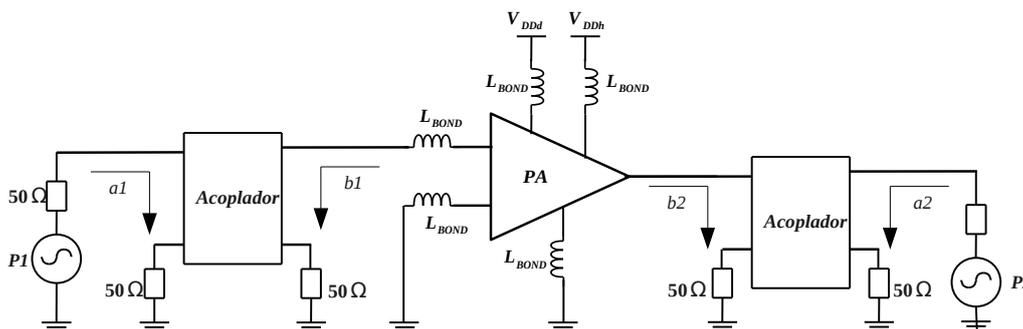


Fonte: Elaborado pelo próprio autor.

Outros importantes parâmetros de um PA são obtidos através da simulação de parâmetros 'S', no entanto as simulações disponíveis para caracterizar este parâmetro normalmente são consideradas em pequenos sinais. Dada as condições de sinais em um PA, nem sempre existe possibilidade de usar esta consideração no projeto de um PA. Assim, realizou-se simulações de grandes sinais, conhecidas como LSSP (do inglês *Large Signal 'S' Parameters*), usando o *testbench* da Figura 4.6. Neste *testbench* utiliza-se dois acopladores para obtenção dos sinais incidentes e refletidos nas portas 1 e 2, para assim calcular os parâmetros 'S' equivalentes do circuito simulado. Na análise de grandes sinais utiliza-se a simulação de balanço harmônico (HB), e por isso o número de pontos de frequência é reduzido, dada a quantidade de tempo necessário para simulação de cada um destes pontos. Logo, nesta simulação utilizou-se apenas as frequências na banda de interesse.

A Figura 4.7 apresenta o resultado do parâmetro S21 em função da frequência, para

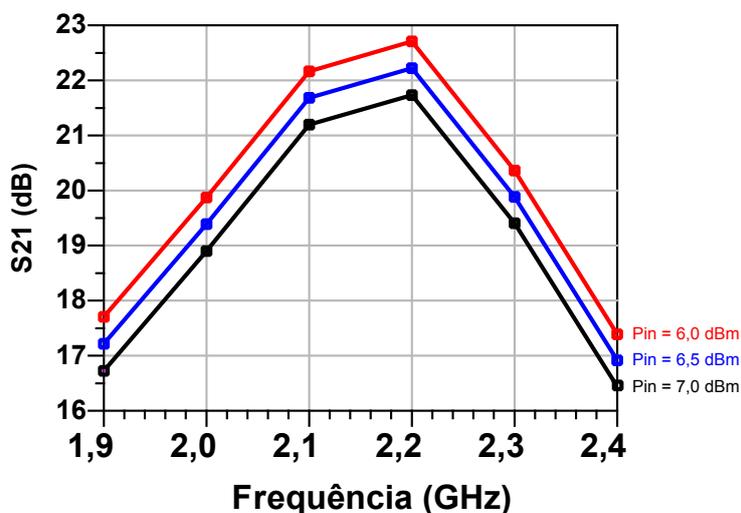
Figura 4.6: *Testbench* para parâmetros S de grande sinais.



Fonte: Elaborado pelo próprio autor.

diferentes condições da potência de entrada na configuração de máxima potência. De acordo às relações discutidas na Subseção 2.1.2, todas as relações de ganhos definidas dependem grandemente deste parâmetro, e para o caso de haver casamento de impedância, o valor de $|S_{21}|^2$ representa o próprio ganho de potência. Assim, para a condição padrão de 6,5 dBm de potência de entrada, o valor de S_{21} é de 22,2 dB.

Figura 4.7: Parâmetro S_{21} para diferentes condições da potência de entrada.

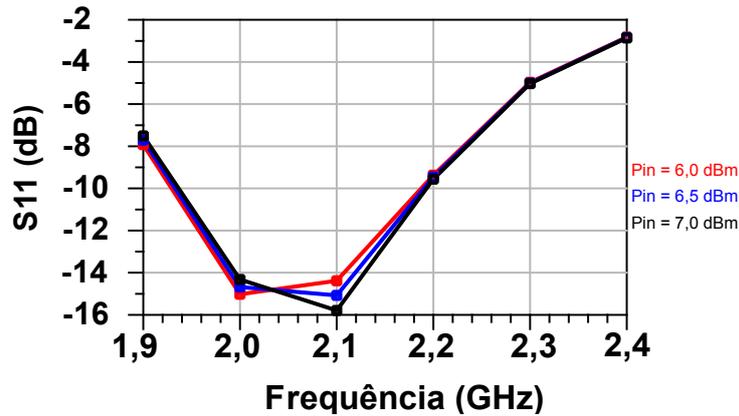


Fonte: Elaborado pelo próprio autor,

Para verificar as reflexões existentes na entrada e na saída, que surgem em virtude do descasamento de impedância, utilizam-se os parâmetros S_{11} e S_{22} , respectivamente, A Figura 4.8 apresenta o resultado do parâmetro S_{11} na configuração de máxima potência, nota-se que uma variação da potência de entrada de 1 dB, em torno da potência padrão, pouco interfere no resultado de S_{11} , Estas curvas também demonstram um bom casamento de impedância na faixa de operação, obtendo-se S_{11} igual a $-9,5$ dB em 2,2 GHz, e abaixo de -10 dB para um faixa de cerca de 1,94 GHz a 2,18 GHz.

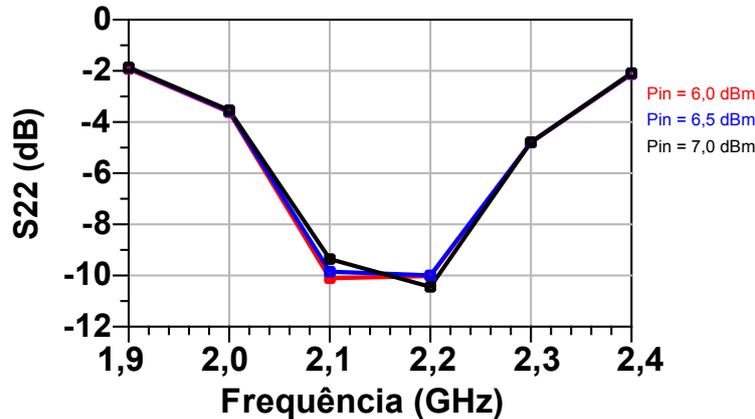
A Figura 4.9 apresenta o resultado do coeficiente de reflexão da saída, através do parâmetro S_{22} na configuração de máxima potência. Este resultado demonstra uma faixa de casamento mais estreita comparada com a entrada, somente a faixa de 2,1 a 2,2 GHz permanece com S_{22} abaixo de -10 dB.

Figura 4.8: Parâmetro S11 para diferentes condições da potência de entrada.



Fonte: Elaborado pelo próprio autor.

Figura 4.9: Parâmetro S22 para diferentes condições da potência de entrada.



Fonte: Elaborado pelo próprio autor.

A isolamento entre entrada e saída foi encontrada por meio do parâmetro S12. Este resultado é apresentado na Figura 4.10, resultando em um S12 menor que -40 dB para toda a faixa de frequência avaliada.

Além dos parâmetros de ganho, coeficientes de reflexão e a isolamento da entrada em relação a saída, a extração dos parâmetros 'S' possibilita verificar a estabilidade do sistema. Um critério geralmente utilizado chama-se K- Δ , onde os fatores K e Δ são definidos pelas Equações 4.1 e 4.2. Assim, a condição de estabilidade incondicional é garantida quando as condições da Equação 4.3 são satisfeitas (GONZALEZ, 1997).

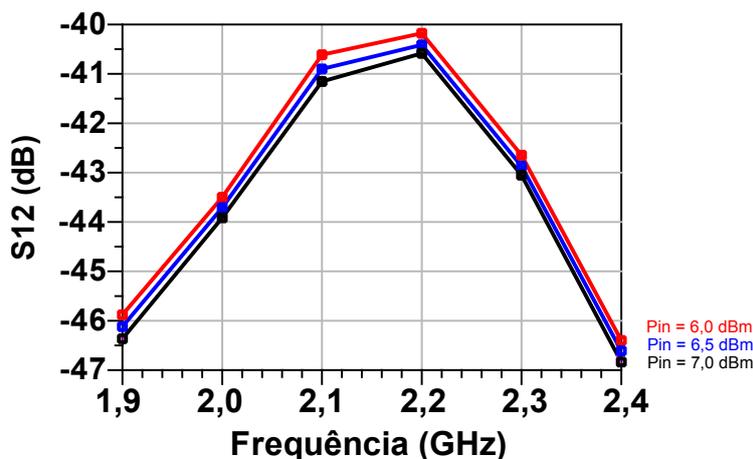
$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \quad (4.1)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (4.2)$$

$$K > 1 \text{ e } |\Delta| < 1 \quad (4.3)$$

A Figura 4.11 apresenta o fator de estabilidade K e os valores de Δ simulados para o PA. De acordo com as condições impostas pela Equação 4.3, este amplificador apresenta

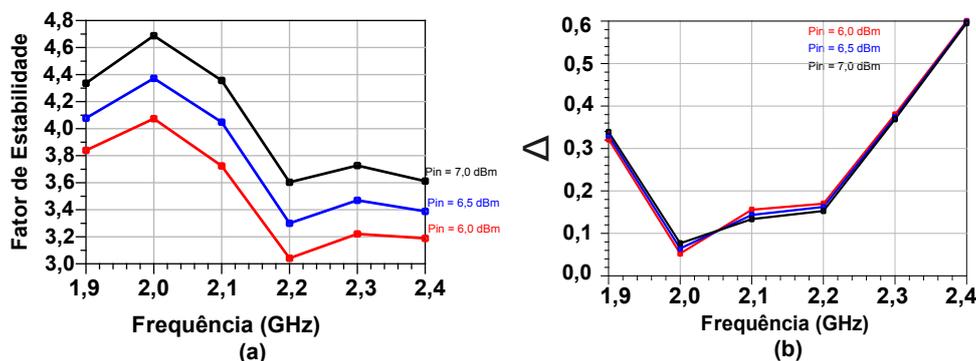
Figura 4.10: Parâmetro S12 para diferentes condições da potência de entrada.



Fonte: Elaborado pelo próprio autor.

estabilidade incondicional na banda de operação, e portanto, uma impedância passiva colocada na entrada ou saída deste amplificador não levará a ocorrer oscilações.

Figura 4.11: Fatores de estabilidade (a) K e (b) Δ .



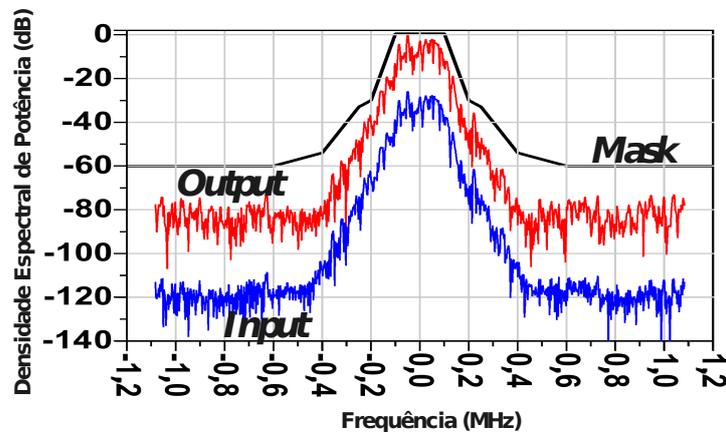
Fonte: Elaborado pelo próprio autor.

A fim de avaliar a linearidade do PA usando um sinal de modulação com envoltória constante, e construir uma base de comparação com outros trabalhos, foi aplicado um sinal GMSK (*Gaussian minimum shift keying*) com *bandwidth time* de 0,3, na configuração de máxima potência de saída. A Figura 4.12 apresenta os espectros de entrada e saída, normalizados para 0 dB na frequência de 2,2 GHz. Adiciona-se na Figura 4.12 a máscara de emissão de espectro definida no padrão GSM PCS-1900, que utiliza este esquema de modulação.

Portanto, o sinal de saída apresenta total acordo com os parâmetros de emissão de espúrios impostos por este protocolo de modulação. Evidentemente a frequência proposta não corresponde a este protocolo, no entanto esta figura de mérito demonstra a capacidade do circuito em atender a linearidade exigida em um protocolo de comunicação amplamente utilizado e serve à título de comparação com os diversos trabalhos disponíveis na literatura.

A maior parte das simulações apresentadas neste trabalho exibem somente os resultados para a configuração de máxima potência, pois esta é a configuração que exige maior

Figura 4.12: Densidade espectral de entrada e saída e máscara GSM simulada em 2,2 GHz.



Fonte: Elaborado pelo próprio autor.

análise sob a maioria dos aspectos abordados. Para o caso da simulação LSSP, seu principal objetivo é verificar a estabilidade do sistema. Ainda assim foram verificados para cada um dos estados de configurações das chaves que a estabilidade mantém-se incondicionalmente, mas esta relação também pode ser vista pelo fato de que à medida que o ganho é reduzido, pelo desligamento das chaves, a estabilidade tende a ser melhorada.

O mesmo se observa para a linearidade, enquanto a operação no máximo nível de potência atende aos requisitos de linearidade, é de se esperar que à medida que se reduz a potência de saída os efeitos de não linearidades também seja reduzidos. Enquanto, o casamento de impedância não deve sofrer grandes alterações, em razão do *driver* de entrada fazer a interface entre o transformador e o estágio de controle, que sofre alteração de impedância.

Por outro lado, é de se esperar que parâmetros como o S22, que medem o casamento de impedância são degradados à medida que as chaves são desligadas, devido às grandes variações na capacitância de dreno dos transistores em diferentes regiões de operação, logo isto irá se refletir em variações na carga. Porém este efeito se reflete nas métricas de potência de saída e eficiência, devidamente relatadas neste trabalho.

Um resumo das principais características do amplificador proposto é apresentado na Tabela 4.1. Este PA atinge uma potência de saída de 28,5 dBm com PAE de 49,7%. O uso do controle de potência proposto, permite ajuste do nível de potência da saída na faixa de 13,6 a 28,5 dBm, com PAE entre 10,9% a 50%. Neste caso, a máxima eficiência ocorre para a condição de potência máxima, isso ocorre porque a rede de carga foi projetada para ocorrer sob esta condição. Resultando em uma estratégia que garante ao menos 20% de PAE, quando a potência de saída é reduzida para 19,1 dBm. Garante-se ainda uma redução significativa no consumo de potência, o que eleva a eficiência da operação de transmissão, principalmente nos casos quando não há necessidade de altas potências de saída.

Uma comparação entre o PA proposto e algumas implementações no estado da arte disponíveis na literatura é apresentada na Tabela 4.2. Ela mostra o desempenho medido de três PAs e dois resultados simulados com o mesmo nível de integração deste trabalho. O circuito de SONG et al. (2010) é um amplificador classe E sem controle de potência, que apresenta melhor resultado de PAE e potência de saída usando uma topologia diferencial,

Tabela 4.1: Desempenho do PA

S	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Consumo Potência
0000	28,5	50,0	49,7	1,40
0001	28,3	50,2	49,9	1,36
0010	28,2	50,3	50,0	1,32
0011	28,1	50,3	50,0	1,27
0100	27,9	50,1	49,8	1,23
0101	27,7	49,8	49,4	1,18
0110	27,4	49,2	48,9	1,13
0111	27,1	48,4	48,0	1,07
1000	26,7	47,2	46,8	1,00
1001	26,2	45,3	44,8	0,92
1010	25,4	42,3	41,8	0,83
1011	24,3	37,7	37,1	0,71
1100	22,3	30,6	29,9	0,56
1101	19,1	21,1	20,1	0,39
1110	13,6	10,9	9,1	0,21
1111	-7,0	0,8	-13,9	0,03

que garante 3 dB de aumento na potência de saída, enquanto opera em uma tensão de saída levemente maior que a utilizada neste trabalho.

Os trabalhos de MONTES et al. (2014) e MESHKIN; SABERKARI; NIABOLI-GUILANI (2010) apresentam resultados com controle de potência em operação classe E e obtêm melhor desempenho de eficiência que este trabalho, porém obtêm menor potência de saída. Enquanto SHIRVANI; SU; WOOLEY (2002) mostra o mesmo nível de eficiência, com potência de saída 3 dB abaixo para um PA classe F, implementado com 3 bits de controle de potência de saída usando uma linha de transmissão $\lambda/4$ externa. Esta proposta apresenta uma significativa melhora à proposta em SANTANA et al. (2015), adicionando-se um transformador integrado na entrada e um *driver*.

Tabela 4.2: Comparação com implementações de PA

Ref.	P_{out} (dBm)	Tensão (V)	PAE (%)	f(GHz)	tec. (nm)	Controle de Potência	Classe de Operação
[1] ^b	17 - 21,1	1,8	33 - 57,0	2,4	180	sim	E
[2] ^a	8,4 - 24,8	1,5	8 - 49	1,4	250	sim	F
[3] ^a	31,5	3,5	51	1,8	180	não	E
[4] ^a	5 - 20	3,3	42 - 59,2	2,4	130	sim	E
[5] ^b	12,8 - 28,1	3,3	7,8 - 42,6	2,2	130	sim	E
this work ^b	13,6 - 28,5	3,3	9,1 - 49,7	2,2	130	sim	E

(^a) Medido (^b) Simulação em leiaute extraído

[1] MESHKIN; SABERKARI; NIABOLI-GUILANI (2010)

[2] SHIRVANI; SU; WOOLEY (2002)

[3] SONG et al. (2010)

[4] MONTES et al. (2014)

[5] SANTANA et al. (2015)

4.2 Simulação de Robustez

Um dos grandes problemas encontrados no projeto de circuitos integrados é a variação de processos, pois mesmo diante de uma grande faixa de variações de processos o projeto deve assegurar sua funcionalidade. Duas formas de se verificar a robustez dos circuitos, diante de variações, são as simulações de Monte Carlo e *Corners*.

As simulações de Monte Carlo oferecem melhor aproximação do desempenho dos circuitos diante das variações dos processos, pois realizam simulações estatísticas variando randomicamente parâmetros do processo e dos dispositivos, de acordo à distribuição verificada para estes parâmetros. A simulação de Monte Carlo inclui ainda variações entre dispositivos, que permite avaliar o descasamento entre eles. Enquanto as simulações de *corners* testam os extremos do processo, dessa forma não levam em consideração o descasamento entre dispositivos e não oferecem um resultado direto do rendimento esperado do circuito. Porém, é uma forma rápida de garantir a funcionalidade do circuito e seu desempenho diante de variações extremas.

Diante das condições para este projeto tais como: o pior desempenho da potência de saída acontece para uma condição de transistor conhecida, e possui ainda uma relação inversamente proporcional à temperatura, não haver grandes preocupações de descasamento entre dispositivos (topologia *single-ended*) e o tempo de simulação em leiaute extraído elevado. Adotou-se a simulação de *corners* para 5 combinações de transistores, para avaliar a robustez do PA proposto.

Duas condições extremas de operação dos dispositivos são fornecidas pela fabricante, uma delas onde o transistor é mais rápido e outra mais lento, assim haverá quatro combinações destas duas condições para transistores nmos e pmos que são: FF (nmos rápido e pmos rápido), FS (nmos rápido e pmos lento), SF (nmos lento e pmos rápido) e SS (nmos lento e pmos lento). A condição TT refere-se ao processo típico já apresentado na seção anterior.

A Tabela 4.3 apresenta o resultado obtido na condição de temperatura de 80 °C, para as combinações da palavra de controle S iguais a 0000 (todas as chaves ligadas) e 1110 (apenas uma chave ligada). O Apêndice B traz o resultado completo para todas as combinações de chaves.

Tabela 4.3: Desempenho do PA em corners para 80 °C de temperatura.

S	Corner	Potência Saída (dBm)	Eficiência Total (%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
0000	TT	28,5	50,0	49,7	0,108	1,296	1,400
	FF	28,8	51,1	50,8	0,103	1,370	1,473
	FS	28,7	50,3	50,0	0,110	1,369	1,479
	SF	28,2	49,3	49,0	0,108	1,236	1,344
	SS	28,0	48,2	47,9	0,110	1,198	1,308
1110	TT	13,6	10,9	9,1	0,017	0,191	0,208
	FF	15,0	12,6	11,0	0,018	0,232	0,250
	FS	14,2	11,9	10,2	0,016	0,204	0,220
	SF	12,8	10,0	8,0	0,017	0,175	0,192
	SS	12,0	9,3	7,1	0,016	0,153	0,169

Estes dados revelam a condição mais influente para o desempenho do amplificador, que é o transistor nmos lento, pois em todos os casos de combinações de chaves com ao menos uma chave ligada, o transistor nmos lento reduz significativamente a potência

de saída. Como consequência a potência total consumida também é reduzida, mas ainda assim com uma tendência de redução do PAE. A influência dos transistores nmos é muito mais pronunciada que os pmos, devido ao consumo maior do estágio de potência e dada sua implementação usando somente transistores nmos, assim o efeito da condição lenta do transistor nmos representa uma menor capacidade de corrente e consequente redução da potência de saída deste estágio.

Estes resultados demonstram a funcionalidade do amplificador mesmo diante de variações extremas, principalmente quanto à capacidade de variar a potência de saída de forma monotônica, de acordo à palavra de controle S, e em manter uma potência máxima de ao menos 28 dBm para o pior caso (*corner SS*). Enquanto o PAE máximo atingido varia de 47,9% (*corner SS*) a 50,8% (*corner FF*).

Buscando analisar o comportamento do circuito diante de variações de temperatura, foram simulados as condições de 0 °C e 125 °C. Os resultados são apresentados nas Tabelas 4.4 e 4.5, para as palavras de controle 0000 e 1110 nas temperaturas de 0 °C e 125 °C. O apêndice B traz os resultados completos para todas as combinações de chaves nessas temperaturas.

Tabela 4.4: Desempenho do PA em corners para 0 °C de temperatura.

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
0000	TT	28,8	52,2	51,9	0,104	1,351	1,455
	FF	29,0	52,4	52,1	0,099	1,428	1,527
	FS	29,0	52,2	51,9	0,105	1,428	1,533
	SF	28,6	51,8	51,5	0,103	1,289	1,392
	SS	28,5	51,0	50,7	0,108	1,277	1,385
1110	TT	14,8	12,9	11,2	0,015	0,221	0,236
	FF	16,2	14,6	13,2	0,015	0,267	0,282
	FS	15,4	13,9	12,4	0,014	0,237	0,251
	SF	14,1	11,8	10,1	0,016	0,204	0,220
	SS	13,3	11,1	9,2	0,015	0,180	0,195

Tabela 4.5: Desempenho do PA em corners para 125 °C de temperatura.

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
0000	TT	28,3	48,8	48,5	0,111	1,270	1,381
	FF	28,6	50,2	49,9	0,105	1,344	1,449
	FS	28,5	49,2	48,9	0,112	1,337	1,449
	SF	28,0	48,0	47,6	0,110	1,210	1,320
	SS	27,7	46,7	46,4	0,111	1,162	1,273
1110	TT	13,0	10,1	8,2	0,018	0,178	0,196
	FF	14,4	11,7	10,0	0,019	0,217	0,236
	FS	13,6	11,0	9,2	0,017	0,191	0,208
	SF	12,2	9,2	7,1	0,019	0,164	0,183
	SS	11,3	8,5	6,2	0,017	0,143	0,160

De acordo com os dados obtidos, a degradação em função da temperatura é bastante pronunciada, o que reduz a potência de saída de 28,8 dBm para 28,3 dBm no *corner*

TT, quando a temperatura sobe de 0 °C para 125 °C. Porém, a potência de saída permanece ainda acima de 28 dBm, exceto para o caso do *corner* SS em 125 °C que ficou em 27,7 dBm, enquanto o máximo da potência de saída ocorre para o *corner* FF em 0 °C. Estes resultados contemplam tanto a potência mínima esperada para operação na aplicação, quanto a faixa de controle mínima especificada.

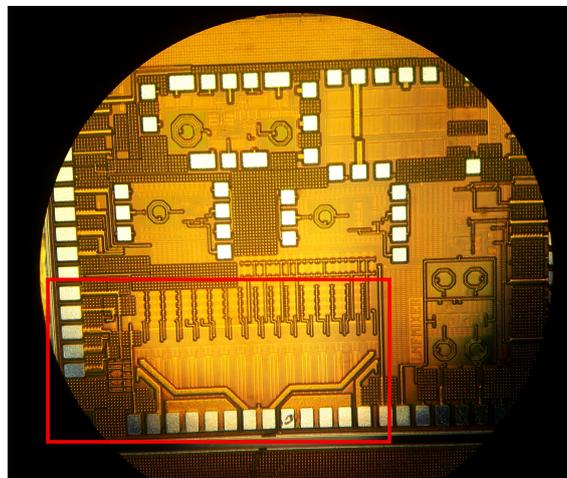
Em relação ao PAE e potência consumida este padrão é mantido, enquanto o PAE varia de 46,7% para o pior caso e 52,4% para o outro extremo, o consumo varia de 1,273 para 1,527 W. Para as demais palavras de seleção este comportamento é mantido, caracterizando bem o pior caso de operação para o *corner* SS com temperatura alta. Dois aspectos importantes contribuem para a redução das variações das principais figuras de mérito, uma delas é a dimensão dos dispositivos e outra é a operação como chaves dos transistores. Assim o PA proposto é robusto o suficiente para manter-se funcional e com bom desempenho diante das variações de processos e temperatura.

Obviamente a tensão de alimentação afetará o desempenho do PA, pois a potência de saída tem dependência quadrática com a tensão de alimentação, logo este PA não possui robustez diante de variações da tensão de alimentação. Em alguns casos esta dependência é utilizada para controlar a potência de saída. Outro aspecto que afeta o desempenho do PA é a variação dos componentes da rede de carga externa, porém este efeito é reduzido pela menor variabilidade dos componentes externos, em comparação com componentes integrados, e oferecem maior flexibilidade ao projeto, permitindo implementar estruturas simples de calibração para reduzir tais variações.

4.3 Fabricação

Durante o período de desenvolvimento deste trabalho, foi enviado para fabricação uma parte desse projeto, composta pelo estágio de controle e o estágio de potência. Com o chip fabricado apresentado na Figura 4.13, pretende-se utilizar a técnica *chip-on-board*, onde o chip é montado sobre a placa de circuito impresso (PCB) e conectado através de bondwires. Com essa estratégia espera-se obter bondwires menores que os obtidos em chips encapsulados, que irão permitir menores flutuações dos sinais de terra e menores perdas.

Figura 4.13: Chip fabricado

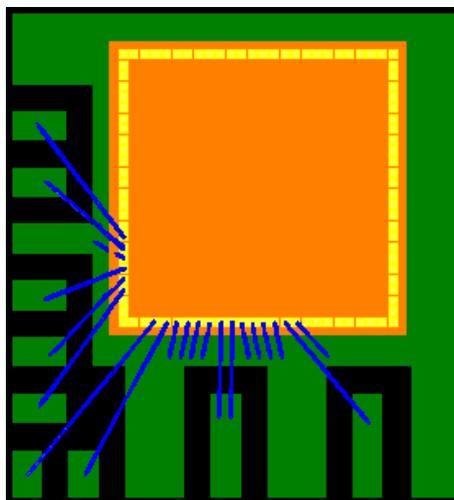


Fonte: Elaborado pelo próprio autor.

Esta estratégia deve ser adotada, pois na rodada de fabricação foram incluídos um total de 8 diferentes projetos, o que resultou em uma quantidade grande de pinos exigidos. Para atender tal quantidade a solução foi utilizar-se um encapsulamento maior, de $12 \times 12 \text{ mm}^2$, o que comprometeu o tamanho dos bondwires neste encapsulamento. Os tamanhos desses bondwires ficaram da ordem de 6 mm, que estão muito além do previsto e introduz uma grande flutuação do sinal de terra, mesmo utilizando-se uma grande quantidade de bondwires.

Portanto, para tentar prever o comportamento dos bondwires para a estratégia *chip-on-board*, utilizou-se o simulador eletromagnético MomentumTM. O leiaute da Figura 4.14 apresenta o chip e as conexões realizadas para a PCB, usando um substrato RO 4003 da Rogers corporation que apresenta permissividade relativa de 3,7.

Figura 4.14: Leiaute *chip-on-board* em substrato RO 4003.



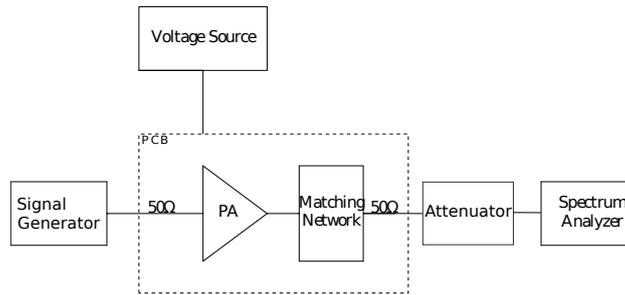
Fonte: Elaborado pelo próprio autor.

Os bondwires obtidos através destas simulações possuem tamanho de aproximadamente 1 mm, onde a indutância é cerca de 1 nH. Assim, esta estratégia apresenta-se como a melhor escolha para futuras fabricações, desde que disponível uma máquina capaz de conectar os bondwires, dada a redução em seus comprimentos. Espera-se, em breve, a implementação desta estratégia para realização das medidas. Aguardada, ainda esse semestre, é também o envio para fabricação do circuito aprimorado e apresentado nesta dissertação.

Para realização das medidas, a configuração dos principais equipamentos envolvidos e a PCB é apresentada na Figura 4.15. Serão necessárias três fontes de alimentação independentes, uma para energizar o estágio de saída em 3,3 V, uma para os circuitos operando na tensão de 1,2 V e outra para os circuitos inversores que serão alimentados com uma tensão de 2,5 V. Da forma como foi projetado o circuito proposto, o transformador oferece isolamento DC para o gerador de sinal, no entanto é extremamente aconselhável o uso de um "T" de polarização comercial, omitido na Figura 4.15 por simplicidade, para evitar conexão de sinal DC com o gerador por eventuais falhas de implementação. Sendo a potência de saída do PA proposto próxima de 30 dBm, valor máximo permitido na maioria dos analisadores de espectro, com uso de um atenuador na saída evita-se que a potência de saída fique próxima desse valor, oferecendo-se segurança aos equipamentos utilizados.

Com esta configuração simples é possível caracterizar as principais figuras de mérito

Figura 4.15: Configuração de teste do PA.



Fonte: Elaborado pelo próprio autor.

do PA, tais como potência de saída, potência consumida, eficiência de dreno, eficiência total e PAE. Para o caso da avaliação da máscara de emissão de espúrios, a configuração segue a mesma, desde que o gerador de sinal possa entregar um sinal modulado de acordo ao esquema de modulação que se deseja avaliar (modulação de fase ou GMSK), bem como o analisador de espectro deve possuir capacidade de demodular estes sinais. Para a caracterização de parâmetros S, basta substituir o gerador de sinal e o analisador de espectro por um analisador de rede de duas portas, conectando uma das portas na entrada do circuito e a outra na saída.

5 CONCLUSÃO

Foi apresentado um amplificador de potência classe E operando na banda S de frequência. O controle da potência de saída implementado permite alterar a configuração do estágio de saída, por meio de uma palavra digital de quatro bits, o que faz a potência de saída variar entre 13,6 a 28,5 dBm (22,9 a 707 mW), para as condições em que no mínimo uma das chaves está ligada, enquanto o PAE obtido varia entre 9,1% e 49,7% para uma tensão de alimentação de 3,3 V.

O PA proposto é composto de um transformador de entrada, usado para reduzir os efeitos da flutuação dos sinais de terra, um estágio de *driver*, para oferecer um sinal apropriado ao próximo estágio e evitar grandes variações da impedância de entrada do PA proposto, um estágio de controle digital, e ainda um estágio de potência operando em classe E.

O transformador de entrada foi projetado com as duas camadas mais altas de metais, para se atingir menor resistência série dos enrolamentos, resultando-se fatores de qualidade de 10 e 7 no secundário e primário, respectivamente. Com o leiaute interdigitado e usando-se o espaçamento mínimo da tecnologia obteve-se 0,73 de fator de acoplamento magnético, enquanto as autoindutâncias obtidas foram de 0,70 e 1,25 nH nos enrolamentos primário e secundário, respectivamente. Todos os resultados obtidos foram provenientes de simulações eletromagnéticas.

Um estágio de *driver* implementado em classe D é responsável pela interface entre o transformador de entrada e o estágio de controle, este mantém uma impedância apropriada para a fonte de sinal da entrada e garante os níveis de sinal apropriados para o estágio de controle. Fazendo-se uso de células digitais e implementado em um arranjo na proporção binária 1:2:4:8, o estágio de controle é responsável pelo acionamento dos transistores do estágio de saída, mediante a palavra de controle digital.

O estágio de saída implementado em classe E possui chaves usando a topologia cascode de transistores, que combina a velocidade dos transistores de óxido fino em configuração fonte comum, com a alta tensão de ruptura dos transistores de óxido espesso em configuração porta comum. O uso da topologia cascode permitiu elevar-se a tensão de alimentação desse estágio para 3,3 V, e a conseqüente redução do fator de transformação da rede de casamento de impedância, possibilitando assim uma maior eficiência do PA proposto ao se reduzir as perdas na rede de casamento. A utilização de uma indutância finita, em detrimento de um indutor RF-*Choke*, reduziu a tensão de pico na chave para aproximadamente $2,5V_{DD}$, que aliada à topologia cascode garantiram as tensões sobre os óxidos dos dispositivos abaixo dos valores recomendados para operação segura.

O leiaute proposto ocupa uma área de $1,900 \times 0,875 \text{ mm}^2$, e todos os resultados de simulações foram obtidos a partir de sua extração, considerando-se bondwires, capacitância de PADS e proteções ESD. Verificou-se a robustez do circuito proposto diante de

variações extremas de processos, segundo simulações de *corners* para diferentes combinações de transistores. Mostrou-se ainda, que este amplificador é funcional dentro da faixa de variação de temperatura de 0 °C a 125 °C, onde o pior caso da potência de saída, na configuração em que todas as chaves estão ligadas, ocorre para a temperatura de 125 °C no *corner* SS e tem valor de 27,7 dBm (588 mW), enquanto o PAE é de 46,4%.

O PA proposto permite redução do consumo de potência quando este não está transmitindo na potência máxima. A potência consumida atinge um mínimo de 0,21 W quando a potência de saída é de 13,6 dBm (22,9 mW) e um máximo de 1,4 W quando a potência de saída é de 28,5 dBm (707 mW), o que representa 1,19 W de economia, aumentando a vida da bateria. A linearidade obtida neste circuito mostrou-se suficiente para atender os requisitos da máscara de emissão de espúrios para um padrão de comunicação com envoltória constante largamente utilizado.

5.1 Trabalhos Futuros

Como sugestões para trabalhos futuros de amplificadores de potência em tecnologia CMOS, tem-se:

1. Projeto das células do estágio de controle voltadas para melhor desempenho em frequência, para permitir modulação de amplitude e extensão dessa arquitetura para um transmissor de modulação polar.
2. Foram avaliadas topologias de transformadores, que indicam a possibilidade de uma versão completamente integrada, usando uma topologia diferencial, que permitiria elevar a potência de saída sem aumentar o estresse sobre os transistores das chaves.
3. Uma topologia diferencial combinada com a capacidade de modulação, através da palavra de controle, podem resultar em uma arquitetura de transmissor em quadratura usando RFDACs.

REFERÊNCIAS

- ABIDI, A. RF CMOS comes of age. **IEEE Journal of Solid-State Circuits**, [S.l.], v.39, n.4, p.549–561, apr 2004.
- AFSAHI, A. et al. Fully integrated dual-band power amplifiers with on-chip baluns in 65nm CMOS for an 802.11n MIMO WLAN SoC. In: RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM, 2009. RFIC 2009. IEEE, 2009. **Anais...** [S.l.: s.n.], 2009. p.365–368.
- ALAVI, S. M. **All-Digital I/Q RF-DAC**. 2014. 183p. Tese (PHD em Microeletrônica e Engenharia da Computação) — Technische Universiteit Delft.
- Amkor Technology. **Data Sheet: MicroLeadFrame Quad Flat No-Lead Package (MLF/QFN/SON/DFN)**. [S.l.: s.n.], 2015.
- AN, K. H. et al. Power-Combining Transformer Techniques for Fully-Integrated CMOS Power Amplifiers. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.43, n.5, p.1064–1075, May 2008.
- ANDRADE, N. J. **Efeito de crosstalk em circuitos integrados e sua aplicação à linearização de um amplificador de potência**. 2015. Trabalho de conclusão de graduação — UFRGS.
- ANNEMA, A.; GEELLEN, G.; JONG, P. de. 5.5-V I/O in a 2.5-V 0.25- μ m CMOS technology. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.36, n.3, p.528–538, Mar 2001.
- Association Semiconductor Industry. **International Technology Roadmap for Semiconductors, System Drivers**. [S.l.]: Association Semiconductor Industry, 2011.
- Association Semiconductor Industry. **International Technology Roadmap for Semiconductors, Radio Frequency and Analog/Mixed-Signal Technologies Summary**. [S.l.]: Association Semiconductor Industry, 2013.
- FATHI, M.; SU, D.; WOOLEY, B. A 30.3 dBm 1.9 GHz-bandwidth 2×4 -array stacked 5.3 GHz CMOS power amplifier. In: SOLID-STATE CIRCUITS CONFERENCE DIGEST OF TECHNICAL PAPERS (ISSCC), 2013 IEEE INTERNATIONAL, 2013. **Anais...** [S.l.: s.n.], 2013. p.88–89.
- GONZALEZ, G. **Microwave Transistor Amplifiers: analysis and design**. [S.l.]: Prentice Hall, 1997.

- HAJIMIRI, A. Next-Generation CMOS RF Power Amplifiers. **Microwave Magazine, IEEE**, [S.l.], v.12, n.1, p.38–45, Feb 2011.
- IBM. **CMOS8RF (CMRF8SF) Design Manual**. [S.l.: s.n.], 2010.
- JOHANSSON, T.; FRITZIN, J. A Review of Watt-Level CMOS RF Power Amplifiers. **Microwave Theory and Techniques, IEEE Transactions on**, [S.l.], v.62, n.1, p.111–124, Jan 2014.
- KAZIMIERCZUK, M. **RF Power Amplifiers**. [S.l.]: Wiley, 2008.
- KAZIMIERCZUK, M.; PUCZKO, K. Exact analysis of class E tuned power amplifier at any Q and switch duty cycle. **IEEE Transactions on Circuits and Systems**, [S.l.], v.34, n.2, p.149–159, feb 1987.
- LEE, H.; PARK, C.; HONG, S. A Quasi-Four-Pair Class-E CMOS RF Power Amplifier With an Integrated Passive Device Transformer. **Microwave Theory and Techniques, IEEE Transactions on**, [S.l.], v.57, n.4, p.752–759, April 2009.
- LIU, G. et al. Fully Integrated CMOS Power Amplifier With Efficiency Enhancement at Power Back-Off. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.43, n.3, p.600–609, March 2008.
- LIU, G.; LIU, T.-J. K.; NIKNEJAD, A. A 1.2V, 2.4GHz Fully Integrated Linear CMOS Power Amplifier with Efficiency Enhancement. In: CUSTOM INTEGRATED CIRCUITS CONFERENCE, 2006. CICC '06. IEEE, 2006. **Anais...** [S.l.: s.n.], 2006. p.141–144.
- LONG, J. R. Monolithic transformers for silicon RF IC design. **IEEE Journal of Solid-State Circuits**, [S.l.], v.35, n.9, p.1368–1382, 2000.
- MAZZANTI, A. et al. Analysis of reliability and power efficiency in cascode class-E PAs. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.41, n.5, p.1222–1229, May 2006.
- MESHKIN, R.; SABERKARI, A.; NIABOLI-GUILANI, M. A novel 2.4 GHz CMOS class-E power amplifier with efficient power control for wireless communications. In: IEEE INT. CONF. ELECTRON. CIRCUITS SYST., 2010., 2010. **Anais...** IEEE, 2010. p.599–602.
- MONTES, L. et al. An efficient power control scheme for a 2.4 GHz class-E PA in 0.13- μm CMOS. In: IEEE NINTH INT. CONFERENCE INTELLIGENT SENSORS, SENSOR NETWORKS INF. PROCESS., 2014., 2014. **Anais...** [S.l.: s.n.], 2014. p.1–4.
- NIKNEJAD, A. **Electromagnetics for High-Speed Analog and Digital Communication Circuits**. [S.l.]: Cambridge University Press, 2007.
- NIKNEJAD, a. M.; CHOWDHURY, D.; CHEN, J. Design of CMOS Power Amplifiers. **Microw. Theory Tech. IEEE Trans.**, [S.l.], v.60, n.6, p.1784–1796, 2012.
- PACKAGING Options. [S.l.]: MOSIS, 2015.
- PILGRIM, D. Reconfigurable CMOS RF Front Ends. **Microwave Journal**, [S.l.], v.57, n.6, p.22–32, June 2014.

- RAAB, F. Idealized operation of the class E tuned power amplifier. **IEEE Trans. Circuits Syst.**, [S.l.], v.24, n.12, p.725–735, 1977.
- RAAB, F.; SOKAL, N. Transistor power losses in the class E tuned power amplifier. **IEEE J. Solid-State Circuits**, [S.l.], v.13, n.6, p.912–914, 1978.
- RABAEY, J. **DIGITAL INTEGRATED CIRCUITS: a design perspective**. [S.l.]: Prentice Hall, 1996. (Prentice Hall electronics and VLSI series).
- RAE, J. C. P. **Detector de Sinais para os Satélites do Sistema Brasileiro de Coleta de Dados usando Análise Espectral Digital**. 2005. Tese de mestrado — Instituto Tecnológico de Aeronáutica.
- RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. [S.l.]: McGraw-Hill, 2001. (Electrical Engineering Series).
- RAZAVI, B. **RF Microelectronics**. [S.l.]: Pearson Education, 2011. (Prentice Hall International Series in the Physical and Chemical Engineering Sciences).
- REYNAERT, P.; STEYAERT, M. **RF Power Amplifiers for Mobile Communications**. [S.l.]: Springer Netherlands, 2006. (Analog Circuits and Signal Processing).
- ROGERS, J.; PLETT, C. **Radio Frequency Integrated Circuit Design**. [S.l.]: Artech House, 2003. (Artech House microwave library).
- SANTANA, D. et al. A Power Controlled RF CMOS Class-E PA with 43% Maximum Efficiency in 2.2 GHz. In: IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS), 2015., 2015. **Anais...** [S.l.: s.n.], 2015.
- SASSE, G. T.; KUPER, F. G.; SCHMITZ, J. MOSFET degradation under RF stress. **IEEE Trans. Electron Devices**, [S.l.], v.55, n.11, p.3167–3174, 2008.
- SEURRE, E.; SAVELLI, P.; PIETRI, P. **GPRS for Mobile Internet**. [S.l.]: Artech House, 2002. (Artech House mobile communications series).
- SHIRVANI, A.; SU, D. K. D.; WOOLEY, B. a. B. A CMOS RF Power Amplifier With Parallel Amplification for Efficient Power Control. **IEEE Journal of Solid-State Circuits**, [S.l.], v.37, n.6, p.684–693, 2002.
- SOKAL, N. O. Class-E RF power amplifiers. **QEX Commun Quart**, [S.l.], p.9–20, 2001.
- SOKAL, N.; SOKAL a.D. Class E-A new class of high-efficiency tuned single-ended switching power amplifiers. **IEEE J. Solid-State Circuits**, [S.l.], v.10, n.3, p.168–176, 1975.
- SON, K. Y.; PARK, C.; HONG, S. A 1.8-GHz CMOS Power Amplifier Using Stacked nMOS and pMOS Structures for High-Voltage Operation. **Microwave Theory and Techniques, IEEE Transactions on**, [S.l.], v.57, n.11, p.2652–2660, Nov 2009.
- SONG, Y. et al. A CMOS class-E power amplifier with voltage stress relief and enhanced efficiency. **IEEE Transactions on Microwave Theory and Techniques**, [S.l.], v.58, n.2, p.310–317, 2010.

Texas Instruments. **Thermal Considerations for RF Power Amplifier Devices**. [S.l.: s.n.], 1998.

The Business Journals. **Global and China GaAs-based Device Industry Report, 2011-2012**. Acesso em: 2015-11-17, Disponível em: <http://www.bizjournals.com/prnewswire/press_releases/2012/05/28/SP14461>.

YAMAGUTI, W.; ORLANDO, V.; PEREIRA, S. Sistema brasileiro de coleta de dados ambientais: status e planos futuros. **SIMPÓSIO BRASILEIRO DE SENSORIA-
MENTO REMOTO**, [S.l.], v.14, p.1633–1640, 2009.

YOO, C.; HUANG, Q. A common-gate switched, 0.9 W class-E power amplifier with 41% PAE in 0.25 μm CMOS. In: VLSI CIRCUITS, 2000. DIGEST OF TECHNICAL PAPERS. 2000 SYMPOSIUM ON, 2000. **Anais...** [S.l.: s.n.], 2000. p.56–57.

ZULINSKI, R.; STEADMAN, J. W. Class E Power Amplifiers and Frequency Multipliers with finite DC-Feed Inductance. **Circuits and Systems, IEEE Transactions on**, [S.l.], v.34, n.9, p.1074–1087, Sep 1987.

APÊNDICE A LISTA DE PUBLICAÇÕES

1. SANTANA B., D., KLIMACH, H., FABRIS, ERIC. and BAMPI, S. "*A Power Controlled RF CMOS Class-E PA with 43% Maximum Efficiency in 2.2 GHz*". Proceedings of the 2015 IEEE International Conference on Electronics, Circuits, and Systems (**ICECS'15**). Cairo, Egypt. December 2015.
2. SANTANA B., D., KLIMACH, H., FABRIS, ERIC. and BAMPI, S. "*A CMOS RF Class-E Power Amplifier with 3-bit Power Control*". Proceedings of the VII IEEE Latin American Symposium on Circuits and Systems (**LASCAS'16**). Florianópolis, Brazil. February 2016.

APÊNDICE B SIMULAÇÃO DE *CORNERS*

Resultados das simulações de *Corners* para todas combinações de chaves nas temperaturas de 80 °C, 0 °C e 125 °C apresentados nas Tabelas B.1, B.2 e B.3, respectivamente. Em todas elas foram consideradas as condições de frequência de 2,2 GHz e tensão de alimentação de 3,3 V.

Tabela B.1: Desempenho do PA em *corners* para 80 °C de temperatura (continua).

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
0000	TT	28,5	50,0	49,7	0,108	1,296	1,404
	FF	28,8	51,1	50,8	0,103	1,370	1,473
	FS	28,7	50,3	50,0	0,110	1,369	1,479
	SF	28,2	49,3	49,0	0,108	1,236	1,344
	SS	28,0	48,2	47,9	0,110	1,198	1,308
0001	TT	28,3	50,2	49,9	0,102	1,260	1,362
	FF	28,7	51,5	51,2	0,096	1,336	1,432
	FS	28,6	50,7	50,4	0,103	1,329	1,432
	SF	28,1	49,4	49,1	0,101	1,203	1,304
	SS	27,9	48,3	48,0	0,103	1,162	1,265
0010	TT	28,2	50,3	50,0	0,095	1,223	1,318
	FF	28,6	51,7	51,4	0,090	1,301	1,391
	FS	28,5	51,0	50,7	0,096	1,287	1,383
	SF	27,9	49,4	49,0	0,095	1,169	1,264
	SS	27,7	48,3	47,9	0,097	1,125	1,222
0011	TT	28,1	50,3	50,0	0,089	1,185	1,274
	FF	28,4	51,9	51,6	0,083	1,264	1,347
	FS	28,3	51,1	50,8	0,089	1,243	1,332
	SF	27,8	49,2	48,9	0,088	1,133	1,221
	SS	27,5	48,1	47,8	0,090	1,086	1,176
0100	TT	27,9	50,1	49,8	0,082	1,145	1,227
	FF	28,3	51,9	51,6	0,077	1,224	1,301
	FS	28,1	51,0	50,7	0,082	1,197	1,279
	SF	27,6	49,0	48,6	0,081	1,094	1,175
	SS	27,3	47,9	47,5	0,083	1,044	1,127
0101	TT	27,7	49,8	49,4	0,075	1,103	1,178
	FF	28,1	51,7	51,4	0,071	1,183	1,254
	FS	27,9	50,8	50,5	0,076	1,150	1,226
	SF	27,4	48,6	48,2	0,075	1,052	1,127
	SS	27,1	47,4	47,0	0,077	1,000	1,077
0110	TT	27,4	49,2	48,9	0,068	1,057	1,125
	FF	27,9	51,3	51,0	0,064	1,138	1,202
	FS	27,7	50,4	50,1	0,069	1,102	1,171
	SF	27,1	47,9	47,5	0,068	1,005	1,073
	SS	26,8	46,6	46,2	0,070	0,950	1,020
0111	TT	27,1	48,4	48,0	0,061	1,005	1,066
	FF	27,6	50,7	50,3	0,058	1,090	1,148
	FS	27,4	49,7	49,4	0,062	1,051	1,113
	SF	26,8	46,9	46,5	0,061	0,952	1,013
	SS	26,4	45,5	45,1	0,063	0,894	0,957

Desempenho do PA em *corners* para 80 °C de temperatura (conclusão).

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
1000	TT	26,7	47,2	46,8	0,054	0,943	0,997
	FF	27,3	49,7	49,3	0,051	1,034	1,085
	FS	27,1	48,6	48,3	0,054	0,989	1,043
	SF	26,3	45,5	45,0	0,054	0,891	0,945
	SS	25,9	43,9	43,4	0,056	0,827	0,883
1001	TT	26,2	45,3	44,8	0,047	0,873	0,920
	FF	26,9	48,1	47,7	0,045	0,971	1,016
	FS	26,6	47,0	46,6	0,047	0,918	0,965
	SF	25,8	43,3	42,8	0,048	0,822	0,870
	SS	25,2	41,5	41,0	0,049	0,753	0,802
1010	TT	25,4	42,3	41,8	0,041	0,788	0,829
	FF	26,3	45,6	45,2	0,038	0,891	0,929
	FS	25,9	44,4	43,9	0,040	0,831	0,871
	SF	24,9	40,0	39,5	0,041	0,735	0,776
	SS	24,3	38,0	37,5	0,042	0,664	0,706
1011	TT	24,3	37,7	37,1	0,034	0,676	0,710
	FF	25,3	41,5	41,0	0,032	0,785	0,817
	FS	24,8	40,0	39,5	0,033	0,720	0,753
	SF	23,6	35,1	34,5	0,034	0,624	0,658
	SS	22,9	32,8	32,2	0,034	0,555	0,589
1100	TT	22,3	30,6	29,9	0,027	0,532	0,559
	FF	23,6	34,8	34,2	0,026	0,638	0,664
	FS	23,0	33,1	32,4	0,026	0,570	0,596
	SF	21,6	27,9	27,2	0,028	0,487	0,515
	SS	20,6	25,6	24,8	0,028	0,426	0,454
1101	TT	19,1	21,1	20,1	0,022	0,365	0,387
	FF	20,6	24,6	23,8	0,021	0,445	0,466
	FS	19,8	23,0	22,0	0,021	0,392	0,413
	SF	18,4	19,2	18,1	0,022	0,334	0,356
	SS	17,4	17,6	16,5	0,021	0,291	0,312
1110	TT	13,6	10,9	9,1	0,017	0,191	0,208
	FF	15,0	12,6	11,0	0,018	0,232	0,250
	FS	14,2	11,9	10,2	0,016	0,204	0,220
	SF	12,8	10,0	8,0	0,017	0,175	0,192
	SS	12,0	9,3	7,1	0,016	0,153	0,169
1111	TT	-7,0	0,8	-13,9	0,013	0,013	0,026
	FF	-7,2	0,7	-13,3	0,015	0,013	0,028
	FS	-7,2	0,8	-14,3	0,012	0,013	0,025
	SF	-6,7	0,8	-13,8	0,013	0,013	0,026
	SS	-6,7	0,9	-14,5	0,011	0,013	0,024

Tabela B.2: Desempenho do PA em *corners* para 0 °C de temperatura (continua).

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
0000	TT	28,8	52,2	51,9	0,104	1,351	1,455
	FF	29,0	52,4	52,1	0,099	1,428	1,527
	FS	29,0	52,2	51,9	0,105	1,428	1,533
	SF	28,6	51,8	51,5	0,103	1,289	1,392
	SS	28,5	51,0	50,7	0,108	1,277	1,385
0001	TT	27,7	51,8	51,4	0,059	1,079	1,138
	FF	28,1	53,5	53,2	0,055	1,155	1,210
	FS	28,0	52,9	52,5	0,060	1,123	1,183
	SF	27,4	50,6	50,3	0,059	1,033	1,092
	SS	27,2	49,7	49,3	0,062	0,991	1,053
0010	TT	27,7	51,8	51,4	0,059	1,079	1,138
	FF	28,1	53,5	53,2	0,055	1,155	1,210
	FS	28,0	52,9	52,5	0,060	1,123	1,183
	SF	27,4	50,6	50,3	0,059	1,033	1,092
	SS	27,2	49,7	49,3	0,062	0,991	1,053
0011	TT	25,4	43,0	42,5	0,032	0,772	0,804
	FF	26,2	46,3	45,8	0,029	0,878	0,907
	FS	25,8	45,1	44,7	0,032	0,819	0,851
	SF	24,8	40,6	40,1	0,032	0,719	0,751
	SS	24,3	38,9	38,3	0,034	0,656	0,690
0100	TT	27,7	51,8	51,4	0,059	1,079	1,138
	FF	28,1	53,5	53,2	0,055	1,155	1,210
	FS	28,0	52,9	52,5	0,060	1,123	1,183
	SF	27,4	50,6	50,3	0,059	1,033	1,092
	SS	27,2	49,7	49,3	0,062	0,991	1,053
0101	TT	27,0	49,5	49,1	0,046	0,963	1,009
	FF	27,5	51,7	51,3	0,042	1,048	1,090
	FS	27,3	50,9	50,5	0,046	1,003	1,049
	SF	26,6	47,9	47,5	0,046	0,914	0,960
	SS	26,3	46,6	46,2	0,048	0,857	0,905
0110	TT	25,4	43,0	42,5	0,032	0,772	0,804
	FF	26,2	46,3	45,8	0,029	0,878	0,907
	FS	25,8	45,1	44,7	0,032	0,819	0,851
	SF	24,8	40,6	40,1	0,032	0,719	0,751
	SS	24,3	38,9	38,3	0,034	0,656	0,690
0111	TT	20,5	24,9	24,1	0,019	0,426	0,445
	FF	21,8	28,6	27,8	0,018	0,513	0,531
	FS	21,1	26,9	26,1	0,019	0,458	0,477
	SF	19,7	22,9	22,0	0,020	0,391	0,411
	SS	18,9	21,3	20,2	0,020	0,345	0,365

Desempenho do PA em *corners* para 0 °C de temperatura (conclusão).

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
1000	TT	27,4	50,9	50,5	0,052	1,025	1,077
	FF	27,8	52,8	52,5	0,048	1,105	1,153
	FS	27,7	52,1	51,7	0,053	1,066	1,119
	SF	27,1	49,6	49,2	0,052	0,979	1,031
	SS	26,8	48,5	48,1	0,055	0,928	0,983
1001	TT	27,0	49,5	49,1	0,046	0,963	1,009
	FF	27,5	51,7	51,3	0,042	1,048	1,090
	FS	27,3	50,9	50,5	0,046	1,003	1,049
	SF	26,6	47,9	47,5	0,046	0,914	0,960
	SS	26,3	46,6	46,2	0,048	0,857	0,905
1010	TT	26,4	47,1	46,7	0,039	0,882	0,921
	FF	27,0	49,8	49,4	0,035	0,976	1,011
	FS	26,7	48,8	48,4	0,039	0,926	0,965
	SF	25,9	45,2	44,8	0,039	0,829	0,868
	SS	25,5	43,7	43,2	0,041	0,768	0,809
1011	TT	25,4	43,0	42,5	0,032	0,772	0,804
	FF	26,2	46,3	45,8	0,029	0,878	0,907
	FS	25,8	45,1	44,7	0,032	0,819	0,851
	SF	24,8	40,6	40,1	0,032	0,719	0,751
	SS	24,3	38,9	38,3	0,034	0,656	0,690
1100	TT	23,6	35,8	35,2	0,025	0,620	0,645
	FF	24,7	39,5	39,0	0,023	0,729	0,752
	FS	24,2	38,3	37,7	0,025	0,663	0,688
	SF	23,0	33,2	32,6	0,026	0,571	0,597
	SS	22,2	30,9	30,2	0,026	0,506	0,532
1101	TT	20,5	24,9	24,1	0,019	0,426	0,445
	FF	21,8	28,6	27,8	0,018	0,513	0,531
	FS	21,1	26,9	26,1	0,019	0,458	0,477
	SF	19,7	22,9	22,0	0,020	0,391	0,411
	SS	18,9	21,3	20,2	0,020	0,345	0,365
1110	TT	14,8	12,9	11,2	0,015	0,221	0,236
	FF	16,2	14,6	13,2	0,015	0,267	0,282
	FS	15,4	13,9	12,4	0,014	0,237	0,251
	SF	14,1	11,8	10,1	0,016	0,204	0,220
	SS	13,3	11,1	9,2	0,015	0,180	0,195
1111	TT	-7,0	0,8	-14,8	0,011	0,013	0,024
	FF	-7,3	0,7	-14,2	0,014	0,013	0,027
	FS	-7,3	0,8	-15,1	0,011	0,013	0,024
	SF	-6,8	0,9	-14,8	0,012	0,013	0,025
	SS	-6,8	0,9	-15,3	0,010	0,013	0,023

Tabela B.3: Desempenho do PA em *corners* para 125 °C de temperatura (continua).

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
0000	TT	28,3	48,8	48,5	0,111	1,270	1,381
	FF	28,6	50,2	49,9	0,105	1,344	1,449
	FS	28,5	49,2	48,9	0,112	1,337	1,449
	SF	28,0	48,0	47,6	0,110	1,210	1,320
	SS	27,7	46,7	46,4	0,111	1,162	1,273
0001	TT	26,8	46,6	46,2	0,063	0,969	1,032
	FF	27,4	49,1	48,8	0,059	1,059	1,118
	FS	27,1	48,0	47,7	0,062	1,014	1,076
	SF	26,4	44,9	44,5	0,063	0,916	0,979
	SS	26,0	43,3	42,9	0,063	0,850	0,913
0010	TT	26,8	46,6	46,2	0,063	0,969	1,032
	FF	27,4	49,1	48,8	0,059	1,059	1,118
	FS	27,1	48,0	47,7	0,062	1,014	1,076
	SF	26,4	44,9	44,5	0,063	0,916	0,979
	SS	26,0	43,3	42,9	0,063	0,850	0,913
0011	TT	23,7	35,1	34,5	0,035	0,634	0,669
	FF	24,8	39,1	38,6	0,033	0,743	0,776
	FS	24,3	37,5	37,0	0,034	0,676	0,710
	SF	23,0	32,5	31,9	0,035	0,585	0,620
	SS	22,2	30,1	29,4	0,035	0,515	0,550
0100	TT	26,8	46,6	46,2	0,063	0,969	1,032
	FF	27,4	49,1	48,8	0,059	1,059	1,118
	FS	27,1	48,0	47,7	0,062	1,014	1,076
	SF	26,4	44,9	44,5	0,063	0,916	0,979
	SS	26,0	43,3	42,9	0,063	0,850	0,913
0101	TT	25,8	43,0	42,6	0,049	0,832	0,881
	FF	26,6	46,2	45,8	0,046	0,934	0,980
	FS	26,2	44,9	44,5	0,048	0,876	0,924
	SF	25,3	40,9	40,4	0,049	0,780	0,829
	SS	24,7	38,9	38,4	0,049	0,708	0,757
0110	TT	23,7	35,1	34,5	0,035	0,634	0,669
	FF	24,8	39,1	38,6	0,033	0,743	0,776
	FS	24,3	37,5	37,0	0,034	0,676	0,710
	SF	23,0	32,5	31,9	0,035	0,585	0,620
	SS	22,2	30,1	29,4	0,035	0,515	0,550
0111	TT	18,5	19,4	18,4	0,023	0,340	0,363
	FF	20,0	22,8	21,9	0,023	0,416	0,439
	FS	19,1	21,2	20,2	0,022	0,365	0,387
	SF	17,7	17,6	16,5	0,024	0,311	0,335
	SS	16,7	16,1	14,9	0,022	0,270	0,292
1000	TT	26,4	45,1	44,7	0,056	0,904	0,960
	FF	27,0	48,0	47,6	0,053	1,001	1,054
	FS	26,7	46,8	46,4	0,055	0,950	1,005
	SF	25,9	43,3	42,8	0,056	0,852	0,908
	SS	25,4	41,5	41,0	0,056	0,782	0,838

Desempenho do PA em *corners* para 125 °C de temperatura (conclusão).

S	Corner	Potência Saída (dBm)	Eficiência Total(%)	PAE (%)	Cons. Driver (W)	Cons. Est. Saída (W)	Cons. Total (W)
1001	TT	25,8	43,0	42,6	0,049	0,832	0,881
	FF	26,6	46,2	45,8	0,046	0,934	0,980
	FS	26,2	44,9	44,5	0,048	0,876	0,924
	SF	25,3	40,9	40,4	0,049	0,780	0,829
	SS	24,7	38,9	38,4	0,049	0,708	0,757
1010	TT	25,0	39,9	39,4	0,042	0,745	0,787
	FF	25,9	43,4	43,0	0,040	0,851	0,891
	FS	25,4	42,0	41,6	0,041	0,788	0,829
	SF	24,4	37,4	36,9	0,042	0,693	0,735
	SS	23,7	35,3	34,7	0,042	0,620	0,662
1011	TT	23,7	35,1	34,5	0,035	0,634	0,669
	FF	24,8	39,1	38,6	0,033	0,743	0,776
	FS	24,3	37,5	37,0	0,034	0,676	0,710
	SF	23,0	32,5	31,9	0,035	0,585	0,620
	SS	22,2	30,1	29,4	0,035	0,515	0,550
1100	TT	21,7	28,2	27,5	0,029	0,495	0,524
	FF	23,1	32,5	31,8	0,028	0,599	0,627
	FS	22,3	30,6	29,9	0,027	0,531	0,558
	SF	20,9	25,7	24,9	0,029	0,453	0,482
	SS	20,0	23,4	22,5	0,028	0,395	0,423
1101	TT	18,5	19,4	18,4	0,023	0,340	0,363
	FF	20,0	22,8	21,9	0,023	0,416	0,439
	FS	19,1	21,2	20,2	0,022	0,365	0,387
	SF	17,7	17,6	16,5	0,024	0,311	0,335
	SS	16,7	16,1	14,9	0,022	0,270	0,292
1110	TT	13,0	10,1	8,2	0,018	0,178	0,196
	FF	14,4	11,7	10,0	0,019	0,217	0,236
	FS	13,6	11,0	9,2	0,017	0,191	0,208
	SF	12,2	9,2	7,1	0,019	0,164	0,183
	SS	11,3	8,5	6,2	0,017	0,143	0,160
1111	TT	-6,9	0,8	-13,4	0,014	0,013	0,027
	FF	-7,2	0,7	-12,7	0,016	0,013	0,029
	FS	-7,2	0,8	-13,9	0,013	0,013	0,026
	SF	-6,7	0,8	-13,3	0,014	0,013	0,027
	SS	-6,7	0,9	-14,0	0,012	0,013	0,025