

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

EGAS CARVALHO HENES NETO

**Oscilador Controlado por Tensão para Operação Programável de 3.7GHz a
8.8GHz para Aplicações em Múltiplas Bandas de Frequência**

Dissertação apresentada como requisito parcial para
a obtenção do grau de Mestre em Microeletrônica.

Orientador: Prof. Dr. Sergio Bampi

Porto Alegre
2015

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Henes Neto, Egas Carvalho

Oscilador Controlado por Tensão para Operação Programável de 3.7GHz a 8.8GHz para Aplicações em Múltiplas Bandas de Frequência / Egas Carvalho Henes Neto. – 2015.

110 f.:il.

Orientador: Sergio Bampi.

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2015.

1.LC-VCO. 2.Oscilador Controlado por Tensão. 3.Ganho do VCO. 4.PLL. 5. Sintetizador de Frequências. 6. Rádio Cognitivo. 7. RF. I. Bampi, Sergio. II. Oscilador Controlado por Tensão para Operação Programável de 3.7GHz a 8.8GHz para Aplicações em Múltiplas Bandas de Frequência.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMICRO: Prof.^a Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

“As convicções são inimigas mais perigosas da verdade do que as mentiras “

- FRIEDRICH NIETZSCHE

AGRADECIMENTOS

À minha adorável esposa, Ana Priscilla, por ser tão importante na minha vida e ter contribuído enormemente para que este trabalho se realizasse. Agradeço a sua compreensão, motivação e suporte durante todas as etapas desta conquista. Obrigado por fazer parte da minha vida!

Aos meus pais, Gaspar (que hoje nos faz grande falta) e Ilvonete, que sempre me incentivaram, acreditaram e se orgulharam das minhas realizações. Tudo isso sempre me fortaleceu e me deixou cada vez mais motivado no sentido de buscar novos desafios e conquistas.

Aos meus irmãos, à minha avó Joely, aos meus tios, aos meus familiares, à família da minha esposa Ana Priscilla, aos meus amigos e demais pessoas que de uma forma ou outra participaram desta trajetória e sempre buscaram incentivar da melhor maneira possível.

Aos Professores Sergio Bampi e Hamilton Klimach, orientadores deste trabalho, por terem fornecido esta oportunidade de projeto tão especial. Também pelo incentivo, pelas discussões técnicas e por sempre estarem dispostos a ajudar.

Aos colegas do Laboratório 110 da UFRGS, especialmente ao Márlon, que muito contribuiu para este trabalho, ao Arthur Liranetto e ao Oscar Mattia, por terem organizado e tornarem realidade o *tape-out* dos circuitos deste trabalho. Também agradeço aos colegas Moacir Monteiro, Israel Mello, Sandro Ferreira, Filipe Baumgratz, David Cordoba, Pedro Moledo e Leandro Ávila pelo companheirismos e troca de ideias.

À empresa CEITEC-S.A, na qual eu trabalhei durante toda a realização deste trabalho, por ter flexibilizado horários para que eu pudesse atender às aulas e atividades relativas ao curso de Mestrado.

Finalmente, porém não menos importante, agradeço a Deus por ter sido tão generoso!

RESUMO

Osciladores Controlados por Tensão (VCOs - *Voltage-Controlled Oscillators*) são circuitos de grande importância em sistemas de comunicação por radiofrequência atuais. Muitos trabalhos de pesquisa recentes têm focado no desenvolvimento de VCOs para aplicações em uma faixa muito grande de frequências (isto é, suportando amplo *tunning range*). O desenvolvimento de VCOs com uma ampla faixa de sintonia tem motivação na abertura de bandas de frequência, que até pouco tempo estavam licenciadas apenas para usos específicos, porém agora estão também abertas para a utilização de sistemas de rádios cognitivos. A ideia é que o rádio cognitivo tenha recursos para detectar se um canal (ou faixa de frequência) está sendo usado e, em caso de o canal não estar sendo usado, o rádio cognitivo deve se reconfigurar para operar nesse canal. Desse modo, os rádios cognitivos devem possuir um alto grau de reconfigurabilidade, de forma que possam operar em uma faixa muito ampla de frequências. Esse requisito exige o uso de de VCOs com um amplo *tunning range*. Este trabalho apresenta um projeto completo de um LC-VCO com uma larga faixa de frequência de operação (*widedand*). Um amplo *tunning range* foi obtido a partir do chaveamento (ou programação) do valor da capacitância total do tanque-LC do VCO, gerando assim várias sub-bandas de frequência. O ganho do VCO (K_{VCO}) manteve-se com pequenas variações para todas as sub-bandas de frequência, com um valor médio de 88.6MHz, sendo 112MHz e 80MHz os valores máximo e mínimo, respectivamente. O ruído de fase variou de -118.4dBc/Hz a -107.4dBc/Hz para as portadores em 3.7GHz e 8.1GHz, respectivamente, enquanto que a potência dissipada do circuito LC-VCO variou de 1.8mW a 5.6mW para todo o *tunning range*. Para a figura de mérito *power-frequency-tunning-normalized* (FOM_{PFTN}), os valores obtidos foram na faixa 3.1dB e 11.2dB, comparáveis com a maioria dos trabalhos publicados na área.

Palavras-chave: LC-VCO, Oscilador Controlado por Tensão, Ganho do VCO, banda larga, PLL, Sintetizador de Frequências, Rádio Cognitivo, Circuito CMOS para RF.

Analysis and Design of a Voltage-Controlled Oscillator for Multiple Frequency Bands Applications

ABSTRACT

Voltage-Controlled Oscillators (VCOs) are very important circuits in current radio frequency communication systems. Much research has been focused recently on developing wideband VCOs in CMOS. The motivation on wideband VCOs is based on the opening of frequency bands, which until recently were licensed for specific uses, for use by cognitive radio systems. The idea is that cognitive radio must have the ability to detect whether a channel (or frequency band) is being used and if the channel is not being used, the cognitive radio must reconfigure itself to operate on that channel. Thus, cognitive radios should possess a high degree of reconfigurability, so that they can operate in a very wide frequency range. This requires the use of VCOs with a wide tuning range. This work presents a complete design of a LC-VCO with a wide operating frequency range (wideband). A wide tuning range has been obtained from the switching (or programming) the value of the total capacitance of the LC-tank of the VCO, thereby generating multiple frequency sub-bands. The VCO gain (K_{VCO}) was maintained with small variations for all frequency sub-bands, with an average value of 88.6MHz, with 80MHz and 112MHz for the minimum and maximum values, respectively. The phase noise ranged from -118.4dBc/Hz to -107.4dBc/Hz for carriers at 3.7GHz and 8.1GHz, respectively, while the power dissipated in the LC-VCO circuit ranged from 1.8mW to 5.6mW for all tuning range. For the figure of merit power-frequency-tuning-normalized (FOM_{PFTN}), the results were in the 3.1dB to 11.2dB range, comparable to most recently published works.

Keywords: LC-VCO, Voltage-Controlled Oscillator; VCO gain; wideband, PLL, Frequency Synthesizer, Cognitive Radio, RF CMOS circuits.

LISTA DE FIGURAS

Figura 1.1 - Ilustração do Conceito de Rádio Cognitivo.....	15
Figura 1.2 - Arquitetura do Sintetizador de Frequências <i>Wideband</i>	16
Figura 2.1 - Topologia clássica de PLL.....	20
Figura 2.2 – Formas de onda dos sinais do PLL.....	20
Figura 2.3 – PLL configurado como Sintetizador de Frequências.....	20
Figura 2.4 - Topologia de um PLL tipo II.....	22
Figura 2.5 – Formas de onda do bloco PFD: (a) $F_{REF} > F_{DIV}$ e (b) $F_{REF} = F_{DIV}$	23
Figura 2.6 – Diagrama de estados do bloco PFD.....	24
Fonte: RAZAVI (2002). Figura 2.7 – Implementação do bloco PFD.....	24
Figura 2.8 – Circuito <i>Charge-Pump</i> clássico.....	25
Figura 2.9 – <i>Loop Filter</i> : filtro de segunda ordem.....	26
Figura 2.10 – Comportamento de um VCO ideal.....	28
Figura 2.11 – Divisor <i>Pulse-Swallow</i>	28
Figura 2.12 – Modelo Linear do PLL tipo II.....	29
Figura 2.13 – Gráficos de ganho e fase do PLL tipo II.....	31
Figura 2.14 – Modelo Linear de Ruído de Fase do PLL tipo II.....	33
Figura 2.15 – Conceito de Divisão Fracionária.....	36
Figura 2.16 – Sistema Realimentado.....	37
Figura 2.17 – Início da Oscilação.....	37
Figura 2.18 – Rede RLC paralela.....	39
Figura 2.19 – Impedância da rede RLC.....	39
Figura 2.22 – Formas de onda do sinal de saída do VCO: (a) ideal e (b) com ruído de fase.....	41
Figura 2.23 - Espectro de saída do VCO: (a) ideal e (b) com ruído de fase.....	42
Figura 2.24 – Quantificação do ruído de fase.....	42
Figura 2.25 – Indutor espiral em formato quadrangular.....	44
Figuras 2.26 – Capacitância C_{GS} do transistor MOS.....	45
Figura 2.27 – Estrutura do varactor A-MOS (<i>accumulation-mode varactor</i>).....	46
Figura 2.28 - Topologias de VCOs LC: (a) NMOS <i>cross-coupled</i> e (b) complementar CMOS.....	48
Figura 2.29 - Regimes de operação de LC-VCOs: limitação da amplitude por tensão e por corrente	48
Figura 3.1 – Características de VCOs <i>wideband</i> : (a) Única curva de <i>tuning</i> , (b) Múltiplas curvas de <i>tuning</i> com variação de K_{VCO} e (c) Múltiplas curvas de <i>tuning</i> sem variação de K_{VCO}	53
Figura 3.2 – Valor de indutância em função da capacitância parasita do tanque-LC para que o LC-VCO oscile a 8GHz.....	56
Figura 3.3 – Fator Q do indutor para as duas opções de plano de <i>ground</i> : <i>BFmoat</i> e <i>Metal 1</i>	59
Figura 3.5 – <i>Layout</i> do indutor utilizado no projeto do LC-VCO.....	61
Figura 3.6 – Valor de capacitância simulada para o varactor A-MOS com relação à tensão de controle V_{CONT}	63
Figura 3.7 – Valor da capacitância total do tanque-LC obtida por simulação pós-extração, para cada sub-banda.....	64
Figura 3.8 – Esquemático simplificado do Banco de Capacitores <i>MiMCap</i>	65
Figura 3.9 – Capacitância Parasita (C_{PAR_SW}) introduzida pela chave NMOS e Resistência (R_{ON}) da chave NMOS em função da largura do canal (W_{SW}).....	66
Figura 3.10 – Esquemático simplificado do Banco de Varactores A-MOS.....	66
Figura 3.11 – Capacitância Parasita (C_{PAR}) em função do valor da largura de canal dos transistores do transcondutor NMOS (W_{NMOS}). Para $L_{NMOS}=120\text{nm}$	67
Figura 3.12 – Curva gm vs. I_{BIAS} para o transistor NMOS de $W/L=80\text{um}/120\text{nm}$	67
Figura 3.13 – Simulação do transiente de partida do LC-VCO para as suas frequências de oscilação mínima (a) e máxima (b), respectivamente, para $I_{BIAS} = 1\text{mA}$. Ambos resultados são gerados para $V_{DD}=0.6\text{V}$ e Temperatura= 27°C	68
Figura 3.14 – Esquemático final do LC-VCO para Aplicações de Múltiplas Bandas de Frequência...	69
Figura 3.15 – <i>Layout</i> final do LC-VCO para Aplicações de Múltiplas Bandas de Frequência.....	69

Figura 4.1 – Esquemático de topo do chip protótipo para medidas e caracterização do LC-VCO	72
Figura 4.2 – <i>Layout</i> de topo do chip protótipo para medidas do LC-VCO	74
Figura 4.3 – Fotografia do chip protótipo	75
Figura 4.4 – Esquemático do <i>Buffer</i> de Saída Diferencial	75
Figura 4.5 – Resultado da simulação da potência de saída do <i>Buffer</i> entregue à carga de 50Ω.....	76
Figura 4.6 – Ilustração do <i>Latch</i> CML implementado no chip protótipo.....	77
Figura 4.7 – Circuito divisor por 2 implementado no chip protótipo.....	78
Figura 4.8 – Formas de onda do circuito divisor por 2	78
Figura 4.9 – <i>Tuning range</i> do LC-VCO.....	81
Figura 4.10 – Valores de K_{VCO} para cada sub-banda.....	82
Figura 4.11 – Sobreposição entre cada sub-banda do LC-VCO com as suas respectivas sub-bandas anteriores.....	82
Figura 4.12 – Possibilidade de remoção de bits de calibração para cada sub-banda	83
Figura 4.13 - Amplitude pico-a-pico (V_{PP}) do LC-VCO em função de I_{BIAS} para $f = 8.8\text{GHz}$, $f = 6.1\text{GHz}$ e $f = 3.7\text{GHz}$	84
Figura 4.14 - Variação da amplitude do sinal de oscilação V_{PP} em função da frequência, para I_{BIAS} igual a 1mA, 3mA e 10mA.	85
Figura 4.15 - Consumo de corrente do LC-VCO para $f = 8.8\text{GHz}$, $f = 6.1\text{GHz}$ e $f = 3.7\text{GHz}$, em função de I_{BIAS}	86
Figura 4.16 - Ruído de fase do LC-VCO considerando um deslocamento de 1MHz da portadora, em função da frequência de operação	87
Figura 4.17 - (a) Ruído de fase para valores de I_{BIAS} ajustados através de simulações para que a performance em ruído de fase seja otimizada para cada frequência de operação (OPT). (b) valores de I_{BIAS} ótimos em termos de ruído de fase para cada frequência.	89
Figura 4.18 – Valor ótimo da corrente I_{BIAS} em termos de ruído de fase para $f = 3.7\text{GHz}$	90
Figura 4.19 – Valor ótimo da corrente I_{BIAS} em termos de ruído de fase para $f = 8.8\text{GHz}$	90
Figura 4.20 - Esquemático do LC-VCO com programação da corrente I_{BIAS} em função dos bits de programação.....	91
Figura 4.21 - Resultados de ruído de fase obtidos a partir de valores de I_{BIAS} otimizados através de simulações e a partir dos valores de I_{BIAS} calculados.....	91
Figura 4.22 - Tensão de pico-a-pico V_{PP} do sinal de saída do LC-VCO proposto.....	92
Figura 4.23 - Potência dissipada do LC-VCO proposto ($AVDD_VCO = 0.6\text{V}$).....	92
Figura 4.24 - Amplitude pico-a-pico V_{PP} do sinal de saída do LC-VCO para $AVDD_VCO = 0.75\text{V}$. ..	92
Figura 4.25 - Resultados de performance em ruído de fase, para $AVDD_VCO$ igual a 0.6V e 0.75V ..	93
Figura 4.26 - FOM_{PFTN} para $AVDD_VCO$ igual à 0.6V e 0.75V	93
Figura A.1: Esquemático da PCB	101
Figura A.2: <i>Layout</i> da PCB.....	102
Figura B.1- Arquitetura do Divisor de Frequências.....	104
Figura B.2 <i>Latch</i> CML.....	105
Figura B.3 Topologia da <i>Prescaler</i> 15/16 utilizada	106
Figura B.4. Esquemático do Divisor de Frequências Programável.....	108
Figura B.5. Esquemático do <i>Prescaler</i> 15/16.....	108
Figura B.6 - Esquemático da célula CML.....	110
Figura B.7 -Análise Transiente do Divisor de Frequências	110

LISTA DE TABELAS

Tabela 2.1: Função de Transferência para cada bloco do PLL tipo II	29
Tabela 2.2: Função de Transferência de Ruído de Fase para cada bloco do PLL.....	34
Tabela 3.1 Especificações do LC-VCO	50
Tabela 4.1 – Interface de pinos encapsulados do chip protótipo.....	72
Tabela 4.2 Comparação com outras Publicações da área.....	94
Tabela B.1 Configurações da célula CML.....	109

LISTA DE ABREVIATURAS E SIGLAS

A-MOS	<i>Accumulation-Mode MOS Varactor</i>
AVDD_VCO	Tensão de Alimentação do VCO
BF	Camada <i>BFmoat</i>
C _{CTO}	Capacitância Constante
CML	<i>Current-Mode Logic</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CP	<i>Charge-Pump</i>
C _{VAR}	Capacitância Variável
DIV	Divisor de Frequências
DC	<i>Direct Current</i>
f	Frequência em Hz
f _C	Largura de Banda Hz
FOM	Figura de Mérito
FOM _{PFTN}	Figura de Mérito <i>Power-Frequency-Tuning-Normalized</i>
f _{REF}	Frequência de Referência
g _m	Transcondutância
g _{mN}	Transcondutância do Transistor NMOS
g _{mP}	Transcondutância do Transistor PMOS
H _{OL(S)}	Função de Transferência em Malha Aberta
H _{CL(S)}	Função de Transferência em Malha Fechada
IBIAS	<i>Corrente de Polarização</i>
IBM	<i>International Business Machines Corporation</i>
I _{CP}	Corrente de <i>Charge-Pump</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
k	Constante de Boltzman
K _{VCO}	Ganho do VCO
LC	Circuito LC
LC-VCO	VCO baseado em tanque-LC
LNA	<i>Low-Noise Amplifier</i>
LPF	<i>Loop Filter</i>
MIM	<i>Metal-Insulator-Metal</i>

MiMCap	<i>Metal-Insulator-Metal Capacitor</i>
MOS	<i>Metal-oxide-semiconductor</i>
M1	Camada Metal 1
NMOS	<i>N-Channel Metal-oxide-semiconductor</i>
OPT	Otimizado
PCB	<i>Printed-Circuit Board</i>
PD	<i>Phase Detector</i>
PFD	<i>Phase-Frequency Detector</i>
PGMicro	Programa de Pós-Graduação em Microeletrônica
PLL	<i>Phase-Locked Loop</i>
PMOS	<i>P-Channel Metal-oxide-semiconductor</i>
PTFN	<i>Power-Frequency-Tunning-Normalized</i>
Q	Fator de Qualidade
RC	Circuito RC
RF	Radiofrequência
RL	Resistência Série do Indutor
RLC	Circuito RLC
R _{ON}	Resistência da Chave
R _P	Resistência Paralela
VCO	<i>Voltage-Controlled Oscillator</i>
T	Temperatura em Kelvin
t _{LOCK}	Tempo de Acomodação
TR	<i>Tunning Range</i>
TV	Televisão
UFRGS	Universidade Federal do Rio Grande do Sul
V _{DD}	Tensão de Alimentação
V _{PP}	Tensão Pico-a-Pico
WRAN	<i>Wireless Regional Area Networks</i>
ω	Frequência em rad/s
ω_C	Largura de Banda em rad/s

SUMÁRIO

1 INTRODUÇÃO	14
1.1 Escopo do Trabalho.....	15
1.2 Arquitetura do Sintetizador de Frequências e Especificações para o Projeto do VCO	16
1.3 Programação de frequência de VCOs.....	16
1.4 Estrutura da Dissertação	17
2 FUNDAMENTOS DE SINTETIZADORES DE FREQUÊNCIA PLL E LC-VCOS.....	19
2.1 Princípio e Operação de um PLL Clássico.....	19
2.1.1 PLLs baseados em Charge-Pump: Tipo II.....	21
2.1.1.1 Detectores de Fase e Frequência.....	22
2.1.1.2 Charge-Pumps	24
2.1.1.3 Loop Filter	25
2.1.1.4 Osciladores Controlados por Tensão.....	26
2.1.1.5 Divisores de Frequência	27
2.1.2 Dinâmica do PLL	27
2.1.2.1 Tempo de Acomodação.....	30
2.1.2.2 Ruído de Fase em PLLs.....	32
2.2 Arquiteturas de Sintetizadores de Frequência baseados em PLL.....	34
2.2.1 Sintetizador PLL Inteiro-N.....	34
2.2.2 Sintetizador PLL Fracionário-N	35
2.3 Fundamentos de LC-VCOS.....	36
2.3.1 Características Fundamentais dos Osciladores	36
2.3.2 Fundamentos de Redes RLC	38
2.3.3 Resistência Negativa	39
2.3.4 Ruído de Fase em Osciladores LC	41
2.3.5 Dispositivos Passivos Integrados.....	43
2.3.5.1 Indutores.....	43
2.3.5.2 Varactores.....	44
2.3.5.3 Capacitores Constantes.....	46
2.3.6 Topologias de VCOs baseadas em Tanque-LC	46
2.4 Sumário	48
3 ANÁLISE E PROJETO DO VCO PARA APLICAÇÕES DE MÚLTIPLAS BANDAS DE FREQUÊNCIA	50
3.1 Análise e Considerações de Projeto de um LC-VCO para Aplicações de Múltiplas Frequências	50
3.1.1 <i>Tuning Range</i> versus Controle do Ganho do VCO.....	50
3.1.2 Critério para Oscilação versus Capacitância Parasita.....	52
3.2 Projeto de um LC-VCO para Aplicações de Múltiplas Frequências	54
3.2.1 Escolha da Topologia de VCO para aplicações de múltiplas bandas de frequência.....	54
3.2.2 Projeto do Tanque-LC	55
3.2.3 Escolha do Indutor.....	57
3.2.3 Projeto do Banco de Capacitores Constantes e do Banco de Varactores.....	59
3.2.4 Projeto do Transcondutor NMOS.....	65
3.3 Esquemático e Layout Finais.....	68
4 CHIP PROTÓTIPO DO LC-VCO PARA APLICAÇÕES DE MÚLTIPLAS BANDA DE FREQUÊNCIA	70
4.1 Arquitetura do Chip Protótipo do LC-VCO.....	70
4.1.1 <i>Buffers</i> de Saída Diferencias.....	73
4.1.2 Divisores de Frequência	76
4.2 Resultados de Simulações	78
4.2.1 <i>Tuning Range</i> e K_{vco}	79
4.2.2 Ruído de Fase	83
4.3 Comparação com <i>Wideband</i> LC-VCOS da Literatura	93
5 CONCLUSÃO	96
REFERÊNCIAS	98
APÊNDICE A: PROJETO da PCB	101
A.1: Esquemático.....	101
A.2: Layout	102

APÊNDICE B: ESTUDO E PROJETO DE UM DIVISOR DE FREQUÊNCIAS PROGRAMÁVEL	103
B.1 Análise e Projeto do Divisor de Frequência Programável.....	103
B.2 Arquitetura do Divisor de Frequências Programável	103
B.2.1 Latch CML.....	104
B.2.2 <i>Prescaler</i> 15/16.....	105
B.3 Implementação do Divisor de Frequências Programável.....	106
B.4 Resultados de Simulações do Divisor de Frequências Programável	108

1 INTRODUÇÃO

Osciladores Controlados por Tensão, nesta dissertação referidos como VCOs (*Voltage-Controlled Oscillator*), são circuitos de grande importância em sistemas de comunicação por radiofrequência atuais. O princípio básico do VCO é a sua frequência de saída, a qual é controlada por uma tensão de controle. Por apresentar uma frequência de saída que pode ser controlada a partir de uma tensão de controle, o VCO é frequentemente inserido dentro um PLL (*Phase-Locked Loop*) que possui circuitos para medir a frequência de saída do VCO e controlá-la a partir da sua tensão de controle. O PLL é a principal topologia usada na implementação de sintetizadores de frequência nos sistemas de comunicação por radiofrequência (RAZAVI, 1998) (RAZAVI, 2002).

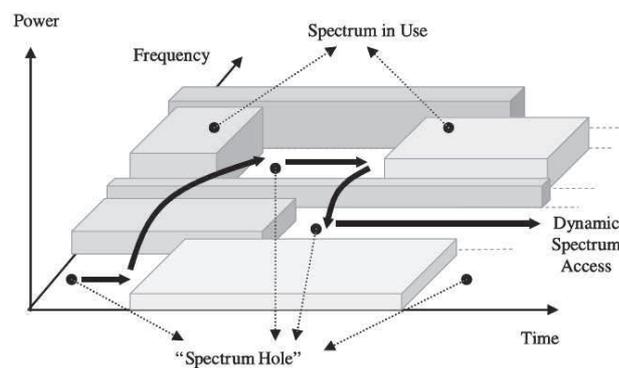
Nos últimos anos, diversas pesquisas têm focado no desenvolvimento de VCOs para aplicações de uma faixa muito grande de frequências (na literatura conhecidas como aplicações *wideband*) (BERNY; NIKNEJAD; MEYER, 2005) (SADHU; KIM; HARJANI, 2009) (FONG et al., 2003) (HAUSPIE; PARK; CRANINCKX, 2007). O desenvolvimento de VCOs com uma ampla faixa de operação (amplo *tunning range*) tem motivação na abertura de bandas de frequência, que até pouco tempo estavam licenciadas tão somente para usos específicos. A IEEE criou um grupo de trabalho para a elaboração do padrão 802.22 *Wireless Regional Area Networks* (WRAN), que foca no desenvolvimento de normas para o uso de arquiteturas de rádios cognitivos, usando faixas de frequências de TV que não são usadas, também conhecidas como *white spaces*. A ideia é que o rádio cognitivo tenha recursos para detectar se um canal (ou faixa de frequência) está sendo usado e, em caso de o canal não estar sendo usado, o rádio cognitivo deve se reconfigurar para operar nesse canal. A Figura 1.1 ilustra esse conceito. Nesse contexto, os rádios cognitivos devem possuir um alto grau de reconfigurabilidade, para que possam operar em uma faixa muito ampla de frequências. Esse requisito exige o uso de de VCOs com uma ampla faixa de frequências operação (amplo *tunning range*).

O principal objetivo deste projeto é o desenvolvimento de um VCO que atenda uma faixa de frequências de 4GHz a 8GHz. Assim, a partir de uma ampla pesquisa bibliográfica, técnicas estudadas para a concepção de um VCO que atenda a essa ampla faixa de frequências são apresentadas nesta dissertação. O principal desafio é manter um amplo *tunning range* sem comprometer o ruído de fase (*phase noise*) do VCO.

1.1 Escopo do Trabalho

O VCO que é objeto deste trabalho insere-se no projeto de um "front-end" de Rádio Cognitivo Estendido (BAUMGRATZ; FERREIRA; BAMPI, 2013), em desenvolvimento na UFRGS. Esse projeto é desenvolvido por um grupo de alunos do Programa de Pós-Graduação em Microeletrônica (PGMicro) da UFRGS. O objetivo principal do projeto Rádio Cognitivo Estendido é estender a cobertura do espectro do protocolo IEEE 802.22, que é de 54MHz a 862MHz, para uma faixa de 54MHz a 4GHz, aumentando assim a probabilidade de encontrar *white spaces*, isto é, faixas do espectro que não estão em uso em dado local e em intervalo de tempo determinado. As especificações de largura de banda dos canais foram mantidas as mesmas do padrão IEEE 802.22.

Figura 1.1 - Ilustração do Conceito de Rádio Cognitivo



Fonte: AKYILDIZ et al (2006).

Além do projeto do VCO *wideband* que será apresentado nesta dissertação, o grupo de pesquisa em projeto RF CMOS do PGMicro da UFRGS já desenvolveu e está desenvolvendo especificações do receptor, técnicas de *spectrum sensing*, que é a detecção de uma faixa de frequências no espectro não utilizada, bem como circuitos *wideband* como sintetizador de frequências, LNA e *mixer*. O Sintetizador de Frequências, sistema no qual o VCO projetado neste trabalho está inserido e que é implementado a partir da topologia PLL, será melhor analisado ainda nesse Capítulo, pois a partir de sua arquitetura são geradas as especificações e definidas as restrições para o projeto do VCO *wideband* proposto neste neste trabalho.

digital de programação. Assim, a frequência do VCO é também controlada por essa palavra digital, gerando assim diferentes sub-faixas (ou sub-bandas) de frequências para cada valor da palavra digital de programação. Por ser um VCO baseado em tanque-LC, ele será chamado de LC-VCO ao longo desta dissertação.

Por consequência da necessidade da programação da frequência do LC-VCO, um sistema de programação de frequência deve ser adicionado na arquitetura do sintetizador de frequências, o qual utilizará o VCO realizado neste trabalho. A publicação Shin et al (2011), apresenta um estudo bibliográfico no tema de circuitos de calibração de frequência. Conforme apresentado nessa publicação, existem alguns métodos bem conhecidos de calibração de frequência, como o monitoramento da tensão de controle do VCO e a comparação da frequência do VCO com uma referência. Embora o tema de calibração de frequência esteja relacionado com esta dissertação, esse tema está fora do escopo deste trabalho.

1.4 Estrutura da Dissertação

No Capítulo 2 são apresentados conceitos básicos da operação de sintetizadores de frequência baseados em *phase-locked loop* (PLL) com um enfoque na topologia PLL *Charge-Pump* Tipo II, por ser a mais utilizada na implementação de tais sintetizadores. Após, é realizada uma revisão sobre arquiteturas de sintetizadores: Inteiros-N e Fracionários-N. Ainda nesse capítulo, são apresentados fundamentos da operação de LC-VCOs. Ao final desse capítulo, é apresentada uma revisão bibliográfica quanto as topologias de LC-VCO, comparando-as em termos de dispositivos parasitários, diferentes regimes de operação e performance em ruído de fase.

No Capítulo 3 são discutidos inicialmente considerações de projeto de um LC-VCO para aplicações de múltiplas bandas de frequências, como *tuning range*, controle do ganho do VCO, critério para oscilação e capacitância parasita. Em seguida, é apresentado o projeto do LC-VCO para aplicações de múltiplas bandas de frequências, onde a escolha e projeto de estruturas do LC-VCO proposto são expostos. Ao final desse Capítulo, são mostrados o esquemático e o *layout* do LC-VCO projetado.

No Capítulo 4 é apresentado o chip protótipo do LC-VCO que foi projetado e fabricado na tecnologia IBM CMOS 130nm (IBM, 2010), introduzindo diversas estruturas de teste que foram implementadas para validar o LC-VCO como *buffers* de saída, divisores de frequência e *micro-pads*. Ainda no Capítulo 4, são exibidos os resultados de performance do LC-VCO, considerando simulações elétricas a partir da extração de componentes parasitas do

seu *layout* final, comparando-os com resultados de trabalhos similares publicados nos últimos anos.

Finalmente, no Capítulo 5 são apresentadas as conclusões e prospecções de trabalhos futuros.

2 FUNDAMENTOS DE SINTETIZADORES DE FREQUÊNCIA PLL E LC-VCOS

Esse capítulo introduz fundamentos de sintetizadores de frequência baseados em *phase-locked loop* (PLL) e osciladores controlados por tensão (*voltage-controlled oscillators* – VCOs) baseados em circuitos tanque-LC em CMOS (LC-VCOs). Existem várias formas de implementar sintetizadores de frequência. Entretanto, esse trabalho é limitado ao estudo de sintetizadores de frequência baseados em PLL.

2.1 Princípio e Operação de um PLL Clássico

A Figura 2.1 ilustra uma topologia clássica de PLL e seus blocos básicos: *phase detector* (PD), *loop filter* (LPF) e *voltage-controlled oscillator* (VCO). Essa topologia de PLL é amplamente analisada na literatura e conhecida como PLL tipo I (RAZAVI, 1998) (RAZAVI, 2002). Através da Figura 2.1, é possível observar que o PLL opera sobre o princípio da realimentação negativa. Logo, o bloco PD detecta a diferença de fases entre o sinal de entrada V_{IN} e o sinal de saída do VCO e, conseqüentemente, do PLL, V_{OUT} , de forma que na saída do bloco PD é gerado um sinal de tensão V_{PD} que é proporcional à diferença de fases entre V_{IN} e V_{OUT} . O sinal de saída do bloco PD é filtrado pelo bloco *loop filter* LPF e, assim, é gerado um sinal de tensão de controle V_{CONT} , que controla a frequência de oscilação do VCO V_{OUT} . Uma vez que o PLL atinge o regime estacionário, a frequência do sinal de saída F_{OUT} será a mesma do sinal de entrada F_{IN} . A Figura 2.2 ilustra essa situação. Observe que inicialmente, no tempo t_0 , o sinal de saída do PLL V_{OUT} não está em fase com o sinal de entrada V_{IN} . Desse jeito, o circuito detector de fase PD detecta a diferença de fases entre os sinais V_{IN} e V_{OUT} , atuando através de seu sinal de saída V_{PD} , fazendo com que em t_1 o sinal de saída V_{OUT} esteja em fase com o sinal de entrada V_{IN} .

A Figura 2.3 apresenta um PLL configurado como sintetizador de frequências. Observe que no caminho de realimentação é inserido um módulo divisor que divide a frequência do sinal de saída do VCO V_{OUT} por um fator N . Uma vez que o PLL sintetizador de frequência atinge o regime estacionário, a relação da frequência de entrada F_{IN} e a frequência de saída F_{OUT} segue a seguinte equação:

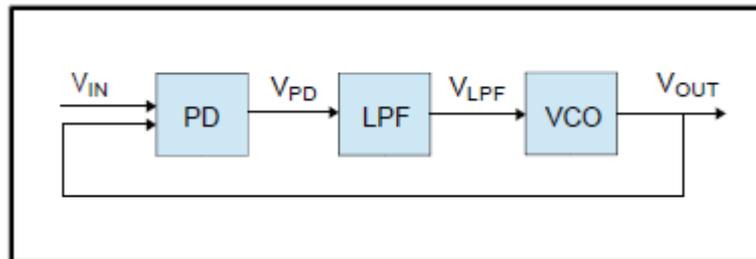
$$F_{OUT} = N \cdot F_{IN}$$

(2.1)

onde F_{IN} e F_{OUT} são as frequências dos sinais V_{IN} e V_{OUT} , respectivamente.

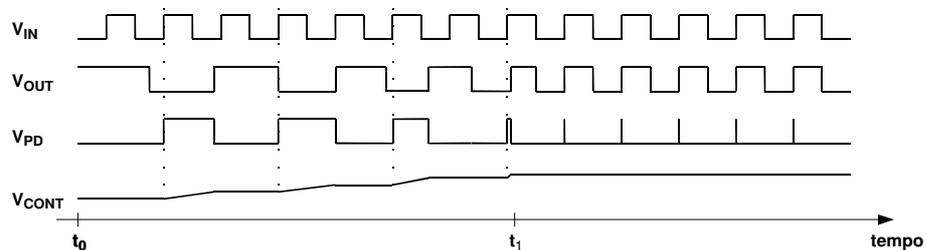
Conseqüentemente, através do controle do fator de divisão N , é possível sintetizar vários valores de frequências a partir de um dado valor da frequência de entrada. Todavia, devido às condições de estabilidade e de pureza do espectro de frequências do sinal de saída do sintetizador, existe uma limitação quanto ao valor N utilizado para a síntese de frequências. Essas limitações são discutidas ainda nesse Capítulo.

Figura 2.1 - Topologia clássica de PLL



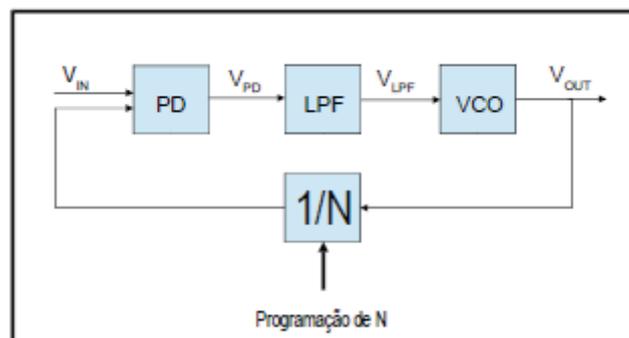
Fonte: RAZAVI (2002).

Figura 2.2 – Formas de onda dos sinais do PLL



Fonte: RAZAVI (2002).

Figura 2.3 – PLL configurado como Sintetizador de Frequências



Fonte: RAZAVI (1998).

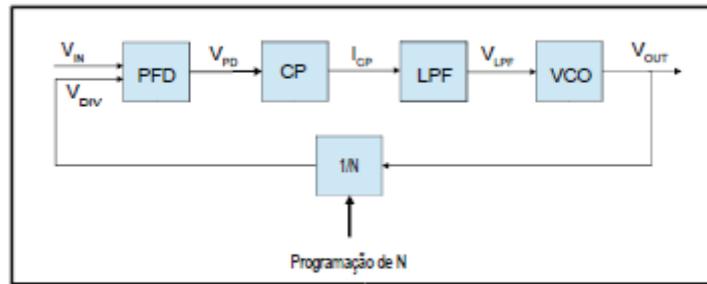
2.1.1 PLLs baseados em Charge-Pump: Tipo II

A implementação conceitual do PLL, discutida na seção anterior, também conhecida como PLL Tipo I, apresenta uma restrição que proíbe o seu uso em sintetizadores de frequência de alta performance (RAZAVI, 2002). Essa restrição é devida ao limitado alcance de aquisição. Para entender tal limitação, suponha que quando o PLL é inicializado, o VCO está operando a uma frequência relativamente distante da referência, de modo que o PLL não está em estado *locked* (regime estacionário). Então, a transição do PLL até o estado *locked* ocorre de forma não-linear, uma vez que o circuito detector de fase PD tem em suas entradas dois sinais com frequências relativamente distantes. O circuito PD não é projetado para detectar essa diferença de frequências desses dois sinais. Nesse sentido, o problema do alcance de aquisição se dá pelo fato de que o PLL apenas entrará em estado *locked* se a diferença das frequências dos sinais de entrada do bloco PD for menor que a largura de banda do bloco LPF *loop filter* (RAZAVI, 2002).

Para superar esse problema, o bloco detector de fase PD é substituído pelo bloco detector de fase e frequência PFD, que além de detectar a diferença de fases dos sinais de entrada, também detecta a diferença de frequências desses sinais. O bloco PFD atua da seguinte forma: quando o PLL é inicializado, apenas a detecção da diferença de frequências atua e, após a diferença de frequências entre os sinais de entrada e saída do PLL ser removida, a detecção de fase atua para alinhar a fase desses sinais.

Uma vez que o bloco PFD realiza a função de detecção da diferença de frequências dos sinais de entrada, é necessária a colocação do circuito *charge pump* CP no PLL. A função do *charge pump* é colocar uma determinada quantia de carga no filtro LPF para modificar a tensão de controle V_{CONT} do bloco VCO e, por consequência, a frequência desse bloco. Quando o bloco PFD detecta a diferença das frequências como nula, esse bloco atua apenas como detector de fase e a quantidade de carga injetada pelo *charge pump* será praticamente nula. Esses PLLs que combinam o uso de detectores de fase e frequência PFD e *charge pumps* CP são também conhecidos na literatura como PLL tipo II (RAZAVI, 2002). A Figura 2.4 apresenta uma arquitetura básica de um PLL baseado em *charge pump*. Observe que em relação a arquitetura apresentada nas figuras 2.1 e 2.3, o bloco PD é substituído pelos blocos PFD e CP. Essa topologia de PLL é amplamente usada em sintetizadores de frequências e será estudada em maiores detalhes nesta dissertação. A seguir, são apresentados os blocos básicos que constituem o PLL baseado em *charge pumps*.

Figura 2.4 - Topologia de um PLL tipo II



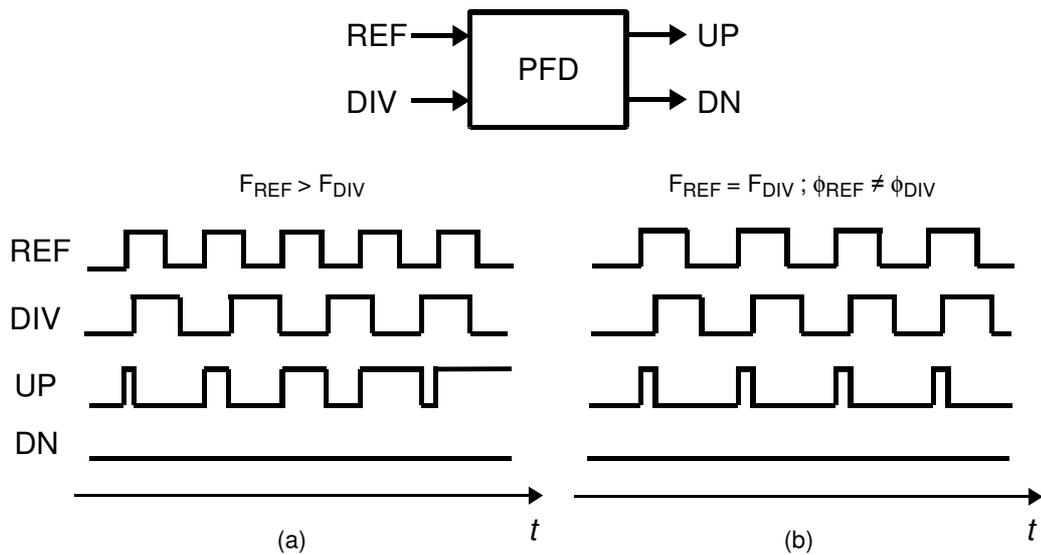
Fonte: RAZAVI (2002).

2.1.1.1 Detectores de Fase e Frequência

A Figura 2.5 ilustra a operação conceitual de um circuito PFD. Nesse contexto, *REF* e *DIV* são os sinais de entrada do PFD, representando o sinal de entrada do PLL (sinal de referência) e o sinal de saída do bloco divisor de frequência (V_{DIV} na Figura 2.4), respectivamente. Esse circuito possui duas saídas, *UP* e *DN*, e opera da seguinte forma: uma transição positiva no sinal de entrada *REF* produz uma transição positiva no sinal de saída *UP*, enquanto uma transição positiva no sinal de entrada *DIV* produz uma transição negativa no sinal de saída *UP*. Como o bloco PFD é inversamente simétrico, o mesmo ocorrerá para o sinal de saída *DN*, da forma que uma transição positiva no sinal de entrada *DIV* produz uma transição positiva no sinal de saída *DN*, enquanto uma transição positiva no sinal de entrada *REF* produz uma transição negativa no sinal de saída *DN*.

Através das formas de onda da Figura 2.5, é possível observar o bloco PFD em duas situações: quando as frequências dos sinais de entrada *REF* e *DIV* são diferentes, no caso da Figura 2.5 (a) $F_{REF} > F_{DIV}$, e quando as frequências dos sinais de entrada *REF* e *DIV* são iguais, porém as fases desses sinais são diferentes, conforme a Figura 2.5 (b). Conforme observado na Figura 2.5 (a), uma vez que $F_{REF} > F_{DIV}$, o bloco PFD produz pulsos no sinal de saída *UP* e mantém o sinal *DN* em estado lógico “0”. No caso de $F_{DIV} > F_{REF}$, os pulsos seriam gerados no sinal de saída *DN* e o sinal *UP* permaneceria em estado lógico “0”. Já na figura 2.5 (b), na qual as frequências dos sinais de entrada são iguais ($F_{REF} = F_{DIV}$), os pulsos podem aparecer tanto na saída *UP* como na saída *DN*, pois a diferença de frequência entre os sinais *REF* e *DIV* é nula, de modo que o bloco PFD apenas detecta a diferença de fases entre os sinais de entrada.

Figura 2.5 – Formas de onda do bloco PFD: (a) $F_{REF} > F_{DIV}$ e (b) $F_{REF} = F_{DIV}$

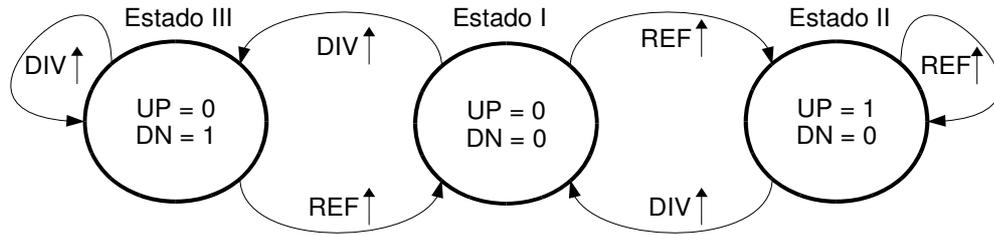


Fonte: RAZAVI (2002).

Para realizar a ideia apresentada acima, as implementações de PFD utilizam uma máquina sequencial composta de três estados: $UP = 0, DN = 0$ (Estado I); $UP = 1, DN = 0$ (Estado II); $UP = 0, DN = 1$ (Estado III). Para remover a dependência do ciclo de trabalho (*duty cycle*) dos sinais de entrada, a máquina de estados é configurada por bordas de subida nos sinais de entrada. A Figura 2.6 mostra um diagrama de estados que ilustra essa operação. Se o PFD está no Estado I, uma transição positiva no sinal de entrada *REF* levará ao Estado II, da mesma forma que o PFD poderia transicionar do Estado I para o Estado III, se a transição positiva fosse no sinal de entrada *DIV*. Uma vez que o PFD está no Estado II, uma transição positiva no sinal de entrada *DIV* levará ao Estado I, enquanto que se o PFD estiver no Estado III, uma transição positiva no sinal de entrada *REF* levará ao Estado I.

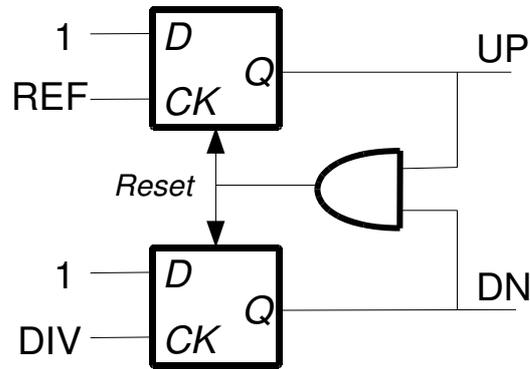
A Figura 2.7 (a) apresenta uma possível implementação lógica da máquina de estados, representada pelo diagrama mostrado na Figura 2.6. Essa implementação é proposta em (RAZAVI, 2002). O circuito é composto por uma porta lógica AND e por dois *flip-flops* D com *reset*, configurados por borda (*edge-triggered*) e com suas entradas D em “1” lógico. Os sinais de entrada do PFD, *REF* e *DIV* atuam como *clock* para os *flip-flops* D, enquanto que a porta lógica AND atua como *reset* para esses *flip-flops*, de modo que o *reset* é forçado quando $UP = DN = 1$.

Figura 2.6 – Diagrama de estados do bloco PFD



Fonte: RAZAVI (2002).

Figura 2.7 – Implementação do bloco PFD



Fonte: RAZAVI (2002).

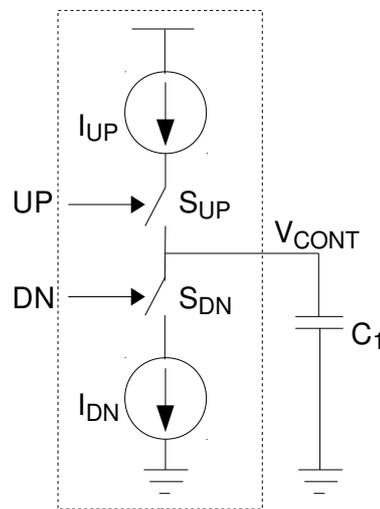
2.1.1.2 Charge-Pumps

Conforme apresentado na Figura 2.4, conectado na saída do bloco detector de fase e frequência PFD, está o bloco *charge-pump* CP. A função desse bloco é colocar e remover pulsos de corrente no *loop filter* (LPF) com duração determinada pelo bloco PFD, através de seus sinais de saída UP e DN . A Figura 2.8 mostra uma ilustração de um circuito *charge-pump* clássico. O circuito possui duas fontes de corrente, I_{UP} e I_{DN} , e duas chaves, S_{UP} e S_{DN} , que são controladas pelos sinais UP e DN , respectivamente. Na saída do *charge-pump* existe o capacitor C_1 . Tal capacitor compõe o *loop filter*, o qual será melhor analisado na sequência do presente Capítulo. Um pulso de largura ΔT no sinal UP fecha a chave S_{UP} por ΔT segundos e, por conseguinte, I_{UP} carregará o capacitor C_1 , gerando um deslocamento de tensão igual à $\Delta T \cdot I_{UP} / C_1$ em V_{CONT} . Similarmente, um pulso de largura ΔT no sinal DN fecha a chave S_{DN} por ΔT segundos, gerando um deslocamento de tensão igual à $-\Delta T \cdot I_{DN} / C_1$ em V_{CONT} . Normalmente, em implementações de PLL, as correntes de carga e descarga do *charge-pump*,

I_{UP} e I_{DN} , respectivamente, são iguais, de maneira que $I_{CP}=I_{UP}=I_{DN}$, onde I_{CP} é chamado de corrente de *charge-pump*. Assim sendo, se os sinais *UP* e *DN* são assertados simultaneamente, a corrente I_{UP} flui totalmente através das chaves S_{UP} e S_{DN} e da fonte de corrente I_{DN} , não gerando qualquer deslocamento de tensão em V_{CONT} .

O conjunto Detector de Fase e Frequência (PFD) e *Charge-Pump* (CP) idealmente produz no laço do PLL um ganho $I_{CP}/2\pi$ para uma faixa de de entrada de -2π a 2π , quando a diferença de frequência dos dois sinais de entrada *REF* e *DIV* é nula (BERNY, 2006).

Figura 2.8 – Circuito *Charge-Pump* clássico



2.1.1.3 Loop Filter

A principal função do *Loop Filter* (LPF) é estabelecer uma dinâmica apropriada para o PLL, de acordo com a aplicação a qual esse está inserido, de maneira que o PLL cumpra os requisitos da aplicação como tempo de acomodação, ruído de fase, etc... O LPF tem impacto nos principais parâmetros de performance de um PLL, como tempo de acomodação (*locking time*) e ruído de fase (*phase noise*). Esse bloco também influencia também na estabilidade do PLL, como será discutido a seguir.

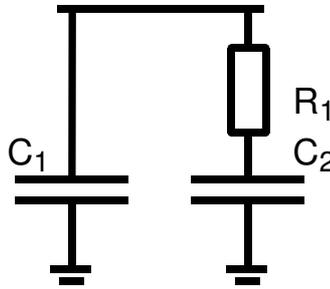
Conforme apresentado na seção anterior, através do circuito da Figura 2.8, o filtro é composto apenas de um capacitor C_1 , de modo que um polo é gerado na origem, assumindo que a resistência de saída do *charge-pump* é infinita. Uma vez que o VCO também é um integrador, isto é, ele possui um polo na origem, fazendo com que o laço do PLL possua dois polos na origem, o que leva à uma margem de fase igual à zero. Isto posto, uma rede RC é adicionada em paralelo com o capacitor C_1 , conforme mostrado na Figura 2.9. A função dessa

rede RC (R_1 e C_2) é adicionar um zero no laço do PLL, fazendo com que o mesmo seja estável. A função de transferência desse filtro de segunda ordem é apresentada abaixo, onde $Z_l(s)$ denota uma transimpedância:

$$Z_l(s) = \frac{\frac{K_l}{s} \left(1 + \frac{s}{\omega_z}\right)}{1 + \frac{s}{\omega_l}} \quad (2.2)$$

onde $K_l = 1/(C_1 + C_2)$, $\omega_z = 1/(R_1 C_1)$, and $\omega_l = R_1 C_1 C_2 / (C_1 + C_2)$.

Figura 2.9 – *Loop Filter*: filtro de segunda ordem



2.1.1.4 Osciladores Controlados por Tensão

Osciladores Controlados por Tensão, VCOs (*Voltage-Controlled Oscillators*), são osciladores cuja frequência é controlada por uma tensão (V_{CONT}) de controle em sua entrada. Um VCO ideal é um circuito cuja frequência de saída f_{OUT} é uma função linear da sua tensão de controle V_{CONT} (RAZAVI, 2002), conforme a equação 2.3:

$$f_{OUT} = f_0 + K_{VCO} \cdot V_{CONT} \quad (2.3)$$

onde f_0 representa a interceptação correspondente à $V_{CONT} = 0V$ e K_{VCO} representa o ganho ou sensibilidade do VCO (em Hz/V). A Figura 2.10 ilustra esse comportamento.

A faixa de operação do VCO, $f_2 - f_1$, é chamada de *tuning range* (TR), sendo esse um dos parâmetros mais importantes de performance do VCO. No Capítulo 3, serão discutidas considerações de projeto para um VCO em termos de *tuning range*, ganho do VCO (K_{VCO}) e ruído de fase.

Uma vez que a fase é a integral da frequência, o excesso de fase na saída do VCO θ_{OUT} com relação a tensão de controle V_{CONT} pode ser expresso como um integrador ideal no domínio de frequência (RAZAVI, 2002):

$$\frac{\theta_{OUT}}{V_{CONT}} = \frac{K_{VCO}}{s} \quad (2.4)$$

2.1.1.5 Divisores de Frequência

O bloco divisor de frequência recebe o sinal de saída do VCO e gera um sinal que será aplicado ao PFD, cuja frequência do VCO é dividida por um fator N . O fator N pode ser um valor inteiro ou fracionário. Existem muitas formas de implementar um divisor de frequência. Uma arquitetura de divisor amplamente utilizada é a chamada Divisor *Pulse-Swallow* (RAZAVI, 1998) e é mostrada na Figura 2.11.

Essa arquitetura é formada por quatro elementos: um *prescaler* $M/M+1$, um Divisor *Program*, um Divisor *Swallow* e um circuito de controle (*modulus control*). O *prescaler* divide a frequência de entrada do divisor por um fator M ou um fator $M+1$, de acordo com o nível lógico do sinal de saída *Modulus Control* do circuito de controle. Os divisores *Program* e *Swallow* sempre dividem a saída do *prescaler* por fatores de divisão P e S , respectivamente. O circuito de controle detecta o *overflow* dos divisores *Program* e *Swallow*, de acordo com o estado lógico de sua saída *Modulus Control*, isto é, se o estado lógico de *Modulus Control* é “0”, o circuito de controle detecta o *overflow* da divisão P , por exemplo. Observe que os divisores P e S são construídos a partir de contadores de pulsos sendo, portanto, utilizado o conceito de *overflow* nessa explicação. Como resultado, essa topologia de divisor programável gera em sua saída um fator de divisão $N = P.M + S$ com relação a frequência de entrada, nesse caso a frequência do VCO.

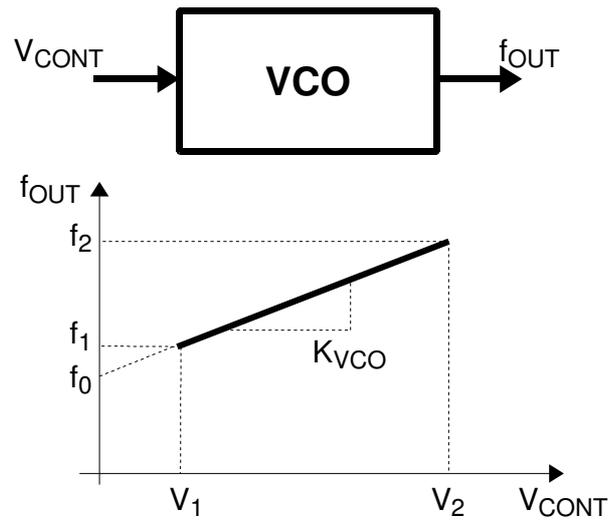
Essa arquitetura pode atingir uma faixa muito ampla de fatores de N inteiros, no caso o valor mínimo N_{MIN} é $M(M-1)$ e o valor máximo N_{MAX} é $(2^n-1)(M+1)$, sendo n o número de bits dos contadores P e S .

2.1.2 Dinâmica do PLL

Devido à operação por borda dos circuitos PFD e *charge-pump*, o PLL tipo II torna-se um sistema discreto no tempo e altamente não-linear. Contudo, na literatura (RAZAVI, 2002) (BERNY, 2006) (SHU; SANCHEZ-SINENCIO, 2005) é proposto um modelo linearizado de pequeno sinais e contínuo no tempo para o PLL em estado estacionário (*locked*). Esse modelo

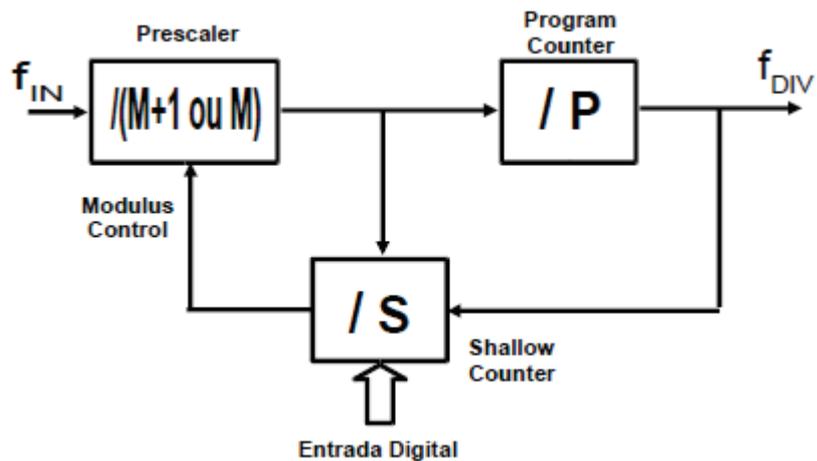
é suficientemente preciso e bastante útil para capturar métricas de performance do PLL, como estabilidade e ruído de fase (BERNY, 2006). A Tabela 2.1 apresenta as funções de transferência para cada bloco do PLL. À vista disso, o *loop filter* é de segunda ordem, conforme mostrado na figura 2.9. A Figura 2.12 apresenta o modelo linear do PLL.

Figura 2.10 – Comportamento de um VCO ideal



Fonte: RAZAVI (2002).

Figura 2.11 – Divisor *Pulse-Swallow*



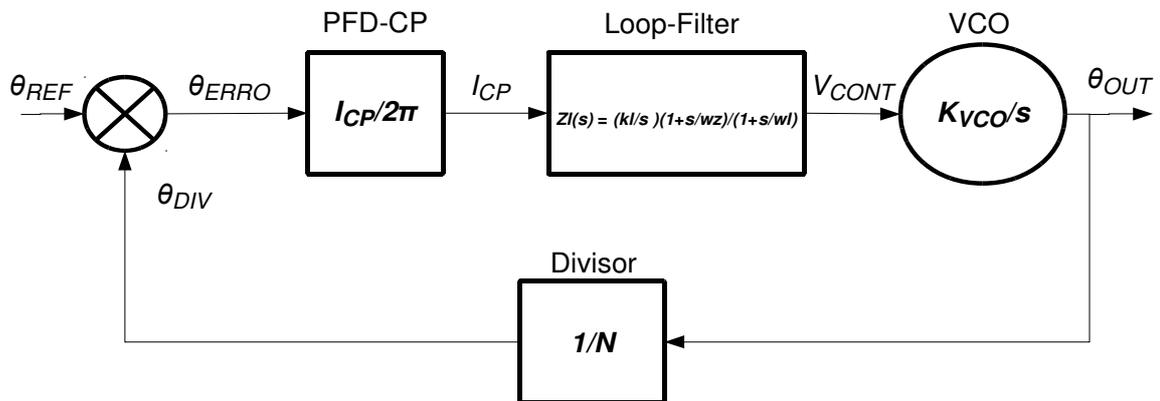
Fonte: RAZAVI (1998).

Tabela 2.1: Função de Transferência para cada bloco do PLL tipo II

Bloco	Função de Transferência
PFD-CP	$\frac{I_{CP}}{2\pi}$
LPF	$\frac{\frac{K_l}{s} \left(1 + \frac{s}{\omega_z}\right)}{1 + \frac{s}{\omega_l}}$
VCO	$\frac{K_{VCO}}{s}$
DIV	$\frac{1}{N}$

Fonte: BERNY (2006).

Figura 2.12 – Modelo Linear do PLL tipo II



Fonte: BERNY (2006).

A partir da Figura 2.12, é possível derivar uma função de transferência de malha aberta $H_{OL}(s)$ da entrada de fase θ_{REF} com relação a saída de fase θ_{DIV} do PLL, $H_{OL}(s) = \theta_{DIV}(s)/\theta_{REF}(s)$. Observe que para essa análise o laço de é quebrado em θ_{DIV} :

$$H_{OL}(s) = \frac{\theta_{DIV}(s)}{\theta_{REF}(s)} = \frac{I_{CP} Z_l(s) K_{VCO}}{2\pi s N} = \frac{K_0 \left(1 + \frac{s}{\omega_z}\right)}{s^2 \left(1 + \frac{s}{\omega_l}\right)} \quad (2.5)$$

onde $K_0 = I_{CP} \cdot K_{VCO} \cdot K_l / 2\pi \cdot N$. A equação acima caracteriza toda a dinâmica do PLL. A Figura 2.13 apresenta os gráficos de ganho e fase de $H_{OL}(s)$. A largura de banda do laço ω_C , também conhecido na literatura com *loop bandwidth*, corresponde à frequência onde $|H_{OL}(s)| = 0$,

como apresentado na Figura 2.13. A escolha da posição de ω_C geralmente envolve um melhor compromisso entre rejeição de ruído e tempo de acomodação do PLL. A partir dos gráficos de ganho e fase da Figura 2.13, é possível observar o benefício do zero ω_Z inserido no *loop filter*, pois é a partir desse zero que a margem de fase Φ_M é gerada. Após o zero ω_Z , o polo ω_I atua de modo que o decaimento de 40dB por década do gráfico de ganho seja recuperado. A margem de fase Φ_M desse sistema é expressa como segue:

$$\Phi_M = \tan^{-1} \left[\frac{\omega_C}{\omega_Z} \right] - \tan^{-1} \left[\frac{\omega_C}{\omega_I} \right] \quad (2.6)$$

Através da equação acima, é possível observar que a margem de fase Φ_M depende apenas das razões ω_C/ω_Z e ω_C/ω_I . Assim, para um determinado *loop bandwidth* escolhido, basta configurar a posição de ω_Z e ω_I para atingir a margem de fase desejada. Essa aproximação linear apresenta um erro desprezível se $f_{REF}/f_C > 10$ (GARDNER, 1980), sendo f_C a frequência de *loop bandwidth* em Hertz (Hz).

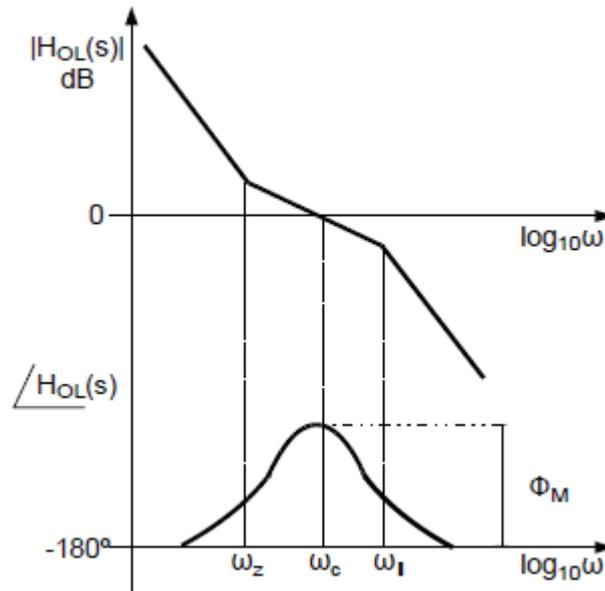
2.1.2.1 Tempo de Acomodação

Um outro parâmetro muito importante no projeto de Sintetizadores de Frequência baseados em PLL é o tempo de acomodação, também conhecido como *locking time* na literatura (BERNY, 2006) (LOPEZ, 2003). Por exemplo, em uma comunicação estabelecida entre uma estação base e um dispositivo móvel (telefone celular, por exemplo), é necessário que o dispositivo móvel tenha sua frequência de operação na mesma (ou no mesmo canal) da estação base. Logo, é possível que o dispositivo móvel tenha que alterar sua frequência para a da estação base dentro de uma certa tolerância, respeitando também um determinado tempo de acomodação especificado por um protocolo de comunicação.

Em Sintetizadores de Frequência, a alteração da frequência é realizada através da programação do fator de divisão N do divisor. Assumindo que no tempo $t=0$ o fator de divisão é N e a frequência de saída do PLL é $f_{REF}N$ e, nesse mesmo tempo, o fator N é alterado e passa a ser $N+\Delta N$, observa-se que é gerada uma alteração na fase do PLL, tendo em vista que esse tenta ajustar sua fase para que o erro na entrada do bloco PFD seja nulo. Assim, quando o erro for eliminado na entrada do PFD, o PLL terá uma nova frequência em sua saída: $f_{REF}(N+\Delta N)$. O tempo que o PLL leva para atingir esse novo valor de frequência de saída é chamado tempo de acomodação. Em geral, o tempo de acomodação segue um comportamento exponencial, o

que implica que o estado estacionário é atingido após um longo tempo. Para ter o tempo de acomodação como uma figura de mérito prática de um PLL, é necessário estabelecer um critério de erro ε (tolerância), isto é, o tempo necessário para o PLL atingir a sua nova frequência dentro de um erro ε determinado (LOPEZ, 2003).

Figura 2.13 – Gráficos de ganho e fase do PLL tipo II



Fonte: Berny (2006).

A partir da expressão do ganho de malha aberta $H_{OL}(s)$ (Equação 2.5), é possível derivar a expressão do ganho de malha fechada $H_{CL}(s)$ do PLL tipo-II que é estudado nesta dissertação:

$$H_{CL}(s) = \frac{H_{OL}(s)}{1 + H_{OL}(s)} \quad (2.7)$$

$$H_{CL}(s) \approx \frac{1 + \omega_n}{\frac{s^2}{K_0} + \frac{s}{\omega_z} + 1} = \frac{\omega_n^2 \left(\frac{s^2 \zeta}{\omega_n} + 1 \right)}{s^2 + 2\zeta\omega_n + \omega_n^2} \quad (2.8)$$

onde ω_n é a frequência natural do sistema e ζ é o fator de amortecimento:

$$\omega_n = \sqrt{K_0} \quad (2.9)$$

$$\zeta = \omega_n / (2\omega_z) \quad (2.10)$$

A partir da transformada de *Laplace* aplicada sobre a Equação 2.8 é possível obter expressões para o tempo de acomodação t_{lock} para (LOPEZ, 2003):

- Sistema Sub-amortecido: $0 < \zeta < 1$
- Sistema criticamente amortecido: $\zeta = 1$
- Sistema sobre-amortecido: $\zeta > 1$

A solução para $\zeta=1$ é resolvida numericamente (LOPEZ, 2003).

$$t_{lock} = \left\{ \begin{array}{l} \frac{\ln\left(\frac{\Delta Nf_{REF}}{\varepsilon\sqrt{1-\zeta^2}}\right)}{\omega_n\zeta}, \text{ para } \zeta < 1 \\ \frac{1}{(\zeta - \sqrt{\zeta^2 - 1})\omega_n} \ln\left(\frac{\Delta Nf_{REF}\sqrt{\zeta^2 - 1} + \zeta}{\varepsilon 2\sqrt{1-\zeta^2}}\right), \text{ para } \zeta > 1 \end{array} \right\} \quad (2.11)$$

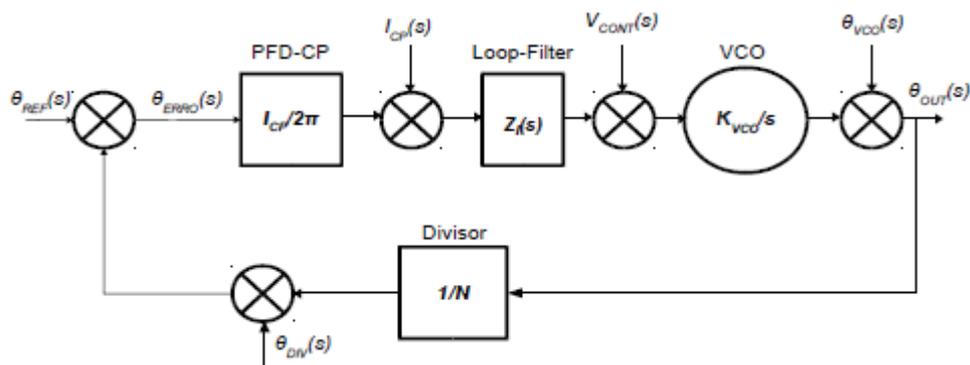
2.1.2.2 Ruído de Fase em PLLs

Uma vez que os sinais de ruído tem uma natureza de pequenos sinais, o modelo linear introduzido na Figura 2.12 é normalmente utilizado na literatura para a análise do ruído de fase em PLLs (BERNY, 2006) (LOPEZ, 2003). A Figura 2.14 introduz um modelo linear de ruído de fase. Esse modelo apresenta a contribuição individual de cada bloco do PLL apresentados nas seções anteriores para o ruído de fase na saída do PLL. A Tabela 2.2 apresenta a função de transferência do ruído de cada bloco com relação a saída do PLL, onde $H_{OL}(s)$ é a função de transferência do PLL de malha aberta, já introduzida na seção anterior (Equação 2.5). Diante disso, é possível observar que as funções de transferência dos blocos PFD/CP e divisor de frequências, bem como da referência de frequência na entrada do PLL, têm um comportamento de filtro passa-baixas. A função de transferência do ruído de fase do VCO com relação à saída do PLL possui um comportamento de filtro passa-altas. Já a função de transferência do *loop filter* LPF, com relação à saída do PLL, possui um comportamento de filtro passa-banda.

A partir das funções de transferências de ruído de fase apresentadas na Tabela 2.2, é possível observar que o ruído de fase do PLL é dominado pelo VCO para frequências acima da largura de banda do PLL, ω_C , enquanto que para frequências abaixo de ω_C , o ruído de fase do PLL é dominado pelas outras contribuições: referência de frequência, PFD/CP, LPF e divisor de frequências. Uma observação muito importante também é que, com exceção das funções de transferência do VCO e do LPF, todas as demais funções de transferência são proporcionais a fator de divisão N . Assim, reduzindo o valor de N , é possível reduzir o ruído de fase do PLL, principalmente para frequências abaixo de ω_C . Entretanto, a escolha do fator N depende, geralmente, de especificações de protocolos de comunicações de radiofrequência, como o número de canais necessários. Além disso, reduzir o valor do fator N envolve uma mudança na arquitetura do sintetizador de frequências PLL, pois a arquitetura do sintetizador passa de inteira para fracionária, conforme será discutido na próxima seção.

Outra conclusão relevante a partir da análise das funções de transferência da Tabela 2.2 é a dependência da função de transferência de PFD/CP quanto à corrente de *charge-pump* I_{CP} . Essa função de transferência é inversamente proporcional à I_{CP} , de modo que aumentando esse parâmetro é possível reduzir a contribuição do ruído de fase de PFD/CP sobre o PLL. Um problema surge ao aumentar a corrente I_{CP} , pois esse parâmetro influencia diretamente no ganho de malha aberta do PLL, haja vista que esse aumento de ganho deve ser compensado de outra forma. Logo, a redução do ganho do VCO K_{VCO} geralmente é a melhor escolha (ver Equação 2.5). A redução de K_{VCO} também traz um outro grande benefício, pois tem um impacto direto na função de transferência do ruído de fase do *loop filter* LPF. Assim, mesmo para aplicações de ampla faixa de frequências (*wideband*), é altamente desejado possuir um VCO com um ganho K_{VCO} limitado. Esta dissertação abordará esse tema.

Figura 2.14 – Modelo Linear de Ruído de Fase do PLL tipo II



Fonte: SHU; SANCHEZSINENCIO (2005).

Tabela 2.2: Função de Transferência de Ruído de Fase para cada bloco do PLL

Fonte de Ruído	Função de Transferência de Ruído de Fase		
Referência de Frequência	$\frac{\theta_{OUT}(s)}{\theta_{REF}(s)}$	$N \frac{H_{OL}(s)}{1+H_{OL}(s)}$	passa-baixas
PFD-CP	$\frac{\theta_{OUT}(s)}{I_{CP}(s)}$	$\frac{2\pi N}{I_{CP}} \frac{H_{OL}(s)}{1+H_{OL}(s)}$	passa-baixas
LPF	$\frac{\theta_{OUT}(s)}{V_{CONT}(s)}$	$\frac{K_{VCO}}{s} \frac{1}{1+H_{OL}(s)}$	passa-baixas
VCO	$\frac{\theta_{OUT}(s)}{\theta_{VCO}(s)}$	$\frac{1}{1+H_{OL}(s)}$	passa-altas
Divisor de Frequências	$\frac{\theta_{OUT}(s)}{\theta_{DIV}(s)}$	$-N \frac{H_{OL}(s)}{1+H_{OL}(s)}$	Passa-baixas

Fonte: SHU; SANCHEZSINENCIO (2005).

2.2 Arquiteturas de Sintetizadores de Frequência baseados em PLL

2.2.1 Sintetizador PLL Inteiro-N

A Figura 2.3, que foi previamente apresentada, mostra o diagrama de blocos da topologia de sintetizador de frequências inteiro-N. Essa topologia se caracteriza por um divisor inteiro, que mantém o fator de divisão constante durante o regime estacionário do PLL. Uma limitação dessa topologia é que o divisor suporta apenas valores inteiros de N , o que significa que a resolução de frequências do sintetizador será a frequência de referência f_{REF} , e nesse caso para possuir uma resolução alta, é necessário usar um valor de f_{REF} pequeno. Além disso, como discutido anteriormente, o valor de *loop bandwidth* f_c geralmente não é superior a $f_{REF}/10$ e assim essa topologia se torna inapropriada para aplicações que requerem um tempo de acomodação pequeno, uma vez que esse tempo é inversamente proporcional à f_c . Outra limitação dessa topologia é o alto valor de N que pode ser necessário. Por exemplo, uma aplicação onde é necessário ter uma resolução de canal de 1MHz e a frequência de saída do PLL é de 1 GHz, terá um valor de N igual à 1000. Conforme discutido anteriormente, um alto valor do fator de divisão N degrada a performance de ruído de fase.

Entretanto, a arquitetura inteira-N apresenta uma relativa simplicidade de projeto, e geralmente é a melhor escolha para aplicações onde uma resolução de canal muito alta não é exigida.

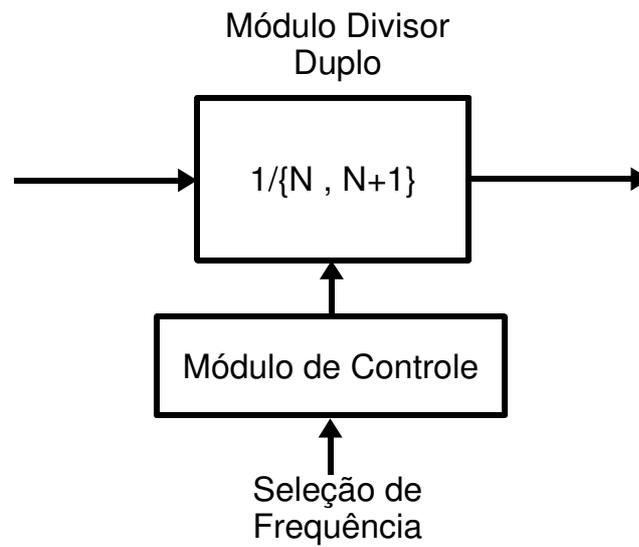
2.2.2 Sintetizador PLL Fracionário-N

Conforme discutido acima, a topologia de sintetizador inteira-N apresenta um compromisso entre resolução e tempo de acomodação. Nesse contexto, a topologia de sintetizadores fracionária-N remove esse compromisso, pois nesse caso a resolução não é mais definida pela frequência de referência f_{REF} . Assim f_{REF} e f_C podem ser aumentados de modo que o tempo de acomodação seja minimizado. Em outras palavras, a topologia fracionária-N atinge o regime estacionário (*locked*) mais rapidamente quando comparada à topologia inteira-N. Um outro benefício da topologia de sintetizador fracionária-N é o valor de divisão N menor, pois f_{REF} pode ser aumentado. Nesse caso, a contribuição do ruído do PFD/CP, do divisor de frequência e da frequência de referência é diminuída, melhorando a performance de ruído de fase do PLL.

A Figura 2.15 apresenta o conceito da divisão fracionária. A arquitetura consiste em um módulo divisor duplo $N/N+1$ e um módulo de controle. O módulo de controle altera o valor da divisão por N ou $N+1$ por instantes de tempo de modo que o valor equivalente da divisão é uma fração entre N e $N+1$. Por exemplo, se o fator de divisão for N por P ciclos da saída do VCO e $N+1$ por Q ciclos da saída do VCO, o valor da divisão pode ser calculado como $N + Q/(P+Q)$.

Uma vez que o fator de divisão é obtido a partir da média dos instantes de divisão N e $N+1$ sobre o tempo, o espectro do sinal de saída do divisor pode ser cheio de tons de espúrios, que por sua vez podem poluir o espectro do sinal de saída do PLL. Esse problema fica mais evidente quando o módulo de controle fornece um sinal periódico para controlar o fator de divisão, em outras palavras se P e Q são constantes no tempo. Nesse caso, a modulação $\Sigma\Delta$ é amplamente usada para controlar a divisão. O modulador $\Sigma\Delta$ atua como um randomizador do sinal de controle do divisor e assim os tons de espúrios gerados no espectro do divisor são transformados em ruído branco. Entretanto, o divisor com modulação $\Sigma\Delta$ em geral resulta em aumento da complexidade, área de silício e consumo de potência.

Figura 2.15 – Conceito de Divisão Fracionária



Fonte: RAZAVI (1998).

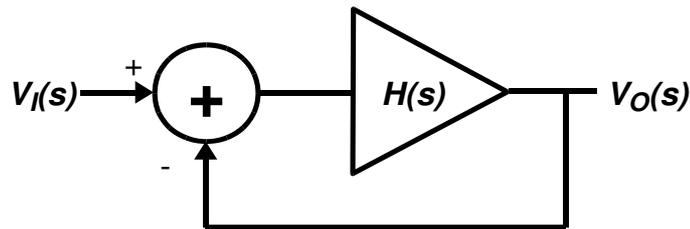
2.3 Fundamentos de LC-VCOs

2.3.1 Características Fundamentais dos Osciladores

Um oscilador, por definição, é um circuito que gera, autonomamente, um sinal periódico em sua saída, por meio de um mecanismo de auto-sustentação. Essa característica é geralmente atingida através de uma realimentação positiva ou uma resistência negativa, de modo que uma perda interna seja compensada e a oscilação seja sustentada. Assim, o mecanismo de oscilação de um oscilador pode ser explicado pela teoria de realimentação. Considerando um sistema linear realimentado, como o da Figura 2.16, temos a seguinte função de transferência:

$$\frac{V_o(s)}{V_i(s)} = \frac{H(s)}{1+H(s)} \quad (2.12)$$

Figura 2.16 – Sistema Realimentado



Fonte: RAZAVI (2002).

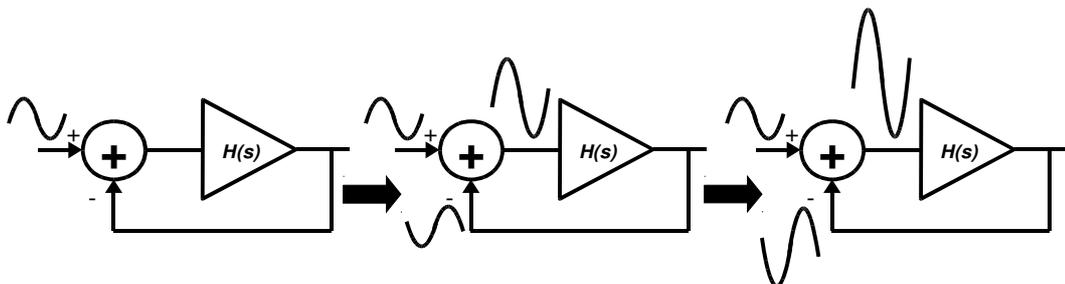
Para uma certa frequência $s=j\omega_0$, se o ganho de malha aberta do amplificador $H(s)$ for -1 , então o ganho de malha fechada pode aproximar-se de infinito na frequência ω_0 . Nessa condição, o circuito amplifica seu próprio ruído na frequência ω_0 e a oscilação é iniciada. A Figura 2.17 apresenta uma ilustração da situação acima apresentada. Observem que o sinal na entrada do sistema é deslocado 180° , retornando ao subtrator como uma réplica negativa da entrada. Após a subtração, um sinal maior resulta na entrada do amplificador. Dessa forma, o o sinal de frequência ω_0 é amplificado ou aumentado, e a oscilação é sustentada. Em resumo, para haver oscilação o circuito deve satisfazer duas condições:

$$|H(j\omega_0)| \geq 1 \quad (2.13)$$

$$\angle H(j\omega_0) = 180^\circ \quad (2.14)$$

Entretanto, o critério acima, conhecido como critério de Barkhausen, possui limitações (RAZAVI, 2002). Nesse caso, o ganho de laço é geralmente projetado superior a 1 para atingir tolerância a variações de processo de fabricação e temperatura. Além disso, o critério é para um sistema linear e não considera a inicialização do circuito, que possui uma natureza não-linear.

Figura 2.17 – Início da Oscilação



Fonte: RAZAVI (1998).

Atualmente, osciladores implementados em tecnologia CMOS são geralmente Osciladores em Anel (*Ring Oscillators*) e Osciladores LC (*LC Oscillators*). Os Osciladores em Anel possuem algumas vantagens quando comparados com os Osciladores LC (MIYAZAKI, 2004). As vantagens do Oscilador em Anel são a simplicidade, o custo em área por não necessitar de indutores, o *tuning range* maior e o consumo de energia que geralmente é menor. Porém, os Osciladores em Anel possuem uma desvantagem: o baixo desempenho em termos de ruído de fase. Dessa forma, a construção de Osciladores Controlados por Tensão para aplicações de comunicação por radiofrequência geralmente é baseada em Osciladores LC. Assim, o escopo dessa dissertação será direcionado ao estudo dessa categoria de Osciladores, onde na sequência desse capítulo serão cobertos aspectos teóricos de redes RLC, analisando o ruído de fase e topologias de LC-VCOs. No capítulo 3, será apresentado o projeto do LC-VCO.

2.3.2 Fundamentos de Redes RLC

O Tanque-LC (*LC-tank*) é construído a partir da associação em série ou paralela de um indutor e de um capacitor. Na prática, devido a imperfeições na construção dos indutores ou capacitores integrados, resistores são incluídos na análise, com o propósito de modelar as perdas do tanque-LC. Na análise realizada aqui, o tanque-LC paralelo será usado. A Figura 2.18 apresenta o esquemático de um tanque-LC com um resistor em paralelo, nesse caso uma rede RLC. A impedância do tanque-LC paralelo é expressa como:

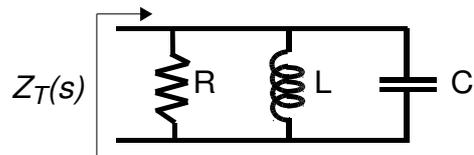
$$Z_T(j\omega) = \frac{1}{\frac{1}{R} + j\left(\omega C - \frac{1}{\omega L}\right)} \quad (2.15)$$

Existe uma frequência em que os termos reativos, ωC e $-1/\omega L$, se cancelam. Essa frequência é chamada frequência de ressonância ω_0 , que é expressa como:

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (2.16)$$

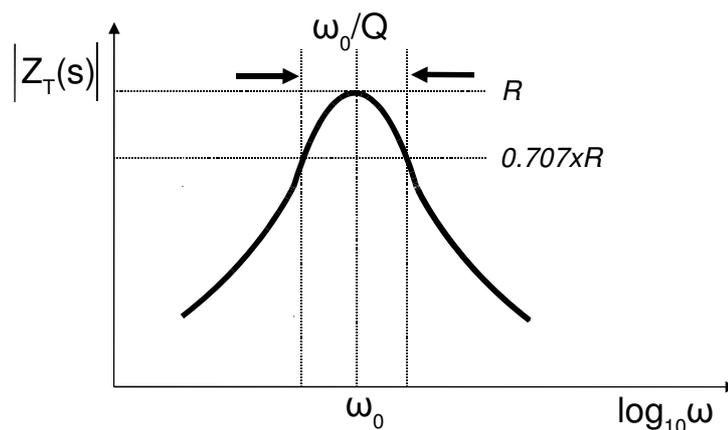
Nessa frequência, a impedância do tanque-LC é puramente resistiva e igual a R. A Figura 2.19 ilustra esse comportamento. Para frequências abaixo da frequência ressonância, a impedância do tanque-LC é predominantemente indutiva, enquanto que para frequências acima da ressonância, predominantemente capacitiva.

Figura 2.18 – Rede RLC paralela



O fator de qualidade do tanque-LC (fator Q) incorpora os mecanismos de perda, oriundos de imperfeições dos elementos do tanque-LC, e indica a habilidade deste de reter energia. O fator Q é um dos parâmetros mais importantes no projeto de VCOs baseados em tanque-LC pois tem influência direta no ruído de fase. Em outras palavras, o fator Q do tanque-LC é definido pela razão da energia armazenada pela energia dissipada por este.

Figura 2.19 – Impedância da rede RLC



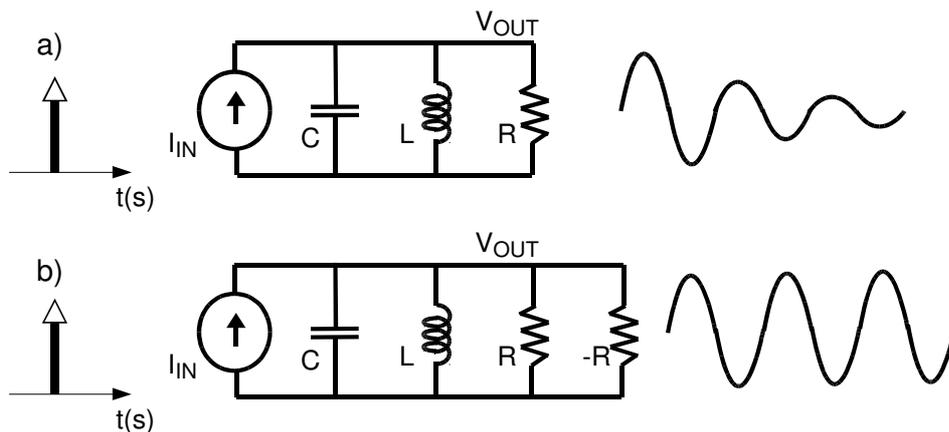
2.3.3 Resistência Negativa

Conforme a análise realizada na seção anterior, o tanque-LC na prática terá um fator Q finito, isto é, haverá um elemento resistivo presente que dissipará energia. Isso quer dizer que na frequência de ressonância, o resistor R (ver Figura 2.18) impedirá que a amplitude do sinal de oscilação permaneça a máxima, de modo que ela decairá com o tempo devido a presença desse elemento resistivo. A Figura 2.20 (a) representa essa situação. Observe que em um determinado tempo, um impulso de corrente é injetado no tanque-LC. A energia desse impulso é inicialmente armazenada no tanque-LC através de seus elementos reativos,

começando a oscilar na frequência de ressonância. Porém com o tempo, devido a dissipação da energia através do resistor, o tanque-LC fica descarregado e para de oscilar. De outra forma, a dissipação de energia no resistor impede que a oscilação perdure.

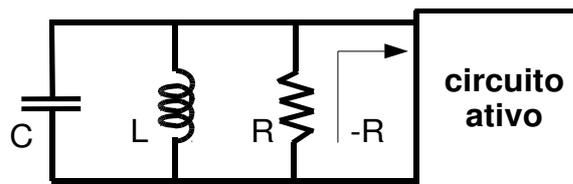
A Figura 2.20 (b) apresenta o conceito de resistência negativa. A ideia é inserir no tanque-LC uma resistência negativa com o valor do módulo de, pelo menos, o valor da resistência em paralelo existente no tanque-LC. Com isso, o efeito da resistência paralelo do tanque-LC é cancelado, ou seja, a amplitude da oscilação do tanque-LC é mantida. A Figura 2.21 ilustra uma forma de geração da resistência negativa. Nesse caso, a resistência negativa é sintetizada a partir de um circuito ativo.

Figura 2.20 – Resposta a um impulso de uma rede RLC paralela: (a) sem a presença de $-R$ e (b) com a presença de $-R$



Fonte: RAZAVI (1998).

Figura 2.21 – Geração da resistência negativa

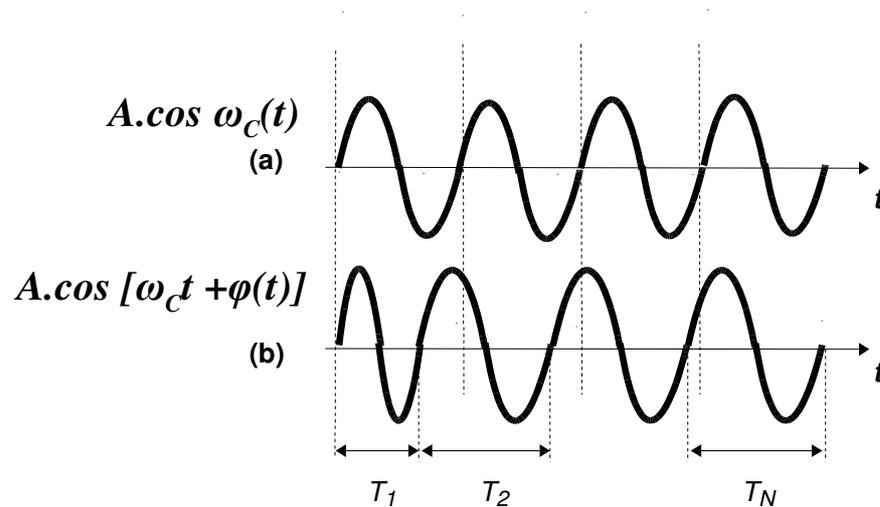


Fonte: RAZAVI (1998).

2.3.4 Ruído de Fase em Osciladores LC

Um oscilador ideal produz um sinal periódico “perfeito” em sua saída, sob a forma de $x(t) = A \cdot \cos \omega_C t$, conforme mostrado na Figura 2.22 (a), onde o período é $T_C = 2\pi/\omega_C$. Porém, o ruído dos dispositivos internos do oscilador perturba os cruzamentos do seu sinal de saída com relação ao sinal de referência de uma forma randômica, fazendo com que a saída do oscilador modelado com ruído de fase seja expressa como $x(t) = A \cdot \cos [\omega_C t + \varphi(t)]$, onde $\varphi(t)$ é uma pequena quantidade randômica de variação de fase que desvia os cruzamentos do sinal de saída do oscilador com relação a referência de múltiplos de T_C . O termo $\varphi(t)$ é chamado de ruído de fase (RAZAVI, 1998). A Figura 2.22 (b) ilustra um sinal com ruído em sua fase.

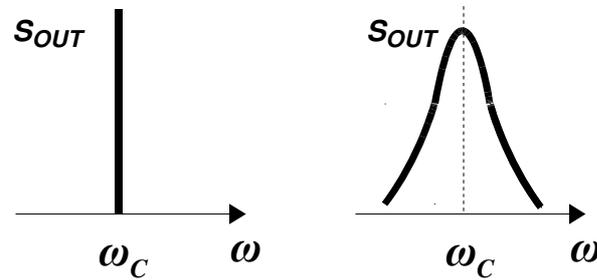
Figura 2.22 – Formas de onda do sinal de saída do VCO: (a) ideal e (b) com ruído de fase



Fonte: RAZAVI (1998).

As formas de onda da Figura 2.22 podem ser analisadas sob uma outra perspectiva, isto é, pelo domínio de frequência. Se por um lado o período do sinal de saída do oscilador permanece constante para $x(t) = A \cdot \cos \omega_C t$, por outro, esse período varia randômicamente se o sinal de saída do oscilador possui ruído de fase (como indicado na Figura 2.22 (b) por T_1 , T_2 , ..., T_N). Dessa maneira, o espectro do sinal de saída S_{OUT} do oscilador representado por $x(t) = A \cdot \cos \omega_C t$ consiste de apenas um único impulso em ω_C , enquanto o espectro do sinal do oscilador representado por $x(t) = A \cdot \cos [\omega_C t + \varphi(t)]$ consiste de uma distribuição espalhada ao redor de ω_C . Esse comportamento é apresentado na Figura 2.23.

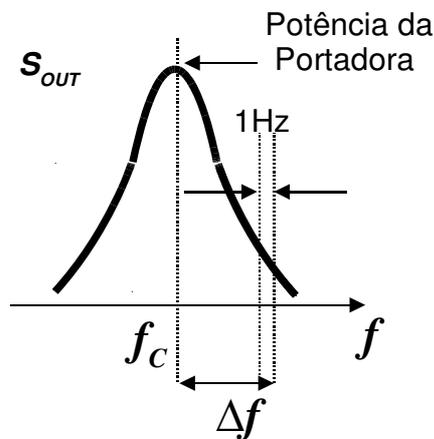
Figura 2.23 - Espectro de saída do VCO: (a) ideal e (b) com ruído de fase



Fonte: RAZAVI (1998).

Como mostrado na Figura 2.23 (b), a amplitude do sinal de saída do oscilador diminui para frequências distantes de ω_C . Isso significa que o ruído de fase de osciladores é frequentemente quantificado em função do deslocamento de frequência (*frequency offset*) com relação ao sinal da portadora ω_C . Como apresentado na Figura 2.24, o ruído de fase é quantificado considerando uma largura de banda de 1Hz a um deslocamento Δf com relação à f_C , calculando a potência do sinal para essa largura de banda e, finalmente, normalizando o resultado com relação à potência portadora ω_C , que é o pico do espectro. Assim, o ruído de fase de um oscilador para um deslocamento de frequência com relação à f_C é expresso em dBc/Hz, onde c é “*carrier*”, portadora em inglês.

Figura 2.24 – Quantificação do ruído de fase



Fonte: SHU; SANCHEZSINENCIO (2005).

2.3.5 Dispositivos Passivos Integrados

2.3.5.1 Indutores

Circuitos integrados de comunicação por RF modernos utilizam vários indutores integrados. Existem basicamente três vantagens ao utilizar indutores integrados (RAZAVI, 1998):

- o uso de componentes externos conectados pelo pinos do encapsulamento do CI pode gerar acoplamento com outros terminais do CI, resultando em interferências nas diferentes partes do CI;
- componentes externos geralmente introduzem uma grande quantidade de capacitância parasita, o que pode limitar a operação em frequências na faixa de GHz;
- há dificuldade de implementar uma operação diferencial com cargas externas, pois o controle do comprimento das linhas de conexão (*bond wires*) do encapsulamento do CI é difícil de ser obtido.

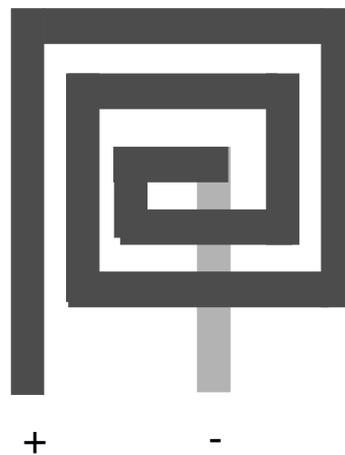
Por outro lado, existem problemas na realização de circuitos RF com indutores integrados. Isso é devido ao baixo fator de qualidade (fator Q) dos indutores integrados, quando comparados com indutores externos ao CI, o que leva ao aumento do ruído de fase em osciladores, por exemplo. Assim, o projeto dos indutores integrados é baseado em formas de aumentar os fator Q dos mesmos.

Os indutores integrados são implementados através de espirais de metal, conforme mostrado na Figura 2.25. Devido ao acoplamento mútuo entre duas voltas, o formato espiral apresenta uma indutância maior quando comparado com um formato de linha reta. Para minimizar a resistência série e a capacitância parasita, geralmente o indutor é construído utilizando o metal de topo da tecnologia CMOS, pois essa camada é mais espessa e mais distante do substrato. A indutância depende, em primeira ordem, do número de voltas do espiral e também do diâmetro de cada uma dessas voltas, mas a largura da linha do espiral e o espaçamento entre as linhas também influenciam. Além de um formato quadrangular que é apresentado na Figura 2.25, outros formatos também são encontrados na literatura, como os formatos octogonal e circular, dentre outros. Em geral, o objetivo é diminuir a resistência série e a capacitância parasita do indutor, aumentando assim o fator Q desse.

O fator Q de um indutor é medido através de uma quantidade de energia que nele é perdida quando nele flui uma corrente senoidal. Uma vez que apenas componentes resistivos

dissipam energia, os mecanismos de perda do indutor são relacionados à resistências presentes em sua construção ou em regiões próximas do indutor. Abaixo são citados alguns mecanismos de perda do indutor integrado, que contribuem para a redução do fator Q e, conseqüentemente, para a degradação da performance do ruído de fase do oscilador. O primeiro mecanismo de perda é a Resistência do Metal. Esse parâmetro é diretamente influenciado pelo comprimento do indutor. Para reduzir essa resistência, em geral, é aumentada a largura da linha do indutor, porém isso aumenta a capacitância parasita do mesmo. O segundo mecanismo de perda analisado é o Acoplamento Capacitivo para o substrato devido às capacitâncias parasitas do espiral do indutor. Uma vez que o substrato é resistivo, uma quantidade de energia do indutor é dissipada, diminuindo o fator Q . O terceiro mecanismo de perda é o Acoplamento Magnético do indutor para o substrato, pois o campo magnético nele pode gerar uma corrente no substrato. Considerando os mecanismos de perda acima citados, a escolha do indutor para aplicações de uma ampla faixa de operação deve ser realizado para melhor ajustar a um custo benefício entre *tuning range* e ruído de fase.

Figura 2.25 – Indutor espiral em formato quadrangular



2.3.5.2 Varactores

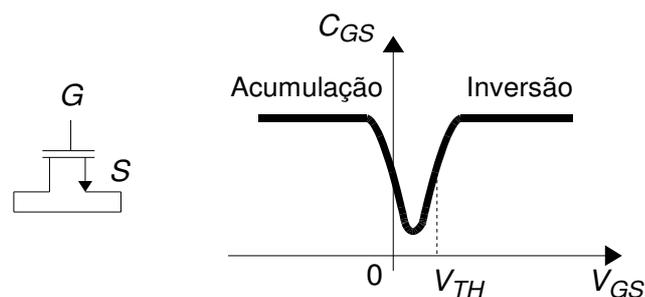
O dispositivo varactor é fundamental na construção de LC-VCOs, pois é por intermédio desse que é realizado o controle da frequência do VCO. Em outras palavras, o varactor é um dispositivo cuja capacitância depende da tensão em seus terminais, o que faz com que a frequência do LC-VCO seja controlada por uma tensão. No projeto do varactor, existem duas considerações importantes: primeiro, a faixa de capacitância, isto é, os valores

de capacitância máxima e mínima que o varactor pode fornecer e, segundo, o fator Q do varactor, no intuito de não comprometer o ruído de fase do VCO.

Os varactores podem ser implementados através de junções p-n reversamente polarizadas. Na tecnologia CMOS, isso pode ser realizado utilizando regiões P+ e N+ combinadas com poços (*wells*) N e P, respectivamente. Em virtude da limitada relação entre as capacitâncias máxima e mínima, os varactores baseados em junções p-n foram gradativamente substituídos por varactores baseados nos transistores MOS, pois esses apresentam uma variação de capacitância maior com relação à tensão (BERNY, 2006), o que aumenta o *tuning range* do LC-VCO.

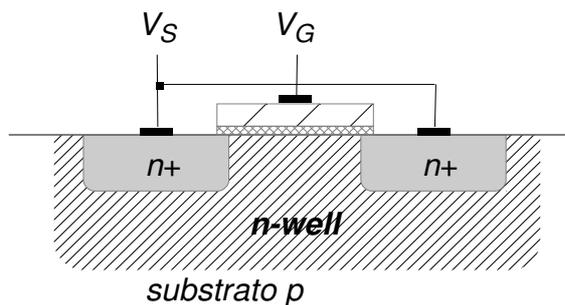
O transistor MOS regular pode ser configurado como capacitor, conforme mostrado na Figura 2.26. Entretanto, o comportamento não-monotônico da capacitância limita sua utilização, pois a mesma pode aumentar ou diminuir de acordo com a tensão aplicada em seus terminais. Uma simples modificação no dispositivo MOS evita a limitação acima citada. O dispositivo chamado A-MOS (*accumulation-mode MOS varactor*) é obtido na colocação do dispositivo NMOS sobre um poço-n (*n-well*), conforme a Figura 2.27. Além disso, o dispositivo varactor A-MOS reduz o ruído de fase proporcionado pela baixa inserção de capacitâncias ou resistências parasitas quando comparada com outras construções de varactores como junção-pn e transistor MOS em modo inversão (ANDREANI; MATTISON, 2000). Esse dispositivo tem uma construção muito similar ao transistor PMOS, porém as regiões de dreno e fonte do transistor PMOS, implementadas a partir de regiões P+, são substituídas por regiões N+ no dispositivo A-MOS. Isso tem um efeito positivo, pois minimiza a resistência parasita do poço-n (*n-well*). Outra vantagem é a ausência da geração térmica de pares elétrons-lacunas, pois as junções formada pelos terminais dreno/*bulk* e fonte/*bulk*, são removidas.

Figuras 2.26 – Capacitância C_{GS} do transistor MOS



Fonte: ANDREANI; MATTISON (2000)

Figura 2.27 – Estrutura do varactor A-MOS (*accumulation-mode varactor*)



Fonte: ANDREANI; MATTISON (2000)

2.3.5.3 Capacitores Constantes

Capacitores constantes são aqueles que não variam com a tensão. Tais capacitores contribuem com a capacitância fixa do tanque-LC, enquanto os varactores contribuem com a capacitância variável com relação à tensão de controle do VCO. Na tecnologia CMOS, os capacitores geralmente são implementados com duas camadas de poli-silício ou duas camadas de metal. O capacitor de metal, conhecido por capacitor MIM (Metal-Insulator-Metal) é preferido por apresentar um fator Q maior quando comparado com o capacitor de poli-silício. Nas tecnologias CMOS recentes, os capacitores MIM atingem uma densidade de capacitância por área de 1 a $2\text{fF}/\mu\text{m}^2$ e uma capacitância parasita com relação ao substrato tipicamente menor que 1% do valor nominal do capacitor (BERNY, 2006). Essa densidade, que é relativamente alta, é tipicamente atingida através de uma camada ultra-fina de nitreto de silício, que é colocada entre as demais camadas de metal inferior e superior do capacitor MIM. Nesse caso, uma etapa adicional no processo de fabricação é necessária.

2.3.6 Topologias de VCOs baseadas em Tanque-LC

Existem inúmeras formas de implementar um VCO. Nesse estudo, o foco será baseado nas topologias de implementação mais conhecidas e usadas na literatura para aplicações *wideband*. A Figura 2.28 apresenta duas das mais utilizadas topologias de estado da arte de LC-VCOs (BERNY; NIKNEJAD; MEYER, 2005) (SADHU; KIM; HARJANI, 2009) (FONG et al., 2003) (HAUSPIE; PARK; CRANINCKX, 2007). As duas topologias são

diferencias. VCOs diferenciais apresentam boa supressão a interferências de modo-comum e também são amplamente requisitados devido à arquitetura diferencial dos transeptores RF. A topologia da Figura 2.28 (a) é chamada de par cruzado NMOS (NMOS *cross-coupled*), enquanto a topologia da Figura 2.28 (b) é chamada de complementar, pois possui ambos os transistores NMOS e PMOS. Observe que o VCO da Figura 2.28 (a) também pode ser implementado por transistores PMOS, ao invés de transistores NMOS. Os transistores NMOS do VCO da Figura 2.28 (a) fornecem uma resistência de pequeno sinal igual a $-2/gm_N$ para o tanque-LC, onde gm_N é a transcondutância de pequeno sinal dos transistores NMOS. Na topologia complementar apresentada na Figura 2.28 (b), uma resistência de pequeno sinal igual a $-2/(gm_N+gm_P)$ é fornecida ao VCO, onde gm_N e gm_P são as transcondutâncias de pequeno sinal dos transistores NMOS e PMOS, respectivamente.

A amplitude do sinal diferencial de saída dessas topologias de VCO é classificada em dois regimes: limitação por corrente e limitação por tensão (HAJIMIRI; LEE, 1999). No regime de limitação por corrente, a amplitude do sinal diferencial de saída do VCO é limitada pela corrente I_{BIAS} . Assim, a amplitude da saída do VCO não atingiu a saturação imposta pela topologia e, dessa forma, a amplitude é proporcional à $I_{BIAS} \cdot R_P$ para ambas as topologias da Figura 2.28, onde R_P é a resistência paralela do tanque-LC. Já no regime de limitação por tensão, a amplitude do sinal de saída do VCO é limitada pela saturação imposta pela topologia devido à diferença de tensão necessária para garantir com que a fonte de corrente I_{BIAS} esteja saturada. A Figura 2.29 ilustra esse comportamento. Observa-se que no regime de limitação por corrente, a amplitude do sinal de saída do VCO V_o é proporcional ao aumento de I_{BIAS} . Porém, para o regime de limitação por tensão, a amplitude do sinal de saída do VCO permanece constante com relação ao aumento de I_{BIAS} .

Considerando o regime de limitação por corrente, observa-se que a corrente no tanque-LC varia idealmente em cada ramo entre 0 e I_{BIAS} (com polaridade oposta) para a topologia da Figura 2.28 (a). Para a topologia de VCO da Figura 2.28 (b), a corrente no tanque-LC varia idealmente em cada ramo entre $-I_{BIAS}$ e I_{BIAS} . Com isso é possível afirmar que a topologia complementar produz o dobro de amplitude, para o regime de limitação por corrente, quando comparada com a topologia NMOS *cross-coupled*. Por outro lado, a topologia NMOS *cross-coupled* apresenta maior amplitude para o regime de limitação por tensão, quando a mesma tensão de alimentação é considerada, pois nesse caso a queda de tensão sobre os transistores PMOS para mantê-los operando na região de saturação é inexistente.

Figura 2.28 - Topologias de VCOs LC: (a) NMOS *cross-coupled* e (b) complementar CMOS

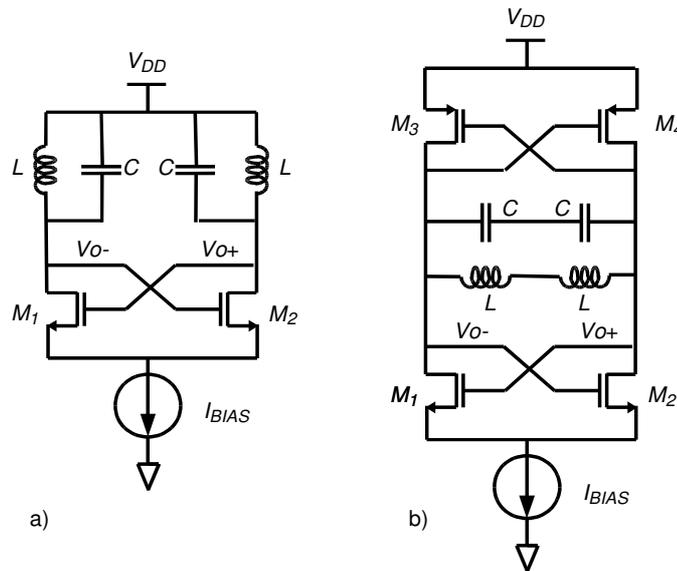
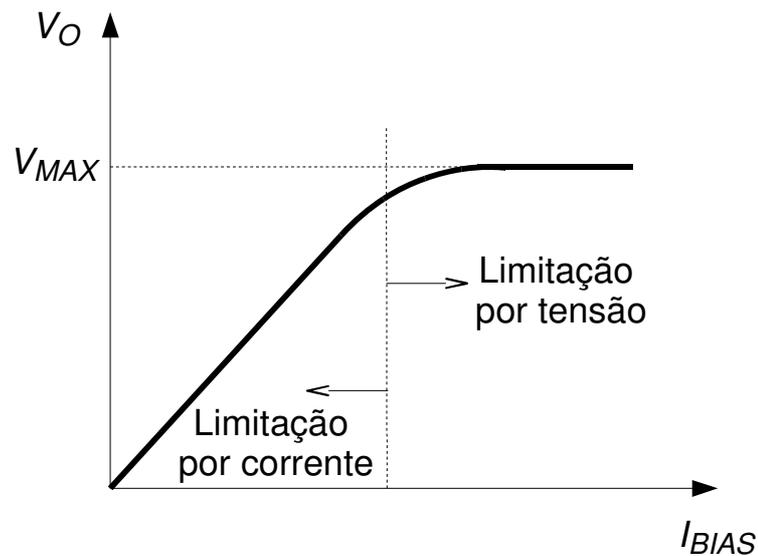


Figura 2.29 - Regimes de operação de LC-VCOs: limitação da amplitude por tensão e por corrente



Fonte: HAJIMIRI; LEE (1999)

2.4 Sumário

Esse capítulo introduziu fundamentos de sintetizadores de frequência baseados em *phase-locked loop* (PLL) e osciladores controlados por tensão (*voltage-controlled oscillators* – VCOs) baseados em tanque-LC (LC-VCOs).

A seção 2.1 apresentou conceitos básicos da operação de sintetizadores de frequência fundamentados em *phase-locked loop* (PLL). Na sequência, a topologia PLL *Charge-Pump* Tipo II, por ser a mais utilizada na implementação de sintetizadores de frequência, foi revisada e seus blocos básicos foram apresentados. Após, foi proposta uma revisão sobre a operação dinâmica do PLL, onde o modelo linear que possibilita análise transiente (*lock time*) e de estabilidade foi introduzido. Finalmente, uma análise teórica sobre ruído de fase em PLLs foi realizada.

A seção 2.2 realizou uma análise sobre arquiteturas de sintetizadores: Inteiros-N e Fracionários-N.

Na seção 2.3, fundamentos da operação de LC-VCOs foram exibidos. Em seguida, o critério para que haja oscilação foi discutido. Na sequência, uma análise sobre o ruído de fase em LC-VCOs foi apresentada. Após, foi realizada uma revisão tecnológica quanto aos dispositivos integrados CMOS que possibilitam a implementação de capacitores, varactores e indutores. Ao final dessa seção, foi apresentada uma revisão bibliográfica das topologias de LC-VCO, comparando-as em termos de dispositivos parasitários, diferentes regimes de operação e desempenho em ruído de fase.

3 ANÁLISE E PROJETO DO VCO PARA APLICAÇÕES DE MÚLTIPLAS BANDAS DE FREQUÊNCIA

Nesse capítulo serão discutidas inicialmente considerações de projeto de um LC-VCO para aplicações de múltiplas bandas de frequências. Após, será apresentado o projeto do LC-VCO para aplicações de múltiplas bandas de frequências.

O projeto do LC-VCO é realizado na tecnologia IBM CMOS 130nm (IBM, 2010) e segue as especificações da arquitetura de Sintetizador de Frequências proposta em Lorencetti (2014). A partir das especificações do Sintetizador de Frequências, são derivadas especificações para o LC-VCO. As especificações consideradas são quanto a faixa do sinal de controle do LC-VCO V_{CONT} , tensão de alimentação V_{DD} , ganho do VCO (K_{VCO}), *tunning range* e ruído de fase. A Tabela 3.1 apresenta as especificações do LC-VCO.

Tabela 3.1 Especificações do LC-VCO

Especificação	Mínimo	Nominal	Máximo	Unidade
V_{CONT}	0.1	-	1.1	V
V_{DD}	1.08	1.2	1.32	V
K_{VCO}	80	100	120	MHz
Tunning Range (TR)	4	-	8	GHz
Ruído de Fase	-100	-	-	dBc/Hz

3.1 Análise e Considerações de Projeto de um LC-VCO para Aplicações de Múltiplas Frequências

3.1.1 *Tunning Range* versus Controle do Ganho do VCO

Conforme apresentado no Capítulo 2, o VCO é inserido em um *Phase-Locked Loop* (PLL), de modo que a sua frequência de saída é controlada por um sinal de tensão, o qual é gerado a partir do próprio sinal de frequência do VCO quando comparado com o sinal de entrada do PLL.

A principal característica do LC-VCO que está sendo proposto nesta dissertação é a sua capacidade de operar em uma ampla faixa de frequências, mais especificamente de 4GHz

a 8GHz. Geralmente, essa característica é implementada a partir do chaveamento (ou programação) do valor da capacitância total do tanque-LC (BERNY et al, 2005) (SADHU et al, 2009) (FONG et al, 2003) (FAN et al, 2013) (SADHU et al, 2010) (TAKIGAWA et al, 2009) (HAUSPIE et al, 2007). Assim, o valor da capacitância total do tanque-LC é controlado por uma palavra digital de programação, fazendo com que a frequência do VCO seja também controlada por essa palavra digital, gerando assim diferentes sub-faixas (ou sub-bandas) de frequências para cada valor da palavra digital de programação, conforme já mencionado anteriormente.

Considerando que o VCO deve atingir uma ampla faixa de frequências de 4GHz a 8GHz, é importante nesse momento introduzir dois requisitos necessários para o funcionamento adequado do sintetizador de frequências, no qual o VCO *wideband* está inserido: ganho do VCO em relação à sua tensão de controle (K_{VCO} , em Hz/V) não muito elevado (abaixo de 100MHz/V) e a sua variação, que deve ser pequena (menor que +20%) para todas as faixas de frequências. Publicações recentes têm focado nessas características acima citada (MOON et al, 2009) (NAKAMURA et al, 2006) (LU et al, 2008) (JIWEI et al, 2012) (Lu et al, 2009) (KIM et al, 2008) (BIN et al, 2012).

A principal motivação para manter o ganho K_{VCO} com um valor não muito elevado é a degradação do ruído de fase. Na Figura 3.1 (a) é ilustrado o comportamento da frequência gerada com um ganho K_{VCO} com um valor relativamente alto. Diante disso, esse comportamento representa uma vantagem do ponto de vista de *tunning range*, pois assim é possível obter uma ampla faixa de frequências, cobrindo toda a faixa de 4GHz a 8GHz com apenas uma configuração de capacitância do tanque-LC. Melhor explicando, não há a necessidade do uso de uma palavra digital e as respectivas sub-bandas discretas de frequência para cada valor da palavra digital de programação, sendo assim uma simplificação para o projeto. Não obstante, um elevado valor de K_{VCO} resulta em um aumento do ruído de fase, tendo em vista que qualquer ruído na tensão de controle V_{CONT} gera um deslocamento na frequência do VCO proporcional à K_{VCO} .

Além de influenciar no ruído de fase do PLL, o ganho do VCO (K_{VCO}) também influencia na estabilidade do PLL. O ganho de laço da PLL é proporcional à $I_{CP} * K_{VCO} / N$, onde I_{CP} é corrente do *charge-pump* e N é o fator de divisão do PLL. Conforme a publicação Shin et al (2011), a variação do fator N , por esse valor ser digital, é facilmente compensada através de I_{CP} . Para a variação de K_{VCO} não há formas muito simples de medir essa variação e compensá-la de um modo preciso durante a operação do PLL. Assim, manter um ganho do VCO constante ou com pequenas variações para cada sub-banda do VCO é um dos principais

desafios para essa categoria de LC-VCOs para aplicações de *wideband*. A Figura 3.1(b) apresenta esse comportamento. Note que existe um diferente K_{VCO} para cada sub-banda de frequências.

A Figura 3.1 (c) apresenta um cenário ideal para a realização do LC-VCO para banda larga de frequências, pois, nessa situação, a operação de multi-banda é atingida, porém sem uma variação significativa do valor de K_{VCO} . O LC-VCO desenvolvido nesta dissertação tem como objetivo obter esse comportamento, como na Figura 3.1(c).

3.1.2 Critério para Oscilação versus Capacitância Parasita

Como discutido anteriormente no Capítulo 2, o circuito de oscilação do VCO pode ser entendido como uma resistência negativa conectada em paralelo com um tanque-LC, onde essa resistência negativa compensa as perdas no tanque-LC provocadas por uma resistência R_P que está conectada em paralelo com o tanque-LC (ver figura 2.20). A resistência R_P na frequência de ressonância é expressa como segue:

$$R_P = \frac{(\omega L)^2}{R_L} \quad (3.1)$$

onde L é o valor da indutância, ω é a frequência de ressonância e R_L é a resistência equivalente série do indutor. Para essa análise, é assumida a resistência do indutor como a dominante para o valor de R_P . Contudo, qualquer perda de energia do tanque-LC pode ser representada em R_P .

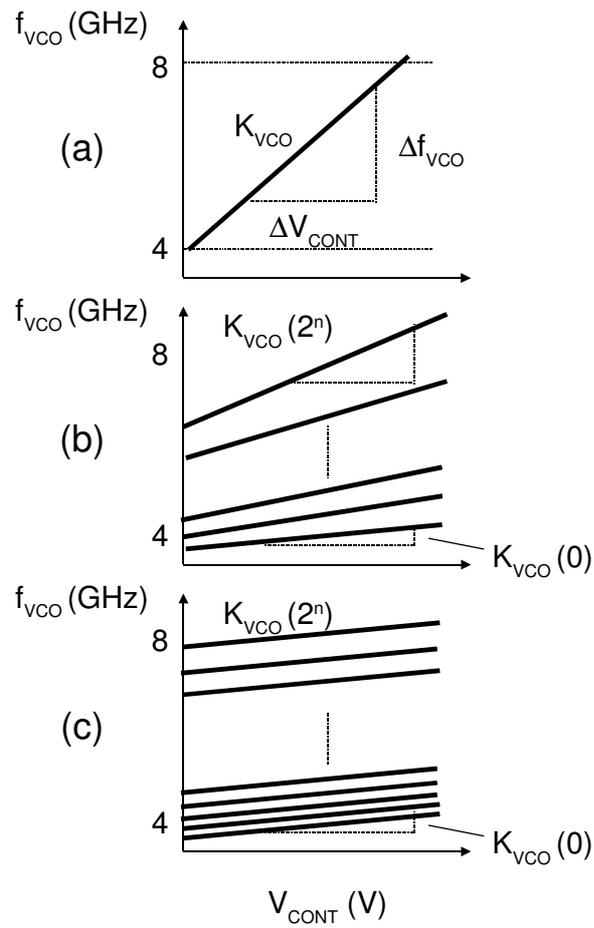
As topologias diferenciais *cross-clouped*, apresentadas no Capítulo 2, geram uma resistência negativa para o tanque-LC através da transcondutância de pequeno sinal (gm) dos dispositivos ativos (transistores MOS). À vista disso, a resistência negativa ($-1/gm$) para que haja oscilação no tanque-LC deve ser maior ou igual que R_P :

$$\frac{1}{gm} \geq R_P \quad (3.2)$$

Esse critério coloca uma consideração importante no projeto do VCO, pois para atingir um gm necessário para que haja oscilação é preciso ou aumentar a área ou aumentar a corrente de polarização dos transistores MOS. Aumentar a área dos transistores MOS significa aumentar a capacitância parasita, o que limita o *tunning range* do VCO. Essa restrição de *tunning range*, considerada em conjunto com a restrição de gm mínimo para haja

oscilação, deve ser levada em conta na escolha da topologia do VCO e também o consumo de corrente desse.

Figura 3.1 – Características de VCOs *wideband*: (a) Única curva de *tuning*, (b) Múltiplas curvas de *tuning* com variação de K_{VCO} e (c) Múltiplas curvas de *tuning* sem variação de K_{VCO}



3.2 Projeto de um LC-VCO para Aplicações de Múltiplas Frequências

3.2.1 Escolha da Topologia de VCO para aplicações de múltiplas bandas de frequência

Levando em conta as considerações de projeto apresentadas acima, a topologia diferencial NMOS *cross-clouped* é a escolhida por melhor atender ao compromisso entre *tunning range* e ter habilidade para fornecer resistência negativa suficiente, garantido a oscilação no tanque-LC. Essa topologia de VCO é amplamente usada na implementação de VCOs que atendam à uma ampla faixa de frequências (*wideband*) (BERNY et al, 2005) (BIN et al, 2012). O esquemático simplificado pode ser visto na figura 2.28 (a). Isso se explica por dois motivos. Primeiro, o transistor NMOS fornece maior transcondutância de pequeno sinal para o tanque-LC quando comparado com o transistor PMOS, de modo que é possível se atingir um determinado valor de gm necessário para o VCO oscilar com um menor aumento de capacitância parasita, limitando menos o *tunning range* do VCO. E segundo, por essa topologia apresentar uma amplitude do sinal de saída maior, quando comparada com a topologia complementar, considerando o regime de limitação de tensão (ver seção 2.3.6), o que melhora a performance de ruído de fase (BERNY, 2006).

Além de as capacitâncias parasitas terem um impacto negativo quanto ao *tunning range*, elas também degradam a performance de ruído de fase do VCO. Isso ocorre devido ao acoplamento capacitivo do terminal dreno do transistor NMOS para o substrato de silício. Similarmente, o transistor PMOS apresenta essa capacitância de junção-pn do terminal dreno com o poço-n (*n-well*). Como discutido anteriormente, o transistor NMOS, por possuir uma transcondutância maior, apresenta essa capacitância de junção-pn menos quando comparado com o transistor PMOS. Outra vantagem da não utilização do transistor PMOS como o transcondutor é a sensibilidade à tensão de alimentação V_{DD} , a qual é reduzida, pois dessa forma, não existe uma junção-pn entre o tanque-LC e V_{DD} . Em outras palavras, não existe uma capacitância de junção, que por sua vez é não-linear, entre o tanque-LC e V_{DD} , de tal forma que deslocamentos de frequência com relação à variação de V_{DD} são minimizados.

A tensão de alimentação do LC-VCO é definido como 0.6V. Esse valor é escolhido porque a tensão de operação nominal dos dispositivos de óxido fino da tecnologia IBM 130nm (IBM, 2010) é 1.2V. Dessa forma, alimentar o LC-VCO através dos indutores significa manter o sinal diferencial de saída do LC-VCO centrado em 0.6V. Assim, uma vez

que o terminal *ground* limita a tensão mínima do sinal de oscilação, este sinal não superará 1.2V, de modo que os dispositivos do LC-VCO não sofrem sobre-tensão.

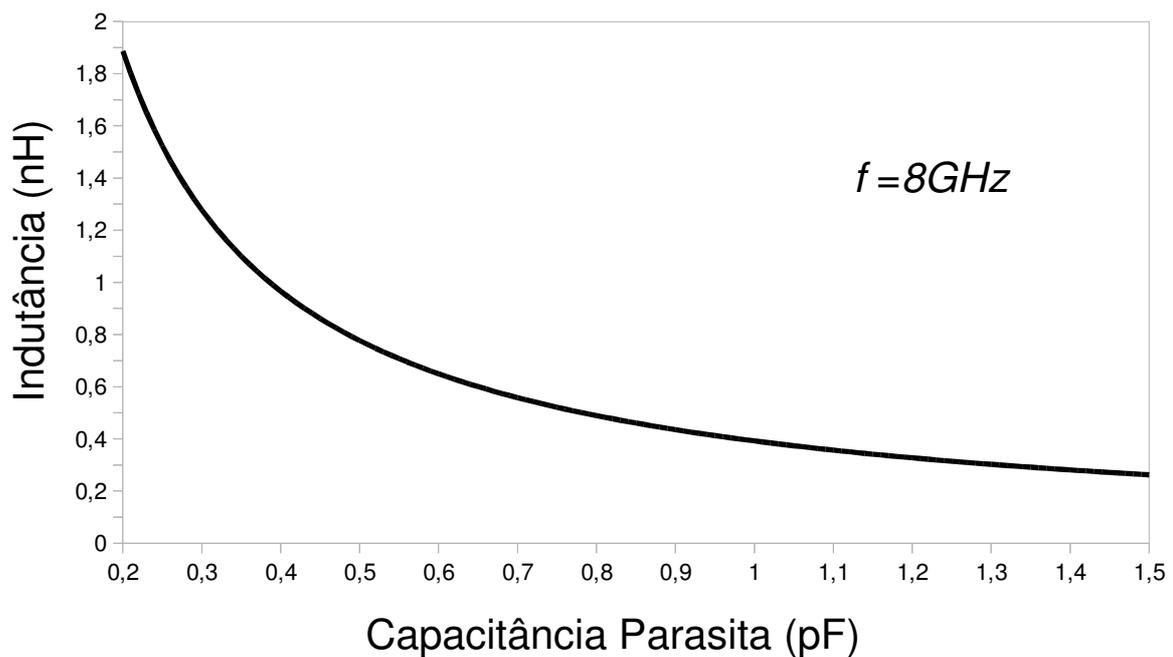
3.2.2 Projeto do Tanque-LC

O projeto do tanque-LC consiste em basicamente em três sub-blocos: o indutor, o banco de capacitores constantes e o banco de varactores. Por ser ao mesmo tempo tecnologicamente dependente e ter uma grande influência em parâmetros de performance do LC-VCO, como ruído de fase e *tunning range*, a indutância do tanque-LC é o primeiro parâmetro a ser definido. A tecnologia IBM 130nm CMOS CMRF8SF-DM (IBM, 2010) disponibiliza uma biblioteca de indutores, com valores de indutância diferentes. Para garantir um amplo *tunning range* para o VCO, o valor da indutância não pode ser muito elevado. Porém, conforme discutido anteriormente, o valor da indutância influencia diretamente o ruído de fase do VCO, de modo que aumentar a indutância, significa minimizar o ruído do oscilador. Nesse sentido, é usado um indutor com um valor que atenda à um bom compromisso entre *tunning range* e ruído de fase. Para que o *tunning range* especificado seja atendido, o valor do indutor é definido através de uma estimativa da capacitância parasita introduzida pelos dispositivos e pelo roteamento do LC-VCO. O valor estimado de capacitância parasita para o projeto deste LC-VCO foi por volta de 500fF. Esse é um valor de estimativa arbitrário e que precisa ser confirmado a partir das simulações pós-layout do LC-VCO. A Figura XX apresenta uma análise realizada para a frequência máxima especificada de 8GHz. Nessa análise, foram encontrados diferentes valores de indutância em função da capacitância parasita para obter oscilação a 8GHz. Para uma capacitância parasita de 500fF, o valor de indutância para que o LC-VCO oscile a 8GHz foi de aproximadamente 700pH. Entretanto, é importante salientar que estes são valores estimados e em caso de a frequência de oscilação máxima não seja atingida após a síntese física do LC-VCO, um reprojeto seria necessário no tanque-LC a fim de garantir o *tunning range* especificado de 4GHz a 8GHz.

O segundo parâmetro a ser definido do tanque-LC é o da capacitância parasita imposta pelo transcondutor NMOS. Conforme discutido, o transcondutor NMOS deve fornecer uma transcondutância gm para o tanque-LC suficiente para que este inicie e sustente a sua oscilação. Existem duas formas básicas de se obter o valor de gm necessário: aumentar a geometria do transistor ou aumentar a corrente de polarização I_{BIAS} . Aumentar a geometria do transistor significa aumentar a capacitância parasita no tanque-LC, enquanto que aumentar a

corrente de polarização I_{BIAS} significa aumentar o consumo de energia do LC-VCO. Assim sendo, a capacitância parasita no tanque-LC imposta pelo transcondutor NMOS é restringida à no máximo 200fF em cada nó do tanque-LC. Em outras palavras, a geometria dos transistores NMOS do tanque-LC pode crescer até que sua capacitância parasita atinja 200fF, isto é, a partir dessa restrição, o aumento de gm desses transistores NMOS poderá apenas ser efetuado pelo aumento da corrente de polarização I_{BIAS} . Contudo, novamente é importante salientar que estes são valores estimados e em caso de a frequência de oscilação máxima não seja atingida após a síntese física do LC-VCO, um reprojeto seria necessário para reduzir a capacitância parasita.

Figura 3.2 – Valor de indutância em função da capacitância parasita do tanque-LC para que o LC-VCO oscile a 8GHz



O terceiro parâmetro a ser definido no projeto do tanque-LC é a capacitância parasita imposta pelo roteamento do LC-VCO. Assim, é estimado uma capacitância parasita de roteamento de 100fF para cada nó do tanque-LC.

Por último, uma vez que são conhecidos e especificados os valores da indutância e capacitância parasitas do tanque-LC, é possível definir os valores de capacitância do banco de capacitores constantes e do banco de varactores, isto é, os valores máximo e mínimo de capacitância para o LC-VCO operar de 4GHz à 8GHz. Esses valores consideram o valor total

de capacitância dos bancos de capacitores constantes e de varactores. Na sequência desse trabalho, será tratado o projeto desses bancos de capacitores e varactores, com ênfase no chaveamento simultâneo desses dois bancos, a fim de controlar a variação de K_{VCO} para todas as bandas de frequências. Considerando os parâmetros definidos nessa seção, como valor do indutor e valor das capacitâncias parasitas, através da equação da frequência do tanque-LC, é possível obter os valores máximo e mínimo de capacitância total do tanque-LC C_{TOTAL} e, a partir desse valor, é obtido os valores máximo e mínimo de capacitância total dos bancos de capacitores (constantes e varactores) $C_{B-TOTAL}$ para as frequências de 4GHz e 8GHz, respectivamente:

$$C_{TOTAL-MIN} = \frac{1}{(2\pi f_{MAX})^2 L} = \frac{1}{(2\pi \cdot 8GH)^2 \cdot 700pH} \approx 0.56pF$$

$$C_{TOTAL-MAX} = \frac{1}{(2\pi f_{MIN})^2 L} = \frac{1}{(2\pi \cdot 4GH)^2 \cdot 700pH} \approx 2.2pF$$

A partir do cálculo de $C_{TOTAL-MIN}$ e $C_{TOTAL-MAX}$, os valores máximo e mínimo de capacitância total dos bancos de capacitores (constantes e varactores) $C_{B-TOTAL}$ podem ser calculados descontando os valores de capacitância parasita de 200fF para o transcondutor NMOS e 100fF para o roteamento. Os valores máximo e mínimo de capacitância total dos bancos de capacitores (constantes e varactores) são $C_{B-TOTAL-MIN}=0.26fF$ e $C_{B-TOTAL-MAX}=1.9pF$. Na prática, para tolerar variações do processo de fabricação dos dispositivos sem comprometer o *tunning range*, o valor de $C_{B-TOTAL-MIN}=0.26fF$ deve ser o mais próximo possível de zero, enquanto que o valor de $C_{B-TOTAL-MAX}$ deve ser maior que 1.9pF.

3.2.3 Escolha do Indutor

Conforme discutido anteriormente, para garantir um amplo *tunning range* para o LC-VCO, o valor da indutância não pode ser muito elevado. Nesse sentido, é usado um indutor no valor de aproximadamente 700pH. A tecnologia IBM 130nm CMOS CMRF8SF-DM (IBM, 2010) disponibiliza dois tipos de plano de *ground*:

- **M1**: metalização com metal 1 abaixo do indutor, a fim de criar um caminho de baixa impedância através do metal 1, minimizando assim perdas pelo substrato;
- **BF**: inserção da camada *BFmoat* para aumentar a resistência do substrato p- abaixo do indutor.

A opção M1 de plano de *ground* é aplicada para otimizar o fator Q do indutor, enquanto a segunda opção é utilizada para reduzir a indutância mútua com o substrato p-. Considerando que o LC-VCO *wideband* possui uma grande faixa de frequências de operação e que existe uma carga muito grande de dispositivos parasitas, devido principalmente às chaves analógicas que programam o banco de capacitores, o que degrada o fator Q equivalente do tanque-LC, a opção M1 é a escolhida pois otimiza o fator Q do indutor, tendo assim um impacto positivo no fator Q equivalente do tanque-LC. A Figura 3.2 apresenta uma comparação do fator Q do indutor para as duas opções de plano de *ground*: M1 e BF.

Uma outra escolha de projeto importante é a definição da frequência de valor máximo do fator Q do indutor (Q_{PEAK}). Considerando uma operação do LC-VCO de 4GHz a 8GHz, a escolha da frequência de Q_{PEAK} é a frequência máxima de operação de 8GHz. Isso se deve porque as perdas devido à capacitâncias parasitas do tanque-LC tendem a piorar para frequências maiores e, dessa maneira, busca-se um equilíbrio do ruído de fase para todas as sub-bandas de frequências.

Considerando o critério para que haja oscilação, é de grande importância a estimativa da resistência paralela R_P equivalente do indutor. A partir dessa informação, o transconductor NMOS é projetado. A Figura 3.3 apresenta o valor de $1/R_P$, ou seja, o valor de transcondutância necessário para diferentes valores de frequência. Essa curva é obtida a partir do modelo do indutor com plano de *ground metal 1*. Observe que, como previsto anteriormente nessa dissertação, o pior caso é para a menor frequência especificada de 4GHz, onde a condutância é igual $1/R_P$ à 4mS. Na prática, o valor de transcondutância é projetado com um valor acima do mínimo exigido pelo critério da equação 3.2, a fim de tolerar variações de processo de fabricação dos circuitos integrados.

A Figura 3.4 apresenta o *layout* do indutor escolhido. O indutor possui uma dimensão de 160 μ m x 160 μ m. O seu formato é octogonal, com duas voltas, a largura do fio da espira é 10 μ m e o espaçamento entre os fios é 10 μ m. No centro desse indutor é conectada a alimentação V_{DD} . Esse tipo de indutor é conhecido na literatura como *center-tapped*. A parametrização acima mostrada, foi realizada a partir do *design kit* da tecnologia (IBM, 2010).

Figura 3.3 – Fator Q do indutor para as duas opções de plano de *ground*: *BFmoat* e *Metal 1*

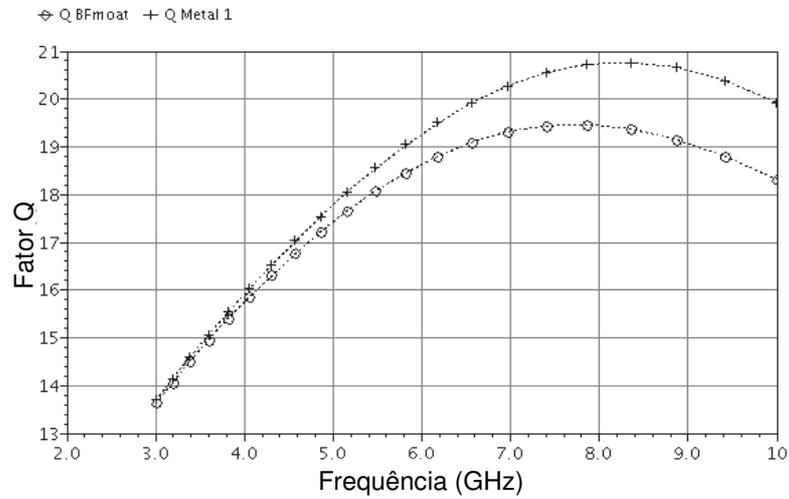
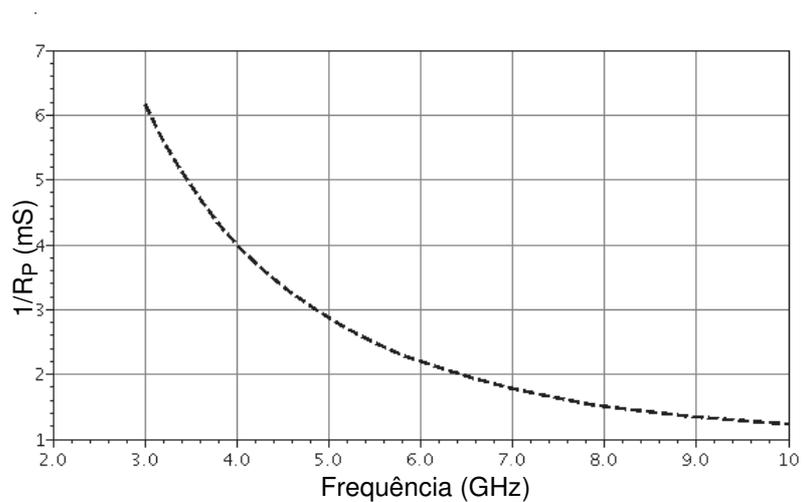


Figura 3.4 – Curva $1/R_p$ vs. Frequência do modelo do indutor com plano de *ground metal 1*



3.2.3 Projeto do Banco de Capacitores Constantes e do Banco de Varactores

O projeto do banco de capacitores é realizado de acordo com as considerações de projeto discutidas anteriormente nesse capítulo, onde o resultado deve ser um LC-VCO com o ganho K_{VCO} não muito elevado e relativamente constante para cada sub-banda de frequência. A capacitância constante C_{CTO} , isto é, a capacitância que não varia com a entrada de tensão de

controle (V_{CONT}) do LC-VCO é implementada a partir de dispositivos capacitores *metal-insulator-metal* (*MiMCap*), enquanto a capacitância variável C_{VAR} , ou seja, a capacitância que varia com V_{CONT} é implementada a partir de dispositivos varactores NMOS em modo acumulação (*A-MOS*). Ambos dispositivos são disponibilizados pela tecnologia CMOS IBM 130nm.

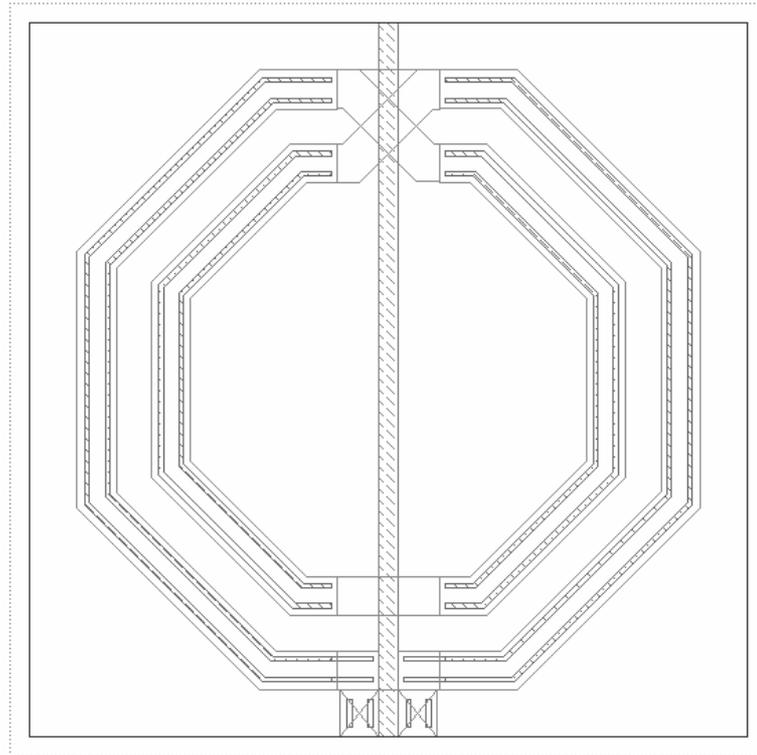
A escolha pelo dispositivo varactor *A-MOS* é justificada pela redução do ruído de fase, pois uma baixa inserção de capacitâncias ou resistências parasitas ocorre quando comparada com outras construções de varactores como junção-pn e transistor MOS em modo inversão (ANDREANI; MATTISON, 2000). A Figura 2.27, do Capítulo 2, apresentou a implementação física do varactor MOS em modo acumulação (*A-MOS*).

O ganho do LC-VCO (K_{VCO}) para a aplicação de radio cognitivo focada nesta Dissertação foi definido como aproximadamente 100MHz/V, ou seja, cada sub-banda do LC-VCO deve ter essa característica de variar aproximadamente 100MHz/V, a fim de garantir uma baixa variação de K_{VCO} para todas sub-bandas de frequências. Esse valor de ganho está de acordo com a arquitetura do Sintetizador de Frequências proposto em Lorencetti (2014). Nesse ponto, uma consideração importante é o fato de que o projeto deve ser realizado de modo que haja uma sobreposição entre cada sub-banda com as suas respectivas anterior e posterior, assegurando assim uma cobertura total de todas as frequências de 4GHz a 8GHz. Para garantir essa cobertura, o fator de sobreposição foi definido como 50%, ou seja, para uma mesma tensão de controle V_{CONT} , a diferença entre frequências entre sub-bandas adjacentes do LC-VCO deve ser 50MHz.

A partir da informação do fator de sobreposição, é possível definir o número de bits de programação do banco de capacitores. Assumindo um *tunning range* de 4GHz e um espaçamento entre sub-bandas de 50MHz, seria possível cobrir o espectro de 4GHz à 8GHz com um valor de 80 sub-bandas, resultando em 7 bits de programação do LC-VCO. Porém, esse número de bits foi aumentado para 8 por dois motivos: primeiro para tolerar as variações de processo de fabricação e, segundo, para tolerar a natureza discreta do valor da capacitância dos dispositivos *MiMCap* e varactores *A-MOS*, onde nem sempre um valor exato é atingido para gerar uma determinada frequência, mas sim um valor aproximado. Outro efeito importante a ser considerado é a importância do bit menos significativo, que influencia muito mais a variação de frequência do LC-VCO quando este está operando nas frequências mais altas do *tunning range* especificado. Em outras palavras, como a capacitância total do tanque-LC é maior para frequências menores, uma variação de capacitância provocada pelo chaveamento do bit menos significativo da palavra digital de controle do LC-VCO gera um

pequeno deslocamento de frequência, podendo assim, esse bit ser ignorado para baixas frequências do *tunning range* especificado. A Figura 3.1(c) apresenta esse comportamento.

Figura 3.5 – *Layout* do indutor utilizado no projeto do LC-VCO



Fonte: IBM (2010).

Nesse contexto, o LC-VCO é projetado para cobrir uma faixa de frequências de 4GHz a 8GHz, sendo utilizados 8 bits de programação do LC-VCO, ou seja, 256 sub-bandas de frequências. Para garantir um ganho K_{VCO} relativamente constante para todas as sub-bandas, tanto o banco de *MiMCaps* como o banco *A-MOS* são programados simultaneamente. A tensão de controle do LC-VCO V_{CONT} possui uma excursão de 1V (de 0.1V a 1.1V). Ambas as especificações de excursão do sinal de controle V_{CONT} e K_{VCO} estão alinhadas com o Sintetizador de Frequência desenvolvido em (LORENCETTI, 2014).

Assumindo a excursão do sinal de entrada de controle V_{CONT} igual à 1V, são definidos os valores unitários de ambos os bancos de capacitores *MiMCaps* e varactores *A-MOS*. Essa definição é realizada com base na limitação que a tecnologia IBM 130nm impõe quanto às dimensões mínimas para os dispositivos *MiMCap* e *A-MOS*. No caso do dispositivo *MiMCap*, o valor de capacitância mínima é 60fF. No caso do varactor *A-MOS*, o valor de capacitância máxima é 2.7fF para a tensão de 0.1V aplicada entre os terminais desse dispositivo. Uma vez

que é possível obter valores de capacitância menores que 60fF para o dispositivo *MiMCap*, a partir da associação série desses dispositivos, o valor unitário mínimo foi definido como 80fF, de modo que é possível obter valores de capacitância no tanque-LC maiores ou menores, de acordo com as associações paralelo e série, respectivamente. No caso do dispositivo *A-MOS*, o valor unitário foi definido como 2.7fF (para 1V). Desse jeito, para a obtenção de valores maiores de capacitância, associações paralelo são realizadas a partir desse dispositivo mínimo.

O varactor *A-MOS* possui uma relação entre a capacitância máxima e mínima de aproximadamente 2.2 para uma diferença de tensão igual à 1V. A Figura 3.5 apresenta esse comportamento. A partir dessa informação, os valores de capacitâncias são calculados para atingir $K_{VCO} \approx 100 \text{MHz/V}$ em todas as 256 sub-bandas que cobrem a faixa de 4GHz à 8GHz sob o seguinte roteiro:

- Inicialmente, para uma determinada sub-banda N de frequência de saída do LC-VCO f_N , para $V_{CONT} = 0.6\text{V}$, é calculada a capacitância mínima para $V_{CONT} = 1.1\text{V}$, e máxima para $V_{CONT} = 0.1\text{V}$, dessa sub-banda para atingir $K_{VCO} \approx 100 \text{MHz/V}$:

$$C_{N(0.1V)} = \frac{1}{(2\pi(f_N - 50\text{MHz}))^2 L}$$

$$C_{N(1.1V)} = \frac{1}{(2\pi(f_N + 50\text{MHz}))^2 L}$$

- Após, a partir dos valores limites de capacitância, $C_{N(0.1V)}$ e $C_{N(1.1V)}$, da sub-banda com frequência f_N , é calculada o valor da capacitância variável C_{VAR} :

$$C_{VAR} = C_{N(0.1V)} - C_{N(1.1V)}$$

- Como C_{TOTAL} é definido a partir de f_N e L , para cada sub-banda, é possível calcular o valor de CCTO para a sub-banda N :

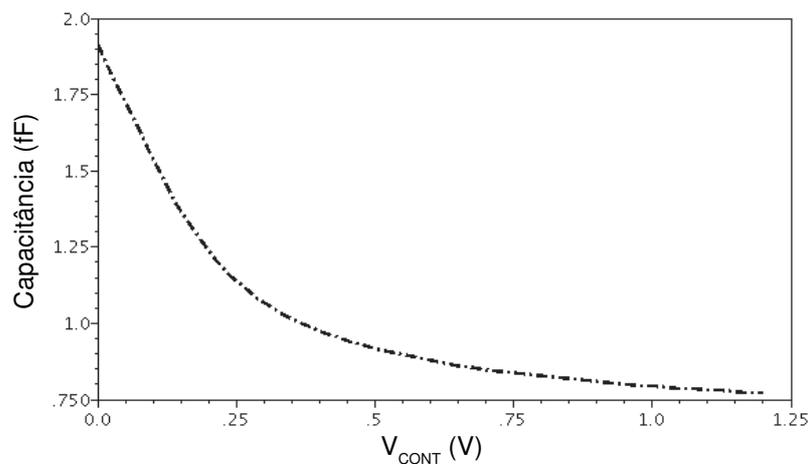
$$C_{CTO} = C_{TOTAL} - C_{VAR}$$

- Finalmente, a partir dos de C_{VAR} e C_{CTO} , são calculados os valores de dispositivos unitários *MiMCap* e *A-MOS*, para cada sub-banda.

Esse roteiro é repetido para cada sub-banda de frequência f_N , de modo que todo o *tunning range* de 4GHz à 8GHz seja coberto. Na prática, os valores das capacitâncias C_{VAR} e C_{CTO} são obtidos com auxílio de uma planilha eletrônica e, após, são inseridos na ferramenta de edição de esquemático para realização do projeto. A Figura 3.6 apresenta o valor calculado de capacitância total no tanque-LC para todas as sub-bandas. Como existe uma capacitância parasita do tanque-LC, provocada pelo roteamento e também pelos transdutores NMOS da

topologia do LC-VCO, no banco de varactores *A-MOS* existe um valor de varactor que não varia de com as combinações de palavras de programação, ou seja, ele está sempre conectado à V_{CONT} e é dimensionando de acordo com a capacitância parasita para manter o ganho K_{VCO} constante e próximo de 100MHz/V.

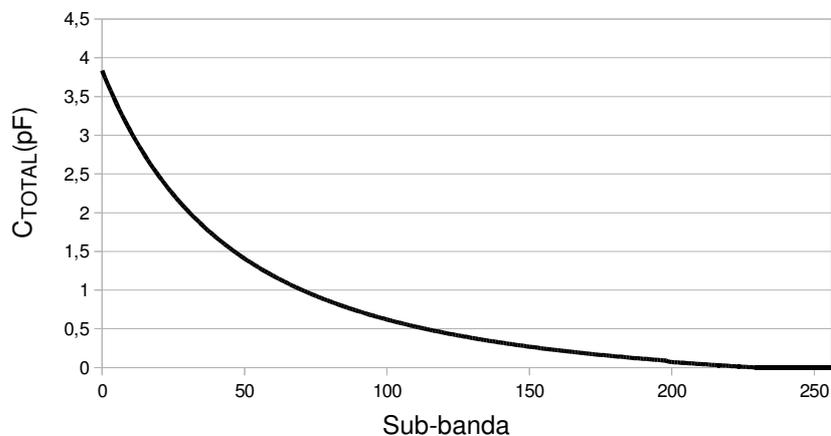
Figura 3.6 – Valor de capacitância simulada para o varactor *A-MOS* com relação à tensão de controle V_{CONT}



Como ambos os bancos de capacitores *MiMCap* e varactores *A-MOS* são chaveados digitalmente através de 8 bits de programação, o projeto da chave tem grande importância na performance do LC-VCO, em termos de *tuning range* e ruído de fase. A principal preocupação é atingir o melhor compromisso entre minimizar a capacitância inserida pela capacitância parasita de dreno e fonte do transistor que opera como chave, a fim de não degradar o *tuning range*, e minimizar a resistência de canal R_{ON} do transistor que opera como chave, a fim de não degradar o ruído de fase. Tal compromisso é mais relevante para o banco de capacitores *MiMCap*, pois esse predomina o valor de capacitância total do tanque-LC. A Figura 3.7 apresenta um esquemático simplificado do banco de capacitores *MiMCap*, onde chaves ideais representam chaves reais. As chaves são realizadas a partir de transistores NMOS. O valor da largura do canal de cada chave é projetado para minimizar o máximo possível o ruído de fase, sem comprometer o *tuning range* especificado de 4GHz a 8GHz. A Figura 3.8 mostra uma simulação que representa esse compromisso entre *tuning range* e ruído de fase. Nessa simulação, é realizada uma varredura no valor da largura do canal da chave NMOS, a fim de obter valores diferentes da capacitância parasita C_{PAR_SW} introduzida

por essa chave, que limita o *tunning range*, e da resistência da chave NMOS R_{ON} , que degrada a performance em ruído de fase. A partir da análise dos resultados obtidos durante a fase de projeto, os valores da largura do canal das chaves NMOS são definidos, a fim de manter a resistência R_{ON} de no máximo 2Ω para cada um dos oito ramos do banco de capacitores *MiMCap*.

Figura 3.7 – Valor da capacitância total do tanque-LC obtida por simulação pós-extração, para cada sub-banda

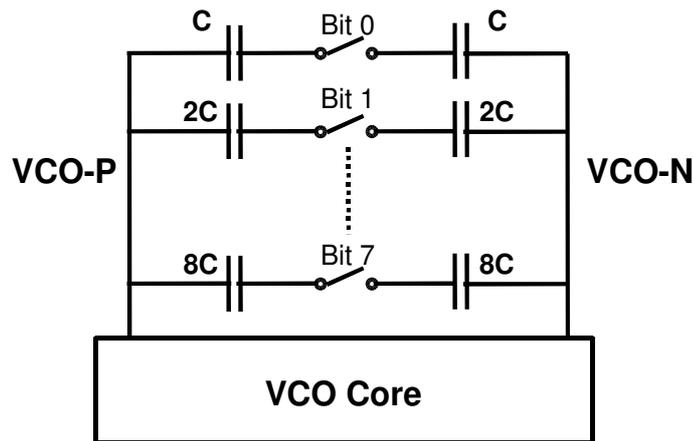


A Figura 3.9 apresenta o esquemático simplificado do banco de varactores A-MOS. O esquema de chaveamento é implementado como mostrado na Figura 3.9, ou seja, quando um ramo de varactor A-MOS é programado para controlar a capacitância total do tanque-LC, bem como o ganho K_{VCO} , o varactor do ramo é conectado à tensão de controle V_{CONT} . Caso contrário, o varactor é conectado à tensão de 1.2V. Essa tensão de 1.2V é escolhida por ser a tensão nominal de alimentação dos dispositivos de óxido fino da tecnologia IBM 130nm. Entretanto, conectar os varactores A-MOS à tensão de alimentação resultaria em um aumento da sensibilidade do LC-VCO a essa tensão de alimentação, o que degradaria a performance de ruído de fase. Por outro lado, uma vez que esse sinal de 1.2V é apenas usado como polarização, isto é, não é exigido capacidade de fornecimento de corrente, seria possível a realização da geração de sinal de um modo relativamente simples e pouco custoso.

3.2.4 Projeto do Transcondutor NMOS

Conforme definições anteriores e análise do fator de qualidade do indutor, o transcondutor NMOS é projetado para atingir a condutância mínima de 4mS, sem superar a capacitância parasita máxima especificada de 200fF. Como um alto valor de condutância é exigido, o comprimento mínimo de canal é usado ($L_{NMOS} = 120\text{nm}$). Dessa forma, a largura do canal dos transistores do transcondutor é dimensionado, a fim de não superar a máxima capacitância parasita definida como 200fF. A Figura 3.10 apresenta a capacitância parasita em função do valor da largura de canal dos transistores do transcondutor NMOS (W_{NMOS}). Nesse caso, o valor W_{NMOS} é definido como 80 μm para manter a capacitância parasita menor que 200fF.

Figura 3.8 – Esquemático simplificado do Banco de Capacitores *MiM*Cap



Conforme discutido anteriormente no presente capítulo, a corrente de polarização I_{BIAS} , influencia na transcondutância gm . A Figura 3.11 mostra esse comportamento para um transistor NMOS com dimensões W/L igual à 80 $\mu\text{m}/120\text{nm}$. O valor de $gm = 4\text{mS}$ pode ser atingido com $I_{BIAS} \approx 100\mu\text{A}$. Entretanto, essa análise apenas considerou não-idealidades no indutor. Na prática, projetos de LC-VCO consideram um gm de duas à três vezes maior, com a finalidade de tolerar não-idealidades em outros dispositivos do LC-VCO como transistores e capacitores, bem como suas variações de processo e temperatura (BERNY, 2006).

As Figuras 3.12 (a) e 3.12 (b) mostram a partida do LC-VCO para as suas frequências de oscilação mínima e máxima, respectivamente, para $I_{BIAS} = 1\text{mA}$. Conforme analisado neste trabalho, a partida para a frequência mínima é a mais crítica, ou seja, mais ciclos do oscilador são necessários para atingir o regime estacionário. Para a maior frequência do LC-VCO,

menos ciclos são necessários e a amplitude converge rapidamente para o valor de regime estacionário.

Figura 3.9 – Capacitância Parasita (C_{PAR_SW}) introduzida pela chave NMOS e Resistência (R_{ON}) da chave NMOS em função da largura do canal (W_{SW})

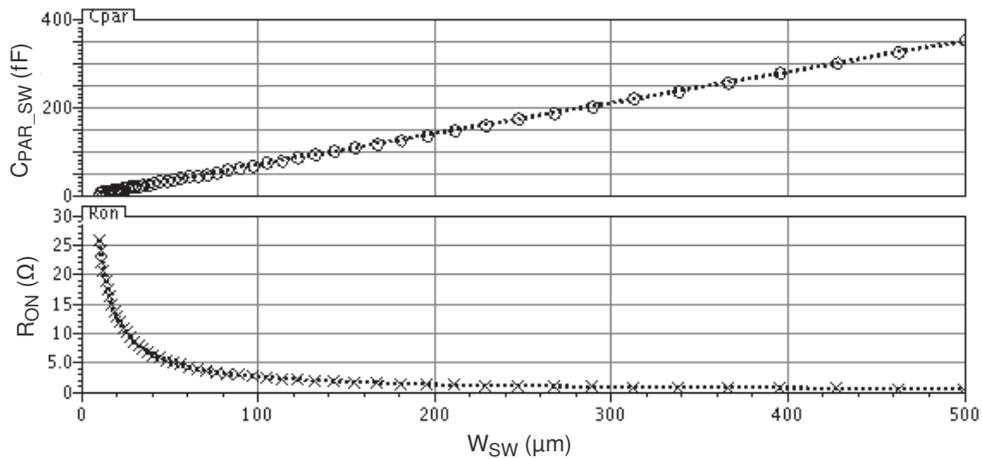
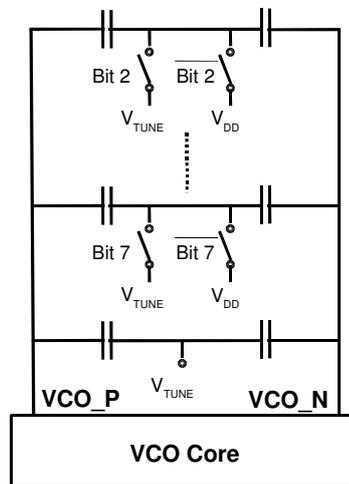


Figura 3.10 – Esquemático simplificado do Banco de Varactores A-MOS



A corrente de polarização I_{BIAS} , além de influenciar na geração de g_m necessário para que o LC-VCO oscile, também influencia na amplitude do tanque-LC. No intuito de melhorar a performance de ruído de fase, é possível que o valor de I_{BIAS} seja maior do que o exigido para gerar g_m mínimo para o tanque-LC. Dessa forma, o parâmetro I_{BIAS} é variável, isto é, o projetista do Sintetizador de Frequências *wideband*, que integrará ao seu projeto este LC-VCO, terá a liberdade de escolher o valor de I_{BIAS} , com a intenção de atingir um melhor compromisso entre consumo de energia e ruído de fase. No próximo capítulo, serão

apresentados e analisados diferentes resultados de ruído de fase para diferentes valores de I_{BIAS} . Entretanto, a partir de resultados de simulações, será sugerido um valor mínimo para que haja oscilação do LC-VCO.

Figura 3.11 – Capacitância Parasita (C_{PAR}) em função do valor da largura de canal dos transistores do transcondutor NMOS (W_{NMOS}). Para $L_{NMOS}=120\text{nm}$

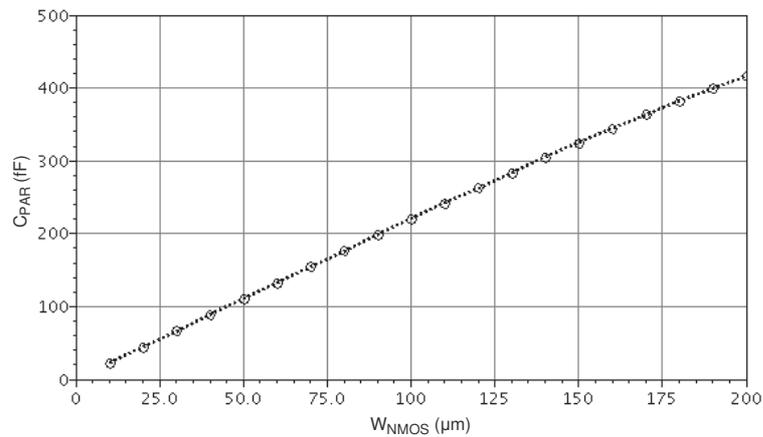


Figura 3.12 – Curva g_m vs. I_{BIAS} para o transistor NMOS de $W/L=80\mu\text{m}/120\text{nm}$

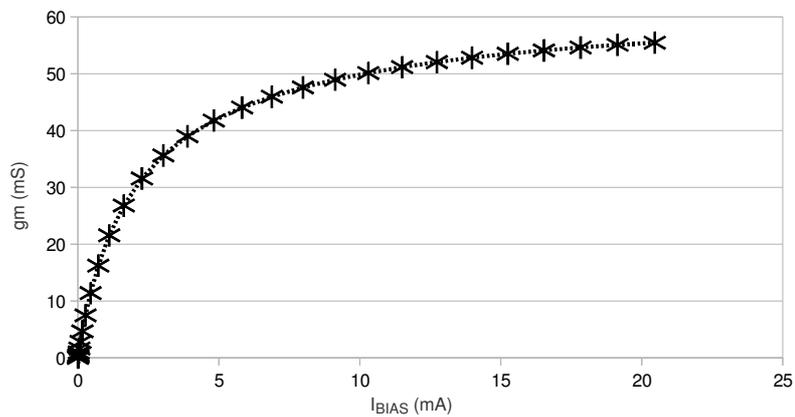
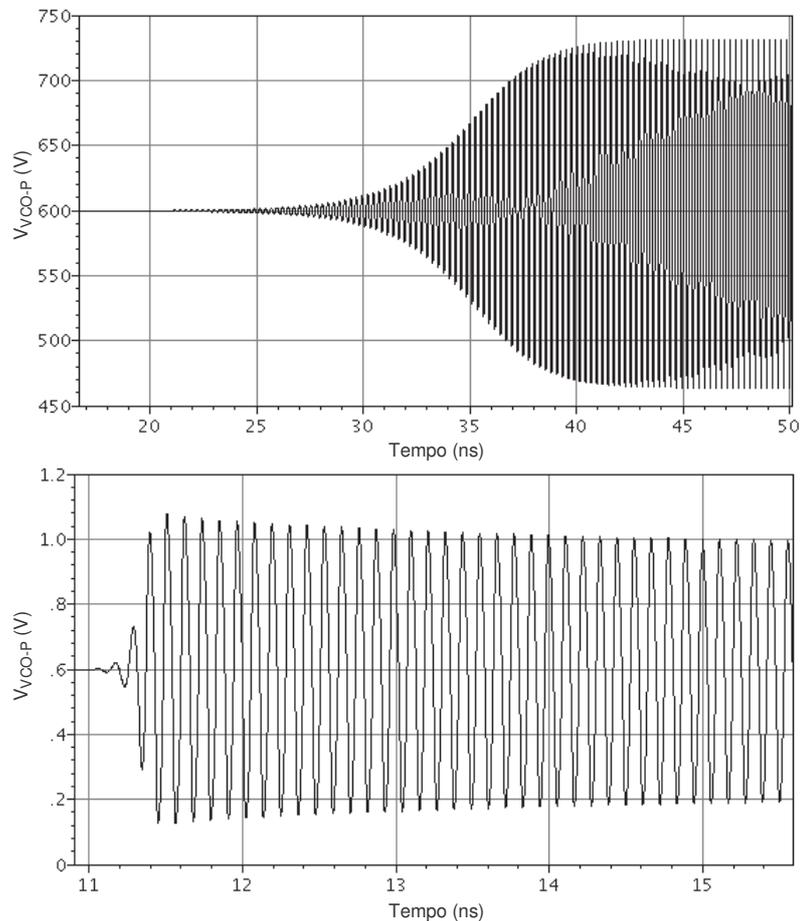


Figura 3.13 – Simulação do transiente de partida do LC-VCO para as suas frequências de oscilação mínima (a) e máxima (b), respectivamente, para $I_{BIAS} = 1\text{mA}$. Ambos resultados são gerados para $V_{DD}=0.6\text{V}$ e Temperatura= 27°C



3.3 Esquemático e Layout Finais

As Figura 3.13 apresenta o esquemático final simplificado do LC-VCO projetado. A Figura 3.14 apresenta o *layout* final do LC-VCO projetado, onde os dispositivos e sub-blocos são indicados. A área do *layout* do LC-VCO foi $560\mu\text{m} \times 290\mu\text{m}$.

Para a realização do *layout*, alguns cuidados são tomados para que tanto o *tuning range* quanto o ruído de fase não sejam degradados. O primeiro cuidado é quanto à capacitância parasita, onde o roteamento deve ser realizado utilizando principalmente metais de topo, a fim de minimizar a capacitância parasita para o substrato. A segunda precaução é quanto uma blindagem que deve ser realizada dos nodos de alta frequência do LC-VCO com

relação ao substrato. Para isso, abaixo dos sinais de alta frequência, foram colocadas camadas de *metal 1* para evitar o acoplamento com o substrato, sendo as referidas camadas conectadas ao *ground*. O terceiro cuidado é quanto à simetria, tanto para o roteamento como também para os dispositivos capacitores e transdutores, no sentido de garantir um bom alinhamento entre as formas de onda do sinal diferencial do LC-VCO, o que minimiza distorção harmônica no sinal saída (HAJIMIRI, 1999). Então, o roteamento é mantido simétrico para ambos os sinais de saída do LC-VCO e o *layout* dos dispositivos é realizado de forma interdigitada.

Figura 3.14 – Esquemático final do LC-VCO para Aplicações de Múltiplas Bandas de Frequência

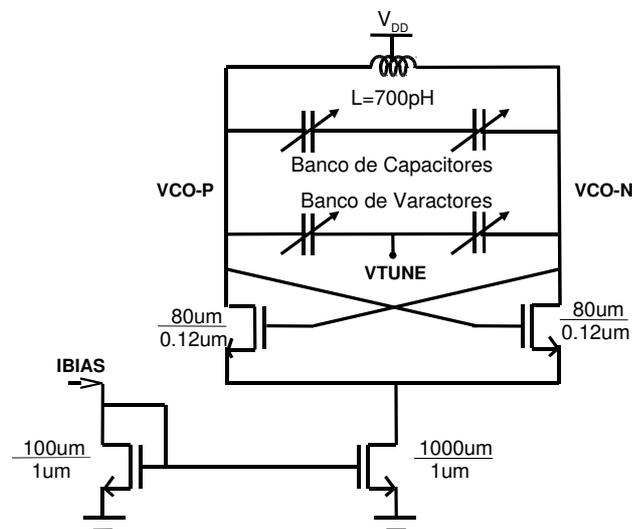
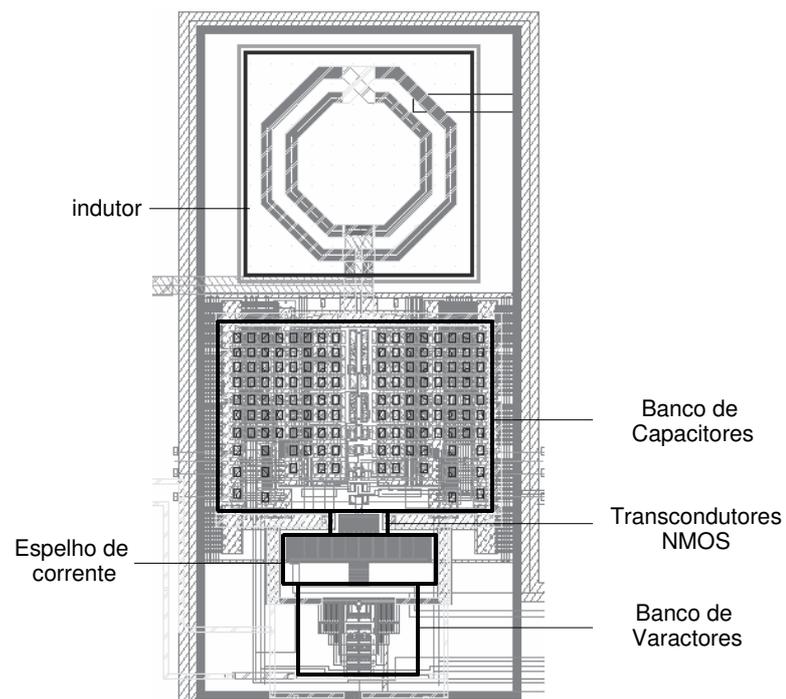


Figura 3.15 – *Layout* final do LC-VCO para Aplicações de Múltiplas Bandas de Frequência



4 CHIP PROTÓTIPO DO LC-VCO PARA APLICAÇÕES DE MÚLTIPLAS BANDA DE FREQUÊNCIA

No presente capítulo é apresentado o chip protótipo do LC-VCO projetado e fabricado na tecnologia IBM CMOS 130nm. Além do projeto do LC-VCO, foram projetadas diversas estruturas de teste para validar o LC-VCO, como *buffers* de saída, divisores de frequência e *micro-pads*.

Finalmente, são apresentados os resultados de desempenho do LC-VCO obtidos com simulações elétricas do circuito extraído contendo componentes parasitas do *layout* final do LC-VCO.

4.1 Arquitetura do Chip Protótipo do LC-VCO

A Figura 4.1 apresenta o esquemático de topo do chip protótipo para medidas e caracterização do LC-VCO. Através desse chip, é possível a realização de várias medidas. O chip é composto de 8 sub-blocos, os quais são numerados na Figura 4.1.

- 1. LC-VCO:** o primeiro circuito é o LC-VCO projetado para atender uma ampla faixa de frequências;
- 2. Buffers de Saída Diferenciais:** São utilizados dois *buffers* de saída diferenciais com capacidade de operar em altas frequências e alimentar uma carga de 50Ω . O *buffer* numerado 2.1 está conectado na saída do LC-VCO, nesse caso a faixa de frequência do seu sinal de saída é de 4GHz à 8GHz. O *buffer* numerado 2.2 está conectado na saída de um divisor por 4, que está conectado na saída do *buffer* 2.1 e, nesse caso, a faixa de frequência do seu sinal de saída é de 1GHz à 4GHz;
- 3. Pads RF:** são utilizados dois pares de *Pads* RF (3.1 e 3.2) conectados nas saídas dos *buffers* de alta frequência 2.1 e 2.2, no intuito de realizar medidas de alta frequência (RF). A distância entre os terminais diferenciais desses *pads* é 500um;
- 4. Divisor por 4:** o Divisor por 4 divide a frequência de saída do LC-VCO por um fator igual à 4. O objetivo das duas faixas de frequências é flexibilizar as medidas, pois um número menor de equipamentos de caracterização de RF, como osciloscópios e analisadores de espectro, possuem capacidade de operar à 8GHz;

- 5. Micro-Pads Banda base:** esses *micro-pads* não são conectados ao encapsulamento do chip de teste. Assim eles são acessados através de micro-ponteiras. Cada conjunto desses *micro-pads* possui quatro terminais, a fim de fornecer sinais de alimentação e acessar pontos específicos do chip. No chip protótipo são utilizados dois *micro-pads*. O primeiro *micro-pad* (5.1) acessa o circuito de *bias* interno do chip. Dessa maneira, uma amostra da corrente de polarização (I_{BIAS}) pode ser medida ou um valor externo de corrente pode ser forçado através desse terminal, com a finalidade de controlar externamente a corrente do LC-VCO, *buffers* e divisores. O segundo *micro-pad* (5.2) acessa a saída do divisor por 16, isto é, o sinal de saída do LC-VCO dividido por um fator igual a 16;
- 6. Células de Pull-Up e Pull-Down:** Os circuitos de *pull-up* e *pull-down* são utilizados para definir os estados lógicos dos bits de calibração do LC-VCO. Essa definição é importante apenas quando o chip sem encapsulamento é testado através das micro-ponteiras. O circuito dessas células é baseado em fontes de corrente no valor nominal de $10\mu A$ que são espelhadas a partir do circuito de *bias* interno. O valor padrão utilizado para a palavra digital de controle do LC-VCO foi “10000000”, o que configura o LC-VCO a operar a uma frequência de aproximadamente de 6GHz;
- 7. Bias Interno:** O circuito de *bias* interno é utilizado para fornecer corrente de referência para o LC-VCO, os *buffers* e os divisores de frequência no valor nominal de 4mA. O circuito é baseado em PMOS conectado como diodo que, por sua vez, é conectado a um resistor. Além disso, um valor externo de corrente pode ser forçado através do *micro-pad* que está conectado ao circuito de *Bias* a fim de controlar externamente a corrente do LC-VCO, *buffers* e divisores;
- 8. Divisor por 16:** O divisor por 16 é adicionado ao chip para realizar medidas do sinal de saída do LC-VCO em nível de PCB (*printed circuit board*), de modo que o circuito divisor por 16 gera um sinal quadrado em sua saída que varia nominalmente entre 250MHz à 500MHz. Um *buffer* digital é colocado na saída do divisor por 16 para que este circuito funcione com uma capacitância de saída externa ao chip de até 10pF.

A Tabela 4.1 apresenta os pinos de interface que são encapsulados do chip protótipo, no intuito de integrar esse chip à uma PCB. São utilizados 14 pinos, sendo três de alimentação, dez de entrada e um de saída.

Figura 4.1 – Esquemático de topo do chip protótipo para medidas e caracterização do LC-VCO

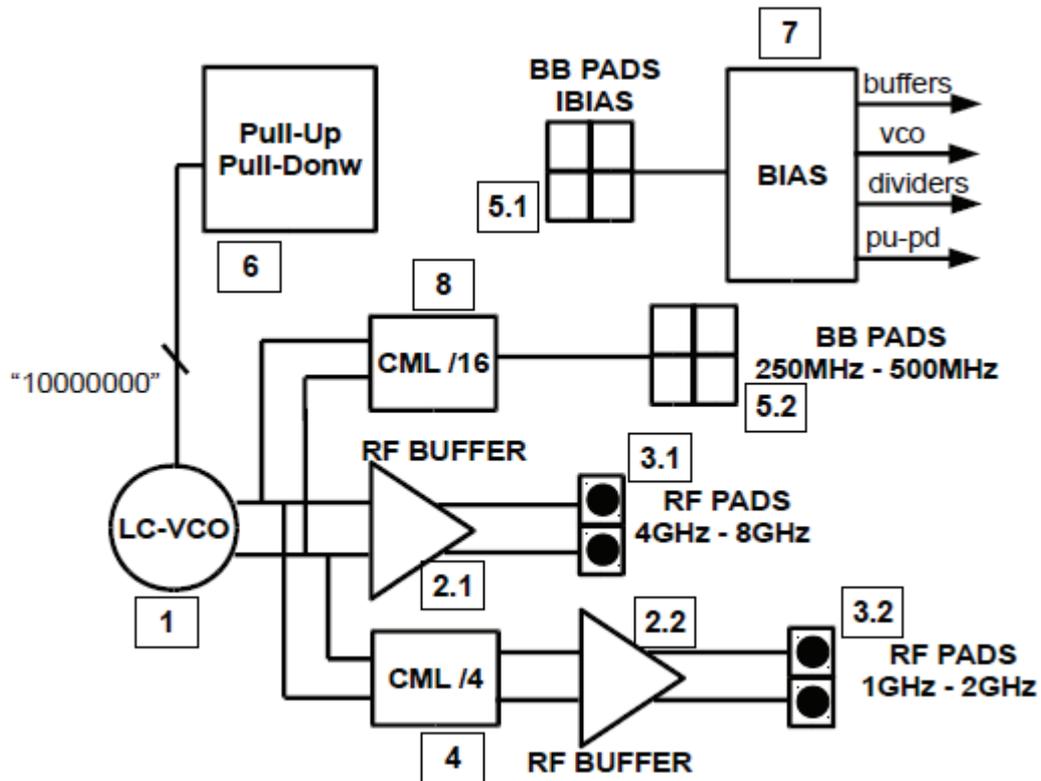


Tabela 4.1 – Interface de pinos encapsulados do chip protótipo

Nome do Pino	Tipo	Descrição
AVDD	Alimentação	Alimentação VDD para todos os circuitos do chip, com exceção do LC-VCO
AVDD_VCO	Alimentação	Alimentação exclusiva para o LC-VCO
AGND	Alimentação	<i>Ground</i>
VCTRL	Entrada	Tensão de Controle do LC-VCO
VCO_CODE<7:0>	Entrada	8 bits de calibração e definição da frequência de saída do LC-VCO
IBIAS_VCO	Entrada	Pino para controle da corrente de <i>bias</i> dos circuitos do chip
VCO_OUT	Saída	Saída do LC-VCO dividida por 16

O *layout* de topo do chip protótipo de medidas e caracterização do LC-VCO é mostrado na Figura 4.2, onde os sub-blocos são indicados. A Figura 4.3 mostra a fotografia do chip protótipo fabricado. Nesse chip, além do projeto dos circuitos para medição do LC-VCO, também contém projetos de circuitos realizados por mais seis alunos do PGMicro-UFRGS. Os circuitos são: *wideband* LNA, várias referências *bandgap*, um *wideband mixer*,

um sistema de condicionamento de sinal para aplicações médicas, um conversor analógico/digital, um detector de fase/frequência (PFD) e um *charge-pump* (CP). O *tape-out* do chip foi realizado em fevereiro de 2013.

Considerando todos os sub-blocos do chip protótipo para medição e caracterização do LC-VCO, é possível observar que uma ampla testabilidade é permitida. Essa ampla testabilidade possibilita testes em nível de PCB, onde o chip encapsulado é exigido, e também em nível de testes por meio de uma Estação Micro-Probadora (*Probe Station*), onde os *micro-pads* do chip são acessados através de micro-ponteiras. Além disso, o teste utilizando micro-ponteiras pode ser realizado por equipamentos de medida RF (alta frequência) ou através de osciloscópios com largura de banda de medição inferior à faixa de GHz. Na sequência desse capítulo, alguns circuitos do chip protótipo serão apresentados. No Anexo A, é apresentado o projeto da PCB para testar o chip protótipo do LC-VCO.

4.1.1 *Buffers* de Saída Diferencias

Os *buffers* de saída são incluídos no chip, a fim de facilitarem as medidas. Sua principal função é entregar potência suficiente a uma carga 50Ω de entrada dos equipamentos de medida RF. Devido à operação *wideband* do LC-VCO, o *buffer* de saída também deve ter uma capacidade de operar em uma ampla faixa de frequência. Dessa forma, o projeto do *buffer* é realizado a fim de não limitar a operação *wideband* do LC-VCO. Como esse *buffer* também é usado para as medidas do sinal do LC-VCO dividido por 4, a faixa de operação desse *buffer* é de 1GHz à 8GHz. A Figura 4.4 mostra o esquemático simplificado do circuito dos *buffers* de saída utilizados nesse projeto. O circuito é baseado em amplificadores seguidores de fonte, pois estes possuem baixa impedância de saída. Na entrada do *buffer*, o sinal de saída diferencial é aplicado e seu nível DC é alterado a fim de favorecer à uma polarização adequada para o amplificador. A saída dos amplificadores é conectada a capacitores internos do chip com valor nominal de 10.3pF . Os outros terminais dos capacitores de saída são conectados aos *pads* RF do chip. A Figura 4.5 apresenta a potência de saída desse *buffer* para a faixa de frequências especificada de 1GHz à 8GHz para uma carga de 50Ω . A partir da análise PSS do simulador SpectreRF, foi medida a impedância série de entrada do *buffer*, onde o resultado foi de aproximadamente $(40 - 298j)\Omega$, para uma frequência de 8GHz. Isso significa que o *buffer* diferencial adiciona uma capacitância ao

redor de 66fF em cada saída diferencial do LC-VCO, o que representa uma redução de aproximadamente 250MHz na frequência máximo do LC-VCO.

Figura 4.2 – *Layout* de topo do chip protótipo para medidas do LC-VCO

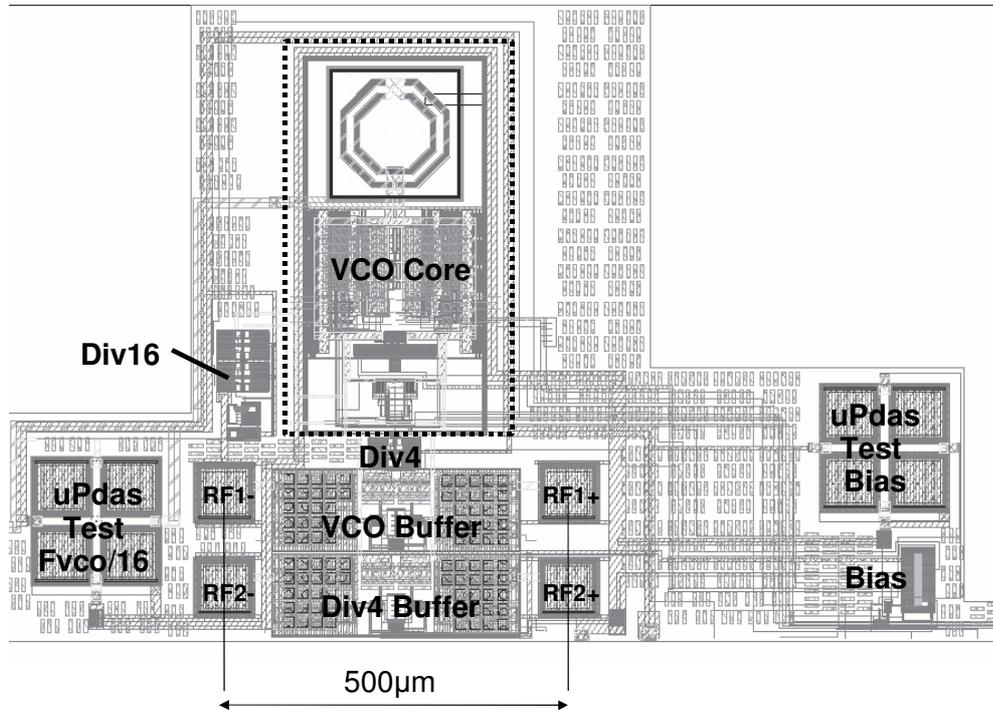


Figura 4.3 – Fotografia do chip protótipo

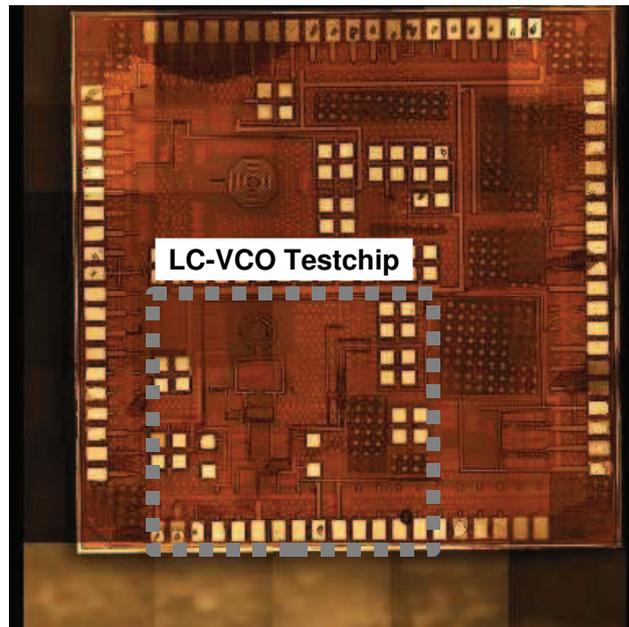
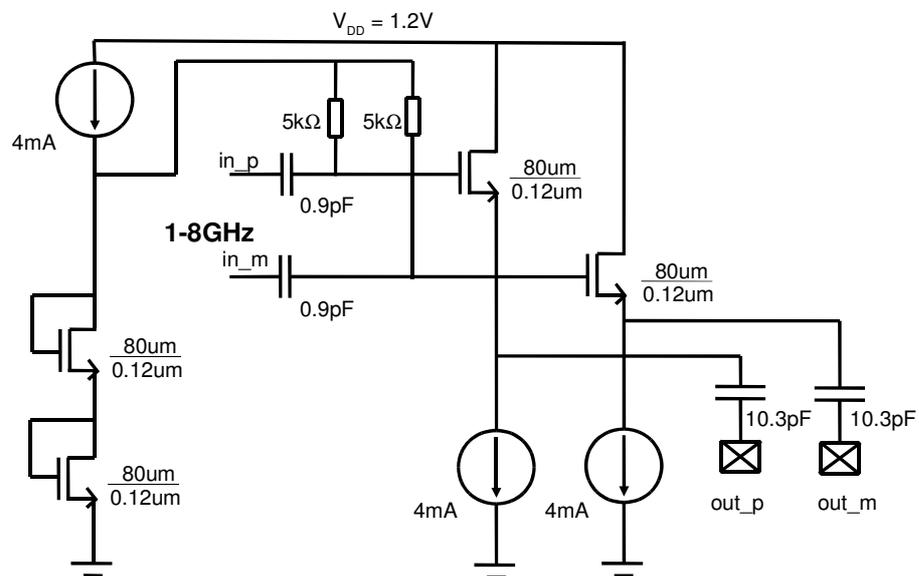
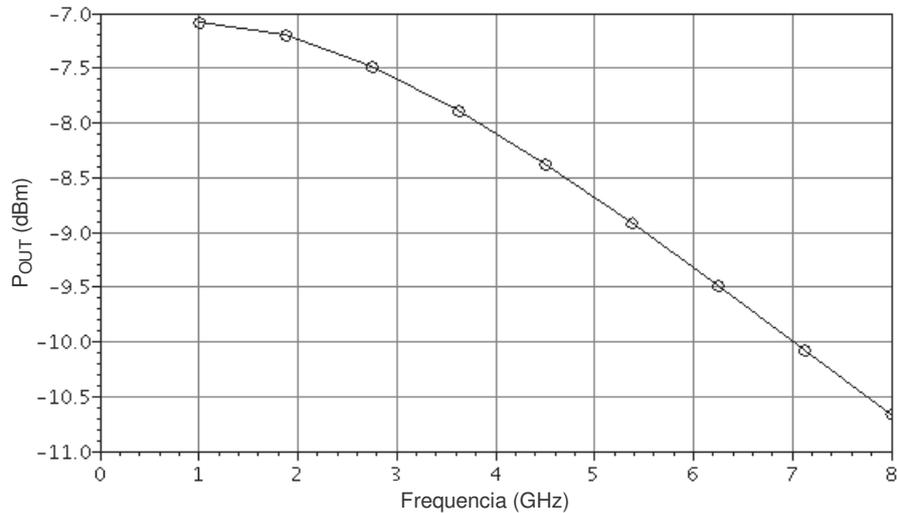
Figura 4.4 – Esquemático do *Buffer* de Saída Diferencial

Figura 4.5 – Resultado da simulação da potência de saída do *Buffer* entregue à carga de 50Ω



4.1.2 Divisores de Frequência

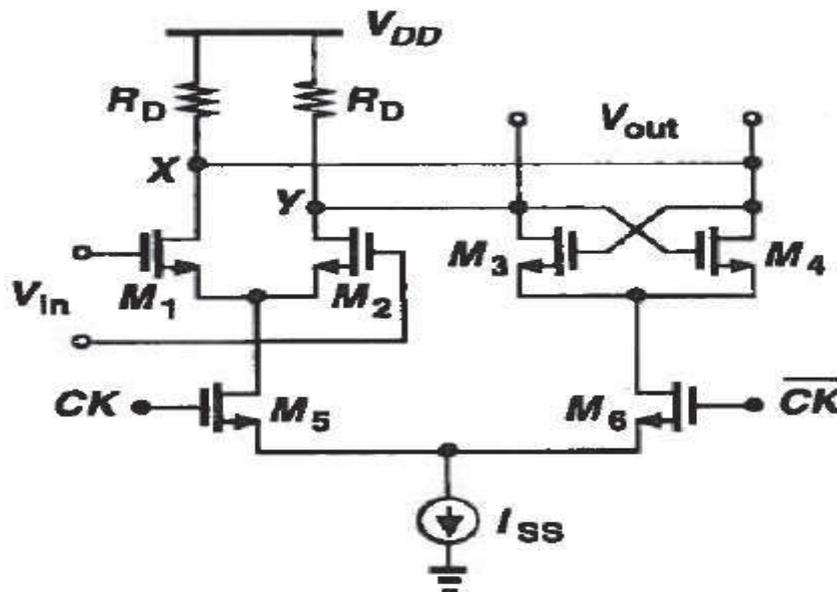
Dois divisores de frequência são inseridos no chip protótipo a fim de obter o sinal de saída do LC-VCO com frequência dividida por 4 e 16. Outro benefício a partir do estudo e projeto dos divisores se dá pelo fato de que esses divisores também foram reusados no projeto do divisor de frequências programável que é necessário no projeto do Sintetizador de Frequências para aplicações *wideband*. No Anexo B, é apresentada uma proposta de divisor frequências programável.

Uma vez que o divisor de frequências recebe um sinal de saída do LC-VCO, a capacidade de operar em 8GHz é o requisito principal desse circuito. Esse requisito influencia diretamente a escolha da topologia de circuito dos primeiros estágios de divisão, onde um compromisso entre velocidade e consumo de energia deve ser considerado. Nesse caso, o estilo de lógica *current mode* (CML) é usado. Tal estilo de lógica apresenta algumas vantagens em relação à lógica CMOS padrão. A primeira e mais importante é a velocidade e a capacidade de operar a altas frequências. Essa propriedade é muito importante, pois aumenta a robustez da operação lógica de divisão. A segunda é a operação diferencial, o que minimiza o erro de fase na divisão (BERNY, 2006). A Figura 4.6 apresenta uma ilustração do *latch* baseado em lógica CML. Essa implementação é proposta em (RAZAVI, 1998). A estrutura é baseada em um par diferencial e um par regenerativo. Um dimensionamento apropriado dos

transistores pode conduzir a um bom compromisso entre velocidade e consumo de energia. Dessa forma, os transistores devem possuir dimensões mínimas em termos do comprimento de canal L , de modo que a capacitância parasita dos transistores seja minimizada e os mesmos possuam um ganho (transcondutância) elevado. O valor das resistências é $2k\Omega$. A Figura 4.7 apresenta dois *latch* arranjados a fim de formar um *flip-flop* D divisor por 2, pois as saídas invertidas do segundo *latch* são realimentadas nas entradas do primeiro. A obtenção dos circuitos divisor por 4 e divisor por 16 é realizada com dois e quatro desses *flip-flop* D em cascata, respectivamente.

O *latch* CML foi testado em uma configuração de divisor por 2, apresentando os seguintes resultados. Para um sinal com amplitude de pico de $200mV$ na entrada, o *latch* teve habilidade para efetuar a operação de divisão por 2 até $21GHz$. Para realizar a mesma operação de divisão por 2 em uma frequência de $8GHz$, o *latch* teve uma sensibilidade em potência de $-29.2dBm$, o que representou, para esse caso, uma sensibilidade em tensão de pico de aproximadamente $60mV$. Para $8GHz$, o consumo do divisor por 2 foi $1.3mA$, operando com $V_{DD} = 1.5V$. A Figura 4.8 mostra as formas de onda do sinal de entrada clk_in_p e do sinal de saída clk_out_p do divisor por 2 operando à $8GHz$.

Figura 4.6 – Ilustração do *Latch* CML implementado no chip protótipo



Fonte: RAZAVI (1998).

Figura 4.7 – Circuito divisor por 2 implementado no chip protótipo

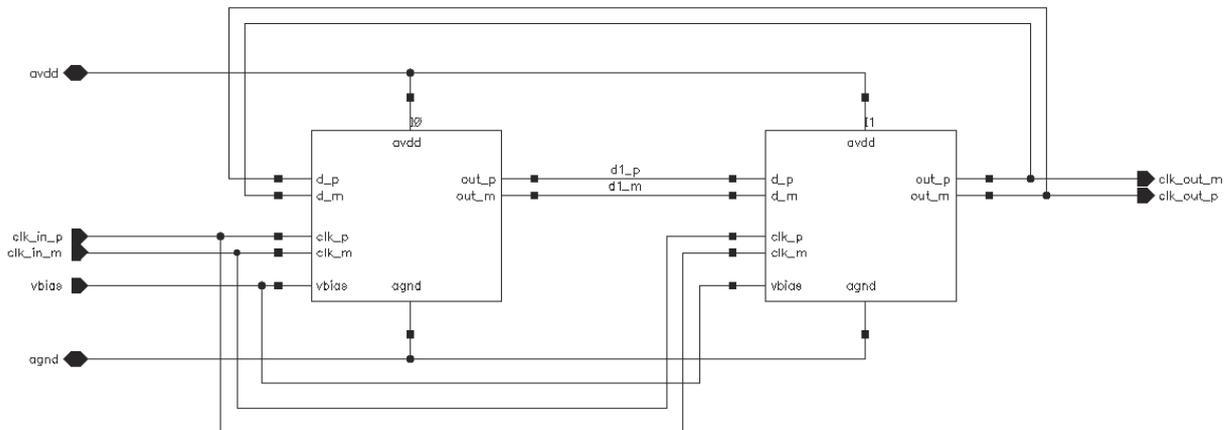
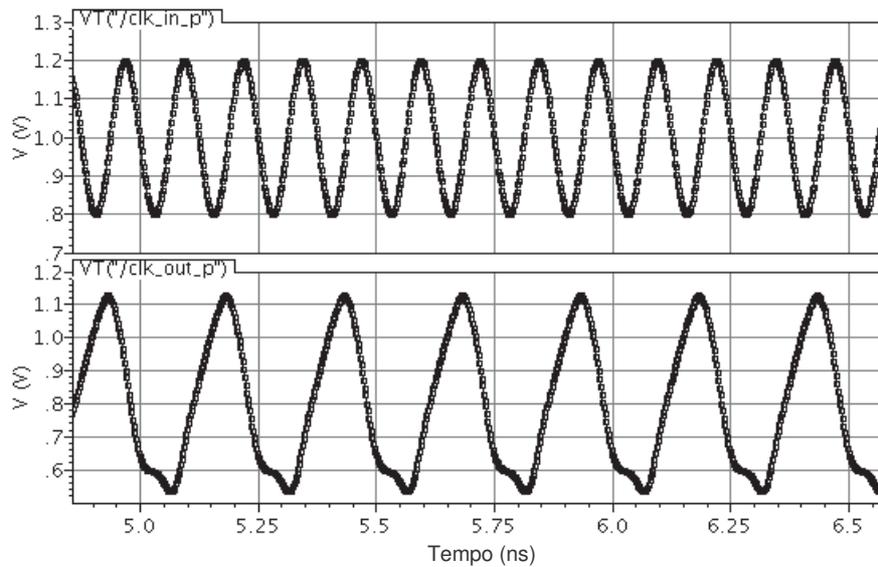


Figura 4.8 – Formas de onda do circuito divisor por 2



4.2 Resultados de Simulações

A presente seção exibe os resultados do LC-VCO projetado para cobrir um *tuning range* de 4GHz a 8GHz. Os resultados são baseados em simulações elétricas a partir do esquemático do LC-VCO. Para modelar o efeito das capacitâncias parasitas do layout do LC-VCO sobre os resultados de performance deste, capacitores ideais foram colocados nos

testbenches conectados nas saídas diferenciais do LC-VCO. Esse valor de capacitância parasita foi 100fF.

As simulações foram realizadas utilizando o ambiente Cadence Virtuoso e os simuladores elétricos Spectre e SpectreRF. As análises realizadas foram: análise transiente para medições de frequência, *tunning range*, partida do LC-VCO e medidas de consumo, e análises PSS (*periodic steady state*) combinadas com análises PNOISE (*periodic noise*) para simular o ruído de fase do LC-VCO.

A tensão de alimentação nominal do circuito LC-VCO (AVDD_VCO) é 0.6V, de forma que a maior parte dos resultados de simulações apresentados nessa seção foram gerados a partir da tensão de alimentação AVDD_VCO = 0.6V. Para fins de análise e comparação, alguns resultados também são gerados para AVDD_VCO = 0.75V. As simulações elétricas foram realizadas para a temperatura ambiente de 27°C.

Os resultados são divididos em dois grupos. Os primeiros resultados são gerados a fim de analisar o *tunning range* do LC-VCO, considerando o ganho do VCO (K_{VCO}) para todas as combinações de bits de calibração (códigos). O segundo grupo de resultados analisa o ruído de fase em função de várias métricas como amplitude do sinal de oscilação, corrente de polarização I_{BIAS} e frequência de oscilação.

4.2.1 *Tunning Range* e K_{VCO}

Simulações elétricas foram realizadas para todas as combinações de bits de programação (256 sub-bandas) do LC-VCO a fim de avaliar parâmetro do LC-VCO como *tunning range* e variação do ganho do LC-VCO (K_{VCO}) para as 256 sub-bandas de frequência. A Figura 4.9 apresenta o *tunning range* do LC-VCO para as 256 sub-bandas, considerando a tensão de controle do LC-VCO $V_{CONT} = 0,6V$. Observe que para o código 0, o LC-VCO atinge a maior frequência, de aproximadamente 8.9GHz e para o código 255, a frequência é a menor de todo *tunning range*, nesse caso de aproximadamente 3.7GHz. Dessa forma, os valores de *tunning range* de 3.7GHz a 8.9GHz do LC-VCO atendem a especificação com folga. Uma consideração importante quanto à margem de projeto é que essas margens para as frequências máxima e mínima especificadas são aproximadamente de 900MHz e 300MHz, respectivamente. Isso foi realizado de modo intencional, pois para tolerar variações dos capacitores do tanque-LC (dos dispositivos implementados e dos parasitas de roteamento), optou-se por obter maior margem para a frequência máxima do que para a frequência mínima,

pois a tolerância para variações dos valores de capacitância é menor quando o LC-VCO está operando a altas frequências quando comparado com o mesmo LC-VCO operando à baixas frequências.

A variação de K_{VCO} para as 256 sub-bandas de frequência também foi analisada. A Figura 4.10 apresenta os valores de K_{VCO} para cada sub-banda (código) do LC-VCO projetado. Os valores de máximo e mínimo do parâmetro K_{VCO} foram 112MHz/V e 80MHz/V, respectivamente, enquanto que o valor médio de K_{VCO} para todo o *tunning range* foi 88.6MHz/V. Dessa forma, uma pequena variação do valor de K_{VCO} é atingida para todas as sub-bandas de frequência com relação ao valor especificado de 100MHz/V. Nessas simulações, o valor da tensão de controle do LC-VCO (V_{CONT}) variou de acordo com o seu valor de excursão especificado de 0.1V a 1.1V. Observa-se que para os menores códigos, isto é, para as maiores frequências de operação, a variação de K_{VCO} para as sub-bandas adjacentes é maior quando comparada com a variação de K_{VCO} para as menores frequências de operação do LC-VCO. Isso se explica pela natureza discreta do valor da capacitância dos dispositivos *MiMCap* e varactores *A-MOS*, onde nem sempre um valor exato é atingido para gerar uma determinada frequência, mas sim um valor aproximado, de modo que os bits menos significativo de calibração influenciam muito mais a variação de frequência do LC-VCO quando este está operando nas frequências mais altas do *tunning range* especificado. Em outras palavras, como a capacitância total do tanque-LC é maior para frequências menores, uma variação de capacitância provocada pelo chaveamento do bit menos significativo da palavra digital de controle do LC-VCO gera um pequeno deslocamento de frequência, podendo assim, esse bit ser ignorado para baixas frequências do *tunning range* especificado.

A Figura 4.11 apresenta uma análise quanto à sobreposição entre cada sub-banda do LC-VCO com as suas respectivas sub-bandas anteriores. Essa análise possibilita garantir uma cobertura total da faixa especificada de 4GHz a 8GHz, de modo que não haja pontos entre essa faixa em que o LC-VCO não opere. Na Figura 4.11 são exibidos os valores da operação $f_{N-1}-f_N$ para cada sub-banda N . O valor máximo da operação é aproximadamente $f_{N-1}-f_N$ 94MHz, nesse caso acima no valor definido no capítulo 3 de 50MHz. Entretanto, os maiores valores dessa operação são obtidos para as mais altas frequências. De acordo com os valores de K_{VCO} para todas as sub-bandas (ver Figura 4.10), observa-se um ganho maior para as mais altas frequências. Porém, o valor da operação $f_{N-1}-f_N$ permanece menor que K_{VCO} para todas as sub-bandas, fazendo com que exista uma cobertura total para o *tunning range* de 3.7GHz a 8.8GHz.

Retomando a análise realizada no Capítulo 3, onde foi discutido que o passo mínimo de variação de capacitância do tanque-LC seria definido com o propósito de atingir um *tunning range* para as altas frequências, tendo em vista que o passo mínimo de capacitância possui, para um mesmo valor de indutância, um deslocamento maior de frequência na faixa de 8GHz do que na faixa de 4GHz. A partir da análise das Figuras 4.9, 4.10 e 4.11, é possível observar que uma simplificação pode ser feita no projeto em termos da redução do número de bits de calibração para algumas sub-bandas. Em outras palavras, é possível atingir uma cobertura de operação total para o *tunning range* de 3.7GHz à 8.8GHz utilizando 8 bits de calibração somente para as sub-bandas 0 a 64. Para as sub-bandas 65 a 129, a sobreposição é garantida com 7 bits, ou seja, o oitavo bit (menos significativo) pode ser removido. Para as sub-bandas 130 a 194, dois bits podem ser removidos, e para as sub-bandas 195 a 255, três bits podem ser removidos sem comprometer a cobertura do LC-VCO. O resultado dessa análise pode ser observado na Figura 4.12, onde o número de bits que poderiam ser ignorados é apresentado para cada sub-banda.

Figura 4.9 – *Tunning range* do LC-VCO

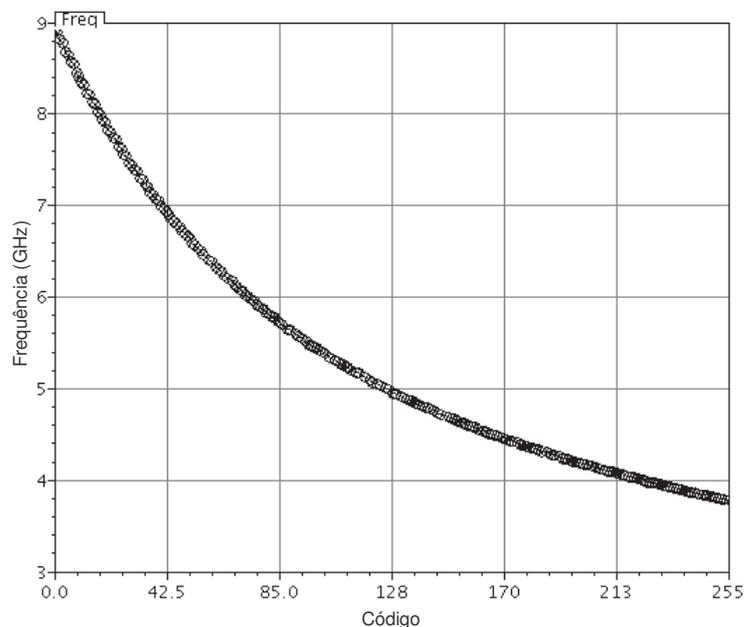


Figura 4.10 – Valores de K_{VCO} para cada sub-banda

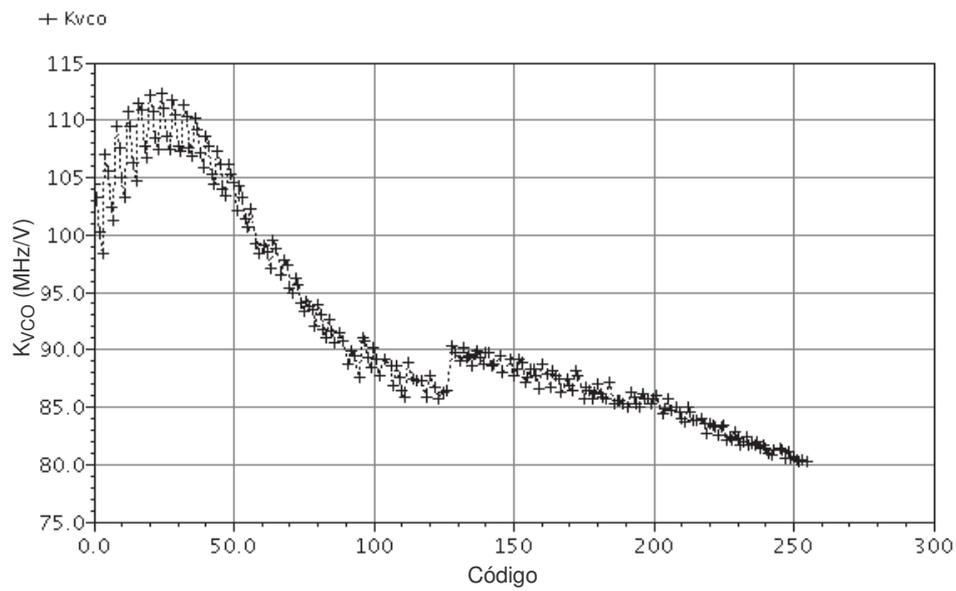


Figura 4.11 – Sobreposição entre cada sub-banda do LC-VCO com as suas respectivas sub-bandas anteriores

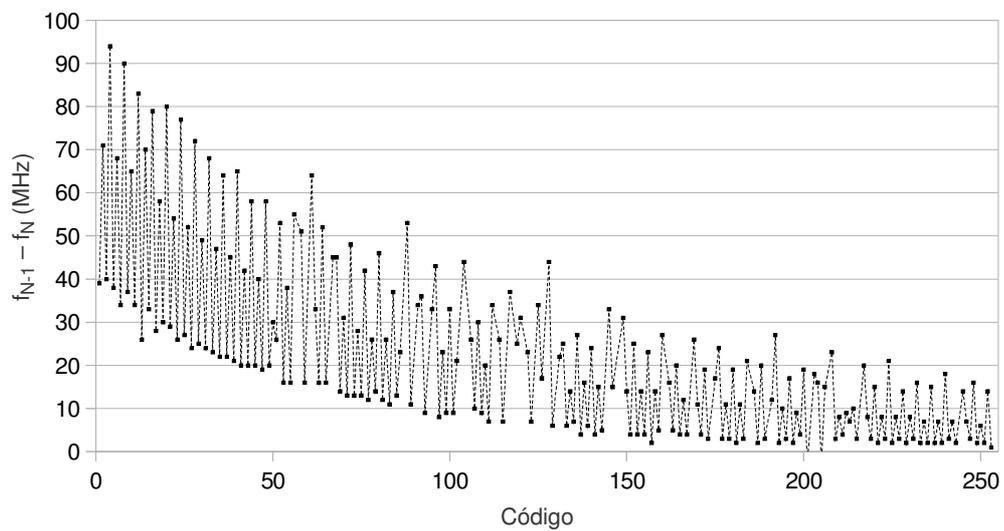
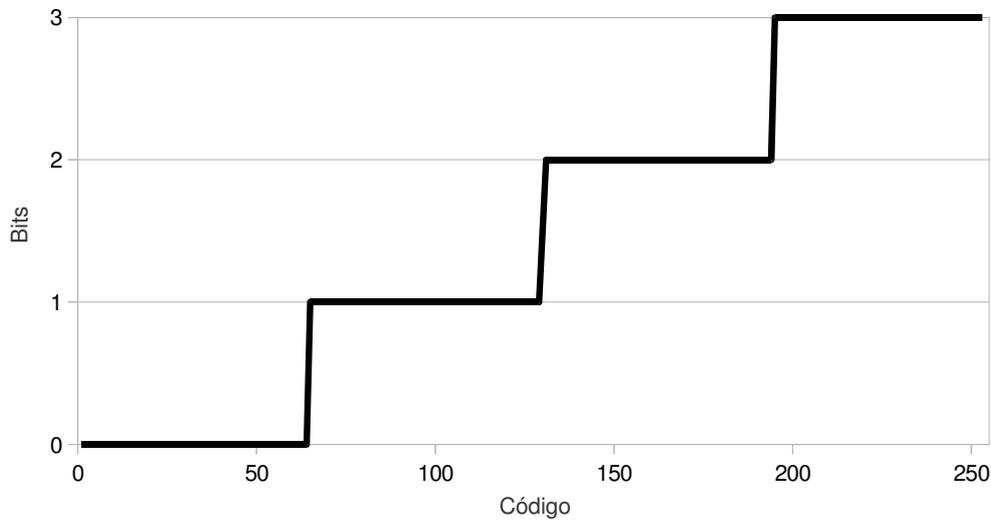


Figura 4.12 – Possibilidade de remoção de bits de calibração para cada sub-banda



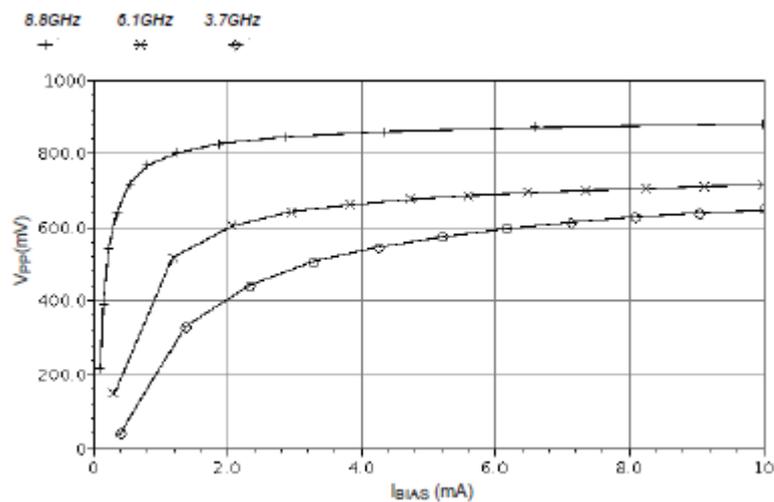
4.2.2 Ruído de Fase

O ruído de fase (*phase noise*) do LC-VCO é analisado a partir de simulações elétricas PSS/PNOISE considerando várias influências sobre ele como a amplitude do sinal de oscilação, corrente de polarização I_{BIAS} e frequência de oscilação. Inicialmente os resultados apresentados são em termos da influência da corrente de polarização e da frequência de operação sobre a amplitude do sinal. Conforme estudado em várias referências (BERNY et al, 2005) (BERNY, 2006) (HAJIMIRI; LEE, 1999) (HAUSPIE et al, 2007) (BIN et al, 2012), a amplitude do sinal de oscilação influencia diretamente a performance em ruído de fase.

No Capítulo 2 desta Dissertação foi apresentada uma análise da influência da corrente de polarização I_{BIAS} sobre a amplitude do sinal de saída da topologia de VCO estudada e utilizada nesse trabalho. Nessa análise, o regime de operação do LC-VCO quanto à I_{BIAS} é classificado em dois: limitação por corrente e de limitação por tensão. A Figura 4.13 apresenta a amplitude pico-a-pico (V_{PP}) do LC-VCO em função de I_{BIAS} para três sub-bandas, 0, 65 e 255, com frequências 8.8GHz, 6.1GHz e 3.7GHz, respectivamente. Para essa análise, I_{BIAS} variou de 0.5mA a 10mA. É observado que a transição entre os regimes de limitação por corrente para o de limitação por tensão é atingida por volta $V_{PP} \approx 700mV$ para os três casos. Porém, para frequências mais altas, o LC-VCO atinge o regime de limitação por tensão para uma corrente de polarização I_{BIAS} menos quando comparado com o mesmo LC-VCO operando à frequências mais baixas. Nos resultados apresentados na Figura 4.13, observa-se

que o LC-VCO atinge o regime de limitação por tensão para $I_{BIAS} \approx 0.8\text{mA}$ quando este opera a 8.9GHz, porém atinge o regime de limitação por tensão para $I_{BIAS} \approx 6\text{mA}$ quando operando a 3.7GHz. Esse fenômeno ocorre devido à impedância do tanque-LC na ressonância que é proporcional à frequência de ressonância ao quadrado (ver Equação 3.1). A Figura 4.14 apresenta a variação da amplitude do sinal de oscilação V_{PP} em função da frequência, para I_{BIAS} igual à 1mA, 3mA e 10mA. Conforme discussão acima, na medida em que a frequência aumenta, o LC-VCO muda do regime de limitação por corrente para o regime de limitação por tensão.

Figura 4.13 - Amplitude pico-a-pico (V_{PP}) do LC-VCO em função de I_{BIAS} para $f = 8.8\text{GHz}$, $f = 6.1\text{GHz}$ e $f = 3.7\text{GHz}$.

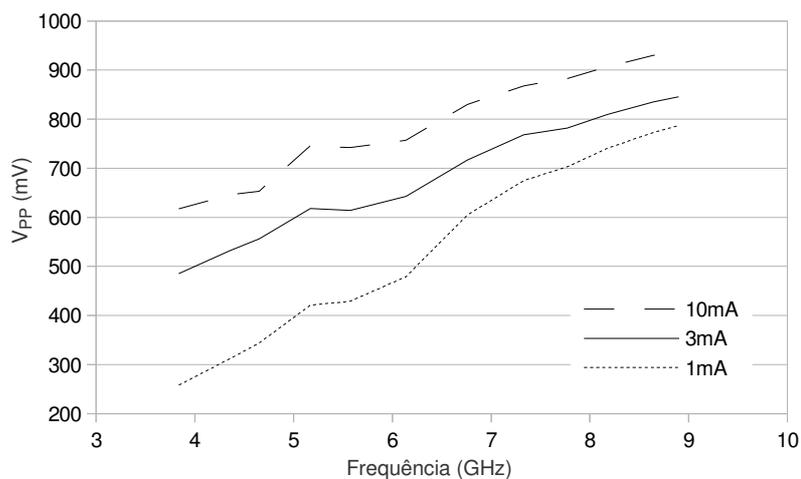


Da mesma forma que ocorre a saturação da amplitude do sinal de oscilação, também ocorre a saturação do consumo de corrente do LC-VCO. A Figura 4.15 apresenta o consumo de corrente do LC-VCO para três sub-bandas, 0, 65 e 255, com frequências 8.8GHz, 6.1GHz e 3.7GHz, respectivamente. Para essa análise, I_{BIAS} variou de 0.5mA a 10mA. Essa saturação ocorre uma vez que a amplitude do sinal de oscilação satura, de forma que a fonte de corrente do LC-VCO transiciona da região de saturação para a região de triodo, limitando assim a corrente no tanque-LC.

A Figura 4.16 apresenta resultados de performance de ruído de fase do LC-VCO considerando um deslocamento de 1MHz da portadora, em função da frequência de operação do LC-VCO. Essa análise é realizada para três diferentes valores da corrente de polarização

I_{BIAS} , nesse caso I_{BIAS} igual a 1mA, 3mA e 10mA. É observado que o ruído de fase é degradado com o aumento da frequência de operação. Esse efeito é bastante conhecido na literatura, onde modelos de ruído de fase apresentam a influência da frequência de operação (LEESON, 1966). Outro efeito que é observado, é a influência da corrente I_{BIAS} sobre o ruído de fase. Para baixas frequências do *tuning range* explorado, o ruído de fase é otimizado para valores maiores da corrente de polarização I_{BIAS} . Porém, para as frequências mais altas, o ruído de fase é degradado para valores maiores da corrente de polarização I_{BIAS} . Esse fenômeno está alinhado com a discussão acima quanto ao comportamento da amplitude do sinal de oscilação em função da frequência de operação, isto é, à medida que o LC-VCO muda do regime de limitação por corrente para o regime de limitação por tensão, o ruído de fase tende a piorar. Essa degradação ocorre porque os transdutores do LC-VCO saem da região de saturação e operam na região triodo de forma que o fator de qualidade do tanque-LC é degradado. A Figura 4.17 (a) apresenta novos resultados de ruído de fase, onde o valor de I_{BIAS} é ajustado através de simulações para que a performance em ruído de fase seja otimizada para cada frequência de operação. Essa otimização é atingida ao diminuir a corrente I_{BIAS} à medida que a frequência de operação aumenta. A Figura 4.17 (b) apresenta os valores de I_{BIAS} ótimos em termos de ruído de fase para cada frequência.

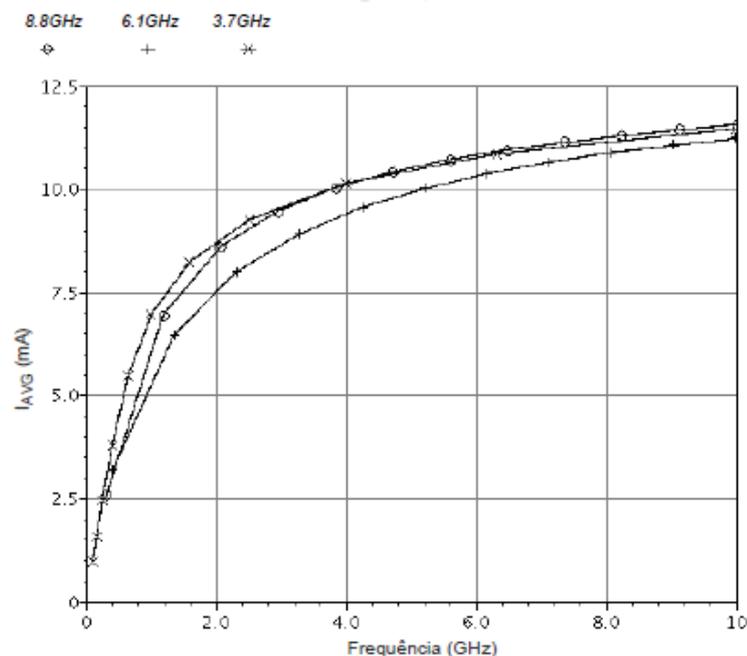
Figura 4.14 - Variação da amplitude do sinal de oscilação V_{PP} em função da frequência, para I_{BIAS} igual a 1mA, 3mA e 10mA.



Vários trabalhos mencionam a otimização do valor de I_{BIAS} a fim de obterem melhores resultados de ruído de fase (BERNY et al, 2005) (BERNY, 2006) (HAJIMIRI; LEE, 1999)

(HAUSPIE et al, 2007) (BIN et al, 2012). Essa otimização pode ser obtida através de sistema em malha fechada, onde a amplitude do sinal de saída do oscilador é monitorada e comparada com um valor de referência, de forma que o valor da comparação é utilizado para ajustar o valor de corrente de polarização do oscilador (BERNY et al, 2005) (BERNY, 2006). Embora essa técnica seja eficiente e apresente boa performance, uma certa complexidade é exigida ao projeto, pois circuitos são adicionados e, por ser um sistema de malha fechada, a estabilidade deve ser garantida. Além disso, um detector de tensão de pico é conectado às saídas diferenciais do oscilador, adicionando assim mais capacitância parasita.

Figura 4.15 - Consumo de corrente do LC-VCO para $f = 8.8\text{GHz}$, $f = 6.1\text{GHz}$ e $f = 3.7\text{GHz}$, em função de I_{BIAS}



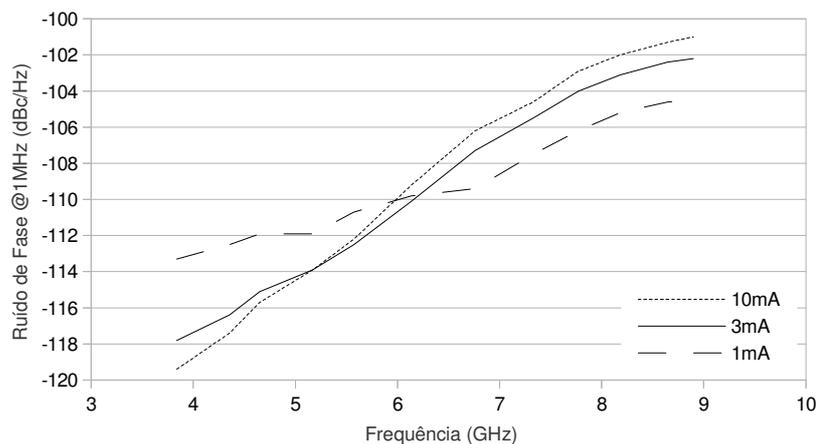
Uma vez que a corrente I_{BIAS} é um parâmetro de entrada nesse projeto, isto é, o integrador do LC-VCO tem a liberdade de escolher o valor de I_{BIAS} ao integrá-lo no sintetizador de frequências, uma técnica simples e em malha aberta poderia ser utilizada a fim de controlar a corrente I_{BIAS} , obtendo assim melhores resultados de ruído de fase e, ao mesmo tempo, evitando desperdício de energia. Uma técnica similar é proposta em (BIN et al, 2012), onde a corrente de polarização do LC-VCO é alterada simultaneamente com relação ao valor de capacitância. Considerando que a impedância do tanque-LC na ressonância é proporcional à frequência de ressonância ao quadrado (ver Equação 3.1), uma pequena variação na amplitude do sinal de saída do oscilador poderia ser atingida para todo *tunning range* se I_{BIAS}

for inversamente proporcional ao quadrado da frequência de ressonância. Nesse caso, os bits de calibração do banco de capacitores poderiam ser utilizados a fim de programar o valor de corrente de polarização I_{BIAS} . Sendo o valor de capacitância do tanque-LC proporcional ao valor dos bits de calibração, o valor dos bits de calibração do banco de capacitores é inversamente proporcional ao quadrado da frequência de operação, de forma que a corrente I_{BIAS} pode ser proporcional ao valor dos bits de calibração. Sendo I_{BIAS} proporcional ao valor dos bits de calibração, I_{BIAS} pode ser modelado com uma equação da reta em função dos referidos, onde os coeficientes angular e linear, A e B , respectivamente, são ajustados a fim de obter um bom compromisso entre potência dissipada e ruído de fase. Por exemplo, as Figuras 4.18 e 4.19 apresentam resultados de performance de ruído de fase do LC-VCO, considerando um deslocamento de 1MHz da portadora, em função de I_{BIAS} , para o LC-VCO operando nos limites mínimo ($f = 3.7\text{GHz}$, código = 255) e máximo ($f = 8.8\text{GHz}$, código = 0) do *tuning range*. Na Figura 4.19, observa-se que I_{BIAS} aproximadamente igual à $300\mu\text{A}$ é o ponto ótimo em termos de ruído de fase. Dessa forma, para esse exemplo, o coeficiente linear B é igual à $300\mu\text{A}$. Na Figura 4.18, observa-se que a partir de $I_{BIAS} = 4\text{mA}$, aumentos em I_{BIAS} representam melhoras não significativas do ruído de fase. Assim, o coeficiente angular A é igual à 3.7mA . Os valores de I_{BIAS} são calculados de acordo com a expressão abaixo:

$$I_{BIAS} = A \cdot \frac{CODE}{255} + B \quad (4.1)$$

onde $CODE$ representa o valor dos bits de calibração (código) em base decimal. A Figura 4.20 ilustra o esquemático do LC-VCO, onde a programação da corrente I_{BIAS} é realizada considerando os coeficientes propostos acima.

Figura 4.16 - Ruído de fase do LC-VCO considerando um deslocamento de 1MHz da portadora, em função da frequência de operação



A Figura 4.21 apresenta uma comparação dos resultados de ruído de fase obtidos a partir de valores de I_{BIAS} otimizados, através de simulações e a partir dos valores de I_{BIAS} calculados com base na análise acima. As Figuras 4.22 e 4.23 apresentam os valores da tensão de pico-a-pico V_{PP} do sinal de saída do LC-VCO e a potência dissipada, respectivamente, para os valores I_{BIAS} calculados. Uma pequena degradação no ruído de fase ocorre quando os valores de I_{BIAS} calculados são usados ao invés dos valores ajustados por simulações elétricas. Porém, essa degradação poderia ser minimizada ainda mais a partir do uso de outros valores dos coeficientes A e B .

Resultados também foram gerados para a tensão de alimentação do LC-VCO igual a 0.75V. A partir de simulações elétricas, esse valor de tensão se mostrou como o limite máximo para $AVDD_VCO$ para que o LC-VCO mantenha-se operando dentro dos limites da tecnologia recomendados pela fábrica (IBM, 2010). Para essa análise, os valores dos coeficientes A e B foram mantidos iguais a 3.7mA e 300 μ A, respectivamente. A Figura 4.24 mostra a amplitude pico a pico V_{PP} do sinal de saída do LC-VCO alimentado pela tensão 0.75V. Observe que o maior valor de amplitude é aproximadamente 900mV, o que significa que para o sinal de oscilação centrado em 0.75V, a tensão de pico desse sinal será aproximadamente 1.2V. Uma comparação entre os resultados de performance em ruído de fase, para $AVDD_VCO$ igual a 0.6V e 0.75V, é exibida na Figura 4.25. Essa comparação apresenta resultados parecidos para as tensões de alimentação 0.6V e 0.75V, com uma leve vantagem para a tensão 0.75V, quando o LC-VCO opera em frequências mais baixas. Contudo, o LC-VCO operando a 0.75V apresenta um consumo de energia maior quando comparado com 0.6V.

Para avaliar a performance de *wideband* VCOs, foi proposto em (HAM; HAJIMIRI, 2001) uma figura de mérito específica para essa categoria de VCOs, que considera parâmetros também avaliados em outras figuras de mérito para VCOs, como a potência dissipada e o ruído de fase, porém também considera o *tunning range* atingido pelo VCO. Essa figura de mérito é conhecida como *power-frequency-tunning-normalized* (PFTN). A expressão dessa figura de mérito é apresentada abaixo:

$$FOM_{PFTN} = 10 \cdot \log \left(\frac{kT}{P} \left(\frac{f_{max} - f_{min}}{\Delta f} \right)^2 \right) - L(\Delta f) \quad (4.2)$$

onde k é a constante de Boltzman, T é a temperatura em Kelvin, a expressão $f_{MAX} - f_{MIN}$ é o *tunning range* e $L(\Delta f)$ é o ruído de fase para um deslocamento Δf da portadora. A Figura 4.26 apresenta uma comparação para os resultados obtidos a partir de FOM_{PFTN} para $AVDD_VCO$

igual a 0.6V e 0.75V. Para a figura de mérito FOM_{PFTN} , os resultados para $AVDD_{VCO} = 0.6V$ são melhores quando comparados aos resultados de $AVDD_{VCO} = 0.75V$. Nesse sentido, os resultados para a tensão de alimentação igual a 0.6V são utilizados nas comparações com as publicações que serão apresentadas na próxima seção.

Figura 4.17 - (a) Ruído de fase para valores de I_{BIAS} ajustados através de simulações para que a performance em ruído de fase seja otimizada para cada frequência de operação (OPT). (b) valores de I_{BIAS} ótimos em termos de ruído de fase para cada frequência.

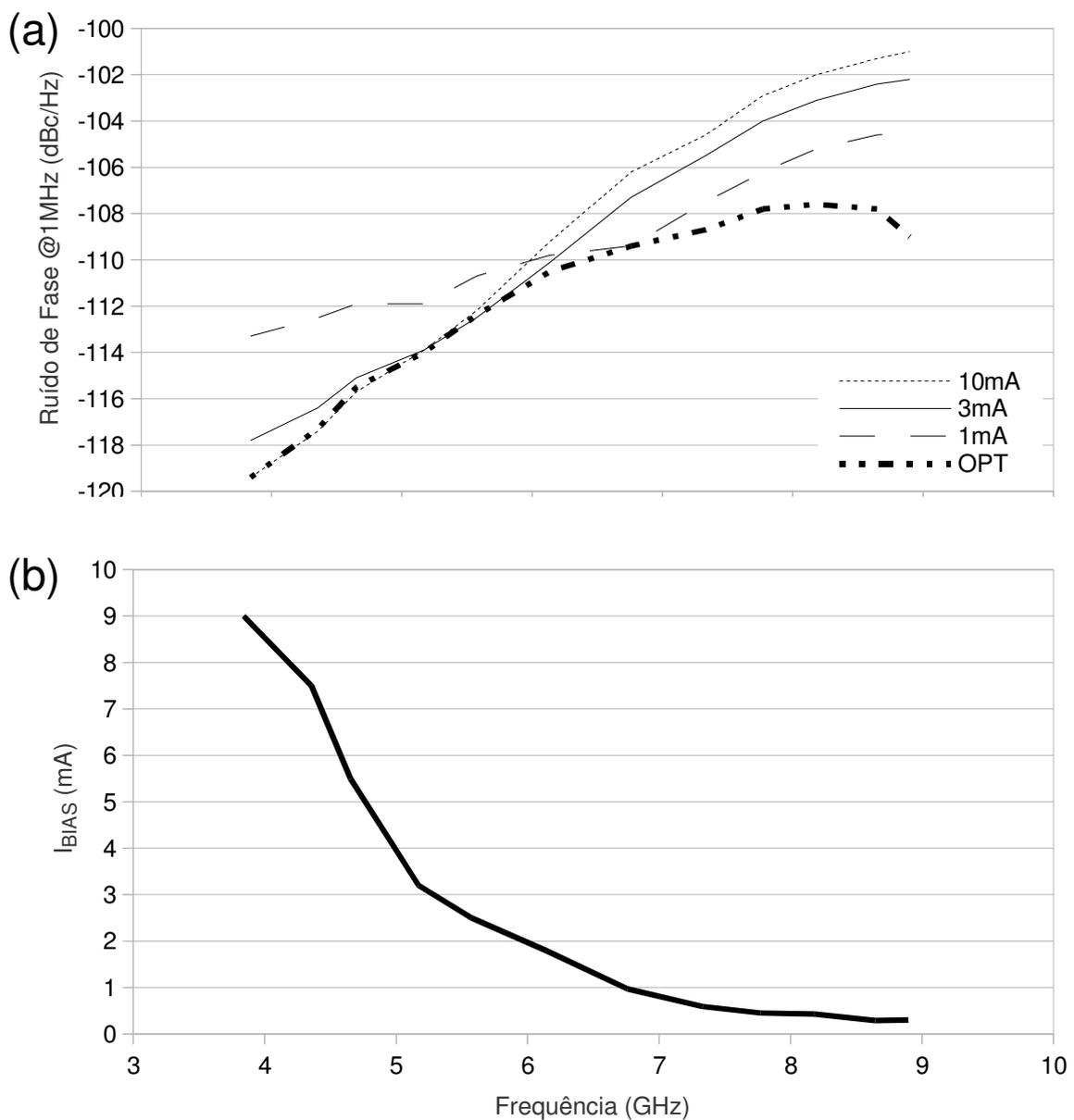


Figura 4.18 – Valor ótimo da corrente I_{BIAS} em termos de ruído de fase para $f = 3.7\text{GHz}$

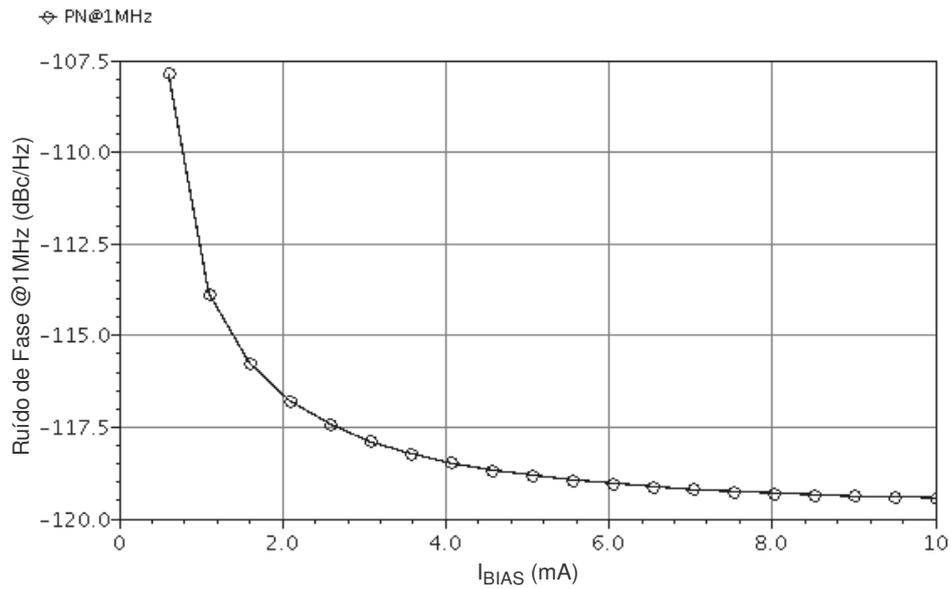


Figura 4.19 – Valor ótimo da corrente I_{BIAS} em termos de ruído de fase para $f = 8.8\text{GHz}$

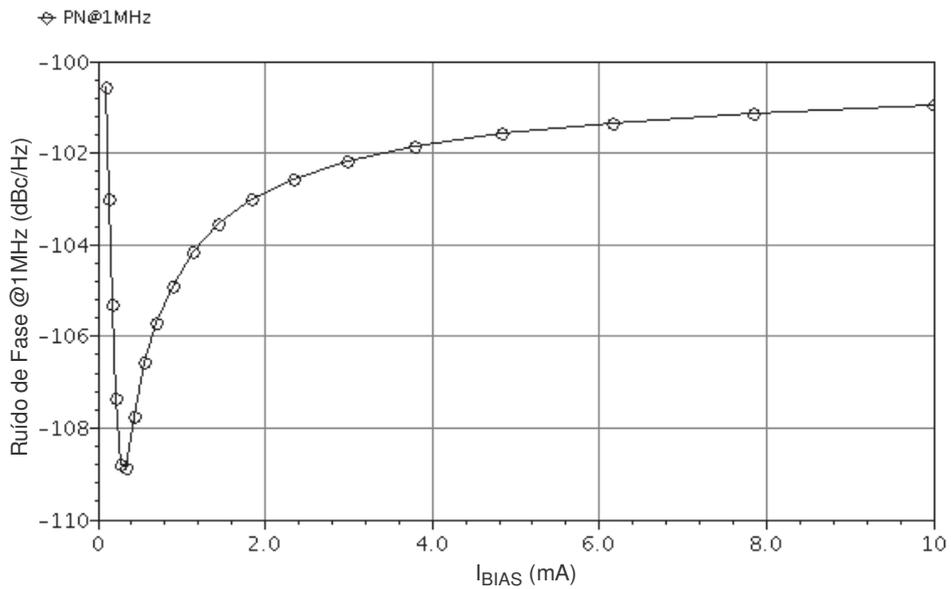


Figura 4.20 - Esquemático do LC-VCO com programação da corrente I_{BIAS} em função dos bits de programação

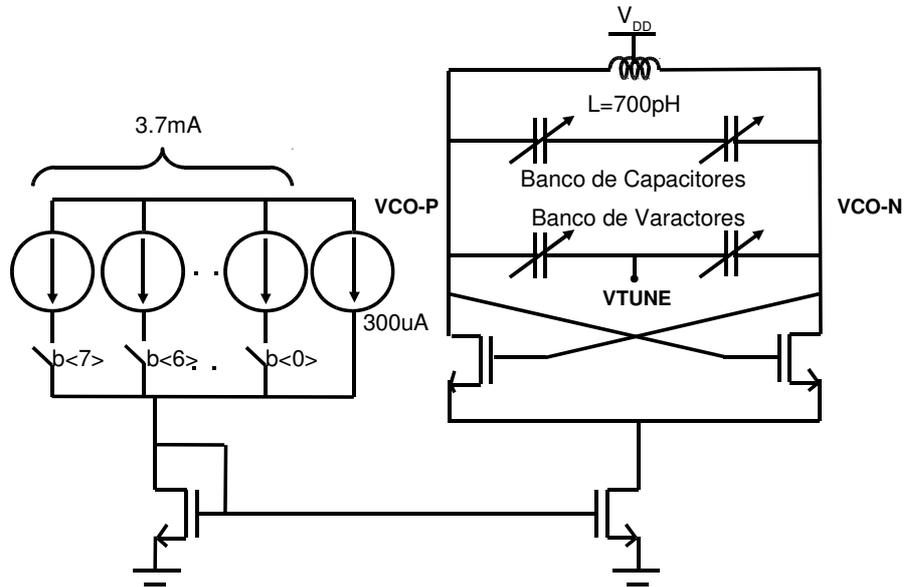


Figura 4.21 - Resultados de ruído de fase obtidos a partir de valores de I_{BIAS} otimizados através de simulações e a partir dos valores de I_{BIAS} calculados

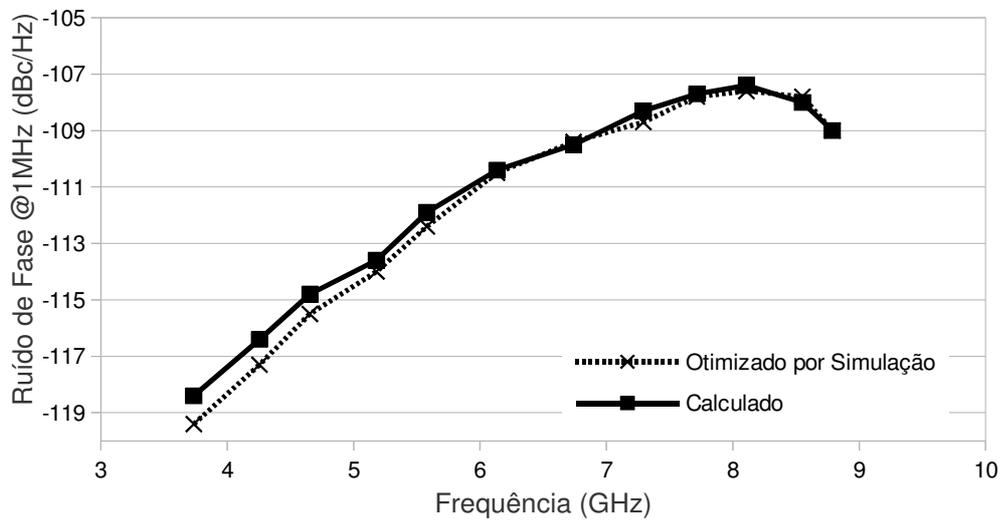


Figura 4.22 - Tensão de pico-a-pico V_{PP} do sinal de saída do LC-VCO proposto

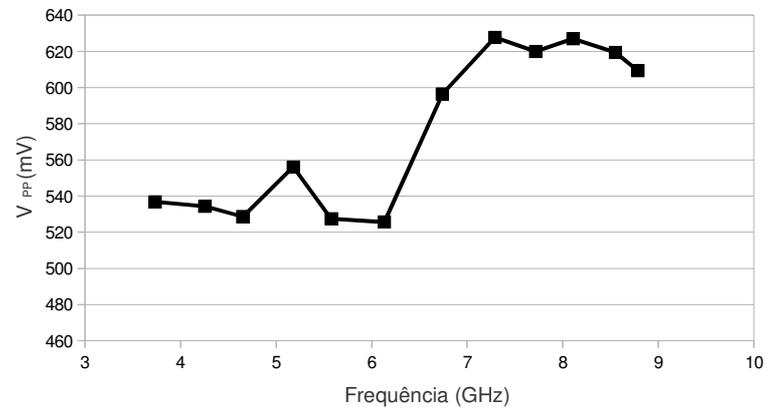


Figura 4.23 - Potência dissipada do LC-VCO proposto ($AVDD_{VCO} = 0.6V$)

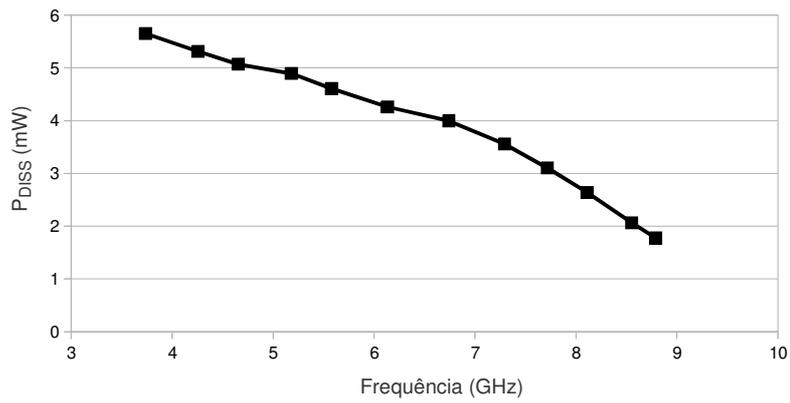


Figura 4.24 - Amplitude pico-a-pico V_{PP} do sinal de saída do LC-VCO para $AVDD_{VCO} = 0.75V$

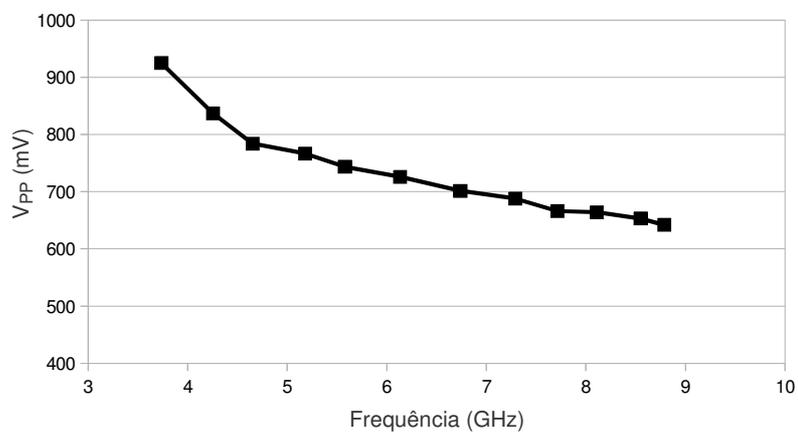


Figura 4.25 - Resultados de performance em ruído de fase, para AVDD_VCO igual a 0.6V e 0.75V

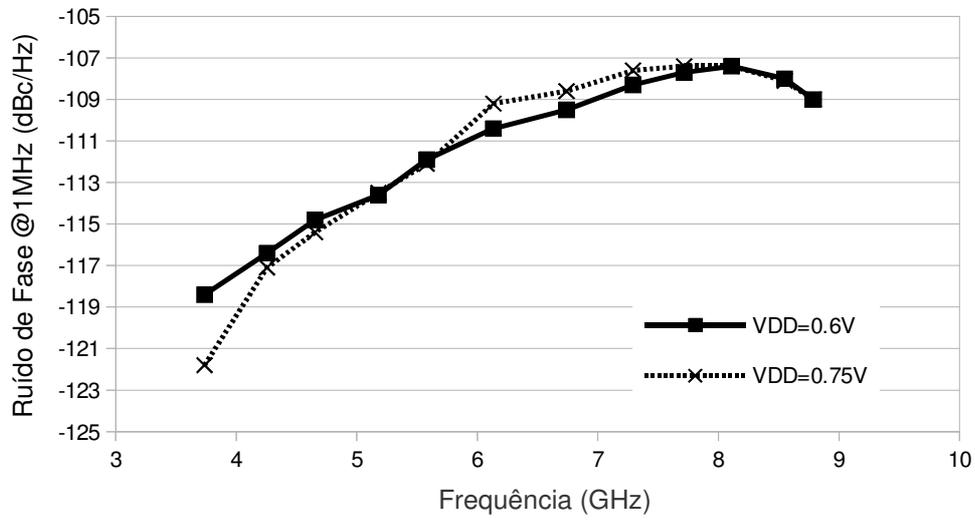
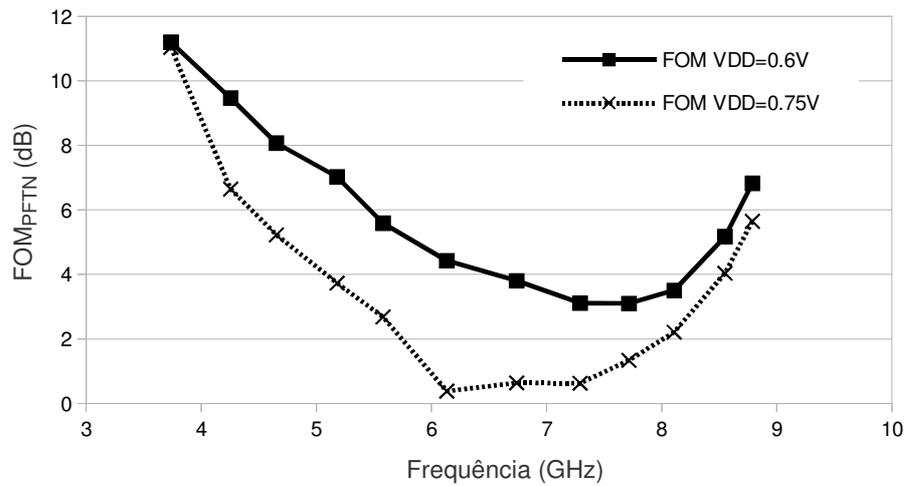


Figura 4.26 - FOM_{PFTN} para AVDD_VCO igual à 0.6V e 0.75V



4.3 Comparação com *Wideband* LC-VCOs da Literatura

Tabela 4.2 Comparação com outras Publicações da área

Publicação	Tecnologia (μm)	VDD (V)	Tuning Range (GHz)	Tuning Range (%)	Potência (mW)	Ruído de Fase (dBc/Hz) para $\Delta f=1\text{MHz}$	Kvco(MHz/V)	FOM (dB)
Berny (2005)	0,18 CMOS	1,5	1,2 a 2,4	73	2,6 a 10	-126,5	-	5 a 8,5
Sadhu (2009)	0,13 CMOS	1,6	3,3 a 8,4	87,2	6,5 a 15,4	-122 a -117,2	-	6,6 a 10,2
Fong (2003)	0,13 SOI CMOS	0,8 a 1,4	3 a 5,6	58,7	2 a 3	-120,8 a 114,6	-	5,9 a 10,3
Fan (2013)	0,18 CMOS	1,8	1,98 a 5,58	95	10,1 a 13	-122,8 a -108,6	-	-4,1 a 8,9
Sadhu (2010)	0,13 CMOS	1,5	0,85 a 7,1	157	3 a 15	-119,1 a 101,1	-	-1,1 a 15
Takigawa (2009)	0,13 CMOS	1,5	1,2 a 3,1	92,6	30	-124 a -120	-	-2,95 a 1,05
Hauspie (2007)	0,13 CMOS	1,2	3,1 a 5,2	49	7,7 a 2,1	-119 a -114,6	-	2 a 3
Moon (2009)	0,18 CMOS	1,8	4,39 a 5,56	18	6,3	-113,6	$56 \pm 9,6\%$	-7,01
Nakamura (2006)	0,25 BiCMOS	2,8	3,1 a 4,4	34	11,2	-121	$37,5 \pm 12\%$	-1,04
Lu (2008)	0,18 CMOS	1,5	1,17 a 2,03	53	9	-126	$81 \pm 14,8\%$	1,31
Jiwei (2012)	0,13 CMOS	1,2	3,2 a 4,6	36	21,6	-124	$68 \pm 14\%$	-0,25
Lu (2009)	0,18 CMOS	1,8	1,175 a 2	52	18	-124	$80 \pm 12,5\%$	-4,05
Kim (2008)	0,18 CMOS	1,8	0,92 a 1,85	66	10,8	-127	$62 \pm 27,5\%$	2,11
Bin (2012)	0,18 CMOS	1,8	1,9 a 3,1	48	7,2 a 23,8	-117	$55 \pm 9\%$	-3,8
Este Trabalho	0,13 CMOS	0,6	3,7 a 8,8	82	1,8 a 5,6	-118,4 a 107,4	$88,6 \pm 26\%$	3,1 a 11,2

A Tabela 4.2 sumariza os resultados de publicações recentes na área de *wideband* VCOs e compara-os com os resultados desse trabalho. É possível classificar as publicações em duas categorias. A primeira envolve as publicações Berny (2005), Sadhu (2009), Fong (2003), Fan (2013), Sadhu (2010), Takigawa (2009) e Hauspie (2007). A segunda, por sua vez, envolve as publicações Moon (2009), Nakamura (2006), Lu (2008), Jiwei (2012), Lu (2009), Kim (2008) e Bin (2012). Para a primeira categoria, os resultados expressivos são obtidos quanto ao *tuning range* e à figura de mérito *power-frequency-tuning-normalized* (FOM_{PFTN}) (HAM; HAJIMIRI, 2001). Entretanto, esses resultados expressivos em termos de *tuning range* e FOM_{PFTN} são atingidos, com exceção de Hauspie (2007), a partir de altos valores de K_{VCO} combinados com uma grande variação do próprio K_{VCO} entre as sub-bandas. Para a segunda categoria de publicações, embora os resultados em termos de *tuning range* e

FOM_{PFTN} sejam modestos, um projeto mais criterioso do banco de capacitores é realizado de modo que um controle maior sobre K_{VCO} é obtido.

A partir da comparação dos resultados do projeto desta dissertação com outras publicações na área, é possível concluir que este trabalho obteve um bom compromisso entre *tunning range* e controle de K_{VCO} , pois um amplo *tunning range* é atingido (de 3.7GHz a 8.8GHz) sem elevar muito o ganho do K_{VCO} , quando comparado com a segunda categoria de publicações mencionada acima.

5 CONCLUSÃO

Este trabalho apresentou análise e projeto de um oscilador controlado por tensão (VCO) para aplicações de ampla faixa de frequência. O *tunning range* atingido através de simulações elétricas foi de 3.7GHz a 8.8GHz. Esse amplo *tunning range* foi obtido a partir do chaveamento (ou programação) do valor da capacitância total do tanque-LC do VCO. Este VCO será futuramente integrado em um sintetizador de frequências para aplicações wideband, especialmente para o padrão IEEE 802.22, e inclusive para a extensão do mesmo até possivelmente bandas próximas de 4GHz.

Este trabalho de Dissertação abordou conceitos básicos da operação de sintetizadores de frequência baseados em *phase-locked loop* (PLL) e fundamentos da operação de LC-VCOs. Após, foram discutidas considerações de projeto de um LC-VCO para aplicações de múltiplas bandas de frequências, como *tunning range*, controle do ganho do VCO, critério para oscilação e capacitância parasita. Em seguida, o projeto do LC-VCO desenvolvido neste trabalho foi apresentado, discutindo as escolhas de projeto como topologia do circuito e dispositivos do tanque-LC. Ao final, foi apresentado o chip protótipo para validar e caracterizar o LC-VCO proposto, bem como os resultados de simulações de performance do LC-VCO.

Embora sejam resultados de simulações, esses foram muito promissores e comparáveis a VCOs similares publicados nos últimos anos. O *tunning range* obtido equivale a 82%. O ganho do VCO se manteve médio no valor de 88.6MHz/V para todas as sub-bandas de frequência, com valor máximo e mínimo de 112MHz e 80MHz, respectivamente. O ruído de fase variou de -118.4dBc/Hz a -107.4dBc/Hz, para as portadoras em 3.7GHz e 8.1GHz, respectivamente, enquanto a potência dissipada do circuito LC-VCO variou de 1.8mW a 5.6mW para toda a faixa de oscilação deste VCO. Esses valores são atingidos com a calibração simultânea entre os bancos de capacitores (constantes e varactores) e a corrente de polarização I_{BIAS} , conforme proposto em Bin (2012).

Resultados apresentaram um bom compromisso entre a variação ampla da frequência de oscilação (*tunning range*) e o controle de K_{VCO} , pois um amplo *tunning range* é atingido, sem elevar muito o ganho do K_{VCO} . Para a figura de mérito *power-frequency-tunning-normalized* (FOM_{PFTN}) (HAM; HAJIMIRI, 2001), os valores obtidos ficaram entre 3.1dB e 11.2dB, deixando, dessa forma, o LC-VCO projetado com resultados comparáveis com resultados de VCOs com a mesma operação *wideband*.

Os trabalhos futuros deverão focar na geração de medidas do chip protótipo fabricado, com o propósito de validar e caracterizar o projeto do LC-VCO proposto. Os circuitos protótipos foram fabricados na empresa IBM Microelectronics, através do serviço da MOSIS Inc, dos EUA. Outra perspectiva de trabalho futuro é o estudo e projeto de um sistema de programação da frequência do LC-VCO, no intuito integrar o LC-VCO na arquitetura de sintetizador de frequências proposta em Lorencetti (2014).

REFERÊNCIAS

- AKYILDIZ, I. F. et al. Next generation / dynamic spectrum access / cognitive radio wireless networks: a survey. **Computer Networks**, [S.l.], v. 50, n. 13, p. 2127 - 2159, maio 2006.
- ANDREANI, P.; MATTISON, S. On the Use of MOS Varactors in RF VCO's. **Solid-State Circuits, IEEE Journal of**, [S.l.], v. 35, n. 6, p. 905-910, junho de 2000.
- BAUMGRATZ, F.; FERREIRA, S.; BAMPI, S. RF System Level Design for a Spectrum Sensing Receiver. In: IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS (ICECS), 2013., 2013. **Anais...IEEE**, 2013.
- BERNY, A. D.; NIKNEJAD, A. M.; MEYER, R.G. A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration. **Solid-State Circuits, IEEE Journal of**, [S.l.], v. 40, n. 4, p. 909-917, abril 2005.
- BERNY, A. D. **Analysis and Design of Wideband LC VCOs**. 2006. Tese (Doutorado em Engenharia Elétrica e Ciência da Computação) - University of California, Berkeley.
- BIN, L. et al. A wideband LC-VCO with small VCO gain variation and adaptive power control. **Journal of Semiconductors**, [S.l.], v. 33, n. 10, outubro 2012.
- FAN, X; LI, B.; WANG, Z. CMOS 1.98-5.58 GHz transformer-based VCO with current-reused topology. **Electronics Letters**, [S.l.], v. 49, n. 8, p. 524-525, abril 2013.
- FONG, N.H.W. et al. Design of wide-band CMOS VCO for multiband wireless LAN applications. **Solid-State Circuits, IEEE Journal of**, [S.l.], v. 38, n. 8, p. 1333-1342, agosto 2003.
- GARDNER, F. M. Charge-Pump Phase-Lock Loops. **Transactions on Communications, IEEE Journal of**, [S.l.], v. 28, n. 11, p. 1849-1858, novembro 1980.
- HAM, D.; HAJIMIRI, A. Concepts and methods in optimization of integrated LC VCOs. **Solid-State Circuits, IEEE Journal of**, [S.l.], v. 36, n. 6, p. 896-909, junho 2001.
- HAJIMIRI, A.; LEE, T. H. Design issues in CMOS differential LC oscillators. **Solid-State Circuits, IEEE Journal of**, [S.l.], v. 34, n. 5, p. 717-724, maio 1999.
- HAUSPIE, D.; PARK, E.-C.; CRANINCKX, J. Wideband VCO With Simultaneous Switching of Frequency Band, Active Core, and Varactor Size. **Solid-State Circuits, IEEE Journal of**, [S.l.], v.42, n.7, p.1472-1480, julho 2007.
- IBM. Industrial Business Machines Corporation: design manual. **CMRF8SF-DM**, 2010.
- JIWEI, H. et al. A wide-band low phase noise LC-tuned VCO with constant $KVCO/\omega_{osc}$ for LTE PLL. **Journal of Semiconductors**, [S.l.], v. 33, n. 2, p. 25008, fevereiro 2012.

KIM, J.; SHIN, J.; KIM, S.; SHIN, H. A Wide-Band CMOS LC VCO With Linearized Coarse Tuning Characteristics. **Circuits and Systems II: Express Briefs, IEEE Transactions on**, [S.l.], v. 55, n. 5, p. 399-403, maio 2008.

LEESON, D. A simple model of feedback oscillator noise spectrum. **Proceedings of the IEEE**, [S.l.], v. 54, n. 2, pp. 329-330, fevereiro 1966.

LOPEZ, A. Y. V. **Design of frequency synthesizers for short range wireless transceivers**. 2003. Tese (Doutorado em Engenharia Elétrica) - Texas A&M University.

LORENCETTI, M. A. **Design of a Frequency Synthesizer for Wide Tuning Range and Extended Cognitive Radio**. 2014. 70 f. Dissertação (Mestrado em Microeletrônica) - Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2014.

LU, Y; ZHANGWEN, T; HAO, M. A wideband LC-VCO with small tuning gain fluctuation. **Journal of Semiconductors**, [S.l.], v. 29, n. 5, p. 1003, maio 2008.

LU, L. et al. An 18-mW 1.175–2-GHz frequency synthesizer with constant bandwidth for DVB-T tuners. **Microwave Theory and Techniques, IEEE Transactions on**, [S.l.], v. 57, n. 4, p. 928-937, março 2009.

MIYAZAKI, T. et al. A performance comparison of PLLs for clock generation using ring oscillator VCO and LC oscillator in a digital CMOS process. Asia and South Pacific Design Automation Conference (ASP-DAC), 2004. **Anais...IEEE**, janeiro 2004..

MOON, Y ; ROH, Y.S.; JEONG, C.-Y.; YOO, C. A 4.39–5.26 GHz LC-Tank CMOS Voltage-Controlled Oscillator With Small VCO-Gain Variation. **Microwave and Wireless Components Letters, IEEE**, [S.l.], v. 19 , n. 8, p. 524-526, julho 2009.

NAKAMURA, T. et al. A Wide-tuning-range VCO with Small VCO-gain Fluctuation for Multi-band W-CDMA RFIC. Solid-State Circuits Conference (ESSCIRC), 2006. **Anais...IEEE**, setembro 2006.

RAZAVI, B. **RF Microelectronics**. Upper Saddle River, NJ, USA: Prentice-Hall, Inc., 1998.

RAZAVI, B. **Design of analog CMOS integrated circuits**. [S.l.]: Tata McGraw-Hill Education, 2002.

SADHU, B.; KIM, J; HARJANI, R. A. CMOS 3.3-8.4 GHz wide tuning range, low phase noise LC VCO. Custom Integrated Circuits Conference (CICC), 2009 IEEE. **Anais...IEEE**, setembro 2009.

SADHU, B.; HARJANI, R. A. Capacitor bank design for wide tuning range LC VCOs: 850MHz-7.1GHz (157%). Circuits and Systems (ISCAS), 2010 IEEE. **Anais...IEEE**, maio 2010

SHIN, J.; SHIN, H. An FDC-based auto-calibration technique for $\Delta\Sigma$ fractional-N PLL. Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium on. **Anais...IEEE**, agosto 2011.

SHU, K.; SANCHEZ-SINENCIO, E. **CMOS PLL Synthesizers: Analysis and Design**. New York, NY 10013, USA: Springer Science+Business Media, Inc., 2005.

TAKIGAWA, Y. et al. A 92.6 % tuning range VCO utilizing simultaneously controlling of transformers and MOS varactors in 0.13 μm CMOS technology. Radio Frequency Integrated Circuits Symposium (RFIC), 2009 IEEE. **Anais...IEEE**, junho 2009.

APÊNDICE A: PROJETO da PCB

A.1: Esquemático

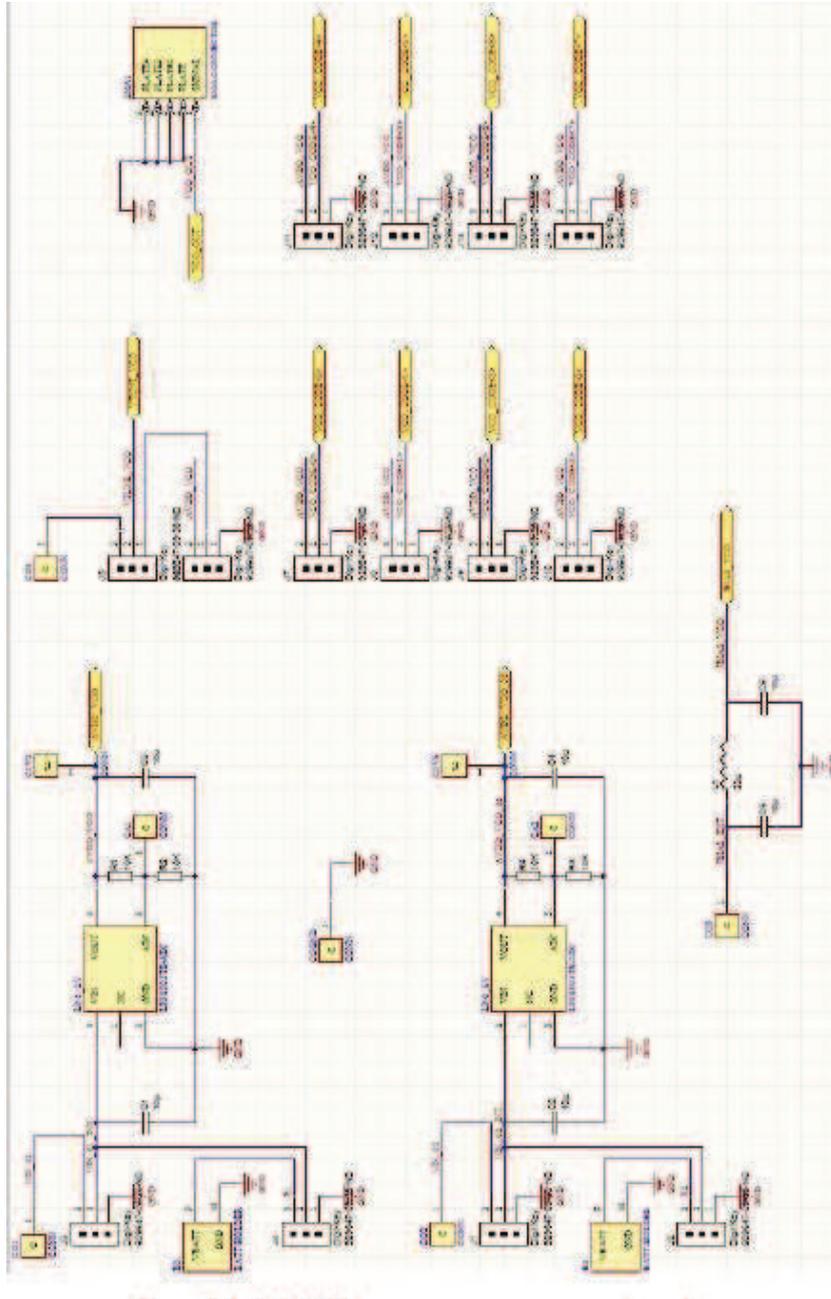


Figura A.1: Esquemático da PCB

A.2: Layout

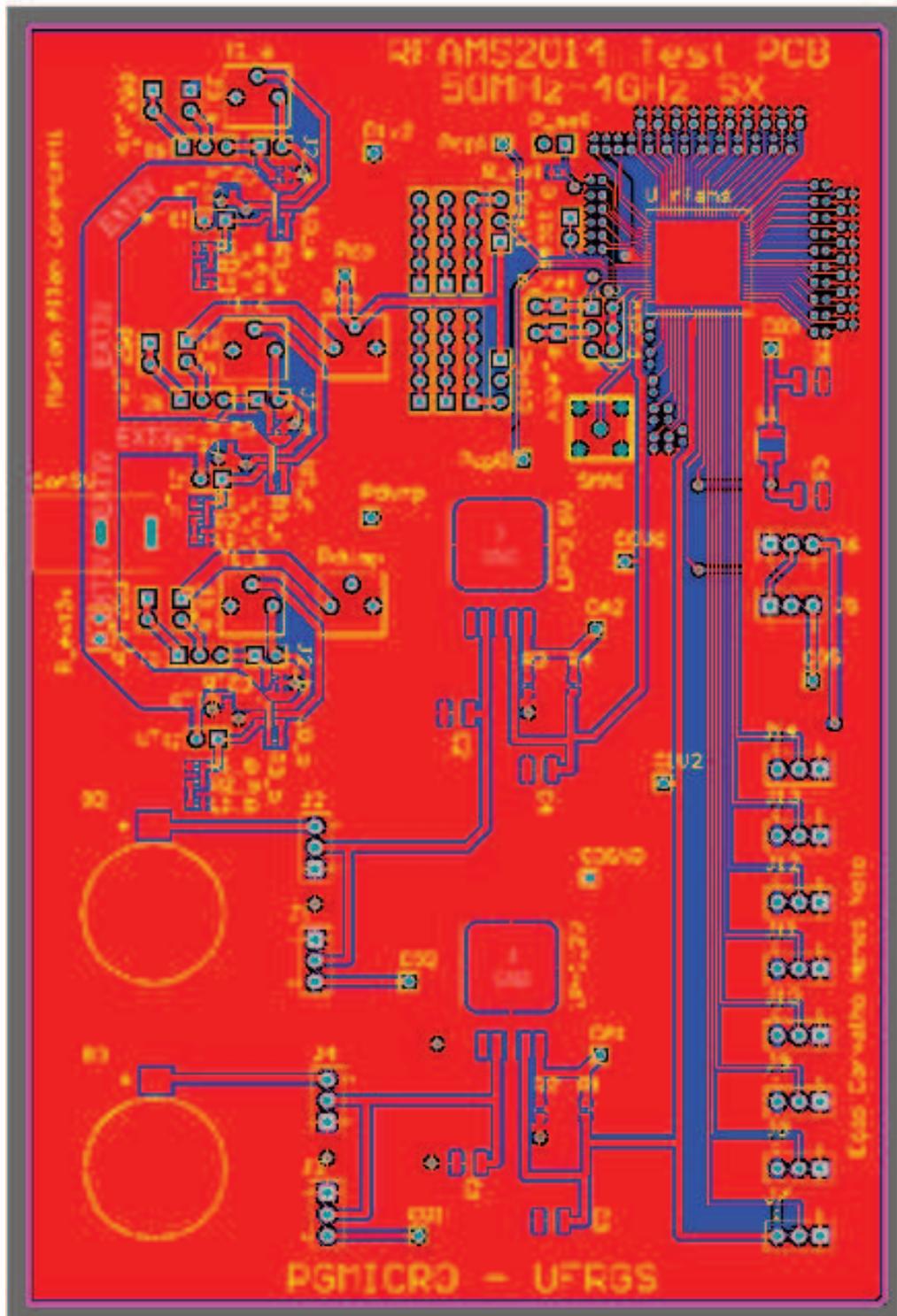


Figura A.2: Layout da PCB

APÊNDICE B: ESTUDO E PROJETO DE UM DIVISOR DE FREQUÊNCIAS PROGRAMÁVEL

B.1 Análise e Projeto do Divisor de Frequência Programável

Conforme apresentado na Introdução desse relatório, o divisor de frequências programável é um bloco elementar em um sintetizador de frequências. Esse circuito, gera em sua saída um sinal de frequência que é comparado com o sinal de frequência de referência na entrada no sintetizador de frequências.

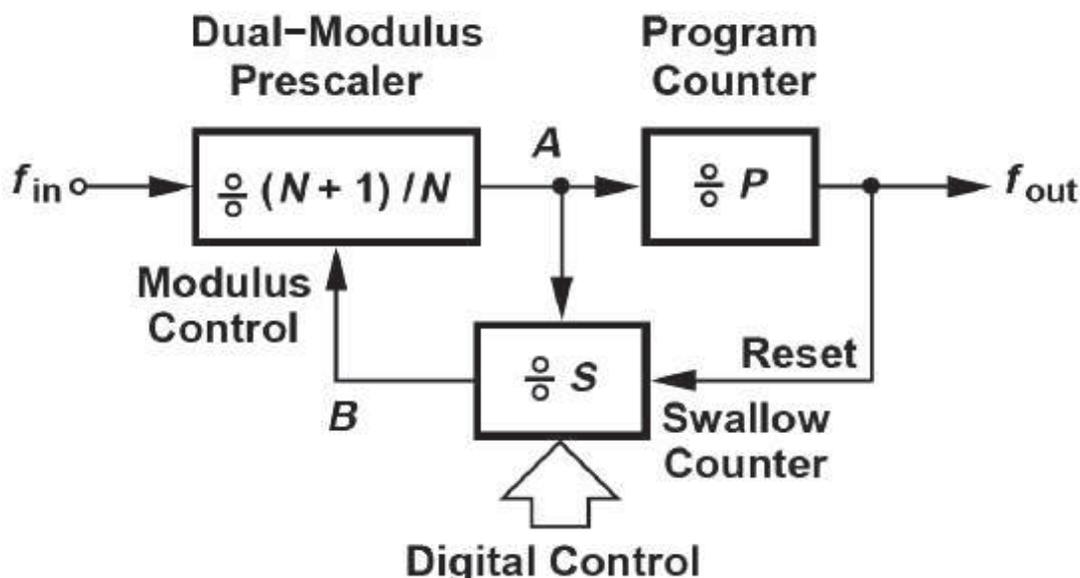
Uma vez que o divisor de frequências recebe em sua entrada um sinal de saída do VCO, a capacidade de operar à altas frequências se torna um requisito importante para ele. No caso desse projeto, o VCO opera até 8GHz, sendo esse então o principal requisito para o circuito divisor de frequências. Esse requisito, influencia diretamente a escolha da topologia de circuito dos primeiros estágios de divisão, onde um compromisso entre velocidade e consumo de energia deve ser considerado.

Uma outra consideração importante é o fator de divisão M . Para o projeto do sintetizador de frequências para aplicações de múltiplas banda, foi assumido um valor da frequência de referência no valor de 20MHz. Considerando a faixa de frequências na saída do VCO entre 4GHz e 8GHz, o valor do fator de divisão M varia entre 200 e 400.

B.2 Arquitetura do Divisor de Frequências Programável

A arquitetura escolhida para a implementação do divisor de frequências programável, é a “*pulse-swallow*”. Essa arquitetura é amplamente usada (RAZAVI, 1998). A Figura B.1 apresenta essa arquitetura, que é formada de quatro elementos: um *prescaler* $N/N+1$, um *Program Divider*, um *Swallow Divider* e um circuito de controle (*modulus control*).

Figura B.1- Arquitetura do Divisor de Frequências



Fonte: Razavi (1998).

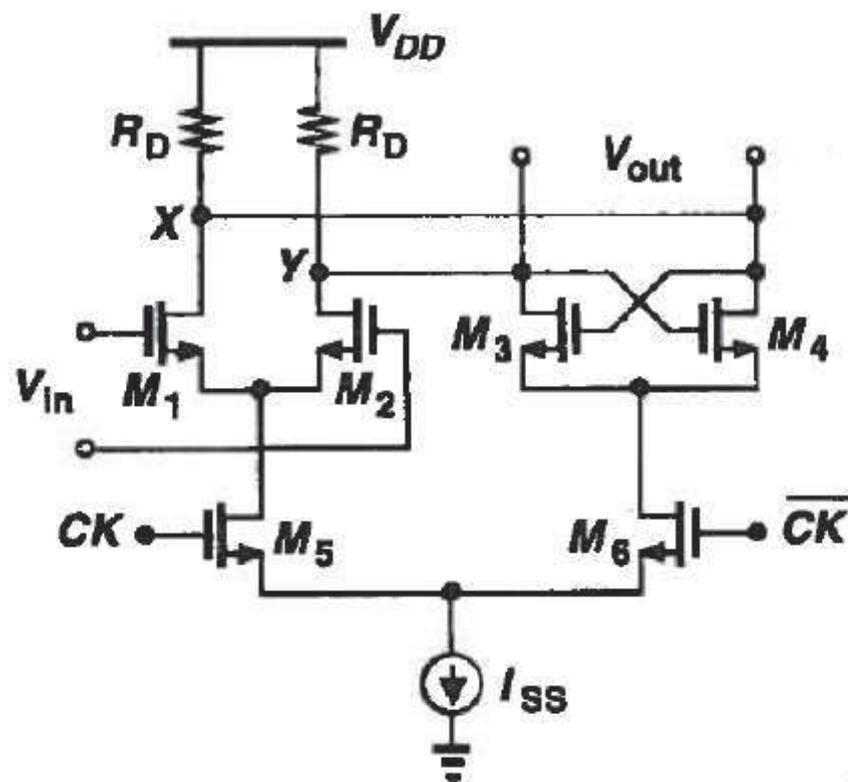
O *prescaler* divide a frequência de entrada do divisor por um fator N ou um fator $N+1$ de acordo com o nível lógico do sinal de saída *Modulus Control* do circuito de controle. Os divisores *Program* e *Swallow* sempre dividem a saída do *prescaler* por fatores de divisão P e S , respectivamente. O circuito de controle detecta o *overflow* dos divisores *Program* e *Swallow*, de acordo com o estado lógico de sua saída *Modulus Control*, isto é, se o estado lógico de *Modulus Control* é “0”, o circuito de controle detecta o *overflow* da divisão P , por exemplo. Observe que ambos divisores P e S são construídos a partir de contadores de pulsos, de modo que por isso o conceito de *overflow* é utilizado. Como resultado, essa topologia de divisor programável gera em sua saída um fator de divisão $M=P*N+S*(N+1)$ com relação a frequência de entrada, nesse caso a frequência do VCO.

B.2.1 Latch CML

Conforme mencionado nas considerações de projeto do divisor de frequências programável, a frequência máxima na entrada desse pode chegar até 8GHz. Nesse caso, o estilo de lógica *current-mode* (CML) é usado. Esse estilo de lógica apresenta algumas vantagens em relação à lógica CMOS padrão. A primeira e mais importante é a velocidade e a capacidade de operar a altas frequências. Essa propriedade é muito importante, pois aumenta a robustez da operação lógica de divisão. A segunda é a operação diferencial, o que minimiza o erro de fase na divisão (BERNY, 2006).

A Figura B.2 apresenta a implementação do *latch* baseado em lógica CML. Essa implementação é proposta em (RAZAVI, 1998). A estrutura é baseada em um par diferencial e um par regenerativo. Um dimensionamento apropriado dos transistores pode conduzir à um bom compromisso entre velocidade e consumo de energia. Nesse caso, os transistores devem possuir dimensões mínimas em termos do comprimento de canal L , de modo que a capacitância parasita dos transistores seja minimizada e os mesmos possuam uma ganho (transcondutância) elevado.

Figura B.2 *Latch* CML



Fonte: Razavi (1998).

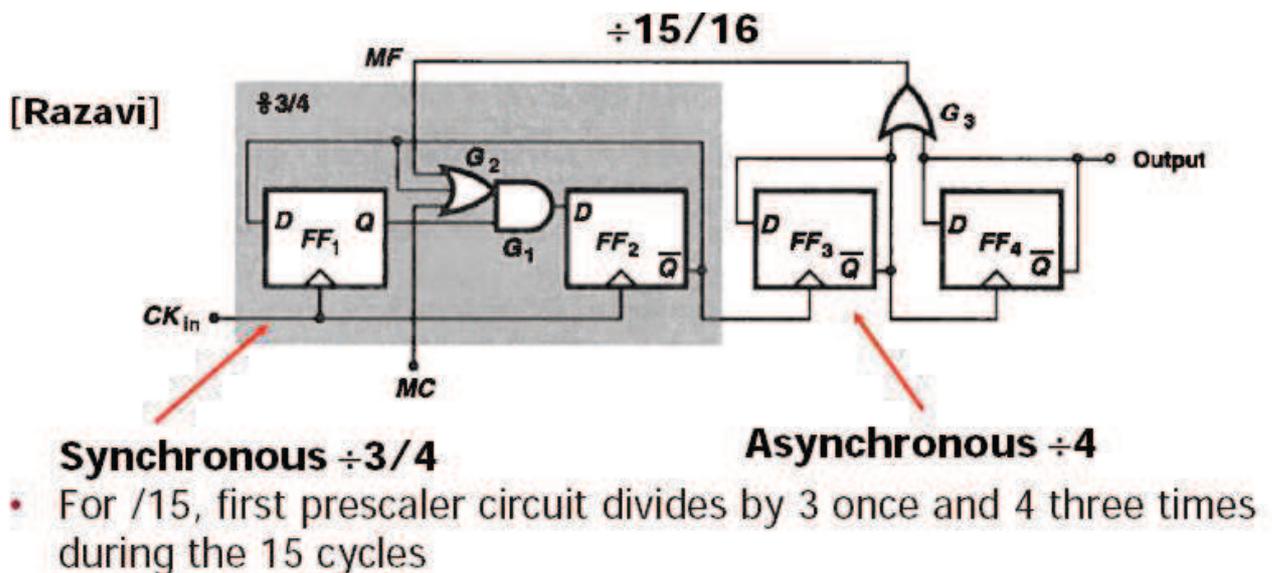
B.2.2 Prescaler 15/16

O *prescaler*, por operar à uma frequência mais alta em relação aos divisores *Program* e *Swallow*, é construído a partir do estilo lógico CML, enquanto que os divisores *Program* e *Swallow* são construídos a partir do estilo lógico CMOS padrão. Assim, os fatores de divisão

$N/N+1$ do *prescaler* são escolhidos a fim de garantir uma frequência máxima para os divisores *Program* e *Swallow*, de modo que a operação desses não seja comprometida. Considerando a frequência máxima na entrada do *prescaler* de 8GHz, os fatores de divisão 15/16 são escolhidos de maneira que a frequência máxima na entrada dos divisores *Program* e *Swallow* seja 533.33MHz.

A Figura B.3 apresenta um esquemático simplificado da topologia da *prescaler* 15/16 utilizada. Essa topologia é proposta em (RAZAVI, 1998). Os *flip-flops* FF1 e FF2, e as portas lógicas G1 e G2 formam um circuito síncrono divisor 3/4, dividindo a frequência do sinal de entrada CK_{in} por quatro se o sinal de controle MC é “1” lógico ou por três se ambos os sinais MC e MF são “0” lógico. Os *flip-flops* FF3 e FF4, e a porta lógica G3 formam um circuito divisor por quatro.

Figura B.3 Topologia da *Prescaler* 15/16 utilizada



Fonte: Razavi (1998).

B.3 Implementação do Divisor de Frequências Programável

A Figura B.4 apresenta o esquemático do divisor de frequências programável desenvolvido. A arquitetura é baseada na apresentada na Figura B.1. Como o valor do fator de divisão M varia entre 200 e 400, são usados ao todo 8 bits de programação desse fator, sendo 4 bits para o divisor *Program* e 4 bits para o divisor *Swallow*.

A Figura B.5 apresenta o esquemático do *prescaler* 15/16. A arquitetura é baseada na apresentada na figura B.3. Conforme já descrito anteriormente, o circuito pode ser dividido em uma parte síncrona, podendo essa efetuar uma divisão por 3 ou 4, e uma parte assíncrona que divide sempre por 4. Como pode ser visto na Figura B.5, a parte síncrona do *prescaler* 15/16 é alimentada com uma corrente de polarização I_{bias} maior, nesse caso 3mA, em relação à corrente I_{bias} que alimenta a parte assíncrona, nesse caso 750 μ A. Essa escolha de projeto é realizada para melhor atender ao compromisso entre velocidade / robustez na operação e consumo de energia, considerando duas características dessa arquitetura: primeiro, o circuito síncrono opera à uma frequência mais alta comparado com o circuito assíncrono, e segundo, para garantir a divisão por 15, é necessário que o caminho formado pelas portas lógicas OR3, OR1, OR2 e AND1 tenha um atraso menor que o período do sinal de entrada do *prescaler*.

A Figura B.6 mostra o esquemático elétrico da célula CML. Essa célula é usada para formar todas as células lógicas do circuito *prescaler*, onde algumas entradas são aterradas (gnd) ou conectadas a alimentação (vdd). Observe na Figura B.6 que a célula CML é composta de três entradas diferenciais: [a_p, a_m], [b_p, b_m] e [c_p, c_m], e também de uma saída diferencial: [out_p, out_m]. A célula CML possui um transistor NMOS M_{bias} configurado como fonte de corrente, um par diferencial formado pelos transistores NMOS M_{ap} e M_{am} , um par diferencial formado pelos transistores NMOS M_{bp} e M_{bm} , e um par diferencial formado pelos transistores NMOS M_{cp} e M_{cm} . O dimensionamento é feito de forma que haja um bom compromisso entre velocidade e consumo de energia. A Tabela B.1 apresenta as configurações usadas da célula CML a fim de gerar portas lógicas ou o *latch* CML.

Figura B.4. Esquemático do Divisor de Frequências Programável

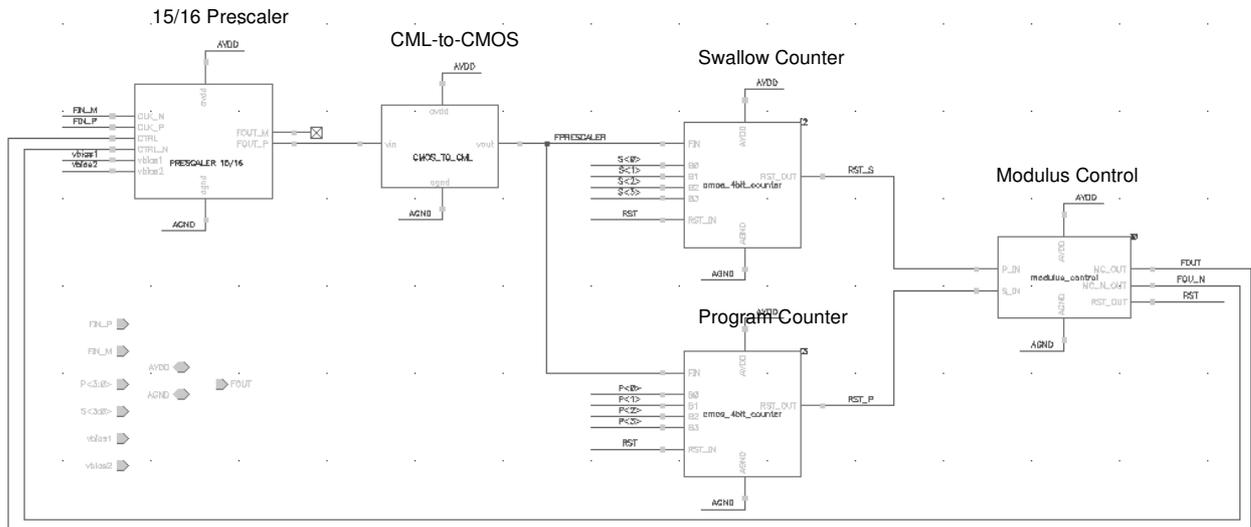
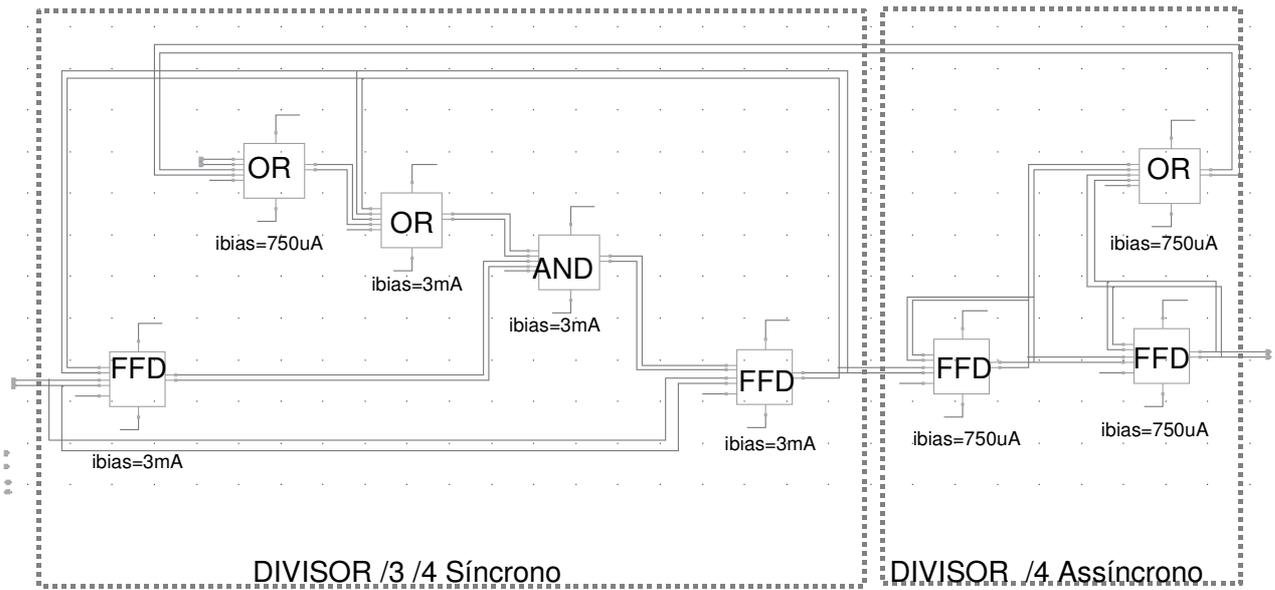


Figura B.5. Esquemático do Prescaler 15/16



B.4 Resultados de Simulações do Divisor de Frequências Programável

A Figura B.7 apresenta uma forma de onda do divisor de frequências. Nesse caso, a frequência do sinal diferencial de entrada é 8GHz. Observe na forma de onda da “frequência de saída do *prescaler*”, que essa frequência varia entre 533.3MHz e 500MHz, o que significa que o *prescaler* está dividindo por 15 e 16, respectivamente.

Para um sinal de entrada do divisor com frequência igual à 8GHz e a tensão de pico (amplitude) desse sinal igual a 600mV, o divisor de frequências programável tem um consumo de corrente de 6.81mA para uma tensão de alimentação de 1.5V.

O *latch* CML foi testado em uma configuração de divisor por dois, nesse caso com dois *latches* realimentados. Para um sinal com amplitude de pico de 200mV, o *latch* teve habilidade de para efetuar a operação de divisão por dois até 21GHz.

Para realizar a mesma operação de divisão por dois à uma frequência de 8GHz, o *latch* teve uma sensibilidade em potência de -29.2dBm, o que representou, para esse caso, uma sensibilidade em tensão de pico de aproximadamente 60mV.

Tabela B.1 Configurações da célula CML

Entrada	Operação		
	<i>OR</i>	<i>AND</i>	<i>Latch D</i>
<i>a_p</i>	Entrada A negativa	Entrada A positiva	Entrada <i>Clock</i> positiva
<i>a_m</i>	Entrada A positiva	Entrada A negativa	Entrada <i>Clock</i> negativa
<i>b_p</i>	Entrada B negativa	Entrada B positiva	Entrada D positiva
<i>b_m</i>	Entrada B positiva	Entrada B negativa	Entrada D negativa
<i>c_p</i>	gnd	gnd	out_m
<i>c_m</i>	vdd	vdd	out_p

Figura B.6 - Esquemático da célula CML

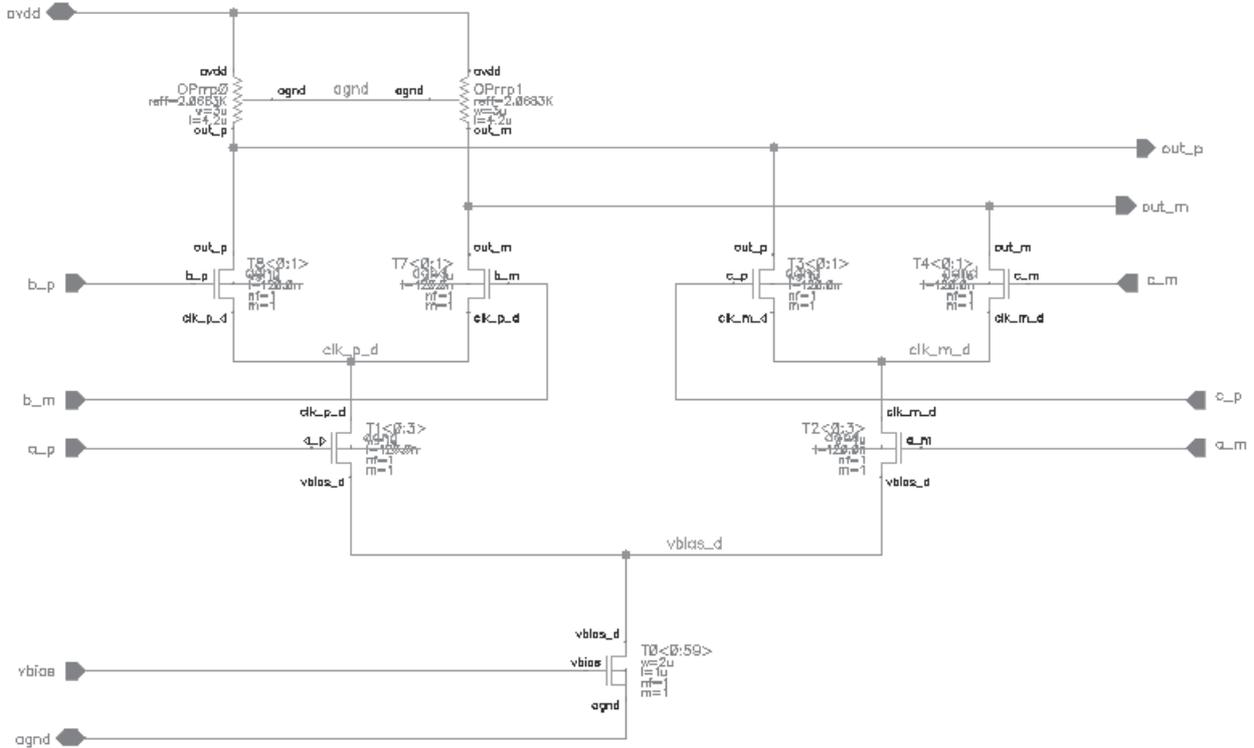


Figura B.7 -Análise Transiente do Divisor de Frequências

