

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

VINÍCIUS VALDUGA DE ALMEIDA CAMARGO

**Modelagem e Simulação de NBTI em
Circuitos Digitais**

Dissertação apresentada como requisito parcial
para a obtenção do grau de Mestre em
Microeletrônica

Prof. Dr. Gilson Inácio Wirth
Orientador

Porto Alegre, fevereiro de 2012.

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Valduga de Almeida Camargo, Vinícius

Modelagem e Simulação de NBTI em Circuitos Digitais
[manuscrito] / Vinícius Valduga de Almeida Camargo. – 2012.

Orientador: Gilson Inácio Wirth;

60 f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2012.

1.NBTI. 2.RTS 3.Simulação de Circuitos 4.Microeletronica I.
Wirth, Gilson I. II. Modelagem e Simulação de NBTI em Circuitos Digitais.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Aldo Bolten Lucion

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMicro: Prof. Ricardo A L Reis

Agradecimentos

Aos meus pais e meu irmão pelo apoio incondicional durante a realização deste trabalho. Ao Maurício Banaszkeski da Silva, ao Lucas Brusamarello, ao Dimitrios Rodopoulos, ao Mahato Swaraj e ao Ben Kaczer pelas valiosas discussões durante o desenvolvimento deste trabalho. Ao meu orientador Prof. Gilson Inácio Wirth pela confiança e tempo depositados em mim. Ao IMEC por me acolher e fornecer as condições necessárias para o desenvolvimento deste trabalho e finalmente ao Brasil e a Universidade e seus professores que desempenharam com louvor seu papel de motivar e auxiliar seus alunos na busca pelo conhecimento.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS	9
LISTA DE FIGURAS.....	11
LISTA DE TABELAS	13
RESUMO	14
ABSTRACT	16
1 INTRODUÇÃO	17
2 RANDOM TELEGRAPH SIGNAL (RTS).....	21
2.1 Traps.....	22
3 NEGATIVE BIAS TEMPERATURE INSTABILITY (NBTI)	27
3.1 Reaction Diffusion Model	30
3.2 Trap based Model	32
4 SIMULAÇÃO EM NÍVEL DE CIRCUITO	34
4.1 Simulador elétrico de <i>Traps</i>	34
4.2 Estudos de caso.....	37
5 SIMULAÇÃO EM NÍVEL DE SISTEMA	43
5.1 Ferramentas de SSTA.....	44
5.2 NBTI em ferramentas de SSTA.....	45
5.3 Metodologia.....	47
5.4 Resultados	48

6 CONCLUSÕES	54
REFERÊNCIAS	56
APÊNDICE A LISTA DE PUBLICAÇÕES (2010-2012)	60

LISTA DE ABREVIATURAS E SIGLAS

AC	Alternate Current
BSIM4	Berkeley Short-Channel IGFET Model 4
CAD	Computed Aided Design
D2D	Die-to-Die
DF	Duty Factor
EDA	Electronic Design Automation
FET	Field Effect Transistor
HCI	Hot Carrier Injection
IEEE	Institute of Electrical and Electronics Engineers
IMEC	Interuniversity MicroElectronics Center
L	Channel length of the transistor
LER	Line Edge Roughness
MOS	Metal Oxide Silicon
MOSFET	Metal Oxide Silicon Field Effect Transistor
NBTI	Negative Bias Temperature Instability
NMOS	Negative Metal Oxide Silicon
PCA	Principal Component Analysis
PMOS	Positive Metal Oxide Silicon
PTM	Predictive Transistor Model
PVT	Process, Voltage, Temperature
Q-Q	Quantile-quantile
RDF	Random Dopant Fluctuation
RTN	Random Telegraph Noise
RTS	Random Telegraph Signal or Runtime Situation
SET	Single Event Transient
SRAM	Static Random Access Memory
SSTA	Statistical Timing Analysis

STA	Static Timing Analysis
W	Channel width of the transistor
WD	Within-Die

LISTA DE FIGURAS

<i>Figura 1.1: Desenho de um transistor do tipo MOSFET. (ASENOV, 2003).....</i>	<i>17</i>
<i>Figura 1.2: Classificação da Variabilidade em dispositivos MOSFET. Figura adaptada de (WIRTH, 2010).....</i>	<i>18</i>
<i>Figura 1.3: Ilustração de RDF e LER em um MOSFET. (HANE, 2003).....</i>	<i>19</i>
<i>Figura 1.4: Número de artigos relacionados a NBTI em conferências e revistas da IEEE a partir do ano 2000.</i>	<i>20</i>
<i>Figura 2.1: Random Telegraph Signal no domínio tempo. Figura adaptada de (WIRTH, 2007)</i>	<i>21</i>
<i>Figura 2.2: Cristal de silício (a) antes e (b) depois da oxidação mostrando a geração de traps na interface. (PIERRET, 1996).....</i>	<i>22</i>
<i>Figura 2.3: Dependência das constantes de tempo com o campo elétrico. (GRASSER, 2010)</i>	<i>24</i>
<i>Figura 2.4: Relação das constantes de tempo com a temperatura. (GRASSER, 2010).....</i>	<i>24</i>
<i>Figura 2.5: Variação da tensão de limiar em função do tempo durante o relaxamento de um MOSFET. (GRASSER, 2010).....</i>	<i>25</i>
<i>Figura 3.1: Medidas de NBTI em um sinal AC mostrando a degradação durante o estresse e a recuperação durante o relaxamento. (WANG, 2010) com dados obtidos de (KRISHNAN, 2005)</i>	<i>28</i>
<i>Figura 3.2: Aumento da variabilidade da degradação devido ao NBTI para diferentes nós tecnológicos. (KANG, 2007)</i>	<i>28</i>
<i>Figura 3.3: (a) Descrição esquemática do modelo (b) Perfil da concentração de Hidrogênio no óxido de silício. (ALAM, 2004)</i>	<i>30</i>
<i>Figura 3.4: NBTI durante o processo de recovery quando $V_g = V_{th}$ para quatro tecnologias diferentes. Os símbolos são resultados experimentais enquanto as linhas são as previsões feitas pelo modelo Reaction-Diffusion. (GRASSER, 2011)</i>	<i>31</i>
<i>Figura 3.5: Dependência da degradação em relação ao Duty Factor para três tecnologias diferentes mostrando que o modelo Reaction-Diffusion é incapaz de produzir a mesma forma de curva obtida experimentalmente. (GRASSER, 2011).....</i>	<i>31</i>
<i>Figura 3.6: (a) As propriedades aleatórias dos defeitos quando em grandes transistores tende a média, resultando em uma expectativa de vida bem definida enquanto em (b) a natureza estocástica de poucos defeitos em dispositivos pequenos é aparente resultando em uma grande variação do tempo de vida, mostrado em (c). (KACZER, 2011)</i>	<i>32</i>
<i>Figura 4.1: Quadro de simulação da ferramenta de simulação elétrica de NTBI e RTS.</i>	<i>34</i>
<i>Figura 4.2: Comparação do tempo de simulação de um circuito com 6 transistores num total de 90 traps.</i>	<i>36</i>
<i>Figura 4.3: Probabilidade de ocupação em função do tempo de estresse e do Duty factor do sinal de estresse. (KACZER, 2011)</i>	<i>37</i>
<i>Figura 4.4 Probabilidade de ocupação de traps para diferentes traps geradas pelas equações analíticas e seu histograma obtido por uma simulação passo a passo. (KACZER, 2011).....</i>	<i>37</i>
<i>Figura 4.5: (a) Três períodos de uma onda quadrada de frequência 250 MHz utilizado como entrada no inversor estudado. A tensão de limiar correspondente a cada instante de tempo do sinal de entrada após (b) 10^{-8}s e (f) 10^8s de estresse. (KACZER, 2011).....</i>	<i>38</i>
<i>Figura 4.6: Efeito do NBTI na relação Potencia Vs Atraso em um inversor. (KACZER, 2011)</i>	<i>39</i>
<i>Figura 4.7: Sinais de estresse utilizados para o estudo do impacto da atividade do sinal de estresse na degradação devido a efeitos de BTI. (RODOPOULOS, 2011).....</i>	<i>39</i>
<i>Figura 4.8: Medidas do tempo de propagação em um inversor sob os sinais de estresse apresentados na Figura 4.7. (RODOPOULOS, 2011).....</i>	<i>40</i>
<i>Figura 4.9: Esquemático da memória SRAM utilizada. Os caminhos de leitura estão tracejados. (RODOPOULOS, 2011)</i>	<i>40</i>

<i>Figura 4.10: Flutuações no atraso de leitura de uma partição SRAM para diferentes Runtime Situation. Em (a) não é considerado o efeito de degradação devido a traps. Os resultados apresentados para ambas Runtime Situations é quase idêntico. Em (b) o efeito causado por traps é considerado de forma que se nota uma variabilidade maior dos resultados assim como uma diferença significativa para diferentes Runtime Situations. (RODOPOULOS, 2011)</i>	<i>41</i>
<i>Figura 4.11: Flutuações no atraso de leitura de uma partição SRAM para diferentes Runtime Situation considerando que tenha sido aplicado um sinal AC durante 10^7s. Em (a) não é considerado o efeito de degradação devido a traps. Os resultados apresentados para ambas Runtime Situations é mais uma vez quase idêntico. Em (b) o efeito causado por traps é considerado de forma que se nota uma enorme variabilidade nas medidas. (RODOPOULOS, 2011)</i>	<i>42</i>
<i>Figura 5.1: Método de simulação STA para NBTI baseado em estimativas do DF do sinal de estresse apresentada por (WANG, 2007).....</i>	<i>46</i>
<i>Figura 5.2: Quadre de simulação de uma ferramenta de SSTA levando em conta os efeitos de degradação causados pelo NBTI apresentado por (HAM, 2010).</i>	<i>46</i>
<i>Figura 5.3: Esquemático dos circuitos analisados. (a) Circuito 1, (b) Circuito 2 e (c) Circuito 3.</i>	<i>48</i>
<i>Figura 5.4: Q-Q plot do tempo de propagação gerado pela simulação elétrica comparado com o gerado pela simulação SSTA no circuito 1 após 10^4s (a), no circuito 2 após 10^4s (b) e no circuito 3 após 10^4s (c).</i>	<i>50</i>
<i>Figura 5.5: Q-Q plot do tempo de propagação dos circuitos 1 (a) e 2 (b) após 10^4s de estresse considerando variabilidade de processo.</i>	<i>51</i>
<i>Figura 5.6: Distribuição da Tensão de Limiar devido a NBTI considerando (a) e não considerando (b) variabilidade de processo.</i>	<i>52</i>

LISTA DE TABELAS

<i>Tabela 2.1: Efeito de traps em diferentes tamanhos de transistores</i>	<i>26</i>
<i>Tabela 5.1. Delay distributions characteristics.</i>	<i>49</i>

RESUMO

A miniaturização dos transistores do tipo MOS traz consigo um aumento na variabilidade de seus parâmetros elétricos, originária do processo de fabricação e de efeitos com dependência temporal, como ruídos e degradação (envelhecimento ou *aging*). Este aumento de variabilidade no nível de dispositivo se converte aos níveis de circuito e sistema como uma perda de confiabilidade ou de desempenho. Neste trabalho são apresentados métodos de simulação de efeitos causados por armadilhas de cargas (*charge traps*), como o NBTI e o RTS. Tomando como base simuladores elétricos comerciais, foi desenvolvida uma ferramenta capaz de simular a atividade das armadilhas durante uma simulação transiente. Para tanto, foi criado um componente em Verilog-A e um software de controle escrito em Perl. Dessa forma é possível analisar o impacto de *traps* (armadilhas) no comportamento do circuito considerando variações ambientais como tensões de operação, bem como analisar efeitos de ruído como o RTS e de *aging* como NBTI. Foram então desenvolvidos estudos de caso em um inversor, em um caminho crítico com cinco níveis lógicos e em uma memória SRAM de 32 bits, onde foi feita uma análise da relação do NBTI com o histórico do sinal de estresse no circuito.

Em um segundo momento foi desenvolvido um método de análise do impacto de NBTI em circuitos digitais no nível de sistema, através de simulações de SSTA. Para tal estudo foi caracterizada a biblioteca *NCSU FreePDK 45nm* da Nangate, considerando o tempo como um *corner*, e então realizando-se uma simulação de SSTA em três caminhos críticos de diferentes complexidades. A fim de estudar a acuidade obtida nas simulações realizadas no nível do sistema, também foram realizadas simulações com o simulador elétrico desenvolvido e comparados os resultados. Observou-se um aumento na acuidade das simulações no nível do sistema quando complexidade do circuito estudado aumenta. Tal comportamento é explicado através do teorema do limite central.

Palavras-Chave: NBTI, RTS, RTN, Simulação de Circuitos, SSTA, Microeletrônica.

Modeling and Simulation of NBTI on Combinational Circuits

ABSTRACT

The downscaling of MOS transistors leads to an increase of the variability of its electrical parameters generated both by fabrication process and by time dependent effects, such as noise and ageing. This increase of the variability at the device level turns into the circuit and systems level as a loss in the reliability or performance. This thesis presents the development of simulation methods for effects caused by traps, such as NBTI and RTS. Combining commercial electrical simulators, an enhanced Verilog-A transistor model and a control software developed in Perl, a simulation tool was created. The tool properly accounts for the activity of traps during transient electrical simulations. This way it is possible to evaluate the impact of traps in the behavior of circuits taking into account environmental variations, like supply voltage fluctuations, and evaluate noise effects like RTS and aging effects like NBTI. Case studies were carried out, considering an inverter, a five stages logic path and a SRAM, where the workload dependency on NBTI was evaluated.

The impact of NBTI on combinational circuits on a system level is then evaluated through SSTA simulations. In order to perform this analysis, the Nangate NCSU FreePDK 45nm library was characterized and the circuit's age was considered as a time corner. SSTA simulations were performed in three paths of different complexities and then its results were compared with the results obtained with the electrical simulator developed showing an increase of accuracy of the SSTA method as a function of the circuit's complexity. This behavior is explained by the Central Limit Theorem.

Keywords: NBTI, RTS, RTN, Circuit Simulation, SSTA, Microelectronics.

1 INTRODUÇÃO

Durante as últimas décadas, pesquisas têm sido desenvolvidas no campo da microeletrônica visando desenvolver novas técnicas de projeto, novos materiais e novas tecnologias de fabricação a fim de produzir circuitos eletrônicos mais rápidos e/ou que consumam menos potência. O sucesso destas pesquisas tem consistentemente produzido componentes mais rápidos, menores, com menor consumo de energia e maior viabilidade econômica. Isto leva ao incremento da gama de aplicações, fazendo com que a indústria desenvolvedora de produtos baseados em semicondutores os torne cada vez mais complexos, integrando mais e mais funcionalidades no mesmo circuito integrado e aumentando significativamente o número de transistores dentro de um chip. Este aumento de complexidade foi previsto por Moore em 1965 quando disse que o número de transistores dentro de um circuito dobraria a cada 24 meses.

Os dispositivos que constituem a grande maioria dos circuitos integrados de uso comercial são transistores do tipo MOSFET. A Figura 1.1 mostra um desenho de um transistor MOSFET. Neste trabalho é assumido que o leitor possua um conhecimento básico deste tipo de dispositivo para uma melhor compreensão do texto. Um dos principais fatores limitantes na velocidade de um transistor MOS é a sua grande resistência de canal a qual limita sua corrente de operação. Com a finalidade de tornar os dispositivos mais rápidos, e por conseqüência os circuitos que por estes são formados, reduziu-se o tamanho do canal destes dispositivos e a espessura do óxido de silício que o cobre. Esta redução de tamanho dos transistores levou a não somente ao aumento de velocidade, mas também uma redução no custo individual do transistor.

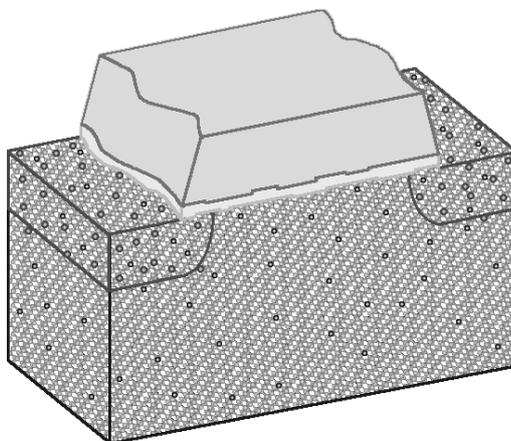


Figura 1.1: Desenho de um transistor do tipo MOSFET. (ASENOV, 2003)

A redução do tamanho dos transistores trouxe consigo novos desafios tecnológicos. Novas técnicas foram então desenvolvidas e novos materiais passaram a ser utilizados visando a resolução destes novos desafios. São exemplos deste desenvolvimento

técnicas como a utilização de isolantes High-k na porta, de materiais Low-k entre as interconexões e implantações HALO. Além de efeitos determinísticos oriundos da redução do tamanho dos transistores, passaram a ganhar importância fenômenos que geram variabilidade nos seus parâmetros elétricos. A Figura 1.2 apresenta uma classificação dos efeitos de variabilidade em transistores decompondo os efeitos em dois ramos principais quanto a sua origem, espacial ou temporal.

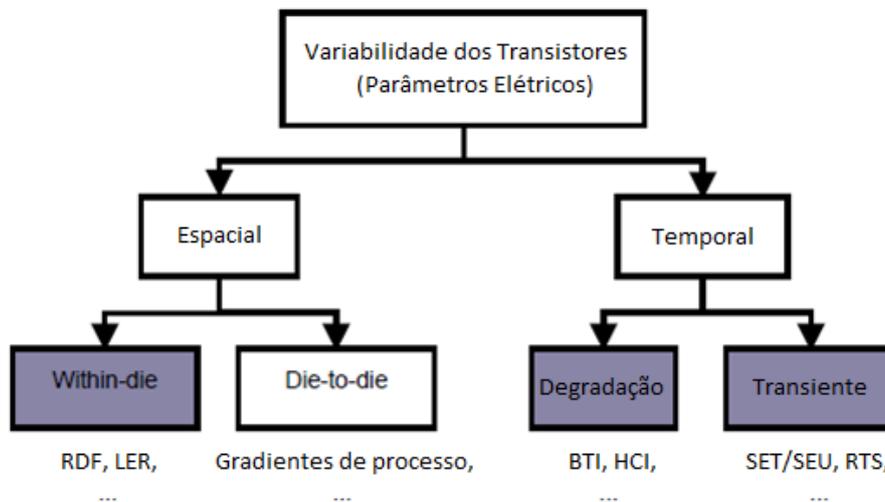


Figura 1.2: Classificação da Variabilidade em dispositivos MOSFET. Figura adaptada de (WIRTH, 2010)

Dentre as fontes de variabilidade espaciais há uma divisão entre as fontes *Within-die* (WD) e as fontes *Die-to-Die* (D2D). Uma fonte de variabilidade é chamada *Within-Die* quando esta ocorre entre transistores dentro de um mesmo chip, enquanto uma fonte *Die-to-Die* afeta igualmente todos os transistores dentro de um mesmo chip. Fontes D2D são geralmente associadas variações de parâmetros de processo durante a etapa de fabricação. Fontes WD estocásticas são originadas na natureza discreta da matéria e da energia, no número e posição dos átomos dopantes, moléculas de *photoresist* e fótons. Devido a sua origem elementar, efeitos de variabilidade WD são dificilmente corrigidos durante a etapa de fabricação precisando então ser avaliados durante a etapa de projeto. Dentre os principais efeitos de variabilidade WD podem ser citados o *Random Dopant Fluctuation* (RDF) e o *Line Edge Roughness* (LER). (BRUSAMARELLO, 2011)

O RDF é um efeito que se apresenta como um causador de variabilidade na tensão de limiar dos transistores do tipo MOS. Ele tem sua origem nas características discretas das cargas e da matéria. Devido à redução da área de canal dos transistores o número de átomos dopantes presentes no canal, próximos a porta, foi reduzido proporcionalmente de forma que nos transistores utilizados em tecnologias atuais sub-50nm este número foi reduzido a poucas dezenas. Com isso não é mais possível considerar o substrato uniformemente dopado, mais do que isso, a localização de cada átomo dopante passa a exercer uma influência mais significativa nas características elétricas dos transistores. Este efeito é ilustrado na Figura 1.3. RDF e seu impacto em transistores do tipo MOS são discutidos em detalhe por (ASENOV, 2003).

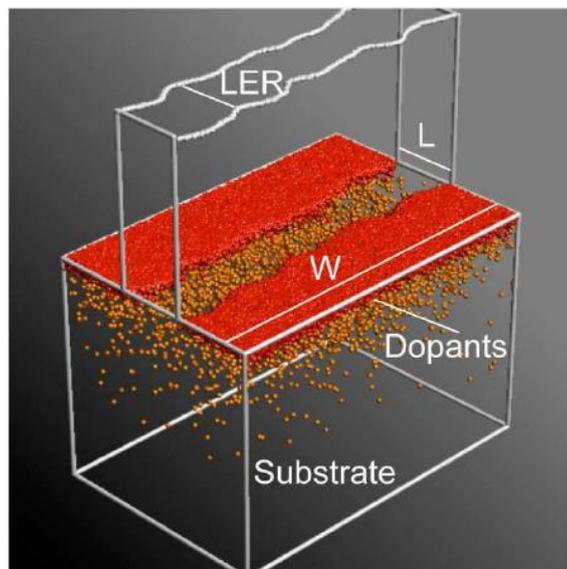


Figura 1.3: Ilustração de RDF e LER em um MOSFET. (HANE, 2003)

Também mostrado na Figura 1.3, o LER é caracterizado por variações no comprimento do canal dos transistores MOS. Estas oscilações são resultado de imperfeições durante a litografia e a etapa de corrosão e gerando variações nas características elétricas do transistor.

Além dos efeitos de variabilidade espacial, os transistores também sofrem de efeitos de variabilidade temporal. Este tipo de efeito pode ser dividido em dois grandes grupos, os efeitos de ruído, ou transientes, e os efeitos de degradação. Tanto os efeitos de ruído quanto os de degradação tem aumentado sua importância significativamente com a redução do tamanho dos transistores. Dentre os efeitos de ruído, os que mais tem causado interesse da comunidade científica são o *Random Telegraph Signal* (RTS) com sua origem na atividade de *traps* de interface e *Single Event Transients* (SET) com sua origem na radiação ionizante a qual o circuito é exposto. Dentre os efeitos de degradação se destacam os efeitos de *Bias Temperature Instability* (BTI), com destaque para o NBTI, que da mesma forma que o RTS, tendo sua origem vinculada à atividade de *traps*, e o *Hot Carrier Injection* (HCI). Devido ao aumento do impacto da atividade dos *traps* nos transistores e por sua vez nos circuitos, neste trabalho serão estudados apenas os efeitos originados pela atividade de *traps*, ou seja, efeitos de BTI e RTS.

O NBTI é um efeito causado pelo acúmulo de cargas em *traps* localizados na camada isolante dos transistores MOS o que leva a um aumento do módulo da tensão de limiar do dispositivo (IELMINI, 2009). Este aumento da tensão de limiar dificulta a formação do canal e reduz a corrente de dreno do transistor o tornando mais lento e então reduzindo o desempenho do circuito como um todo. Este efeito foi primeiramente reportado em 1967 por (DEAL, 1967), no entanto o efeito passou a ganhar importância somente nos últimos anos quando, devido à redução da tensão de operação e da tensão de limiar dos transistores a cada novo nó tecnológico, a alteração na tensão de limiar dos dispositivos causada pelo NBTI passou a causar efeitos significativos no desempenho dos circuitos. A Figura 1.4 mostra o aumento do número de publicações relacionadas à NBTI desde o ano 2000 em conferências e revistas vinculadas a IEEE. Nota-se um aumento do interesse no tópico em toda a indústria de semicondutores com estudos tendo sido realizados desde a física básica de compreensão do efeito, a métodos de processo, novos materiais, modelagem, técnicas de simulação e técnicas de projeto

em ambos circuitos digitais e analógicos visando mitigar seus efeitos no bom funcionamento do projeto.

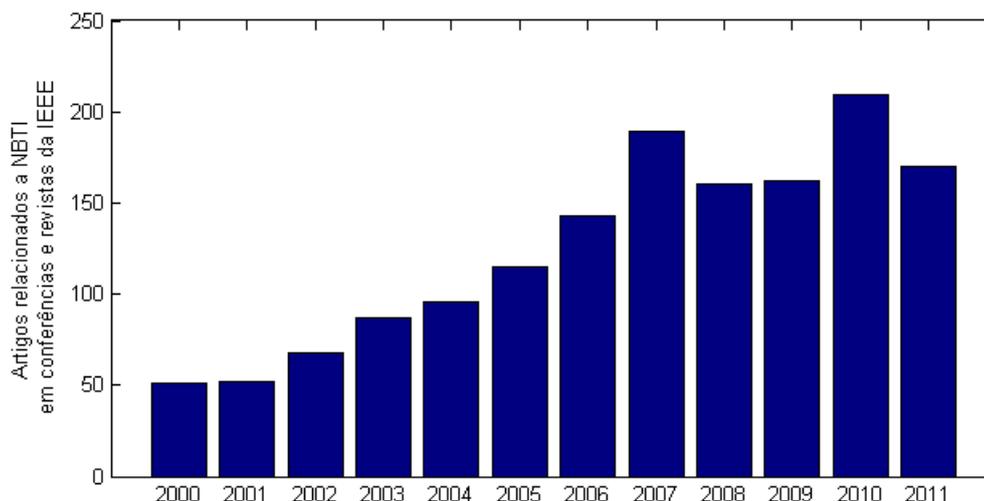


Figura 1.4: Número de artigos relacionados a NBTI em conferências e revistas da IEEE a partir do ano 2000.

Esse aumento de interesse é causado porque a redução do tamanho dos transistores e o aumento do campo elétrico no canal de condução dos transistores têm causado um aumento do impacto de NBTI e RTS em circuitos elétricos se tornando uma das principais ameaças a confiabilidade dos circuitos. Nas tecnologias recentes também se tornou evidente um grande aumento na variabilidade destes efeitos tornando sua compreensão e técnicas de projeto que prevêm seu impacto ainda mais importantes para o projeto de um circuito confiável.

Apesar do grande interesse na área, técnicas de análise do impacto destes efeitos em circuitos ainda são precárias devido ao seu aumento de importância apenas recente e a sua complexidade, por tratar-se de um efeito estocástico relacionado com a utilização do dispositivo. Este trabalho foi desenvolvido com o objetivo de desenvolver métodos de simulação em ambos níveis de circuito e sistema visando facilitar o desenvolvimento de técnicas de projeto que venham a aumentar a tolerância dos projetos a este tipo de efeito.

Neste trabalho será primeiramente apresentada uma revisão bibliográfica sobre RTS e NBTI incluindo uma descrição detalhada dos modelos utilizados. Em seguida será apresentada uma ferramenta de simulação elétrica baseada em eventos atômicos que foi desenvolvida neste trabalho. Serão então apresentados estudos de caso em circuitos de diferentes complexidades explicitando tanto as capacidades computacionais da ferramenta quanto o impacto dos fenômenos causados por *traps* no desempenho e estabilidade dos circuitos estudados. Por fim será apresentado um estudo a respeito da utilização de ferramentas de SSTA para a avaliação do impacto de NBTI em nível de sistema seguido das conclusões e discussões de trabalhos futuros que permeiam os tópicos apresentados neste.

2 RANDOM TELEGRAPH SIGNAL (RTS)

RTS, também chamado de Random Telegraph Noise (RTN), é um efeito causado pela sucessiva captura e emissão de um único elétron em uma armadilha (*trap*). Este fenômeno é freqüentemente observado em transistores MOS. O que caracteriza tal efeito no domínio tempo é a oscilação estocástica da corrente de dreno entre níveis discretos enquanto o transistor é polarizado com tensões constantes. Esta variação estocástica da corrente de dreno pode também ser modelada como uma variação estocástica da tensão de limiar do transistor (V_T). Tal comportamento é ilustrado na Figura 2.1.

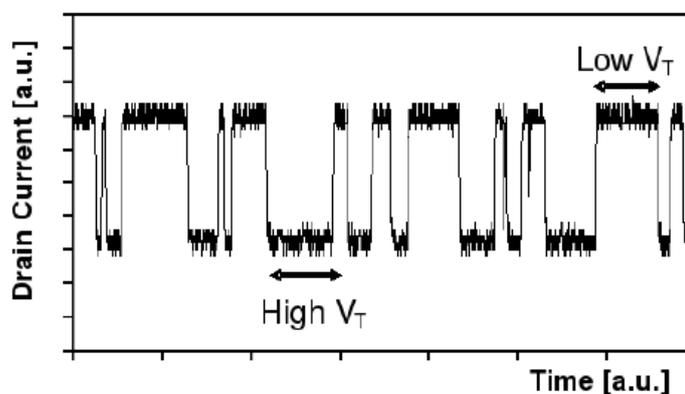


Figura 2.1: *Random Telegraph Signal* no domínio tempo. Figura adaptada de (WIRTH, 2007)

Este efeito é tema de estudos a décadas em circuitos analógicos. Com a miniaturização dos transistores, RTS teve sua importância aumentada em tecnologias mais recentes devido ao aumento da amplitude da oscilação da corrente de dreno tornando o efeito relevante também para circuitos digitais (SIMOEN, 1992).

Em circuitos digitais, esta variação na tensão de limiar dos transistores se converte em uma variação, também estocástica, do tempo de propagação de um sinal por um dado caminho. Isso afeta tanto a árvore de relógio quanto os caminhos críticos de forma que a frequência máxima de operação do circuito é reduzida. Este efeito, quando considerado, leva a uma redução das margens temporais envolvidas na análise do circuito.

Estudos mostram que o RTS se deve a ocupação e desocupação de *traps* principalmente localizados na interface entre o silício e o dielétrico de porta, ou mesmo dentro do dielétrico de porta (SIMOEN, 1992). Quando portadores presentes no canal de condução são capturados por um destes *traps* as propriedades do canal são alteradas causando variações na mobilidade e na distribuição de cargas (WIRTH, 2007). Este

efeito pode ser modelado como um aumento da tensão de limiar do transistor resultando na redução da corrente de dreno quando um portador é capturado. Assim, analisando a Figura 2.1, podemos interpretar cada oscilação como um evento de captura ou um evento de emissão de um único portador de carga por um *trap*. Dessa forma temos que para um número n de *traps* causadores de RTS em um dispositivo este apresentará uma oscilação entre 2^n níveis diferentes.

2.1 Traps

Traps são definidos como estados possíveis de energia localizados na banda proibida do silício. Fisicamente tais estados têm duas origens possíveis. Quando na interface eles são gerados através de ligações incompletas na interface entre o silício e o óxido de silício, quando no interior do óxido são gerados pela má formação do óxido que apresenta falhas em sua estrutura. A Figura 2.2 ilustra a origem de *traps* na interface entre silício e o óxido de silício em um MOSFET.

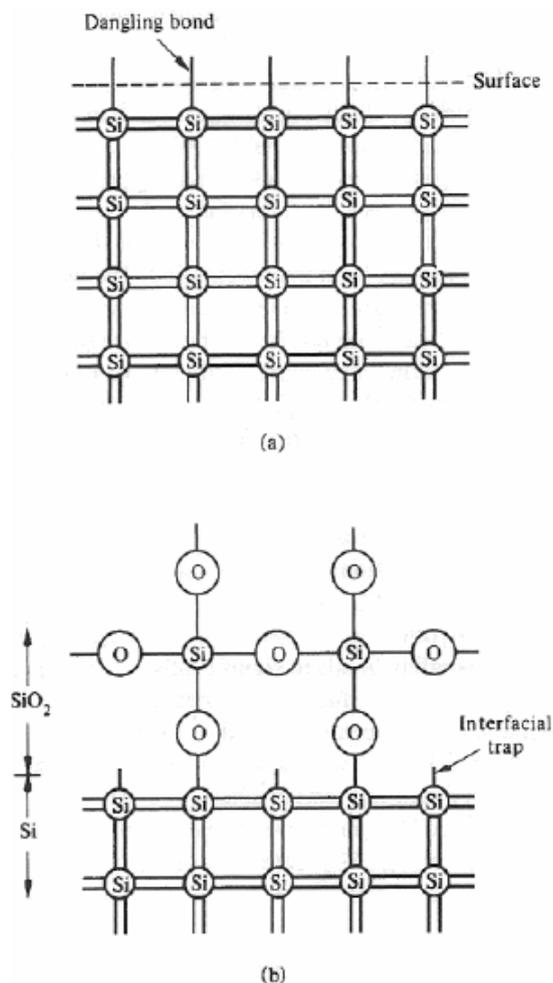


Figura 2.2: Cristal de silício (a) antes e (b) depois da oxidação mostrando a geração de *traps* na interface. (PIERRET, 1996)

Uma vez definido um *trap* podemos então o caracterizar através de sua energia, ou seja, da energia do estado possível que o define. A partir da energia, que o define juntamente com a distribuição de Fermi-Dirac, é possível de se calcular a probabilidade de este estado ser ocupado de acordo com agitação térmica e então obter-se os tempos

médios de captura e emissão, aqui também chamados de constantes de tempo. A distribuição de Fermi-Dirac é definida na equação (2.1) (SALINAS, 2005, p. 205).

$$f(E) = \frac{1}{1 + e^{\frac{(E-\mu)}{k*T}}} \quad (2.1)$$

Onde E é a energia do *trap*, k é a constante de Boltzmann, T é a temperatura e μ é o potencial químico definido pela termodinâmica como (2.2).

$$\mu = \frac{dU}{dn} \quad (2.2)$$

Onde U é a dado pela Energia do sistema e n é o número de partículas do sistema. Quando o sistema se encontra relaxado, pode-se aproximar o potencial químico pela energia de Fermi, definido como E_F . Com isso temos a conhecida equação (2.3)

$$f(E) = \frac{1}{1 + e^{\frac{(E-E_F)}{k*T}}} \quad (2.3)$$

A partir desta equação é calcula-se a probabilidade de captura e de emissão de um *trap* como:

$$Pr^{(i)}(0 \rightarrow 1)dt = \frac{dt}{10^{p_i}[1+e^{-q_i}]} = \frac{dt}{\tau_c} \quad (2.4)$$

$$Pr^{(i)}(1 \rightarrow 0)dt = \frac{dt}{10^{p_i}[1+e^{q_i}]} = \frac{dt}{\tau_e} \quad (2.5)$$

Com q_i definido por $q_i = (E_T - E_F)/k*T$, e p_i sendo a constante de tempo do *trap*, um valor característico de cada *trap* obtido experimentalmente e modelado como um parâmetro aleatório, dado por uma distribuição de probabilidade uniforme. São então definidos os tempos de emissão (τ_e) e de captura (τ_c) que servirão de base para o modelo de *trap* utilizado neste trabalho por serem parâmetros mensuráveis experimentalmente.

Outro parâmetro básico na definição de um *trap* no modelo utilizado é a variação na tensão de limiar do transistor quando o *trap* é ocupado. Este valor é uma função da localização do *trap* no canal do transistor. Devido a efeitos como o RDF que faz com que a densidade de corrente ao longo da superfície do canal não seja uniforme, a variação do impacto de cada *trap* na tensão de limiar do transistor pode ser mais ou menos relevante dependendo da localização do *trap*. Quando um *trap* está localizado em uma região de alta densidade de corrente, o efeito que este *trap* causa na corrente de dreno é maior do que quando o *trap* está localizado em uma região de baixa densidade de corrente. Outro efeito significativo é o impacto da posição do *trap* ao longo do canal. Observa-se um aumento na flutuação de corrente quando o *trap* está próximo a fonte. Ambos os efeitos do impacto dos *traps* devido a sua localização são discutidos em (ASHRAF, 2010).

Um *trap* pode então ser modelado a partir de três variáveis básicas, suas duas constantes de tempo e a variação na tensão de limiar devido a um evento de captura. As constantes de tempo variam de *trap* para *trap* de acordo com sua energia e com p_i . Os tempos de emissão e captura são então descritos também por uma distribuição uniforme, no entanto na escala logarítmica. As constantes de tempo também são funções de variáveis de ambiente como o campo elétrico e a temperatura. O campo elétrico afeta a probabilidade de um *trap* mudar de estado através de diferentes mecanismos, os dois

mais importantes são o aumento do número absoluto de portadores e o aumento da energia potencial dos portadores nas proximidades do *trap*. A Figura 2.3 mostra a relação de ambas as constantes de tempo em função do campo elétrico na porta. O efeito da temperatura também causa uma variação relevante nas constantes de tempo. Tal efeito é uma consequência direta da variação de energia causada pela variação da temperatura e deriva diretamente da distribuição de Fermi-Dirac. A Figura 2.4 apresenta dados experimentais das constantes de tempo em função da temperatura.

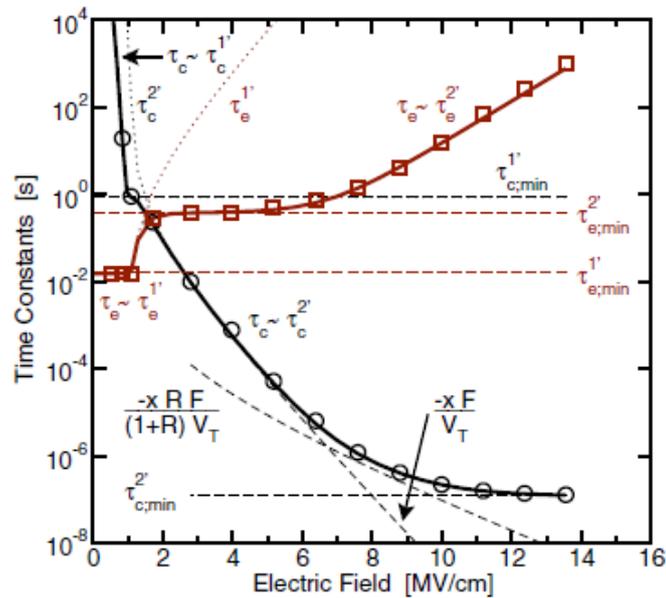


Figura 2.3: Dependência das constantes de tempo com o campo elétrico. (GRASSER, 2010)

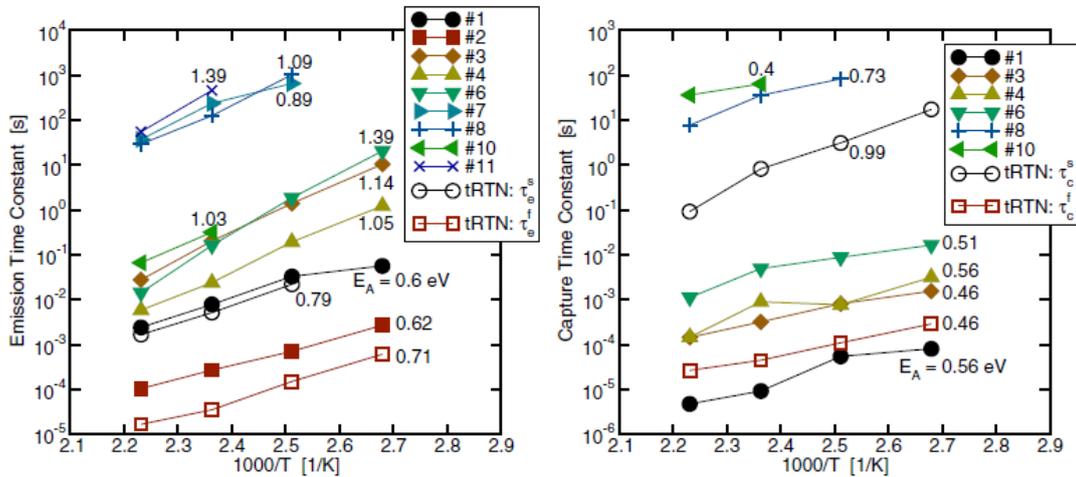


Figura 2.4: Relação das constantes de tempo com a temperatura. (GRASSER, 2010)

O impacto que um evento de captura causa na tensão de limiar de um MOSFET, como já mencionado, também varia de *trap* para *trap*. Para um dado *trap*, no entanto, este parâmetro varia muito pouco em diferentes medidas. Dessa forma é possível, em uma medida temporal, saber exatamente qual *trap* mudou de estado a cada momento. A Figura 2.5 mostra uma medida da variação da tensão de limiar em função do tempo em um transistor do tipo PMOS durante um período de relaxamento, ou seja, sem uma diferença de potencial entre a porta e o substrato. Nesta figura é possível de se notar que

não há correlação entre o tempo de emissão e o impacto (amplitude da flutuação) do *trap* no dispositivo.

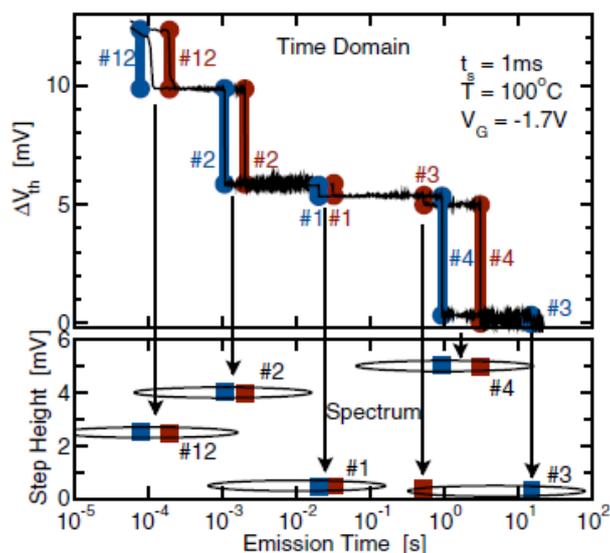


Figura 2.5: Variação da tensão de limiar em função do tempo durante o relaxamento de um MOSFET. (GRASSER, 2010)

Medidas em transistores do tipo MOS mostram que o número de *traps* em um transistor é dado por uma distribuição de Poisson (TOLEDANO-LUQUE, 2011-a) onde a média pode ser definida como a densidade de *traps* multiplicada pela área do canal, onde a densidade de *traps* é um parâmetro constante para uma dada tecnologia. Medidas das constantes de tempo de cada *trap* mostram que estas são uniformemente distribuídas na escala logarítmica, no entanto o *trap* mais rápido é mais rápido do que se pode medir e o *trap* mais lento é mais lento do que se pode medir (KACZER, 2008). Dessa forma os limites da distribuição uniforme na escala logarítmica e a densidade de *traps* são parâmetros vinculados um ao outro. A densidade de *traps* utilizada no modelo é na verdade a densidade de *traps* dentro dos limites da distribuição de probabilidade das constantes de tempo que se consegue medir. É possível fazer uma extrapolação considerando que a distribuição das constantes de tempo permaneça a mesma.

Medidas realizadas em uma grande quantidade de *traps* mostram que a distribuição da variação da tensão de limiar devido a um *trap* é dada por uma distribuição exponencial de média definida pela tecnologia (KACZER, 2010-a). Em tecnologias que utilizam mais de um tipo de material como isolante, em geral utilizando o óxido de silício na interface com o semiconductor e um material High-K em contato com o óxido, ocorre a existência de dois tipos de *traps*. Ambos os tipos se comportam da mesma forma, a diferença está nos parâmetros que definem as distribuições de probabilidade que os descrevem (CASTAN, 2010).

O número de *traps* no dispositivo assim como a variação de V_T devido a cada *trap* também é relacionada a área do dispositivo. Enquanto o número de *traps* aumenta de forma proporcional a área do dispositivo, o impacto na tensão de limiar devido a um evento de captura de um *trap* tem uma relação inversamente proporcional a área do canal. Tais relações podem ser vistas na **Error! Reference source not found.**

Tabela 2.1: Efeito de *traps* em diferentes tamanhos de transistores

FET-name and dimension (in μm)	wide		narrow		minimal	
	W	L	W	L	W	L
	10	0.1	0.2	0.12	0.11	0.1
number of carriers in channel at $V_g=V_T-200\text{mV}$	15000		370		170	
number #Nit at a density $\text{DNit}=1\text{E}11/\text{cm}^2$	1000		24		11	
ΔDNit causing a $\Delta V_T=50\text{mV}$ (in cm^{-2})	4.9×10^{11}		4.9×10^{11}		4.9×10^{11}	
makes a number $\Delta\#\text{Nit}$	4900		120		50	
ΔV_T caused by a single trapped carrier (at interface)	0.01mV		0.43mV		<u>1.0 mV</u>	

Fonte: REISINGER, 2010

Uma vez definidas as constantes de tempo de um *traps*, segundo (KACZER, 2010-b) pode-se definir as probabilidades de este *trap* mudar de estado em um determinado período de tempo através da seguinte equação:

$$P_{p,v} = \frac{\tau_{p,v}^-}{\tau_{e,v} + \tau_{c,v}} \left\{ 1 - \exp \left[- \left(\frac{1}{\tau_{e,v}} + \frac{1}{\tau_{c,v}} \right) \Delta t \right] \right\} \quad (2.6)$$

Onde p é definido pelo processo (captura ou emissão), v é definido pelo estado em que o dispositivo se encontra relativo a sua tensão de porta, Δt é definido pelo passo de simulação. A barra sobre qualquer parâmetro indica o processo complementar.

3 NEGATIVE BIAS TEMPERATURE INSTABILITY (NBTI)

Bias Temperature Instability (BTI) é um efeito de degradação temporal que ocorre em transistores MOS. O efeito é caracterizado pelo aumento do módulo da tensão de limiar do transistor em função do tempo. Este aumento, no entanto, só ocorre quando o transistor está polarizado de forma que seu canal esteja formado. Com isso, quando em transistores do tipo NMOS, este efeito acontece quando a tensão de porta em relação a fonte é positiva e é então chamado de *Positive BTI*, ou PBTI. Quando em transistores do tipo PMOS a tensão de porta deve ser então negativa, dando assim o nome de NBTI. Pelo fato de NBTI ser, nas tecnologias estudadas, um efeito mais significativo do que PBTI na degradação de transistores e, logo, no impacto no circuito elétrico, neste capítulo será discutido principalmente NBTI. Primeiramente o efeito será apresentado por uma abordagem no nível de abstração mais alto, em seguida será discutido seu impacto em circuitos e por fim serão apresentados métodos de modelagem e simulação baseados nos eventos físico-químicos que produzem o efeito.

O NBTI, diferentemente de efeitos como o HCI, apresenta dois comportamentos diferentes de acordo com a polarização do transistor. Quando negativamente polarizado, que neste texto chamaremos de transistor em estado de *stress*, se constata um aumento da tensão de limiar, que pode ser aproximado por uma função logarítmica da tensão de limiar em função do tempo. Quando positivamente polarizado, neste texto também chamado de estado *relaxado*, nota-se uma redução da tensão de limiar, também seguindo uma função que se assemelha a uma logarítmica. A tensão de limiar, no entanto, nunca é menor do que a tensão de limiar inicial. Este comportamento pode ser visto em medidas experimentais como nas mostradas na Figura 3.1.

A redução das dimensões físicas dos transistores tornou NBTI um efeito crítico para o bom funcionamento de circuitos elétricos. A redução da espessura efetiva do isolante na porta aumenta o campo elétrico na interface, o que fez com que a degradação fosse aumentada. A redução a área do canal, por outro lado, fez com que houvesse um grande aumento na variabilidade da degradação trazendo a necessidade do desenvolvimento de técnicas de análise estatística para o efeito. A Figura 3.2 mostra o aumento significativo da variabilidade para as tecnologias mais recentes.

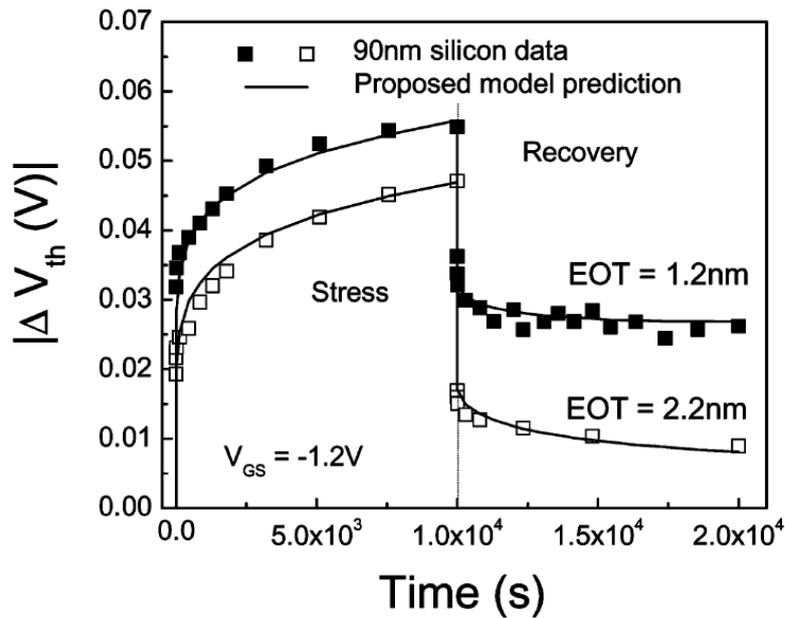


Figura 3.1: Medidas de NBTI em um sinal AC mostrando a degradação durante o estresse e a recuperação durante o relaxamento. (WANG, 2010) com dados obtidos de (KRISHNAN, 2005)

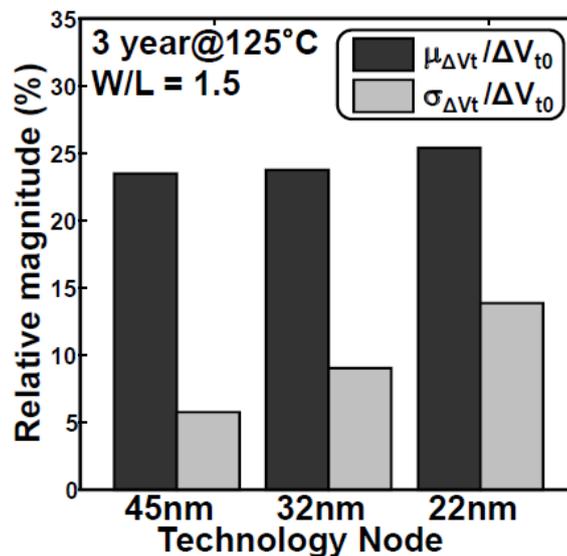


Figura 3.2: Aumento da variabilidade da degradação devido ao NBTI para diferentes nós tecnológicos. (KANG, 2007)

As condições de operação e parâmetros dos transistores afetam fortemente o fenômeno. Em altas temperaturas o NBTI tem seu impacto fortemente aumentado, tal dependência em relação a temperatura é mostrado por (ALAM, 2007). A tensão de operação do circuito também impacta a degradação de maneira significativa. Características de fabricação dos transistores também podem aumentar ou reduzir a intensidade do efeito. Parâmetros físicos da fabricação dos transistores também afetam a intensidade da degradação. O NBTI é intensificado quando a orientação da superfície do silício é (110) em relação a quando é (100) como mostrado por (AOULAICHE, 2006). A redução da espessura do filmes de óxido na porta (do ponto de vista elétrico) é outro fator que agrava a degradação, pois o implica em um aumento do campo elétrico na

interface Si/SiO₂ (DEORA, 2009). A incorporação de Nitrogênio durante a produção aumenta a degradação devido ao NBTI (AOULAICHE, 2009), a incorporação de Deutério e a incorporação de Fluorínio, no entanto, reduzem a intensidade da degradação (HOUSSA, 2006). A utilização de um substrato não de silício também pode ser benéfica mitigando a intensidade da degradação como mostrado em (KACZER, 2009) e (FRANCO, 2010) onde foi utilizado Germânio no substrato formando uma estrutura Ge-Si-SiO₂HfO₂.

Em circuitos digitais o NBTI é responsável pelo aumento do atraso das redes de *pull up*. Isso é uma consequência direta do aumento do módulo da tensão de limiar dos transistores que compõem tal rede. O aumento da tensão de limiar reduz a corrente de saturação. A eq. 3.1 mostra uma equação simplificada baseada no modelo quadrático que descreve a corrente de dreno durante a saturação de um MOSFET de forma aproximada. Dessa forma é necessário mais tempo para esta rede transportar a mesma quantidade de carga. Um maior atraso na rede de *pull up* se converte em um maior tempo de subida e então em um maior tempo de propagação de um sinal através da rede lógica podendo causar violações do tempo de *setup*, assumindo que a rede lógica se encontra em um circuito digital síncrono (DA SILVA, 2009).

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{gs} - V_T)^2 \quad (3.1)$$

O impacto de NBTI em outros circuitos varia de acordo com a aplicação dos mesmos. Em circuitos analógicos, por normalmente se trabalhar com transistores de maiores dimensões, há uma redução na variabilidade da degradação. O impacto da degradação, no entanto tem de ser analisado em cada projeto individualmente pois este irá variar de acordo com a aplicação e será mais ou menos crítico (JAH, 2005). Já em memórias SRAM 6-T, o aumento da tensão de limiar devido ao NBTI pode causar uma redução da margem de ruído de leitura e uma leve redução nos tempos de escrita e leitura da célula (KUMAR, 2006). Com isso, apesar de contribuir para tornar a célula mais rápida, a degradação também reduz a estabilidade da célula podendo fazer com que está deixe de operar dentro da especificação.

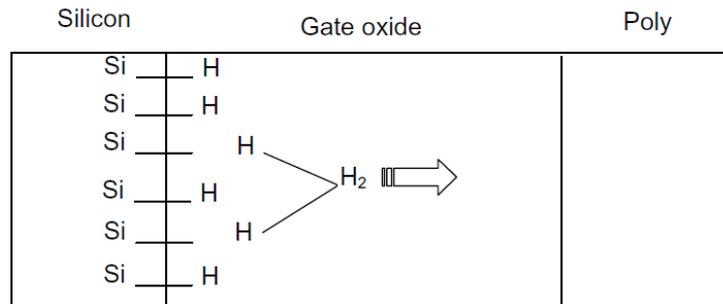
Durante a etapa de projeto, seja de circuitos digitais, analógicos ou de memórias, é então de grande relevância considerar o impacto do NBTI no circuito para que então se desenvolvam projetos mais robustos e confiáveis. Com esta finalidade, trabalhos aprimorando técnicas de projeto tem sido desenvolvidos do nível de projeto físico ao nível de sistema (AHMED, 2011), (PAUL, 2007), (BILD, 2009), (DA SILVA, 2009). Para uma melhor capacidade de desenvolvimento de métodos de projeto é primeiro necessário um bom entendimento do mecanismo que gera o efeito assim como o desenvolvimento de uma série de ferramentas de simulação capazes de avaliar o impacto no desempenho e estabilidade de diferentes tipos de circuitos em diferentes níveis de abstração.

Serão agora apresentados os mecanismos que descrevem o fenômeno assim como os modelos mais relevantes que destes derivam.

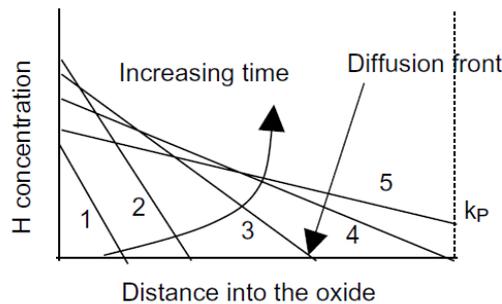
3.1 Reaction Diffusion Model

O modelo *Reaction-Diffusion* é baseado na teoria de que a geração do efeito se dá pela quebra de ligações SiH localizadas na interface entre o Silício e o óxido de Silício. A quebra destas ligações seria causada por uma combinação de fatores como o campo elétrico, a temperatura e buracos resultando na geração de ligações incompletas nos átomos de silício na interface gerando estados capazes de prender portadores de carga na interface, também chamados de *interface traps*. A quebra destas ligações também produziria a liberação de íons H^+ , os quais difundiriam adentro do óxido, e muitas vezes formando ligações H_2 durante o processo. (SCHRODER, 2007)

O modelo *Reaction-Diffusion* prevê que *interface traps* são criados de forma linear com o tempo de estresse enquanto os íons de Hidrogênio são criados. Estes íons por sua vez passam a se difundir em direção ao óxido de silício com uma dependência temporal proporcional a t^n , onde n é dado por um parâmetro experimental relacionado a taxa de difusão dos íons H^+ . A degradação devido ao NBTI durante o período de estresse segundo o modelo *Reaction-Diffusion* está ilustrada na Figura 3.3.



(a)



(b)

Figura 3.3: (a) Descrição esquemática do modelo (b) Perfil da concentração de Hidrogênio no óxido de silício. (ALAM, 2004)

Quando relaxado, no entanto, ocorre uma redução no módulo da tensão de limiar dos transistores. O modelo *Reaction-Diffusion* explica este fenômeno pela desocupação das *interface traps* e pela difusão do Hidrogênio em direção ao silício. Durante muito tempo tal modelo foi bem aceito e predominante na literatura, mas quando as pesquisas no processo de *recovery* foram intensificadas surgiram evidências que este modelo não estava totalmente correto.

De acordo com (GRASSER, 2011), no modelo *Reaction-Diffusion*, durante o processo de *recovery* é prevista uma recuperação de 50% quando o tempo durante o relaxamento é igual ao tempo de estresse. Para um caso de tempo de estresse de 10-ks o

modelo prevê uma recuperação de apenas 1% no primeiro segundo. No entanto como é mostrado na Figura 3.4. Em uma tentativa de adaptar o modelo aos dados experimentais foi desenvolvida uma versão que considerava a existência de *Hole-trapping*. Tal tentativa também se mostrou incorreta. O modelo *Reaction-Diffusion* também apresentou resultados incoerentes no experimento em que se analisa a degradação em função do *Duty Factor*, como mostrado na Figura 3.5.

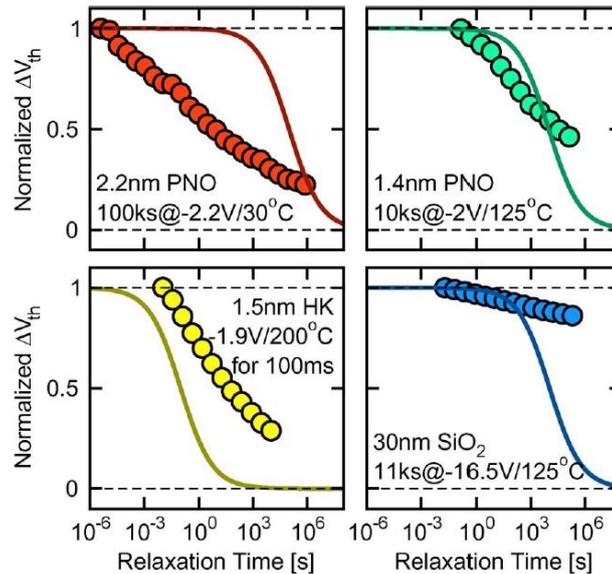


Figura 3.4: NBTI durante o processo de *recovery* quando $V_g = V_{th}$ para quatro tecnologias diferentes. Os símbolos são resultados experimentais enquanto as linhas são as previsões feitas pelo modelo *Reaction-Diffusion*. (GRASSER, 2011)

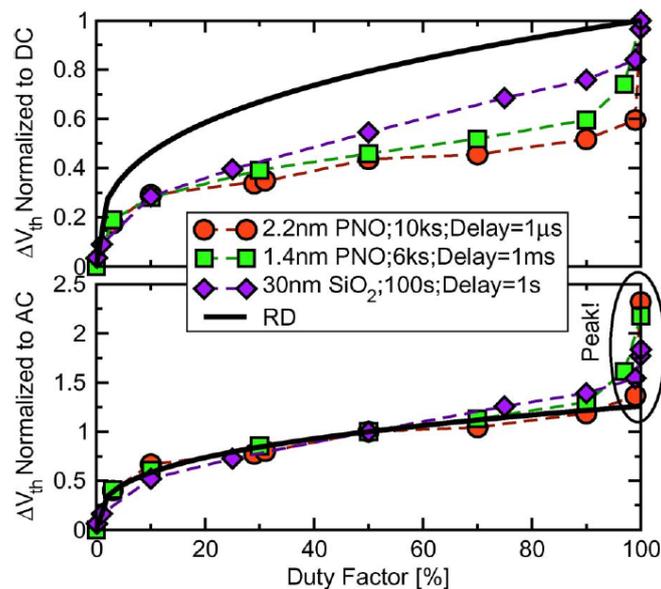


Figura 3.5: Dependência da degradação em relação ao *Duty Factor* para três tecnologias diferentes mostrando que o modelo *Reaction-Diffusion* é incapaz de produzir a mesma forma de curva obtida experimentalmente. (GRASSER, 2011).

3.2 Trap based Model

O modelo mais aceito atualmente é baseado na cinética de *traps* na interface entre o silício e o óxido, e no óxido. Tal modelo prevê a existência de *traps* com tempos de captura uniformemente dispersos no tempo em escala logarítmica e é baseado na teoria já existente e sumarizado no capítulo anterior sobre RTS.

Tradicionalmente, medidas de degradação devido a NBTI eram feitas através de experimentos com transistores de grande área como, por exemplo, $W \times L = 100\text{nm} \times 100\text{nm}$. Experimentos realizados em dispositivos de menor área mostram que durante o processo de *recovery* a recuperação não se dá de forma contínua, mas sim em degraus como visto na Figura 2.5. Estes degraus são causados pela desocupação de *traps*.

De acordo com (KACZER, 2010-b) se assumirmos que o número de *traps* por dispositivo é dado por uma distribuição de Poisson e que o impacto destes na tensão de limiar é dado por uma distribuição exponencial é possível descrever NBTI de forma analítica. Uma análise estatística detalhada mostra que o comportamento em função do tempo é logarítmico (WIRTH, 2011), como experimentalmente observado.

A redução do tamanho dos transistores limitando-os a um número menor de *traps* combinada com o aumento do impacto de cada *trap* na tensão de limiar do transistor gera um aumento significativo da variabilidade da degradação (WIRTH, 2011), explicando os experimentos mostrados na Figura 3.2. A Figura 3.6 foi gerada através de simulações e explicita o aumento da variabilidade causada pelo NBTI em função do número de *traps* do dispositivo. Em (a) é mostrada a degradação durante o período de estresse de um transistor com 800 *traps*, onde se nota uma pequena variabilidade. Em (b), quando o número de *traps* é reduzido a 12 se nota que o dispositivo pode violar o critério de funcionalidade, definido pela linha vermelha, desde o primeiro segundo de operação, assim como pode vir a violar apenas após 10^8s . Em (c) é então mostrada a distribuição de probabilidade do tempo em que ocorre a violação do critério de funcionalidade. Nota-se nesta figura um grande aumento de variabilidade causado pelo NBTI.

Os resultados obtidos com o modelo atual mostraram estar de acordo com dados obtidos experimentalmente (GRASSER, 2011).

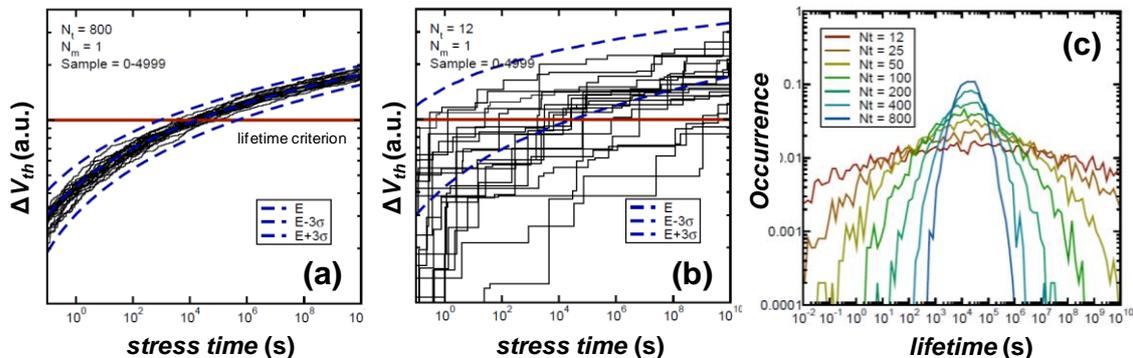


Figura 3.6: (a) As propriedades aleatórias dos defeitos quando em grandes transistores tende a média, resultando em uma expectativa de vida bem definida enquanto em (b) a natureza estocástica de poucos defeitos em dispositivos pequenos é aparente resultando em uma grande variação do tempo de vida, mostrado em (c). (KACZER, 2011)

Neste capítulo foi apresentado o NBTI e seu impacto em circuitos eletrônicos. Foi apresentado o modelo tradicionalmente usado que recentemente foi mostrado incorreto e foi então apresentado um modelo alternativo baseado na cinética de *traps* e que será utilizado no restante deste trabalho. Neste capítulo também foi mostrado o impacto que o NBTI tem na variabilidade dos parâmetros elétricos dos transistores degradados e como isto afeta a confiabilidade dos circuitos elétricos. No próximo capítulo será apresentada uma ferramenta capaz de utilizar o modelo aqui apresentado em simulações elétricas visando uma maior compreensão do impacto de NBTI em circuitos, bem como permitir ao projetista a análise de forma eficiente e automatizada.

4 SIMULAÇÃO EM NÍVEL DE CIRCUITO

Este capítulo apresenta o desenvolvimento do simulador capaz de simular *traps* baseado na teoria apresentada no capítulo 2 e no modelo de NBTI apresentado no capítulo 3. O desenvolvimento de tal software foi baseado em dados experimentais fornecidos pelo IMEC assim como em teorias relacionadas a atividades de cargas em defeitos presentes na literatura. O simulador desenvolvido é capaz de simular circuitos arbitrários, de forma que o simulador pode ser usado para a análise de uma ampla gama de circuitos, como digitais, analógicos ou de sinal misto.

4.1 Simulador elétrico de *Traps*

O simulador está estruturado como mostrado na Figura 4.1.

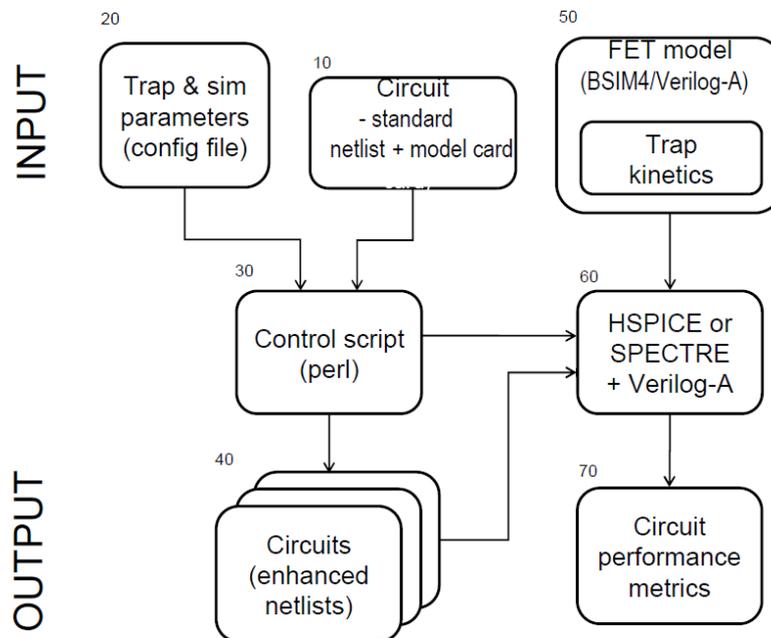


Figura 4.1: Quadro de simulação da ferramenta de simulação elétrica de NBTI e RTS.

A Figura 4.1 é um fluxograma do quadro de simulação baseado em ferramentas comerciais amplamente utilizadas na indústria. O quadro de simulação aceita um circuito arbitrário (10) na forma de um *netlist* padrão, descrevendo os dispositivos e as conexões de elementos que formam o circuito. Esses elementos podem ser dispositivos individuais (FETs, por exemplo) ou podem ser blocos, tais como portas lógicas ou

inversores que contém mais de um elemento básico. *Modelcards* são utilizados para incluir os parâmetros que descrevem os dispositivos envolvidos, incluindo os tipos de transistores e tecnologia. Além disso, um arquivo de configuração (20) é fornecido contendo as propriedades dos *traps* para a tecnologia utilizada no projeto. Com base no arquivo de configuração (20), um script de controle (30) desenvolvido em PERL gera várias instâncias (40) do circuito, incluindo a cada uma a descrição de todos os *traps* inclusos nos FETs do circuito. Essas instâncias são submetidas a um programa simulador de um circuito eletrônico (60), como HSPICE ou SPECTRE, também aqui chamados de “solver”.

Uma característica fundamental neste quadro de simulação é a adição de um modelo aprimorado (50) para os dispositivos FET capaz de simular o impacto dos *traps* individualmente sobre o comportamento de cada FET a cada passo de simulação. Como base, foi utilizado o modelo padrão BSIM4 FET, implementado em Verilog-A, o que fornece uma representação detalhada de um transistor individual. Nota-se que o solver possui um modelo BSIM4 de transistores FET não-Verilog-A, mas o Verilog-A foi a forma escolhida por sua facilidade de modificação. O modelo padrão é aprimorado incrementando-se o código Verilog-A para simular os *traps*, mais especificamente, a avaliar a cada passo a ocupação de cada *trap* em cada FET. As equações que modelam esse efeito foram previamente discutidas no capítulo 2. Qualquer sub-circuito presente no *netlist* é expandido até o nível do dispositivo. Desta forma, cada dispositivo é descrito no *netlist* aprimorado (40) já contendo parâmetros que descrevem os *traps* a ele pertencentes ao lado dos parâmetros previstos pelo modelo padrão.

O solver (60) recebe como entradas cada uma das instâncias do circuito (40), o modelo aprimorado do FET descrito em Verilog-A (50) e o script de controle (30), e realiza a simulação para um tempo de simulação transiente desejado que representa um tempo total de operação do circuito. Embora não seja mostrado na Figura 4.1 por uma questão de simplicidade, a atividade dos sinais de entrada do circuito pode ser descritas como uma entrada adicional para o solver, ou seja, várias instâncias do circuito podem ser simuladas com vários cenários de carga de trabalho. Finalmente, os parâmetros de todas as instâncias do circuito resultante são analisados estatisticamente para produzir um ou mais indicadores de desempenho (70).

De maneira conhecida e descrita no modelo (50), o solver (60) simula o funcionamento do circuito através de métodos de cálculo numérico em cada passo de tempo. O solver leva em conta o comportamento do *trap* da seguinte maneira. Para cada passo de tempo, e todos os *traps*, um número aleatório gerado é comparado com a probabilidade de captura ou de emissão que corresponde à tensão de estresse atual e o estado do defeito (ocupado ou não). Se o número aleatório é considerado menor do que a probabilidade de captura ou emissão, de acordo com o estado atual, o evento é considerado ativo. Quando um *trap* é ocupado (ou seja, uma carga é capturada), o valor respectivo ΔV_T é adicionado à tensão de limiar de tempo de execução. O processo é repetido para todos os *traps* assumidos para o dispositivo, para cada dispositivo em um dado circuito, e para cada instância do circuito.

A Figura 4.2 mostra o tempo de simulação necessário para ser simulada uma cadeia de três inversores com 15 *traps* por transistor, num total de 90 *traps*. Nesta figura vê-se que o custo computacional adicionado a simulação elétrica devido à utilização de um modelo de transistor descrito em VERILOG-A em comparação a uma simulação elétrica tradicional é aproximadamente quatro vezes maior. A adição da cinética de *traps* e do cálculo de ocupação dos *traps* a cada passo de tempo permitindo ao usuário

saber o status de ocupação do *trap* a cada momento causa uma adição no tempo de simulação de apenas 38% quando comparado com a simulação baseada no modelo Verilog-A que serviu como base para o seu desenvolvimento.

SPECTRE 7.1.1 + BSIM4.4	SPECTRE + Verilog-A	SPECTRE + trap- enhanced Verilog-A
16.5 s	69 s	95 s
24%	100%	138%

Figura 4.2: Comparação do tempo de simulação de um circuito com 6 transistores num total de 90 *traps*.

É possível então simular NBTI através da dinâmica de *traps* através do simulador apresentado anteriormente seguindo a atividade dos *traps* a cada passo de simulação. No entanto, a degradação causada pelo NBTI deve ser avaliada após anos de uso do dispositivo, mas uma simulação elétrica transiente nesta ordem de grandeza é computacionalmente inviável. Para contornar tal problema foi desenvolvida uma solução analítica para definir a ocupação de *traps* após um dado período de tempo arbitrário (TOLEDANO-LUQUE, 2011-b). Tal solução é válida somente considerando sinais de estresse periódicos oscilando entre dois níveis. Este método é dado pelas equações (4.1), (4.2) e (4.3).

$$P_C(t_{STRESS}) = \frac{\tau_e^*}{\tau_c^* + \tau_e^*} \left\{ 1 - \exp \left[- \left(\frac{1}{\tau_e^*} + \frac{1}{\tau_c^*} \right) t_{STRESS} \right] \right\} \quad (4.1)$$

$$\frac{1}{\tau_c^*} = \frac{DF}{\tau_c(V_{STRESS})} + \frac{1-DF}{\tau_c(V_{RELAX})} \quad (4.2)$$

$$\frac{1}{\tau_e^*} = \frac{DF}{\tau_e(V_{STRESS})} + \frac{1-DF}{\tau_e(V_{RELAX})} \quad (4.3)$$

Ao analisarmos estas equações, vemos uma independência entre a probabilidade de um *trap* estar ocupado após um dado período de tempo com a frequência do sinal de operação do circuito assim como uma dependência direta com o *Duty Factor* do sinal de estresse. Tais dados vão de encontro as medidas já realizadas para NBTI. Ao plotarmos tais equações em um gráfico do tempo da probabilidade de ocupação em função do tempo de estresse e do *Duty Factor* obtemos a Figura 4.3.

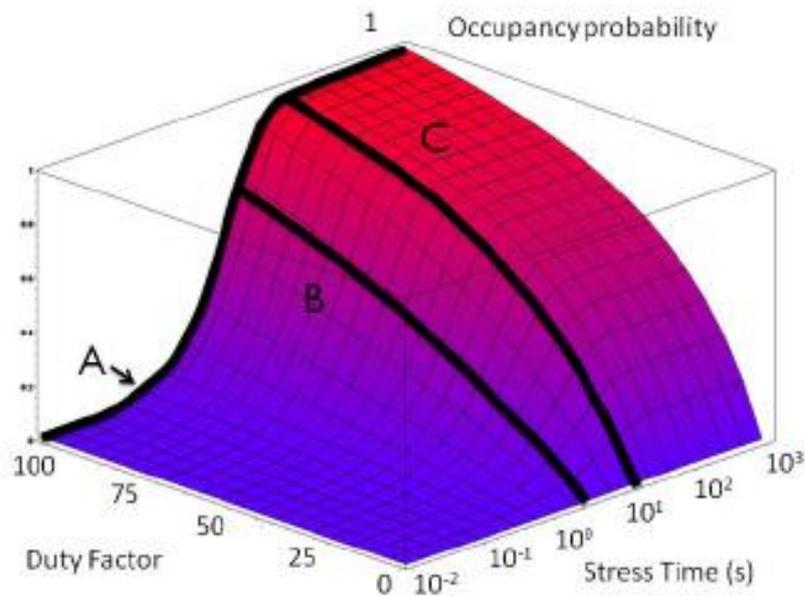


Figura 4.3: Probabilidade de ocupação em função do tempo de estresse e do Duty factor do sinal de estresse. (KACZER, 2011)

Tal modelo analítico é preciso quando se trabalha com *traps* lentos em relação ao período de oscilação do sinal de estresse, no entanto quando se trabalha com *traps* rápidos a solução analítica não é precisa o suficiente. Este comportamento pode ser visto na Figura 4.4. Para analisar o efeito destes *traps* no circuito é necessária então a simulação passo a passo transiente gerada pelo simulador. Desta forma o método utilizado para simular NBTI em circuitos elétricos é gerar analiticamente o estado de ocupação inicial dos *traps* no tempo de interesse (e.g. 1 dia, 1 ano, 10 anos) e então rodar uma simulação onde se considera a atividade transiente dos *traps* por alguns ciclos de relógio.

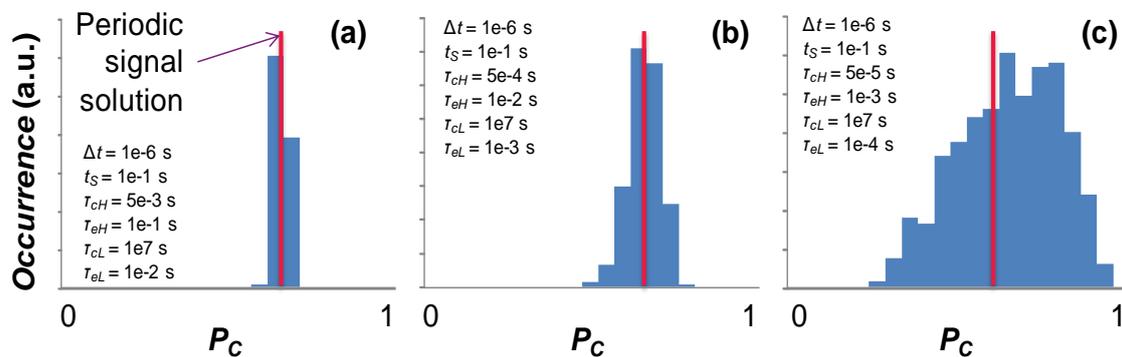


Figura 4.4 Probabilidade de ocupação de *traps* para diferentes *traps* geradas pelas equações analíticas e seu histograma obtido por uma simulação passo a passo. (KACZER, 2011)

4.2 Estudos de caso

As distribuições das constantes de tempo dos *traps* utilizada nos arquivos de configuração do simulador são definidas pelo usuário de acordo com a tecnologia de fabricação utilizada na implementação do projeto. Para os estudos de caso que serão apresentados, tais parâmetros foram obtidos a partir de experimentos fornecidos pelo

IMEC que por motivos de confidencialidade não poderão ser apresentados neste texto. Devido a constantes de tempo dos *traps* serem uniformemente distribuídos na escala logarítmica há uma enorme gama de possíveis constantes de tempo, de forma que é possível de se esperar uma grande variedade de comportamentos diferentes dos *traps*.

A variabilidade no comportamento dos *traps* é refletida no comportamento dos circuitos. Ao selecionar um intervalo de tempo suficientemente curto para a simulação, é possível observar uma rápida sucessão de eventos de captura e emissão de um único *trap* (correspondente a RTS). Também é possível observar comportamentos quase permanentes, com constantes de tempo maior (correspondente ao BTI), neste caso, um tempo maior pode ser empregado. Este comportamento pode ser observado na Figura 4.5. Em (b) é mostrado, para tempo de estresse de 10^{-8} , a atividade de *traps* em um transistor PMOS sob o sinal mostrado em (a). Nota-se uma oscilação da tensão de limiar devido a efeitos de canal curto (dependência de V_T com a polarização do transistor), mas também nota-se a alteração de pequenos degraus oriundas da alteração do estado de *traps*. Essa alteração da tensão de limiar entre os ciclos do sinal de estresse produz um diferente tempo de propagação do sinal a cada ciclo, evidente entre (c) e (d), produzindo um efeito de ruído. Quando refazemos a simulação considerando um tempo de estresse de 10^8 s, em (f), nota-se o mesmo tipo de efeito que antes, no entanto é evidente um deslocamento da curva para cima em relação à (b). Este aumento na tensão de limiar se reflete no aumento do tempo de propagação do sinal e é evidente quando comparando (c), (d) e (e) com (g), (h) e (i), caracterizando o NBTI.

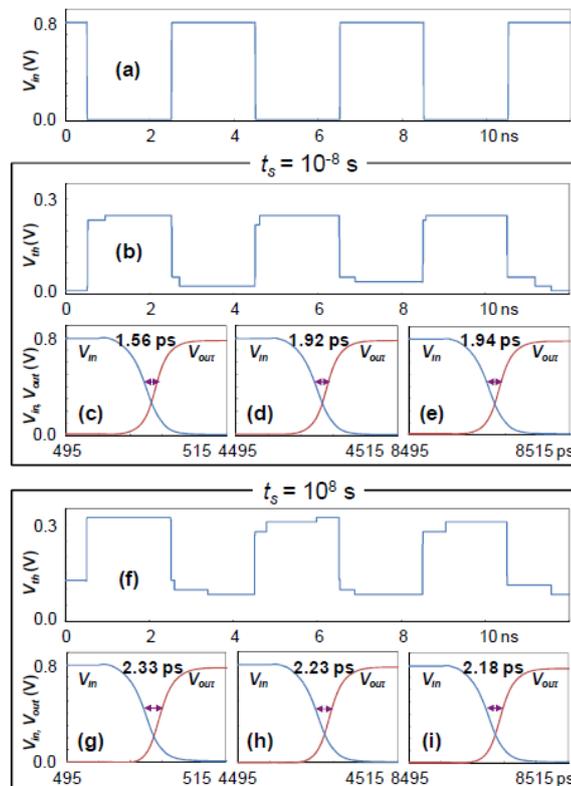


Figura 4.5: (a) Três períodos de uma onda quadrada de frequência 250 MHz utilizado como entrada no inversor estudado. A tensão de limiar correspondente a cada instante de tempo do sinal de entrada após (b) 10^{-8} s e (f) 10^8 s de estresse. (KACZER, 2011)

Ao simular-se um inversor, uma figura de interesse para se verificar a variabilidade da célula é a potência normalizada em função do atraso da célula. A Figura 4.6 mostra tal gráfico para um inversor após 10^{-8} s e 10^8 s de estresse sob o mesmo sinal de 250MHz. Vê-se então um aumento do atraso da célula causado pelo aumento da tensão de limiar assim como um aumento na variabilidade dos resultados.

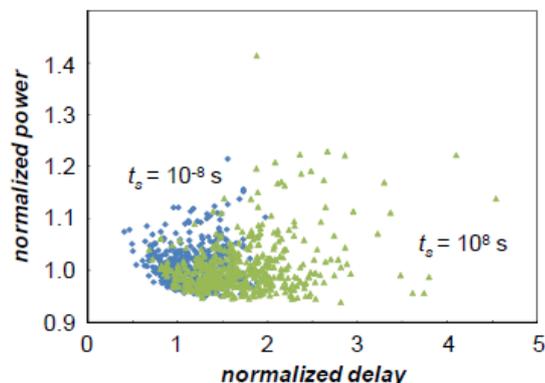


Figura 4.6: Efeito do NBTI na relação Potencia Vs Atraso em um inversor. (KACZER, 2011)

Outro estudo realizado em um inversor foi como o histórico de utilização de um dispositivo afeta seu desempenho no futuro. Tradicionalmente o estudo da degradação devido a efeitos de BTI é realizado considerando o estresse através de um sinal periódico de referência oscilando entre dois níveis definidos para um dado *Duty Factor*. A fim de analisar o impacto do formato do sinal de estresse na degradação do dispositivo, foram então rodadas três simulações em um inversor. Na primeira o sinal de estresse foi gerado oscilando de forma aleatória entre dois níveis de forma a gerar um sinal com DF de 0,5 e duração de 200ns. Este sinal foi tomado como referência para as duas simulações seguintes. Na segunda simulação foi mantido o mesmo sinal de estresse durante os primeiros 100ns, tempo que foi definido como presente. A partir de 100ns o sinal foi regenerado de maneira aleatória mantendo o mesmo DF. A terceira simulação foi realizada de forma similar, no entanto ao invés de alterar o sinal a partir de 100ns, aqui chamado de *Futuro*, alterou-se o sinal entre 0 e 100ns, aqui chamado de *Passado*. Tais sinais são apresentados na Figura 4.7.

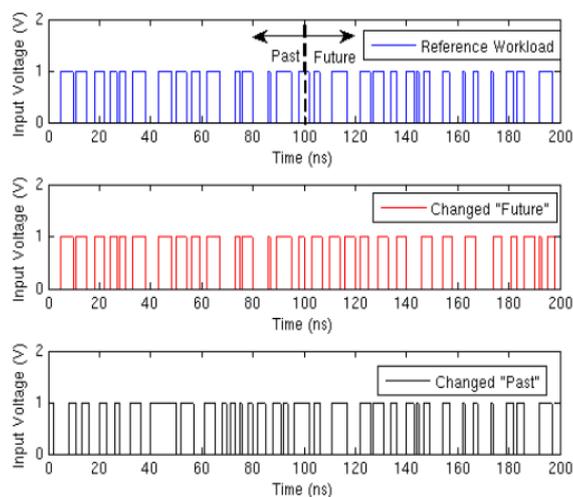


Figura 4.7: Sinais de estresse utilizados para o estudo do impacto da atividade do sinal de estresse na degradação devido a efeitos de BTI. (RODOPOULOS, 2011)

A Figura 4.8 mostra o atraso da porta inversora em função do tempo para os três casos. É possível notar que uma variação no histórico do sinal em um tempo passado leva a uma alteração na degradação do dispositivo que se propaga para o *futuro* mesmo que o DF seja mantido e que a partir de um certo momento o sinal de estresse passe a ser o mesmo da simulação de referência. Da mesma forma, para um mesmo passado, ao passar a operar o circuito de forma diferente estes passam a se comportar de maneiras diferentes. Este estudo mostra que há uma dependência na degradação devido a NBTI não somente da tensão do sinal e de seu DF, mas também da atividade do mesmo. Para tais experimentos foi utilizado o mesmo valor de semente para os números aleatórios que definem a atividade dos *traps*. A fim de viabilizar este tipo de simulação pequenas alterações foram efetuadas na ferramenta de simulação, estas estão detalhadas em (RODOPOULOS, 2011).

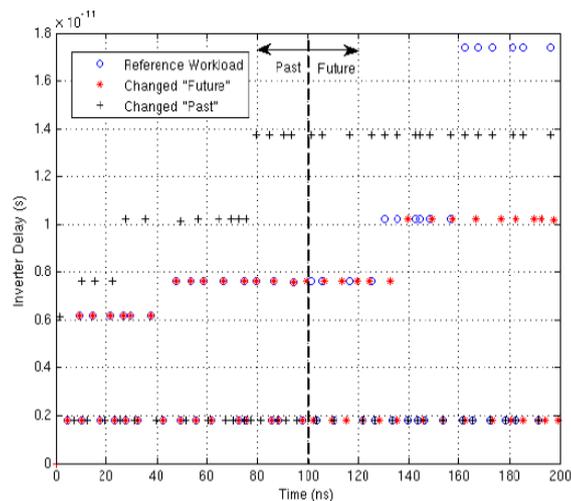


Figura 4.8: Medidas do tempo de propagação em um inversor sob os sinais de estresse apresentados na Figura 4.7. (RODOPOULOS, 2011)

Com o mesmo intuito de verificar a importância da atividade do sinal na degradação de circuitos foi feito um estudo de caso similar em um circuito de memória SRAM 6T de 32 bits. O circuito utilizado foi baseado no apresentado por (COSEMANS, 2009). A Figura 4.9 mostra o esquemático da memória utilizada.

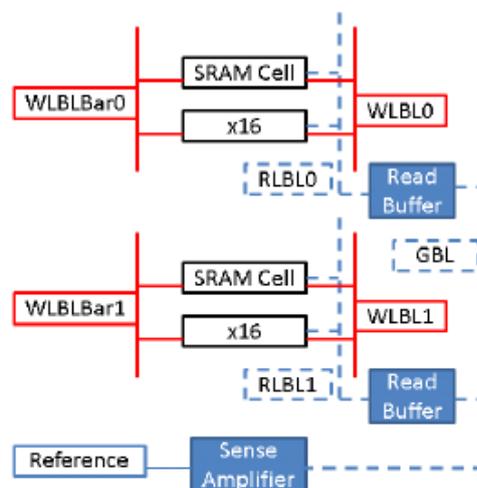


Figura 4.9: Esquemático da memória SRAM utilizada. Os caminhos de leitura estão tracejados. (RODOPOULOS, 2011)

Através de um estudo considerando atividade dos *traps* a cada passo de simulação no domínio tempo, foi possível ver como a atividade destes através de fenômenos como RTS e NBTI afetam o tempo de leitura de uma memória SRAM. Por uma questão de simplicidade e a fim de permitir uma análise e interpretação mais objetiva dos resultados, nesta série de simulações foi apenas considerado o impacto de fenômenos de variabilidade oriundos da atividade dos *traps*, a variabilidade de tempo zero foi então desconsiderada.

A Figura 4.10 mostra medidas do tempo de leitura em uma simulação elétrica transiente de $12\mu\text{s}$ em uma partição SRAM considerando que todos os *traps* estivessem inicialmente não populadas. O sinal de entrada da memória durante a simulação foi feito da seguinte forma, primeiro era escrito em cada célula um valor (1 ou 0) aleatório. Uma vez que todas as posições foram escritas, varre-se a memória mais uma vez, desta vez lendo o conteúdo de cada célula. O processo é repetido. Cada seqüência de dados escritos na memória durante uma simulação é referida nas Figuras como *Runtime Situation* (RTS). Em (a) é mostrado o tempo de leitura na SRAM estudada em uma simulação desconsiderando a atividade de *traps* no transistor para duas *Runtime Situation* diferentes. Nota-se um comportamento similar em ambas as situações com uma pequena variação entra as medidas nos dois casos explicado pelo uso de sinais diferentes. Em (b) a atividade de *traps* é considerada e devido a ela, em alguns casos há um aumento significativo no tempo de leitura assim como também se nota que passa a haver uma diferença significativa devido a *Runtime Situation*. Com isso, mais uma vez é mostrada a importância do sinal de estresse como um todo e não apenas de sua amplitude e DF para a degradação do circuito.

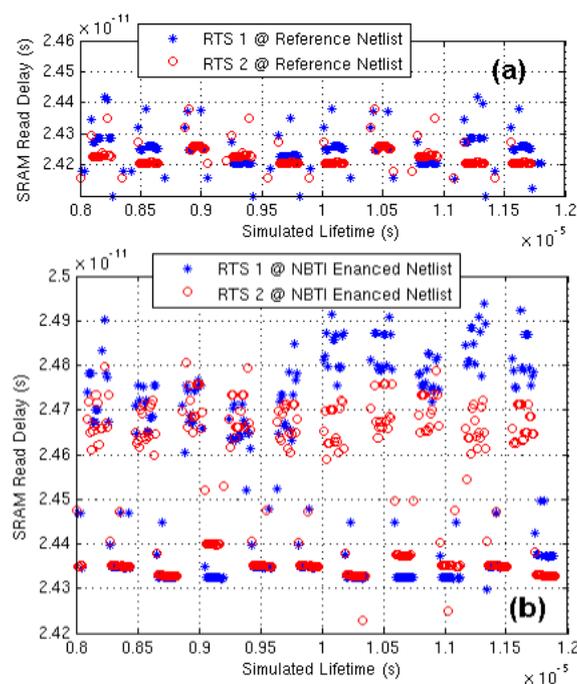


Figura 4.10: Flutuações no atraso de leitura de uma partição SRAM para diferentes *Runtime Situation*. Em (a) não é considerado o efeito de degradação devido a *traps*. Os resultados apresentados para ambas *Runtime Situations* é quase idêntico. Em (b) o efeito causado por *traps* é considerado de forma que se nota uma variabilidade maior dos resultados assim como uma diferença significativa para diferentes *Runtime Situations*. (RODOPOULOS, 2011)

Em uma nova série de simulações, foi utilizado o modelo analítico de cálculo do estado inicial dos *traps* apresentado anteriormente a fim de se estudar o efeito de NBTI na mesma partição SRAM. O estresse imposto no circuito foi o equivalente ao de um causado por um sinal AC com DF de 80% durante 10^7 s. Os resultados podem ser vistos na Figura 4.11. Da mesma forma em (a) é apresentado a resposta dos tempos de leitura para a entrada desconsiderando o efeito de *traps*. Em (b) é mostrado o tempo de leitura nas condições descritas acima. Nota-se então não somente um aumento do tempo de leitura médio superior a 10% como também nota-se uma grande variação violando o tradicional critério de 10% (RODOPOULOS, 2011).

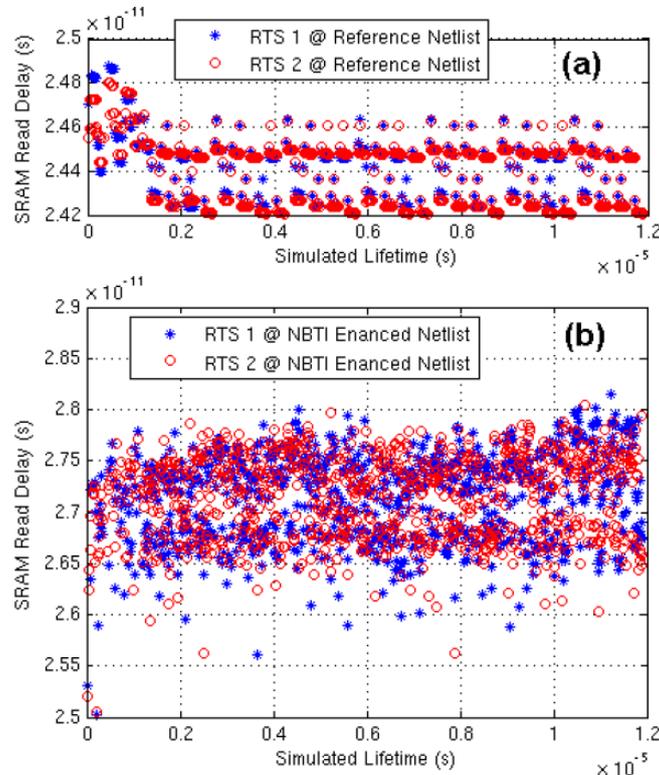


Figura 4.11: Flutuações no atraso de leitura de uma partição SRAM para diferentes *Runtime Situation* considerando que tenha sido aplicado um sinal AC durante 10^7 s. Em (a) não é considerado o efeito de degradação devido a *traps*. Os resultados apresentados para ambas *Runtime Situations* é mais uma vez quase idêntico. Em (b) o efeito causado por *traps* é considerado de forma que se nota uma enorme variabilidade nas medidas. (RODOPOULOS, 2011)

Neste capítulo foi apresentado um método de simulação elétrica capaz de acompanhar o estado dos *traps* a cada passo de simulação viabilizando a simulação transiente de efeitos como RTS assim como simulações baseadas no modelo mais recente de efeitos de BTI. Foram então apresentados estudos de caso em um inversor e em uma partição SRAM mostrando como estes circuitos são afetados por *traps* no curto e longo prazo quando sujeitos a diferentes sinais de estresse. Outras possíveis aplicações para a ferramenta aqui apresentada incluem a utilização desta para comparação do impacto de NBTI e RTS entre tecnologias, análises do impacto de RTS em circuitos formadores de árvores de relógio ou em osciladores utilizados em circuitos de rádio frequência.

5 SIMULAÇÃO EM NÍVEL DE SISTEMA

No capítulo anterior foi mostrada uma ferramenta capaz de simular circuitos elétricos considerando NBTI. Tal ferramenta é baseada em um simulador do tipo Spice e objetiva a obtenção do resultado mais exato possível, em detrimento do custo computacional. O elevado custo computacional deste tipo de ferramenta inviabiliza o seu uso como ferramenta de simulação de desempenho e confiabilidade em circuitos complexos. Neste capítulo será então discutida a simulação de efeitos de NBTI em nível de sistema.

O projeto de circuitos digitais se torna mais dispendioso de acordo com a complexidade do circuito, onde a complexidade pode ser medida em número de transistores. Com o desenvolvimento de novas tecnologias, com dispositivos de dimensões cada vez menores, tornou-se possível adicionar cada vez mais funcionalidades em um mesmo projeto, aumentando assim o número de transistores e a complexidade do circuito. O aumento da complexidade dos circuitos trouxe a necessidade da automação do projeto. Com isso foram desenvolvidas metodologias padronizadas de projeto, de forma que a permitir o desenvolvimento de ferramentas de auxílio a projeto, ou ferramentas de CAD, e até ferramentas de automação de projetos, ferramentas de EDA, que aumentassem a produtividade do projetista.

Dentre as metodologias de projeto desenvolvidas, a mais utilizada pela indústria para projetos digitais em ASICs é a metodologia *Standard Cell*. O fluxo de projeto do método Standard Cell consiste em criar uma biblioteca de células com a mesma ‘altura’ de forma que estas possam ser colocadas lado a lado possibilitando a formação de circuitos mais complexos. A criação das células desta biblioteca pode ser feita pelo método *Full Custom* ou através de ferramentas de EDA. Baseado nestas células, o projetista traduz uma descrição de alto nível do funcionamento do circuito para o nível das portas lógicas, limitado pelas portas presentes na biblioteca. Uma vez que o projetista tem o circuito descrito em nível de portas lógicas, ele distribui as células em uma grade pré-definida e cria as conexões entre elas. Durante todo o processo o projetista é auxiliado por ferramentas de CAD, uma destas é a ferramenta de STA a qual é a responsável em verificar após cada etapa do projeto se as especificações de temporização (*timing*) estão sendo cumpridas. (RABAEY, 2003)

O princípio de funcionamento de ferramentas de STA é que o tempo de propagação de um dado caminho é dado pela soma dos tempos de propagação das células e interconexões que o compõe. A informação dos tempos de propagação de cada célula da biblioteca para diferentes *fanouts* e sinais de entrada está presente na biblioteca e é obtida através de uma etapa de caracterização que consiste em simulações elétricas de cada célula para diferentes condições de ambiente chamadas de PVT (Processo, Tensão e Temperatura) corners. A cada etapa de projeto o resultado obtido pela ferramenta de STA se torna mais exato pois são obtidas mais informações a respeito das interconexões

que ligarão as células que são responsáveis não só por um aumento no tempo de propagação como também por alterações no sinal e no *fanout* das células.

Avanços tecnológicos nos processos de produção e desenvolvimento de novos materiais levaram a transistores mais rápidos, baratos e/ou com menor consumo de energia. A fim de converter estes ganhos para o nível de circuitos e finalmente de sistema, estas novas tecnologias de dispositivos são inseridas em projetos através do projeto e da caracterização de uma biblioteca de células baseada nesta nova tecnologia.

Estas tecnologias, no entanto, são obtidas pela redução das dimensões físicas dos transistores, as quais quando combinadas com as limitações físicas durante o processo levam a novos desafios que devem ser considerados na etapa de projeto. Dentre os principais desafios encontram-se o aumento da variabilidade relativa das dimensões físicas dos transistores, *Line Edge Roughness* (LER) e efeitos criados pelas características discretas das cargas e da matéria como no *Random Dopant Fluctuation* (RDF). Estas fontes de variabilidade física se convertem em variabilidade das características elétricas dos transistores e se propagam para os níveis mais altos de projeto. (ASENOV, 2003)

A análise tradicional baseada em *corner*, que consiste na seleção dos piores e melhores cenários para a caracterização das células, não é mais capaz de produzir um resultado satisfatório. A grande variabilidade nos transistores leva a um resultado da caracterização demasiadamente pessimista. Conforme as distribuições de probabilidade dos parâmetros dos transistores se tornam mais largas se torna uma alternativa que deve ser considerada trocar *yield* por desempenho. Para se lidar com este tipo de situação durante o fluxo de projeto as ferramentas de STA foram aprimoradas de forma a serem capazes de lidar com variações estatísticas dos parâmetros elétricos do circuito. Estas ferramentas passaram então a ser chamadas de *Statistical STA* ou *SSTA*.

Uma vez que efeitos de degradação de transistores tradicionalmente não eram considerados como efeitos estocásticos, ferramentas de *SSTA* foram originalmente desenvolvidas para considerar apenas variabilidades de processo, ou seja, eram independentes do tempo de operação do circuito. Variabilidades de processo são tradicionalmente descritas através de uma distribuição Normal para parâmetros como a Tensão de Limiar e a Transcondutância. Desta forma métodos de análise linear de sensibilidade podem ser empregados, resultando em uma resposta satisfatória. Como mostrado no capítulo 3, *NBTI* apresenta uma grande variabilidade em tecnologias sub-100nm. Desta forma, é importante que tal efeito seja incluso em ferramentas de *SSTA*. A degradação causada pelo *NBTI*, no entanto, não segue uma distribuição Normal, de forma que métodos tradicionalmente utilizados pelas ferramentas de *SSTA*, como a análise linear de sensibilidade, não podem ser empregados. Isto impacta a capacidade das ferramentas de *SSTA* atuais em suportar a análise de *NBTI*.

5.1 Ferramentas de *SSTA*

De acordo com (Silicon Integration Initiative, Inc., 2008) a base matemática utilizada para a construção de uma ferramenta de simulação de *SSTA* consiste em um valor médio (nominal) combinado com a soma de termos paramétricos, definidos pelas fontes de variabilidade. Cada parâmetro inclui a sensibilidade linear da medida de tempo de interesse em função do parâmetro aleatório, multiplicado pelo desvio padrão da mesma variável aleatória. Este modelo permite uma modelagem eficiente tanto da informação nominal de temporização quanto da inclusão de efeitos de perturbação nas

informações de temporização a partir de modelos de como estas perturbações afetam os parâmetros nominais dos dispositivos. Para n parâmetros aleatórios seriam necessárias $n+1$ simulações sendo que uma delas seria para a definição da situação com os parâmetros em seus valores nominais. O modelo de sensibilidade linear está definido em (PARRAT, 1961).

Os benefícios do uso deste método de simulação estatística incluem uma grande eficiência na manipulação e propagação de informações de variabilidade e o fato de se ter explícito o impacto na variabilidade do atraso devido a cada parâmetro aleatório possibilitando análises do tipo PCA.

As duas principais limitações do modelo apresentado são que ele se baseia numa aproximação de primeira ordem, baseado na série de Taylor, para a estimativa da dependência entre os parâmetros aleatórios e a medida de tempo. A outra limitação é que ele assume distribuições de probabilidade das variáveis aleatórias como sendo Gaussianas.

A propagação das informações de tempo entre os diferentes níveis lógicos do circuito é dada de uma forma muito similar a utilizada em ferramentas de STA determinísticas. Há um cálculo baseada em blocos no sentido de propagação do sinal elétrico visando encontrar o tempo de chegada, assim como um cálculo que progride no sentido contrário a propagação do sinal elétrico visando encontrar o requerimento de tempo de chegada do sinal. O cálculo do tempo de chegada consiste em uma seqüência de somas e operações de máximo e mínimo entre todos os estágios que compõe o caminho percorrido pelo sinal. Da mesma forma faz-se no caso da análise estatística, no entanto, a soma os atrasos de cada estágio, por terem se tornado variáveis aleatórias, envolve não só a média como também o desvio padrão.

A utilização da metodologia para o cálculo do tempo de chegada apresentada acima leva a soma do atraso de todas as portas lógicas em um dado arco considerando o efeito de todas as variáveis aleatórias. Uma vez completa as somas do tempo de propagação em todos os arcos, operações estatísticas de máximo são executadas. Operações de máximo estatístico diferem das operações de máximo determinístico, dentre os métodos mais eficientes presentes na literatura para se calcular tal operação se encontra o método das ‘equações de Clark’ (CLARK, 1961).

Outros possíveis métodos de estudo estatístico incluem convolução e métodos baseados em simulações Monte Carlo. Estes métodos, porém, esbarram na sua complexidade computacional se tornando inviáveis para o estudo de circuitos complexos.

5.2 NBTI em ferramentas de SSTA

A adição de NBTI em ferramentas de SSTA passou a ser discutida quando a degradação devido a NBTI passou a impactar os circuitos digitais de forma mais intensa podendo ser o responsável por falhas de timing. Isso ocorreu quando se começou a trabalhar com tecnologias sub-100nm. Inicialmente o método de STA mais utilizado para a análise de NBTI era através de uma análise de pior caso. Por serem utilizados transistores suficientemente grandes o efeito da variabilidade na degradação devido a parâmetros intrínsecos do transistor era desprezível e a principal fonte de variabilidade era dada pela incerteza do sinal de estresse. Estudos baseados no modelo *Reaction-Diffusion* visando estimar o sinal de estresse em transistores dentro de circuitos combinacionais foram considerados então cruciais para uma análise STA mais precisa

(KUMAR, 2007) e (WANG, 2007). A Figura 5.1 mostra uma proposta de inclusão de NBTI em ferramentas de STA através da inclusão de uma estimativa do *Duty Factor* do sinal de estresse nos transistores baseado nas características lógicas do circuito.

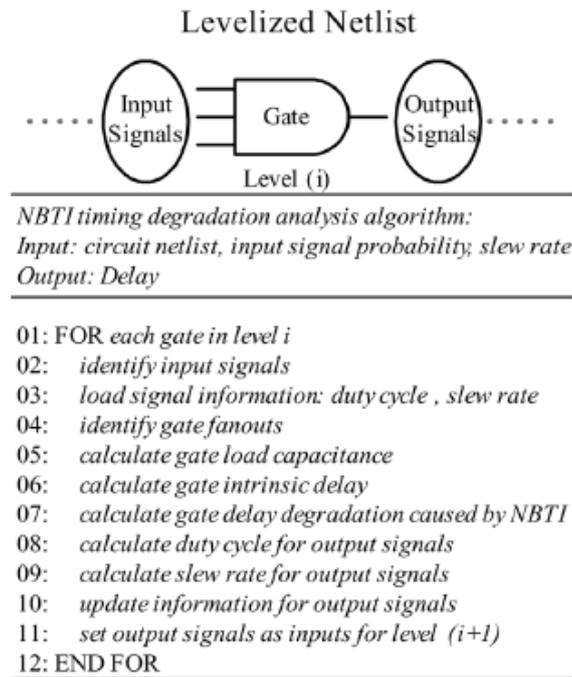


Figura 5.1: Método de simulação STA para NBTI baseado em estimativas do DF do sinal de estresse apresentada por (WANG, 2007).

A inclusão de NBTI em ferramentas de SSTA foi por sua vez apresentada em (HAM, 2010) que propõe o método apresentado na Figura 5.2. O método consiste na criação de uma biblioteca de células que leve em consideração o efeito do NBTI. A caracterização desta biblioteca vai conseqüentemente conter as informações de degradação e variabilidade produzidas pelo efeito. Utilizar-se-ia uma ferramenta comercial de SSTA para fazer as simulações de tempo.

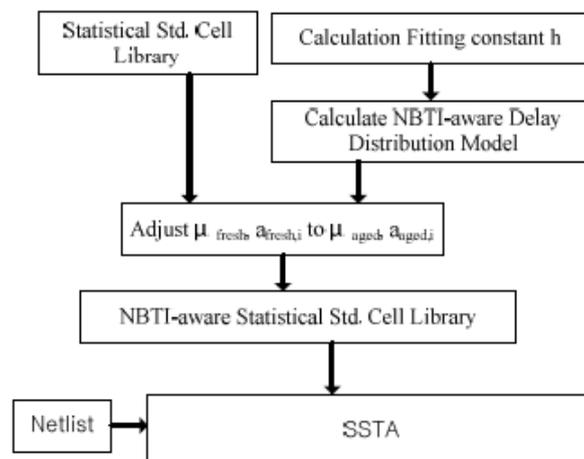


Figura 5.2: Quadre de simulação de uma ferramenta de SSTA levando em conta os efeitos de degradação causados pelo NBTI apresentado por (HAM, 2010).

Atualmente não foi encontrada nenhuma ferramenta comercial que já utilize qualquer um dos métodos de simulação considerando NBTI apresentados na literatura. Devido a isso para considerar-se os efeitos de degradação utilizando as ferramentas comerciais disponíveis foi criada uma *corner* de tempo definido como a expectativa de vida do circuito e foi feita uma caracterização para as células degradadas. Este modelo foi baseado no modelo apresentado por (HAM, 2010). Uma variante deste foi criada e posta em comparação com os resultados obtidos com a ferramenta de simulação atomística apresentada no capítulo 4.1.

5.3 Metodologia

A fim de comparar a exatidão das simulações baseadas no método utilizado pelas ferramentas de SSTA comerciais quando utilizadas para considerar fenômenos de BTI em circuitos, primeiramente foi feita a caracterização de uma biblioteca Standard Cell. A biblioteca escolhida foi a Nangate Open Cell Library para uma tecnologia de 45nm (ZHAO, 2006) e foi utilizada juntamente com o modelo PTM para a mesma tecnologia de 45nm. Tanto a biblioteca quanto o *modelcard* utilizados foram escolhidos por serem abertos, permitindo a outros a reprodução dos resultados obtidos neste trabalho.

O método de simulação SSTA utilizado nesta comparação será o método da análise linear de sensibilidade por ser utilizado em ferramentas comerciais. Tal metodologia está descrita na seção 5.1. A fim de caracterizar as células de forma compatível com o método utilizado, é preciso obter-se não somente a os tempos de propagação para a tabela de *fanouts* versus *slope* com os valores nominais de suas variáveis aleatórias, como também é preciso obter uma nova versão desta tabela alterando individualmente cada uma de suas variáveis aleatórias. Tais informações são então traduzidas a um arquivo Liberty™ que mais tarde é utilizado pela ferramenta de SSTA.

Uma vez que a biblioteca está devidamente caracterizada, foram definidos três circuitos para servirem como estudo de caso. Será feita uma comparação entre os resultados apresentados por estes circuitos quando simulados com o método utilizado pelas ferramentas de SSTA e pelo simulador elétrico apresentado no capítulo 4. A fim de estudar o comportamento dos métodos para circuitos de diferentes complexidades, foram selecionados circuitos com diferentes números de níveis lógicos. Estes circuitos são mostrados na Figura 5.3. O circuito em (a) trata-se de dois inversores. Tal circuito foi escolhido por ser simples tornando mais direta a interpretação de seus resultados. O circuito em (b) trata-se de um circuito com 5 níveis lógicos. Tal circuito foi selecionado por ser um circuito típico gerado pelo método *Standard Cell*, sendo ainda pequeno o suficiente viabilizando uma simulação Monte Carlo com o simulador elétrico. O circuito apresentado em (c) é um circuito lógico similar ao circuito em (b), no entanto com dez níveis lógicos. Este circuito tem o objetivo verificar o comportamento dos resultados à medida que aumenta a complexidade do circuito estudado.

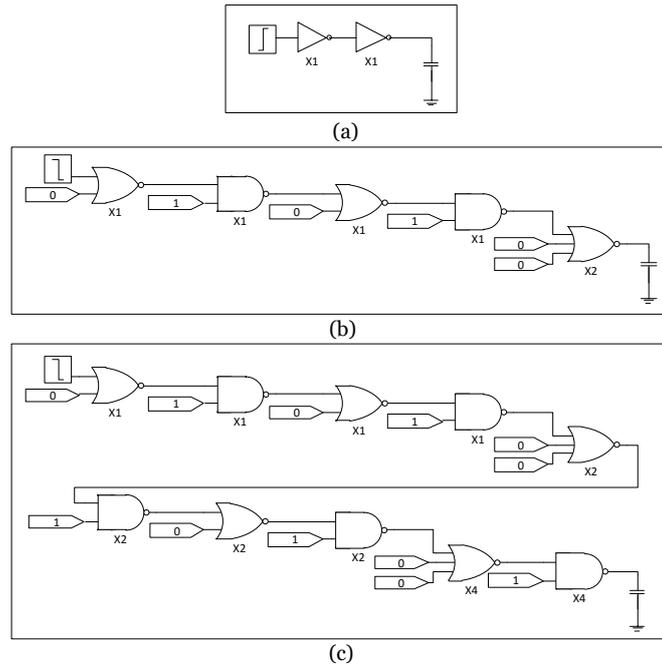


Figura 5.3: Esquemático dos circuitos analisados. (a) Circuito 1, (b) Circuito 2 e (c) Circuito 3.

O terceiro passo é a obtenção das distribuições de probabilidade dos parâmetros aleatórios do circuito após um dado tempo de estresse, tempo que será definido como corner para a simulação SSTA. Esta informação será utilizada como entrada na ferramenta de simulação SSTA. Neste estudo dividimos em três instantes de tempo diferentes, 1s, 10^4 s e 10^8 s. A fim de obter um resultado mais facilmente interpretado toda a variabilidade de cada transistor está modelada através de uma única variável aleatória, a tensão de limiar. Em uma primeira análise somente efeitos de variabilidade oriundos de armadilhas (BTI) serão considerados. Em uma segunda análise também será considerada variabilidade de processo, ou também chamada de variabilidade de tempo zero. Tais distribuições são obtidas através de simulações Monte Carlo no simulador elétrico apresentado no capítulo 4.

Uma vez conhecida a média e o desvio padrão dos parâmetros aleatórios dos circuitos, é possível rodar a simulação SSTA baseada na análise linear de sensibilidade e a simulação elétrica para os mesmos circuitos definidos anteriormente. A simulação elétrica será feita através do método Monte Carlo com 1000 simulações.

5.4 Resultados

Esta seção tem o objetivo de apresentar e discutir os resultados obtidos pela metodologia apresentada na seção anterior.

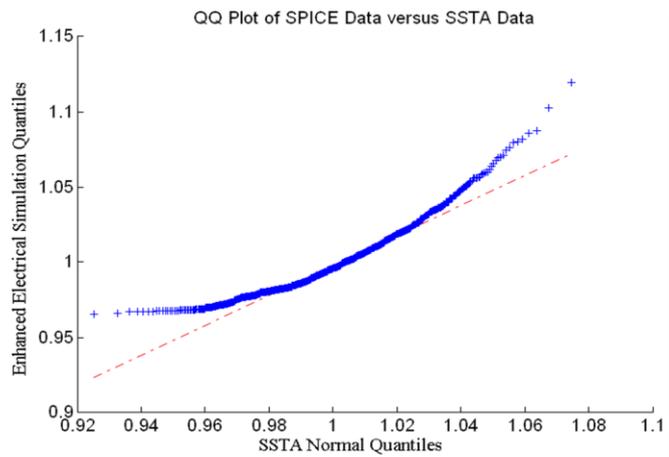
A Figura 5.4 mostra a distribuição do tempo de propagação obtida nos circuitos estudados através do simulador elétrico em comparação ao obtido pelo método SSTA. O resultado obtido pelo método de análise linear de sensibilidade é dado apenas pela média e desvio padrão, a distribuição de probabilidade é por definição uma distribuição Normal, esta distribuição está representada pelas linhas tracejadas nos Q-Q plots enquanto os resultados obtidos pelo simulador elétrico são apresentados como cruces. É importante prestar atenção as caudas das distribuições, pois é nessa região que estão

localizados os circuitos causadores de falhas. O formato Q-Q plot foi escolhido com a finalidade de destacar esta região.

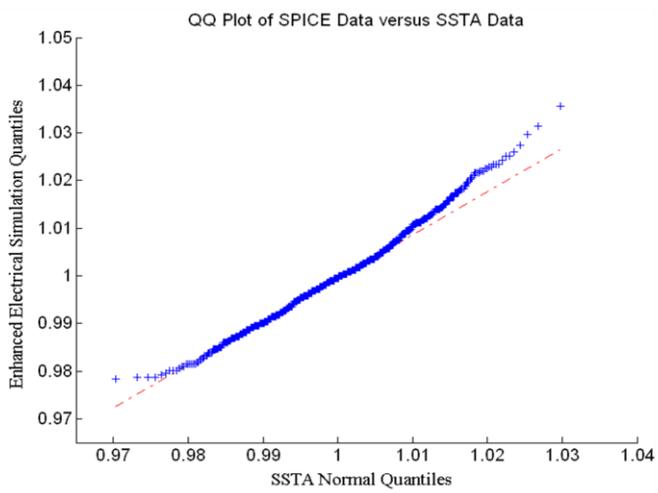
Ao se analisar as caudas das distribuições se identifica uma diferença significativa entre os dois métodos utilizados para o estudo de caso menos complexo. Para os estudos de caso mais complexos, no entanto, tal diferença se torna menos severa. A Tabela 5.1 apresenta as medidas de Skewness e Kurtosis das distribuições obtidas através do simulador elétrico para diferentes tempos de estresse e complexidades visando mensurar a não Normalidade das distribuições. A kurtosis foi escolhida por ser um valor representativo do ‘peso’ da cauda da distribuição com 3 sendo o valor esperado para uma distribuição Normal. O Skewness foi escolhido por ser um valor representativo da assimetria da distribuição sendo 0 o valor esperado para uma distribuição Normal. Esta tabela mostra então uma tendência da distribuição de probabilidade dos tempos de propagação se assemelhar mais a uma distribuição Normal para circuitos mais complexos. Uma vez que o resultado da simulação SSTA é sempre dado por uma distribuição Normal, a normalidade do tempo de propagação do circuito é diretamente relacionada com a capacidade da ferramenta de SSTA calcular a probabilidade de haver uma violação de tempo.

Tabela 5.1. Delay distributions characteristics.

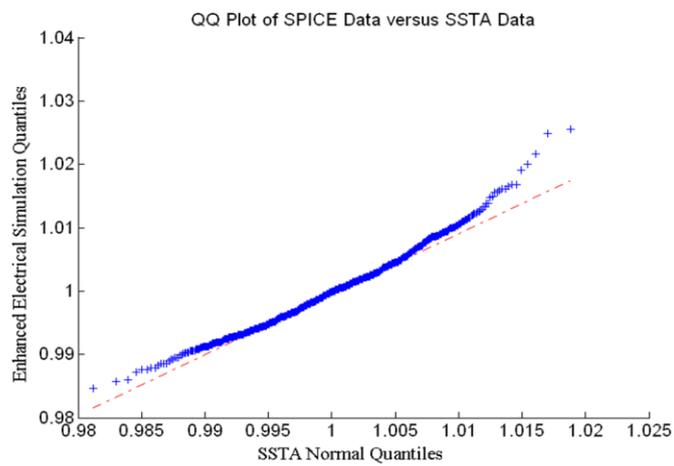
	Stress time	Skewness	Kurtosis
Path 1 (1 logic stage)	1s	1.5094	6.3276
	10 ⁴ s	1.1068	4.6823
	10 ⁸ s	1.2947	6.1172
Path 1 (5 logic stages)	1s	0.5641	3.4397
	10 ⁴ s	0.3751	3.3063
	10 ⁸ s	0.5394	3.2249
Path 3 (10 logic stages)	1s	0.4501	3.2773
	10 ⁴ s	0.5382	3.7532
	10 ⁸ s	0.3885	3.1765



(a)



(b)



(c)

Figura 5.4: Q-Q plot do tempo de propagação gerado pela simulação elétrica comparado com o gerado pela simulação SSTA no circuito 1 após 10^4 s (a), no circuito 2 após 10^4 s (b) e no circuito 3 após 10^4 s (c).

Uma segunda série de simulações foi rodada a fim de analisar o impacto da variabilidade de processo no estudo. A variabilidade de tempo zero é tradicionalmente modelada pela redefinição de tensão de limiar como uma variável aleatória seguindo uma distribuição Normal com média igual ao valor nominal e o desvio padrão como uma função da tecnologia e área do transistor. Para esta simulação foi utilizado um desvio padrão de 10% do valor nominal da tensão de limiar para um transistor de dimensões mínimas para a tecnologia o que é um valor próximo a dados experimentais reportados na literatura (HORSTMANN, 1998). O desvio padrão foi considerado como inversamente proporcional a área do canal do transistor.

As distribuições do tempo de propagação obtidas para os circuitos 1 e 2 após 10^4 s de estresse são apresentados na Figura 5.5. É possível notar, quando comparando com os resultados apresentados na Figura 5.4, uma menor diferença entre os resultados obtidos pela simulação com o método utilizado pelas ferramentas de SSTA e pela simulação elétrica. Isto acontece porque a distribuição de probabilidade da tensão de limiar passa a ser dada pela soma de duas distribuições distintas, uma delas Normal e a outra não Normal representando a variabilidade de processo e a degradação temporal, respectivamente. Isto faz com que a distribuição da tensão de limiar se aproxime mais de uma Normal e logo se torna mais adequada ao método de análise linear de sensibilidade utilizado pela ferramenta de SSTA.

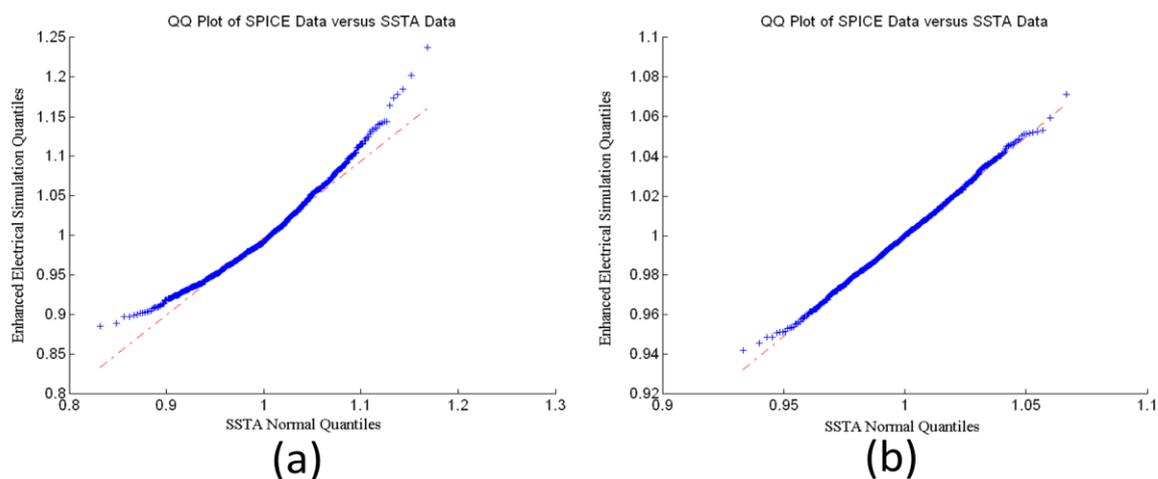


Figura 5.5: Q-Q plot do tempo de propagação dos circuitos 1 (a) e 2 (b) após 10^4 s de estresse considerando variabilidade de processo.

Dado que o principal erro é causado pelo fato de a análise linear de sensibilidade considerar as variáveis aleatórias dadas por uma distribuição Normal quando estas não são, é uma consequência direta o erro se tornar maior quanto menos parecida como uma distribuição Normal a variável for. Como a distribuição da tensão de limiar é dada por duas componentes, uma Normal gerada pela variabilidade de processo, e uma não normal gerada pela cinética de armadilhas, podemos assumir que quanto maior a relevância da componente do BTI na variabilidade da tensão de limiar, maior será o erro apresentado pelo método utilizado pelas ferramentas de SSTA. A Figura 5.6 mostra a distribuição de probabilidade da tensão de limiar em um transistor PMOS considerando e não a variabilidade de processo.

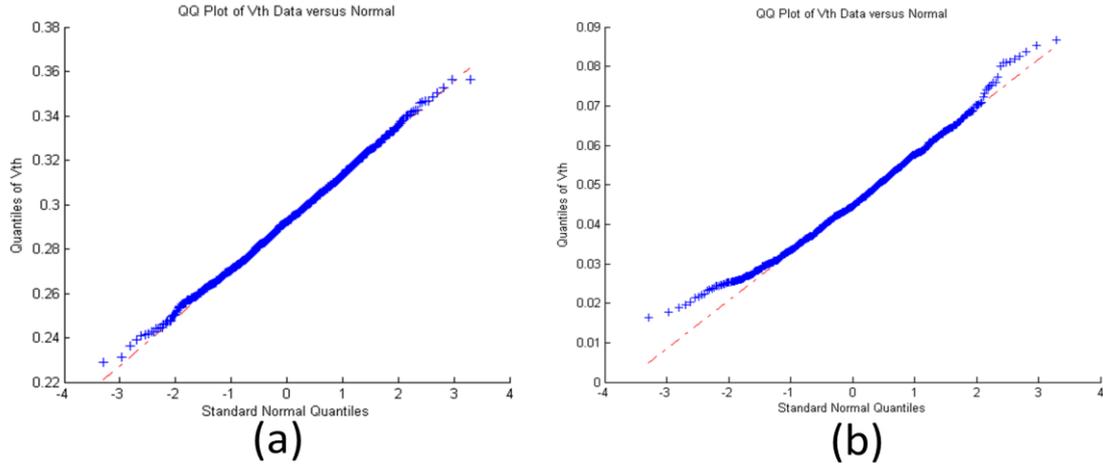


Figura 5.6: Distribuição da Tensão de Limiar devido a NBTI considerando (a) e não considerando (b) variabilidade de processo.

Apesar do erro apresentado entre os dois métodos no circuito 1, nos circuitos 2 e 3 o resultado obtido com os dois métodos é muito similar. É claro um aumento de precisão do método SSTA de acordo com o aumento de complexidade do circuito estudado. Este aumento de precisão pode ser explicado ao se considerar o teorema do limite central da estatística, o qual diz que se S_n é a soma de n variáveis aleatórias mutuamente independentes, então a função de distribuição de S_n é adequadamente aproximada por um certo tipo de função contínua conhecida como função de densidade Normal (GRINSTEAD, 1997). Este teorema é aplicável ao caso da ferramenta de SSTA uma vez que o tempo de propagação total é dado pela soma dos tempos de propagação de cada nível e que estes são consideradas variáveis aleatórias mutuamente independentes.

Duas outras propriedades deste sistema de soma de variáveis aleatórias mutuamente independentes são apresentadas nas equações (5.1) e (5.2). Estas propriedades são válidas independentemente do formado da distribuição das variáveis aleatórias.

$$\mu_{S_n} = \sum_{i=1}^n a_i \mu_i \quad (5.1)$$

$$\sigma_{S_n}^2 = \sum_{i=1}^n a_i^2 \sigma_i^2 \quad (5.2)$$

De acordo com estas propriedades pode-se concluir que para um circuito suficientemente grande o tempo de propagação tenderá a seguir uma distribuição Normal com média e variância dados pelas equações (5.1) e (5.2) independentemente das distribuições do tempo de propagação de cada célula.

Ferramentas de SSTA são utilizadas com dois objetivos, verificar violações do tempo de *setup* e violações do tempo de *hold*. Os caminhos mais prováveis de causarem uma violação de *setup* são os caminhos mais cumpridos e que por isso tem uma tendência de ter um tempo total de propagação maior enquanto os mais prováveis de causarem uma violação do tempo de *hold* são os caminhos curtos, com tempo de

propagação menor. Efeitos de BTI são responsáveis por um aumento no módulo da tensão de limiar dos transistores fazendo com que estes chaveiem mais lentamente e conduzam menos corrente tornando o caminho crítico mais lento. Efeitos de BTI também causam alterações nos parâmetros que definem o *flip-flop* alterando os tempos de *setup* e de *hold*, assim como aumentando sua variabilidade. O aumento do tempo de propagação dos caminhos do circuito aumenta a probabilidade de haver uma violação do tempo de *setup* e reduz a chance de uma violação de *hold*. A alteração nos parâmetros do *flip flop* é uma função da topologia utilizada e com isso não se pode apresentar um caso geral para o impacto de BTI neles. No caso da análise de violação do tempo de *setup*, é importante considerar os caminhos críticos, que normalmente são os que apresentam um maior número de níveis lógicos. Desta forma para este tipo de análise pode se considerar que o caminho será suficiente longo cumprindo a condição necessária para o bom funcionamento da ferramenta de SSTA.

Neste capítulo foi apresentado um estudo sobre a utilização de ferramentas de SSTA de forma a se considerar efeitos de BTI durante projetos baseados no método Standard Cell. Foi mostrado que para tecnologias recentes, onde o impacto causado pelos efeitos de BTI é maior, BTI se torna um efeito relevante na confiabilidade do circuito. Devido ao seu comportamento não ser dado por uma distribuição Normal o uso de ferramentas de SSTA pode levar a resultados incorretos. Foi então apresentada uma comparação entre os resultados do tempo de propagação para diferentes caminhos obtidos a partir de ferramentas de SSTA pelo método de análise linear de sensibilidade através da criação de um corner relativo ao tempo de estresse e de simulações elétricas. Esta comparação mostrou que as ferramentas de SSTA apresentam um resultado com um erro muito pequeno quando utilizadas em caminhos longos, e um resultado pouco preciso quando em caminhos curtos. Tal constatação pode ser explicada através do Teorema do Limite Central.

6 CONCLUSÕES

Efeitos com origem atribuída à atividade de *traps* se tornaram uma das maiores ameaças à confiabilidade de circuitos em tecnologias sub-100nm. A simulação deste tipo de efeito é complexa devido à dependência entre o estado de ocupação dos *traps* e o histórico de uso do circuito. Neste trabalho foram discutidos métodos de simulação para efeitos causados por *traps*. Foi desenvolvida uma ferramenta de simulação elétrica capaz de considerar o efeito dos *traps* em dispositivos e circuitos, tornando possível analisar efeitos como RTS e BTI em uma simulação transiente. Estudos de caso em inversores e em uma partição SRAM foram realizados. Foi também feita uma análise da capacidade e precisão de simulação de efeitos de BTI em ferramentas de SSTA através de um estudo de caso em circuitos digitais combinacionais de até dez níveis lógicos.

A ferramenta de simulação elétrica foi desenvolvida baseada no modelo de BTI mais aceito pela literatura atualmente e construído de forma a se adaptar aos dados de medidas experimentais fornecidos pelo IMEC. A ferramenta foi desenvolvida utilizando-se um ambiente de ferramentas comerciais amplamente utilizadas pela indústria e no modelo de transistor BSIM4 de forma a tornar esta ferramenta mais versátil. Devido ao desenvolvimento recente do modelo de BTI utilizado pela ferramenta, trabalhos futuros incluem a reformulação da ferramenta em torno do modelo teórico e não de dados experimentais.

Estudos de caso desenvolvidos com o simulador elétrico confirmaram que efeitos causados por *traps* se tornaram uma grande ameaça a confiabilidade de circuitos devido ao grande aumento de variabilidade que estes causam em parâmetros elétricos dos transistores. Os estudos realizados num inversor e numa partição SRAM também mostraram que a dependência da degradação com o sinal de estresse depende não somente do DF equivalente do sinal e de sua intensidade, mas sim de toda a atividade do sinal. Trabalhos atualmente estão sendo desenvolvidos visando analisar a correlação entre a utilização das memórias SRAM e como estas afetam sua degradação visando o desenvolvimento de técnicas de uso que reduzam a degradação das mesmas. Outros trabalhos futuros em nível de simulação elétrica incluem estudos de *jitter* em osciladores e de ruído em circuitos analógicos.

Realizou-se ainda um estudo para avaliar os resultados obtidos na análise de efeitos de BTI através de simulações de SSTA. Mostrou-se que esta é uma alternativa viável, que pode ser implementada com as ferramentas comerciais existentes atualmente no mercado. Apesar de estas ferramentas não terem sido desenvolvidas visando a simulação de efeitos de BTI é possível utilizá-las através de uma caracterização definindo um *corner* para a expectativa de vida do circuito. Os resultados obtidos através das simulações de SSTA foram próximos aos obtidos através de simulações elétricas para circuitos combinacionais suficientemente complexos e um sinal de estresse conhecido. Uma explicação teórica foi apresentada justificando os resultados.

As principais fontes de erro são oriundas do fato de se considerar a dependência entre a tensão de limiar dos transistores e o tempo de propagação das portas lógicas como linear. Alternativas apresentadas na literatura visando estimar o histórico de estresse não foram consideradas por ainda não estarem implementadas em nenhuma ferramenta comercial de SSTA. Trabalhos futuros na área incluem a inclusão das técnicas de caracterização e simulação incluindo uma estimativa do histórico dos sinais de estresse nos transistores.

REFERÊNCIAS

- ALAM M., and MAHAPATRA S.. “A comprehensive model of PMOS NBTI degradation.” *Microelectronics Reliability* 45.1 (2005) : 71-81.
- ALAM M.A., et al., A comprehensive model for PMOS NBTI degradation: Recent progress, *Microelectronics Reliability*, Volume 47, Issue 6, June 2007, Pages 853-862, ISSN 0026-2714, 10.1016/j.microrel.2006.10.012.
- AHMED, F.; MILOR, L.; , "NBTI resistant SRAM design," *Advances in Sensors and Interfaces (IWASI)*, 2011 4th IEEE International Workshop on , vol., no., pp.82-87, 28-29 June 2011.
- AOULAICHE M., et al., “Silicon substrate surface orientation (100) and (110) impact on negative and positive bias temperature instability on hafnium silicate TiN metal gated MOSFETs,” in *Proc. Semicond. Interface Spec. Conf.*, 2006, pp. 26–27.
- AOULAICHE, M.; et al., "Impact of nitridation on recoverable and permanent negative bias temperature instability degradation in high-k/metal-gate p-type metal oxide semiconductor field effect transistors," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures* , vol.27, no.1, pp.463-467, Jan 2009.
- ASENOV, A.; et al., "Simulation of intrinsic parameter fluctuations in decananometer and nanometer-scale MOSFETs," *Electron Devices, IEEE Transactions on* , vol.50, no.9, pp. 1837- 1852, Sept. 2003
- ASHRAF, N.; VASILESKA, D.; "1/f Noise: threshold voltage and ON-current fluctuations in 45 nm device technology due to charged random traps.", in *Journal of Computational Electronics*, v. 3, pp. 128-134, 2010.
- BILD, D.R.; BOK, G.E.; DICK, R.P.; , "Minimization of NBTI performance degradation using internal node control," *Design, Automation & Test in Europe Conference & Exhibition, 2009. DATE '09.* , vol., no., pp.148-153, 20-24 April 2009
- BRUSAMARELLO, L. *Modeling and Simulation of Device Variability and Reliability at the Electrical Level*. 2011. 152 f. Tese (Doutorado em Microeletrônica) – Pós Graduação em Microeletrônica, UFRGS, Porto Alegre.
- CASTAN, H.; et al., "Effect of interlayer trapping and detrapping on the determination of interface state densities on high-k dielectric stacks," *Journal of Applied Physics* , vol.107, no.11, pp.114104-114104-5, Jun 2010.
- CLARK C., “”The greatest of a finite set of random variables”, *Operations Research*, pp. 145-162, March 1961
- COSEMANS, S.; DEHAENE, W.; CATTLOOR, F.; , "A 3.6 pJ/Access 480 MHz, 128 kb On-Chip SRAM With 850 MHz Boost Mode in 90 nm CMOS With Tunable Sense

Amplifiers," *Solid-State Circuits, IEEE Journal of* , vol.44, no.7, pp.2065-2077, July 2009

DA SILVA, M.B.; CAMARGO, V.V.A.; BRUSAMARELLO, L.; WIRTH, G.I.; DA SILVA, R.; , "NBTI-aware technique for transistor sizing of high-performance CMOS gates," *Test Workshop, 2009. LATW '09. 10th Latin American* , vol., no., pp.1-5, 2-5 March 2009.

DEAL B., SKLAR M., GROVE A.S., and SNOW E.H., *J. Electrochem. Soc.*, 114, 266 (1967).

DEORA, S.; et al., "A Common Framework of NBTI Generation and Recovery in Plasma-Nitrided SiON p-MOSFETs," *Electron Device Letters, IEEE* , vol.30, no.9, pp.978-980, Sept. 2009.

FRANCO, J.; et al., "Improvements of NBTI reliability in SiGe p-FETs," *Reliability Physics Symposium (IRPS), 2010 IEEE International* , vol., no., pp.1082-1085, 2-6 May 2010.

GRASSER T.; et al., "The Time Dependent Defect Spectroscopy (TDDS) for the Characterization of the Bias Temperature Instability," presented at *Int. Reliab. Phys. Symp.*, 2010.

GRASSER, T.; et al., "The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction-Diffusion to Switching Oxide Traps," *Electron Devices, IEEE Transactions on* , vol.58, no.11, pp.3652-3666, Nov. 2011.

GRINSTEAD C. M., SNEL J. L.. "Central Limit Theorem" in *Introduction to Probability, Second Revised edition*. C. M. Grinstead, J. L. Snel, United States: American Mathematical Society, 1997, pp 325

HAN S.; KIM J.; , "NBTI-aware statistical timing analysis framework," *SOC Conference (SOCC), 2010 IEEE International* , vol., no., pp.158-163, 27-29 Sept. 2010

HANE, M.; IKEZAWA, T.; EZAKI, T. Coupled atomistic 3D process/device simulation considering both line-edge roughness and random-discrete-dopant effects. In: *PROCEEDING OS SISPAD 2003. INTERNATIONAL CONFERENCE ON SIMULATION OF SEMICONDUCTOR PROCESSES AND DEVICES, 2003*, p.99-102. 2003

HORSTMANN, J.T.; HILLERINGMANN, U.; GOSER, K.; , "Correlation Analysis of the Statistical Electrical Parameter Fluctuations in 50 nm MOS-Transistors," *Solid-State Device Research Conference, 1998. Proceeding of the 28th European* , vol., no., pp.512-515, 8-10 Sept. 1998

HOUSSA M., et al., "H₂/D₂ Isotopic Effect on Negative Bias Temperature Instabilities in SiO_x/HfSiON/TaN Gate Stacks", *Electrochem. Solid-State Lett.* 9 (2006) G10.

IELMINI, D.; et al., "A New NBTI Model Based on Hole Trapping and Structural Relaxation in MOS Dielectrics," *Electron Devices, IEEE Transactions on* , vol.56, no.9, pp.1943-1952, Sept. 2009

JHA, N.K.; et al., "NBTI degradation and its impact for analog circuit reliability," *Electron Devices, IEEE Transactions on* , vol.52, no.12, pp. 2609- 2615, Dec. 2005.

KACZER, B.; et al., "Ubiquitous relaxation in BTI stressing—New evaluation and insights," Reliability Physics Symposium, 2008. IRPS 2008. IEEE International , vol., no., pp.20-27, April 27 2008-May 1 2008.

KACZER B., et al., "Improvement in NBTI Reliability of Si-passivated Ge/highk/metal gate pFETs", in Microelectronics Engineering, Vol. 86, No. 7-9, Jul.-Sep. 2009, pp. 1582-1584

KACZER, B.; et al., "Origin of NBTI variability in deeply scaled pFETs," Reliability Physics Symposium (IRPS), 2010 IEEE International , vol., no., pp.26-32, 2-6 May 2010. 2010-a

KACZER, B.; et al., "Statistics of Multiple Trapped Charges in the Gate Oxide of Deeply Scaled MOSFET Devices—Application to NBTI," Electron Device Letters, IEEE , vol.31, no.5, pp.411-413, May 2010. 2010-b

KACZER, B.; MAHATO, S.; DE ALMEIDA CAMARGO, V.V.; TOLEDANO-LUQUE, M.; ROUSSEL, P.J.; GRASSER, T.; CATTHOOR, F.; DOBROVOLNY, P.; ZUBER, P.; WIRTH, G.; GROESENEKEN, G.; , "Atomistic approach to variability of bias-temperature instability in circuit simulations," Reliability Physics Symposium (IRPS), 2011 IEEE International , vol., no., pp.XT.3.1-XT.3.5, 10-14 April 2011.

KANG K.; et al.; "Estimation of statistical variation in temporal NBTI degradation and its impact on lifetime circuit performance." Computer-Aided Design, 2007. ICCAD 2007. IEEE/ACM International Conference on , vol., no., pp.730-734, 4-8 Nov. 2007.

KRISHNAN A. T., et al., "Material dependence of hydrogen diffusion: Implication for NBTI degradation," in Proc. IEEE Int. Electron Devices Meeting, Dec. 2005, pp. 688–691.

KUMAR, S.V.; KIM, C.H.; SAPATNEKAR, S.S.; , "Impact of NBTI on SRAM read stability and design for reliability," Quality Electronic Design, 2006. ISQED '06. 7th International Symposium on , vol., no., pp.6 pp.-218, 27-29 March 2006.

KUMAR, S.V.; KIM, C.H.; SAPATNEKAR, S.S.; , "NBTI-Aware Synthesis of Digital Circuits," Design Automation Conference, 2007. DAC '07. 44th ACM/IEEE , vol., no., pp.370-375, 4-8 June 2007

PARRAT L. G., "Probability and Experimental Errors on Science." New York, NY, USA: John Wiley and Sons Inc. 1961.

PAUL, B.C.; et al., "Negative Bias Temperature Instability: Estimation and Design for Improved Reliability of Nanoscale Circuits," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on , vol.26, no.4, pp.743-751, April 2007.

PIERRET, R.F. Semiconductor Device Fundamental. [S. 1.]: Addison Wesley Longman, 1996. p42; 612-623;662-667. ISBN-10: 0-201-54393-1

RABAEY J. M., CHANDRAKASAN A., NIKOLIC B.. "Implementation Strategies For Digital ICs" in Digital Integrated Circuits, Second edition. Prentice Hall, 2003.

REISINGER H., et al., "The Statistical Analysis of Individual Defects Constituting NBTI and its Implications for Modeling DC- and AC-Stress," presented at Int. Reliab. Phys. Symp., 2010.

RODOPOULOS, D.; MAHATO, S.B.; DE ALMEIDA CAMARGO, V.V.; KACZER, B.; CATTHOOR, F.; COSEMANS, S.; GROESENEKEN, G.; PAPANIKOLAOU, A.;

SOUDRIS, D.; , "Time and workload dependent device variability in circuit simulations," IC Design & Technology (ICICDT), 2011 IEEE International Conference on , vol., no., pp.1-4, 2-4 May 2011.

SALINAS, S., "Introdução a Física Estatística." [S. 1.]: EDUSP, 2005. P205. ISBN: 8531403863.

SCHRODER D. K., Negative bias temperature instability: What do we understand?, Microelectronics Reliability, Volume 47, Issue 6, June 2007, Pages 841-852, ISSN 0026-2714, 10.1016/j.microrel.2006.10.006.

SIMOEN, E.; et al., "Explaining the amplitude of RTS noise in submicrometer MOSFETs," Electron Devices, IEEE Transactions on , vol.39, no.2, pp.422-429, Feb 1992.

TOLEDANO-LUQUE, M.; et al.; "From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation", on VLSI Technology (VLSIT), 2011 Symposium on; 2011-a

TOLEDANO-LUQUE, M.; et al.; , "Response of a single trap to AC negative Bias Temperature stress," Reliability Physics Symposium (IRPS), 2011 IEEE International , vol., no., pp.4A.2.1-4A.2.8, 10-14 April 2011. 2011-b

ZHAO W. and CAO Y., "New generation of predictive technology model for sub-45 nm early design explorations," IEEE Trans. Electron Devices, vol. 53, no. 11, pp. 2816–2823, Nov. 2006.

WANG W., et al., "The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis", IEEE T. VLSI Systems 18, p. 173, 2010.

WIRTH, G. I. ; SILVA, R. . Low-Frequency Noise Spectrum of Cyclo-Stationary Random Telegraph Signals. Electrical Engineering (Berlin), v. 90, p. 435-441, 2007.

WIRTH, G. I. Reliability and Yield of MOS devices and Circuits. IEEE CAS Society DLP Talk. 2010.

WIRTH, G.I.; DA SILVA, R.; KACZER, B.; , "Statistical Model for MOSFET Bias Temperature Instability Component Due to Charge Trapping," Electron Devices, IEEE Transactions on , vol.58, no.8, pp.2743-2751, Aug. 2011.

APÊNDICE A LISTA DE PUBLICAÇÕES (2010-2012)

1. CAMARGO, V.; KACZER, B.; WIRTH, G.; GRASSER, T.; GROESENEKEN, G.; , "Use of SSTA Tools for Evaluating BTI Impact on Combinational Circuits," Submitted to IEEE Transactions on Very Large Scale Integration Systems 2012. (Under Review)
2. KACZER, B.; TOLEDANO-LUQUE, M.; FRANCO, J.; GRASSER, T.; ROUSSEL, J.; CAMARGO, V. V. A.; MAHATO, S.; SIMOEN, E.; CATTHOOR, F.; WIRTH, G. I.; GROESENEKEN, G.; , "Recent trends in CMOS reliability: From individual traps to circuit simulations," *Integrated Reliability Workshop Final Report (IRW), 2011 IEEE International* , vol., no., pp.32, 16-20 Oct. 2011
3. RODOPOULOS, D.; MAHATO, S.B.; DE ALMEIDA CAMARGO, V.V.; KACZER, B.; CATTHOOR, F.; COSEMANS, S.; GROESENEKEN, G.; PAPANIKOLAOU, A.; SOUDRIS, D.; **Time and workload dependent device variability in circuit simulations.** In: IC Design & Technology (ICICDT), 2011 IEEE International Conference on 2-4 May 2011. p.1-4.
4. KACZER, B.; MAHATO, S.; DE ALMEIDA CAMARGO, V.V.; TOLEDANO-LUQUE, M.; ROUSSEL, P.J.; GRASSER, T.; CATTHOOR, F.; DOBROVOLNY, P.; ZUBER, P.; WIRTH, G.; GROESENEKEN, G.;. **Atomistic approach to variability of bias-temperature instability in circuit simulations.** In: Reliability Physics Symposium (IRPS), 2011 IEEE International 10-14 April 2011. Issn:1541-7026.p. XT.3.1 - XT.3.5.
5. CAMARGO, VINÍCIUS; ASHRAF, NABIL; BRUSAMARELLO, LUCAS; VASILESKA, DRAGICA; WIRTH, GILSON. **Impact of RDF and RTS on the performance of SRAM cells.** In: Journal of Computational Electronics 2010-12-01. Issn: 1569-8025. p.122-127. Volume 9. Issue 3.