

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
INSTITUTO DE INFORMÁTICA  
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

ISIS DUARTE BENDER

**Teste de Amplificadores Diferenciais através de  
Medida DC e Transiente de Tensões Internas de  
Polarização**

Dissertação apresentada como requisito parcial para  
a obtenção do grau de Mestre em Microeletrônica.

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre  
2015

## CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Bender, Isis Duarte

Teste de Amplificadores Diferenciais através de Medida DC e Transiente de Tensões Internas de Polarização [manuscrito] / Isis Duarte Bender. – 2015.

15 f.:il.

Orientador: Orientador Tiago Roberto Balen.

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2015.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMICRO: Prof. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

## AGRADECIMENTOS

Primeiramente agradeço a Deus pela oportunidade de crescer não só profissionalmente, mas também como pessoa. As dificuldades encontradas e, na maioria das vezes, superadas ao longo do caminho me instigaram a valorizar ainda mais tudo que conquistei.

Quero agradecer ao meu orientador Prof. Dr. Tiago Balen por não colocar a distância como empecilho para a realização do curso. Agradeço também pelos ensinamentos, confiança e incentivo durante esse período.

Agradeço à UFRGS, ao Programa de Pós-Graduação em Microeletrônica (PGMICRO) e aos professores, pela estrutura, oportunidades de crescimento e ensinamentos.

Sou grata ao IFSul e, em especial, aos colegas da coordenadoria de Eletrônica. Agradeço, particularmente, o colega e amigo Guilherme Cardoso, pelo o incentivo e exemplo de que essa conquista era possível. Muito obrigada pela paciência, atenção, ajudas e contribuições diretas no trabalho.

De maneira alguma poderia deixar de agradecer a minha família, meus pais Sérgio e Renata e minha irmã Janaina, que independente do momento e da situação sempre está ao meu lado. Vocês fazem a diferença! Sou grata também aos primos Elisa, Dimos e Cristian pelo carinho e acolhida na Capital, viabilizando a realização do curso.

Ao meu esposo Rafael, pelas inúmeras vezes que me acompanhou até a rodoviária (inclusive de madrugada), pela compreensão dos períodos que tive que me ausentar e por todo o apoio a mim dedicado, muito obrigada amor!

## RESUMO

Este trabalho apresenta estudos voltados ao teste de Amplificadores Diferenciais. No primeiro momento, por meio de simulações SPICE, falhas catastróficas são injetadas em dois Amplificadores Diferenciais, projetados para uma tecnologia CMOS de  $0,5\mu\text{m}$  com configurações complementares, a fim de comprovar a ocorrência de variações nas tensões DC dos nós do circuito sob teste à medida que há injeções de falhas no mesmo. Também se faz análises preliminares dos resultados para verificar a possibilidade de diagnosticar as falhas através de assinaturas compostas pela digitalização (em um bit) dos valores DC dos nós do circuito sob teste. Posteriormente, é desenvolvida uma metodologia de teste simples e com baixo custo, aplicável a Amplificadores Totalmente Diferenciais. Considerando a necessidade do Circuito de Realimentação de Modo Comum para manter o controle do modo comum das saídas, é proposta a reutilização deste circuito como verificador, possibilitando a observação de falhas ocorridas tanto no Amplificador quanto no próprio bloco de CMFB. Falhas catastróficas e paramétricas são injetadas, por simulação, em dois amplificadores totalmente diferenciais, um projetado em 180nm e outro em 130nm. Testes DC e transientes são realizados e a cobertura de falhas é avaliada. Os resultados das simulações apontam boa cobertura de falhas, enquanto apenas os sinais de realimentação de modo comum precisam ser monitorados. Dessa forma é proposta uma estratégia de teste que apresenta um baixo custo e uma baixa sobrecarga de área do circuito.

**Palavras-chave:** Teste analógico. Teste DC. Teste transiente. Amplificadores totalmente Diferenciais. Common Mode Feedback.

## ABSTRACT

This work presents a study related to the testing of Differential Amplifiers. Firstly, by means of SPICE simulations, catastrophic faults are injected in two complementary Differential Amplifiers, designed considering a 0,5 $\mu$ m CMOS technology, in order to prove the concept of testing the circuit by checking the occurrence of variations in the DC voltage of the circuit internal nodes due to the injected faults. The possibility of diagnosing faults using a digitized representation of the DC values of the observed nodes of the circuit was also investigated. Then, a simple and cost-effective test methodology for Fully Differential Amplifiers (FDA) is proposed. Considering the need of the common mode feedback circuit to maintain the control of the common mode output voltage, it is proposed to re-use this circuit as a checker, allowing the observation of faults in both the amplifier itself and the CMFB block. Catastrophic and parametric faults are injected in two FDAs, designed in 180nm and 130nm technology respectively. DC and transient tests are performed and the fault coverage is evaluated. The simulation results indicate high fault coverage, while only the signals from the common mode feedback need to be monitored. This way a low cost and low overhead test methodology is proposed.

**Keywords:** Analog Test. DC test. Transient test. Fully Differential Amplifiers. Common Mode Feedback.

## LISTA DE FIGURAS

|  |    |
|--|----|
| Figura 2.1– Estimativa do custo relativo por falha em cada etapa da produção de um sistema eletrônico .....                                      | 17 |
| Figura 2.2 – Diagrama genérico do BIST.....  | 20 |
| Figura 2.3 – Estrutura geral de um circuito <i>Self-Checking</i> .....   | 22 |
| Figura 2.4 – Estrutura do BIST .....   | 23 |
| Figura 2.5 – Diagrama em blocos do verificador proposto .....  | 25 |
| Figura 2.6 – Resposta ao degrau de um filtro passa-baixa de segunda ordem.....   | 26 |
| Figura 2.7 – Resposta ao degrau de um filtro passa-baixa de segunda ordem com variações de $\pm 20\%$ em suas características .....              | 27 |
| Figura 2.8 – Resposta ao degrau de um sistema de primeira ordem .....  | 27 |
| Figura 2.9 – Transformação em frequência através de um degrau de entrada .....   | 28 |
| Figura 3.1 – Topologias de amplificadores usados como estudo de caso. A - Configuração PMOS-DA, B - Configuração NMOS-DA.....                    | 30 |
| Figura 3.2 – Nós analisados nas topologias de amplificadores usados como estudo de caso. A - Configuração PMOS-DA, B - Configuração NMOS-DA..... | 32 |
| Figura 3.3 – Modelo usado para as falhas. A - Falha de curto-circuito, B - Falha de circuito aberto .....  | 33 |
| Figura 4.1 – Bloco conceitual do circuito CMFB do FDA .....  | 41 |
| Figura 4.2 – Circuito do amplificador totalmente diferencial de um estágio .....   | 42 |
| Figura 4.3 – Circuito de realimentação de modo comum do FDA .....  | 43 |
| Figura 4.4 – Assinaturas do nó $V_{cm1}$ : <i>fault free</i> e falha de contato aberto de gate do transistor M2 do FDA.....                      | 46 |
| Figura 4.5 – Assinatura <i>fault free</i> dos <i>corners</i> da tecnologia 180nm para os testes transientes ( <i>overshoot</i> ).....            | 50 |
| Figura 4.6 – Assinatura <i>fault free</i> dos <i>corners</i> da tecnologia 180nm para os testes transientes ( <i>settling time</i> ).....        | 50 |
| Figura 4.7 – Cobertura de falhas testes DC .....   | 51 |
| Figura 4.8 – Assinatura da falha de terminal de gate aberto do transistor M7 do FDA para o TR1 .....   | 52 |
| Figura 4.9 – Circuito utilizado para simular a presença do aparelho testador conectado ao CUT .....  | 53 |
| Figura 4.10 – Diagrama de Bode do FDA.....   | 54 |
| Figura 4.11 – Resposta transiente do corner TM sem a injeção de falhas e com o circuito adicional de teste .....                                 | 55 |
| Figura 4.12 – FDA com a fonte $V_{bias}$ real.....   | 56 |
| Figura 4.13 – CMFB com a fonte $I_o$ real .....  | 57 |
| Figura 5.1 – Diagrama em blocos do FDA de dois estágios com compensação sem capacitor .....  | 60 |
| Figura 5.2 – Primeiro estágio do FDA .....   | 61 |
| Figura 5.3 – Segundo estágio do FDA .....  | 61 |
| Figura 5.4 – Estágio de compensação do FDA .....   | 62 |
| Figura 5.5 – Circuito CMFB <sub>1</sub> do FDA .....   | 63 |
| Figura 5.6 – Circuito CMFB <sub>2</sub> do FDA .....   | 63 |
| Figura 5.7 – Assinatura transiente <i>fault free</i> do nó $V_{cm1}$ para os <i>corners</i> da tecnologia 130nm .....                            | 69 |
| Figura 5.8 – Assinatura transiente <i>fault free</i> do nó $V_{cm1}$ para o <i>corner</i> SF da tecnologia 130nm.....                            | 69 |

|  |    |
|--|----|
| Figura 5.9 – Assinatura transiente <i>fault free</i> do nó $V_{cmc2}$ para os <i>corners</i> da tecnologia 130nm ..... | 70 |
| Figura 5.10 – Cobertura de falhas testes DC .....  | 70 |
| Figura 5.11 – Assinatura $V_{cmc1}$ com a injeção da falha M7vth .....   | 71 |
| Figura 5.12 – Assinatura $V_{cmc2}$ com a injeção da falha M7vth .....   | 72 |
| Figura 6.1 – Circuito MUX 2:1 .....  | 75 |
| Figura 6.2 – Circuito MUX 4:1 .....  | 76 |
| Figura 6.3 – Diagrama em blocos do esquema de BIST .....   | 78 |

## LISTA DE TABELAS

|   |    |
|---|----|
| Tabela 3.1 – Especificações do projeto das duas topologias estudadas .....  | 31 |
| Tabela 3.2 – Resumo do projeto das topologias NMOS-DA e PMOS-DA .....   | 31 |
| Tabela 3.3 – Tensões DC sem a injeção de falha para as topologias estudadas.....  | 34 |
| Tabela 3.4 – Tensões DC com a injeção de falhas no transistor M1 da topologia PMOS-DA   | 34 |
| Tabela 3.5 – Tensões DC com a injeção de falhas no transistor M1 da topologia NMOS-DA   | 35 |
| Tabela 3.6 – Diferença entre as tensões DC com a injeção de falhas e a tensão <i>fault free</i> no transistor M1 da topologia PMOS-DA.....  | 35 |
| Tabela 3.7 – Diferença entre as tensões DC com a injeção de falhas e a tensão <i>fault free</i> no transistor M1 da topologia NMOS-DA ..... | 35 |
| Tabela 3.8 – Assinaturas para as falhas injetadas no transistor M1 da topologia PMOS-DA   | 36 |
| Tabela 3.9 – Assinaturas para as falhas injetadas no transistor M1 da topologia NMOS-DA.  | 36 |
| Tabela 3.10 – Resumo das assinaturas da topologia PMOS-DA .....   | 37 |
| Tabela 3.11 – Resumo das assinaturas da topologia NMOS-DA.....  | 37 |
| Tabela 3.12 – Cobertura de falhas (CF) de cada nó analisado .....   | 38 |
| Tabela 4.1 – Resumo do projeto do FDA.....  | 43 |
| Tabela 4.2 – Resumo do projeto do circuito CMFB do FDA .....  | 43 |
| Tabela 4.3 – Especificações do FDA com único estágio .....  | 44 |
| Tabela 4.4 – Resultado da cobertura de falhas (CF) dos nós, possivelmente, sensíveis a falhas .....   | 46 |
| Tabela 4.5 – Resultado da cobertura de falhas (CF) dos nós, possivelmente, sensíveis a falhas, desconsiderando as falhas indetectáveis..... | 47 |
| Tabela 4.6 – Resultado da cobertura de falhas (CF) dos nós, possivelmente, sensíveis a falhas, com análise de <i>corners</i> .....          | 48 |
| Tabela 4.7 – Assinatura <i>fault free</i> dos <i>corners</i> para os testes DC .....  | 49 |
| Tabela 4.8 – Resultado da cobertura de falhas (CF) do nó $V_{cmc}$ , para falhas catastróficas e paramétricas.....                          | 52 |
| Tabela 4.9 – Cobertura de falhas com a adição da estrutura de teste para o modelo completo de falhas.....                                   | 55 |
| Tabela 4.10 – Tempo de teste estimado para a tecnologia 180nm.....  | 56 |
| Tabela 4.11 – Valores dos componentes utilizados no projeto das fontes $V_{bias}$ e $I_o$ dos circuitos FDA e CMFB, respectivamente .....   | 57 |
| Tabela 4.12 – Cobertura de falhas considerando as falhas relacionadas com os transistores das fontes reais.....                             | 58 |
| Tabela 5.1 – Resumo projeto do 1º estágio do FDA de dois estágios.....  | 64 |
| Tabela 5.2 – Resumo projeto do 2º estágio e da compensação do FDA de dois estágios.....   | 64 |
| Tabela 5.3 – Resumo do projeto dos circuitos CMFBs.....   | 64 |
| Tabela 5.4 – Especificações do FDA de dois estágios .....   | 65 |
| Tabela 5.5 – Lista aleatória de falhas .....  | 67 |
| Tabela 5.6 – Assinatura <i>fault free</i> dos <i>corners</i> para os testes DC .....  | 68 |
| Tabela 5.7 – Cobertura de falhas com 10% do modelo completo de falhas.....  | 72 |
| Tabela 5.8 – Tempo de teste estimado para a tecnologia 130nm.....   | 73 |
| Tabela 6.1 – Dimensões dos transistores dos MUX.....  | 77 |
| Tabela 6.2 – Área ativa dos multiplexadores projetados com transmission gate .....  | 77 |

## LISTA DE ABREVIATURAS E SIGLAS

|         |  |
|---------|--|
| AD      | Analógico para Digital                               |
| AMI     | American Microsystems Inc                            |
| ATE     | Automatic Test Equipment                             |
| BIST    | Built-In Self-Test                                   |
| CI      | Circuito Integrado                                   |
| CMFB    | Common Mode Feedback                                 |
| CMOS    | Complementary Metal Oxide Semiconductor              |
| CMR     | Common Mode Range                                    |
| CUT     | Circuit Under Test                                   |
| DA      | Differential Amplifier                               |
| DC      | Direct Current                                       |
| DfT     | Design for Testability                               |
| FC      | Fault Coverage                                       |
| FDA     | Fully Differential Amplifier                         |
| FF      | Fast-Fast  |
| FF      | Feed Forward   |
| FPAA    | Field Programmable Analog Array                      |
| FS      | Fast-Slow  |
| MUX     | Multiplexador  |
| NMOS    | N-channel Metal Oxide Semiconductor                  |
| NMOS-DA | NMOS Differential Amplifier                          |
| OpAmp   | Operational Amplifier                                |
| PMOS    | P-channel Metal Oxide Semiconductor                  |
| PMOS-DA | PMOS Differential Amplifier                          |
| RF      | Rádio Frequência                                     |
| SC      | Switched Capacitor                                   |
| SF      | Slow-Fast  |
| SoC     | System-on-Chip                                       |
| SPICE   | Simulation Program with Integrated Circuits Emphasis |
| SR      | Slew Rate  |
| SS      | Slow-Slow  |
| TM      | Typical Mean Condition                               |
| TRAM    | Transient Response Analysis Method                   |

|    |                            |
|----|----------------------------|
| TT | Typical-Typical            |
| WO | Worst Case One Condition   |
| WP | Worst Case Power Condition |
| WS | Worst Case Speed Condition |
| WZ | Worst Case Zero Condition  |

## SUMÁRIO

|   |           |
|---|-----------|
| <b>1 INTRODUÇÃO .....</b>   | <b>13</b> |
| <b>2 TESTES DE CIRCUITOS ANALÓGICOS .....</b>   | <b>16</b> |
| 2.1 Teste em Produção .....   | 17        |
| 2.2 Teste Funcional x Teste Estrutural.....   | 18        |
| 2.3 Projeto Visando a Testabilidade e o Auto-Teste Integrado.....                                 | 18        |
| 2.4 Modelos de Falhas para o Teste Analógico .....  | 20        |
| 2.5 Teste em Funcionamento (Online) .....   | 21        |
| 2.6 Método de Teste Baseado em Tensões DC .....   | 22        |
| 2.7 Método de Teste Baseado na Análise de Resposta Transiente .....                               | 25        |
| <b>3 ESTUDO DE CASO 1: AMPLIFICADORES OPERACIONAIS DE DOIS ESTÁGIOS COM SAÍDA SIMPLES .....</b>   | <b>29</b> |
| 3.1 Descrição dos Amplificadores Operacionais.....  | 29        |
| 3.2 Metodologia.....  | 31        |
| 3.3 Injeção de Falhas e <i>Setup</i> de Simulação .....   | 32        |
| 3.4 Resultados .....  | 33        |
| <b>4 ESTUDO DE CASO 2: AMPLIFICADOR TOTALMENTE DIFERENCIAL DE UM ESTÁGIO .....</b>                | <b>40</b> |
| 4.1 Descrição do Amplificador Totalmente Diferencial.....   | 40        |
| 4.2 Metodologia.....  | 44        |
| 4.3 Injeção de Falhas e <i>Setup</i> de Simulação .....   | 44        |
| 4.4 Resultados .....  | 45        |
| 4.4.1 Escolha do Nó a Ser Monitorado.....   | 45        |
| 4.4.2 Cobertura de Falhas com o Modelo Completo.....  | 49        |
| 4.4.3 Comportamento do Circuito Considerando Conexão com Equipamento de Teste .....               | 52        |
| 4.4.4 Teste do CUT com Circuitos de Polarização Reais.....  | 56        |
| <b>5 ESTUDO DE CASO 3: AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS COM SAÍDAS DIFERENCIAIS.....</b> | <b>59</b> |

|  |           |
|--|-----------|
| <b>5.1 Descrição do Amplificador Operacional .....</b>   | <b>59</b> |
| <b>5.2 Metodologia .....</b>   | <b>65</b> |
| <b>5.3 Injeção de Falhas e <i>Setup</i> de Simulação .....</b>                                       | <b>65</b> |
| <b>5.4 Resultados .....</b>  | <b>66</b> |
| <b>6 POSSIBILIDADES DE ALIAR A METODOLOGIA DE TESTE PROPOSTA ÀS<br/>TÉCNICAS DE DFT E BIST .....</b> | <b>74</b> |
| <b>6.1 Possibilidades de esquemas de DfT .....</b>   | <b>74</b> |
| <b>6.2 BIST Baseado em Redundância .....</b>   | <b>78</b> |
| <b>7 CONCLUSÃO .....</b>   | <b>80</b> |
| <b>REFERÊNCIAS .....</b>   | <b>83</b> |
| <b>APÊNDICE A – ARQUIVOS SPICE UTILIZADOS COMO BASE NAS<br/>SIMULAÇÕES .....</b>                     | <b>87</b> |

## 1 INTRODUÇÃO

As sociedades convivem com diversas transformações, inclusive no âmbito tecnológico. Pesquisas e projetos inovadores em vários segmentos, como militar, hospitalar e industrial, estão em constante desenvolvimento. Os avanços tecnológicos estão diretamente relacionados com os semicondutores, componentes básicos que aprimoram e aumentam a variedade de produtos e equipamentos eletrônicos inseridos no mercado. Ao longo das últimas décadas, a indústria deste tipo de componente, acompanhada pela indústria eletrônica, vem evoluindo de forma significativa.

Atualmente, características como versatilidade, complexidade, confiabilidade e miniaturização são encontrados nos produtos e, frequentemente, surgem equipamentos que agregam novas funcionalidades. Como exemplo, pode ser citado o telefone celular, o qual, ao longo dos anos, além de ter suas dimensões reduzidas, passou a oferecer aos usuários várias opções como: multimídia, câmera fotográfica, internet, entre outros. Além das telecomunicações, a eletrônica embarcada se faz presente em outras áreas como entretenimento e bens de consumo, ou seja, pode ser encontrada facilmente no dia a dia das pessoas.

A indústria microeletrônica, responsável pelo desenvolvimento de dispositivos eletrônicos com pequenas dimensões físicas, tem contribuído para a continuidade da lei de Moore (MOORE, 1965), a qual afirma que a cada 18 meses a capacidade de integração de transistores em um circuito integrado digital é multiplicado por dois. A redução das dimensões dos componentes possibilitou a fabricação de CIs (Circuitos Integrados) compostos por milhões e até bilhões de transistores. Em contrapartida, devido à miniaturização, efeitos colaterais como os de canal curto e corrente de fuga (TAUR *et al.*, 1996), fizeram com que os circuitos se tornassem ainda mais complexos.

O aumento da capacidade de integração acarreta em uma maior produtividade (*yield*) e velocidade de operação dos CIs. Desta forma, se produz mais dispositivos em menos tempo, barateando o custo de fabricação (custo relativo por transistor) e elevando suas frequências de operação. Entretanto, esses avanços aumentam a susceptibilidade e probabilidade da ocorrência de defeitos. O tamanho reduzido, por exemplo, aumenta a chance da existência de falhas relacionadas com o processo de fabricação, ou até mesmo, falhas provenientes das impurezas do silício, material base para a tecnologia CMOS.

Os defeitos, diferenças entre o hardware implementado e o projetado, podem ser de origem física, proveniente do processo, do encapsulamento ou do próprio material. Os

relacionados com o processo podem ocorrer pela falta de contatos ou vias, componentes parasitas, etc. Já o encapsulamento pode acarretar defeitos devido à degradação de contatos, por exemplo. Há também defeitos relacionados com o próprio material, como quebras no substrato, imperfeições no cristal (silício) e impurezas (BUSHNELL; AGRAWAL, 2002).

Além dos defeitos físicos, os oriundos do projeto também são importantes. Violação das regras de projeto, simplificação de modelos e falha na integração de blocos podem fazer com que haja diferença entre o hardware projetado e o implementado. Na tecnologia CMOS padrão, além dos defeitos nos transistores, como, por exemplo, circuito aberto no contato de porta, há também as falhas nas interconexões, como, por exemplo, curto entre as linhas de metal. Diante disso, verificar o bom funcionamento do circuito é extremamente relevante, tornando o teste uma prática essencial.

Os testes são realizados nas diversas etapas do processo, uma vez que é desejável detectar a falha o mais cedo possível. Um fator de suma importância é o tempo gasto com o teste, uma vez que interfere diretamente no custo do circuito, a redução do tempo de teste reduz o custo de teste do circuito final. A indústria automobilística é um típico exemplo de setor que demanda da indústria eletrônica produtos confiáveis a um custo competitivo.

A natureza do circuito exerce uma forte influência na complexidade do teste aplicado. Enquanto circuitos digitais são baseados em sinais lógicos, os circuitos analógicos baseiam-se em sinais de tensão e corrente. Esta diferença no tratamento da informação entre esses dois tipos de circuitos torna o teste analógico mais difícil em relação ao teste digital. No entanto, este tipo de circuito merece uma grande atenção, uma vez que os circuitos analógicos desempenham um importante papel, realizando a interface dos sistemas digitais com os meios físicos.

Os amplificadores totalmente diferenciais (*FDA: Fully Differential Amplifier*) são exemplos de circuitos analógicos empregados na interface analógico/digital de sistemas eletrônicos. Devido a suas características, esses amplificadores se fazem necessários em diversas aplicações como transmissão de dados em longas distâncias e conversores analógico/digitais (AD). Para um correto e previsível funcionamento, o FDA precisa ser realimentado por um circuito de modo comum (*CMFB: Common Mode Feedback*) (OLIVEIRA; SEVERO; GIRARDI, 2014) (OLIVEIRA; AGUIRRE; GIRARDI, 2015).

Neste contexto, este trabalho aborda o teste de amplificadores diferenciais, e pode ser dividido em duas etapas. A primeira é mais sucinta e tem como objetivo o estudo do teste de circuitos analógicos, mais especificamente do teste analógico utilizando medidas DC. É

realizado um estudo de caso em dois amplificadores diferenciais, projetados em  $0,5\mu\text{m}$ , com configurações complementares, a fim de comprovar a ocorrência de variações nas tensões DC dos nós do circuito sob teste (CUT: *Circuit Under Test*) à medida que há injeções de falhas no mesmo. Além disso, são feitas análises preliminares dos resultados para verificar a possibilidade de diagnosticar as falhas através dos valores DC dos nós do CUT.

A segunda etapa averigua a viabilidade do uso do circuito CMFB de FDAs como um verificador integrado para aumentar a observabilidade de falhas ocorrentes, tanto no amplificador como no bloco de CMFB, por meio da avaliação de um único ou poucos nós do circuito. Dada à função do bloco de CMFB de monitorar variações na tensão de modo comum de saída, o mesmo pode ser utilizado como um verificador analógico, dado que falhas no circuito podem perturbar o valor da tensão de modo comum da saída.

A estratégia proposta é implementada através da ferramenta de simulação SPICE, considerando um modelo de falhas catastróficas e paramétricas. O principal método de teste utilizado é a análise da tensão DC dos nós avaliados. No entanto, com o objetivo de aumentar a cobertura de falhas, como teste adicional, também se realiza testes baseados na análise de resposta transiente. A metodologia é aplicada em dois circuitos, um FDA de estágio simples, projetado na tecnologia XFAB 180nm, e um FDA de dois estágios, projetado em IBM 130nm. Além disso, discussões a respeito de técnicas de DfT, visando à utilização da metodologia na prática, são apresentadas.

Este trabalho segue a seguinte organização: no capítulo 2 é realizada uma revisão sobre testes de circuitos analógicos. Nos capítulos 3, 4 e 5 são apresentadas as descrições de cada um dos três circuitos usados como estudo de caso, acompanhada de suas respectivas metodologias de teste, injeção de falhas, *setup* de simulação e resultados obtidos. No capítulo 6 é feita uma discussão sobre a metodologia de teste proposta, aliada à possibilidade de aplicar técnicas de DfT e estratégia de BIST. Por fim, no capítulo 7 são apresentadas as conclusões, assim como sugestões de trabalhos futuros.

## 2 TESTES DE CIRCUITOS ANALÓGICOS

O teste, o qual implica significativamente na qualidade do produto, tem sua eficiência diretamente relacionada com o tempo gasto para ser realizado e com a cobertura de falhas que oferece. Isto quer dizer que, quanto menor for o tempo destinado para testar um determinado componente ou circuito e maior for o número de falhas que este teste conseguir detectar, mais eficiente ele é. O custo do teste também é outro fator extremamente relevante. Os equipamentos de teste automáticos (*ATE: Automatic Test Equipment*), principalmente os que possuem instrumentos e interfaces analógicas, apresentam alto custo, uma vez que necessitam operar em uma significativa faixa de frequência e usualmente utilizam módulos de processamento digital de sinais.

Os circuitos analógicos, diferentemente dos digitais, trabalham com infinitos valores para representação de uma grandeza como uma variável analógica, mesmo considerando intervalos finitos. Logo, a geração dos vetores que cobre as possíveis falhas é complexa. Além disso, não há uma padronização, ou seja, são usados diferentes modelos e técnicas de teste, que variam de acordo com o circuito a ser testado.

Os elementos analógicos constituem uma considerável parcela dos circuitos de sinais-mistos, assim a redução do *overhead* destinado ao teste analógico diminui, consideravelmente, a área de teste dos circuitos de sinais-mistos (YONG; SHI; ZHANG, 2012). Embora as dificuldades inerentes sejam consideráveis, o teste analógico vem sendo bastante explorado. Estudos almejando o aprimoramento vêm sendo realizados. A expectativa de necessitar de ATEs mais simples e mais baratos e encontrar modelos que padronizem o teste analógico são fatores que ajudam a instigar sua pesquisa.

A integração de mais funcionalidades em um *chip*, combinado com a diminuição das dimensões dos transistores devido ao escalamento tecnológico, a exigência de requisitos mais rigorosos e precisos por parte dos clientes, a introdução de novos materiais e o aumento do número de passos de processo são alguns dos fatores que exigem que as medidas de teste adotadas não permaneçam estagnadas, é necessário estar em constante evolução. Este capítulo, além de mencionar definições e conceitos de teste de circuitos eletrônicos, apresenta técnicas de teste analógico utilizadas nos últimos anos. As técnicas de teste baseadas em tensões DC e análise transiente, aplicadas neste trabalho, serão detalhadas nos subitens 2.6 e 2.7.

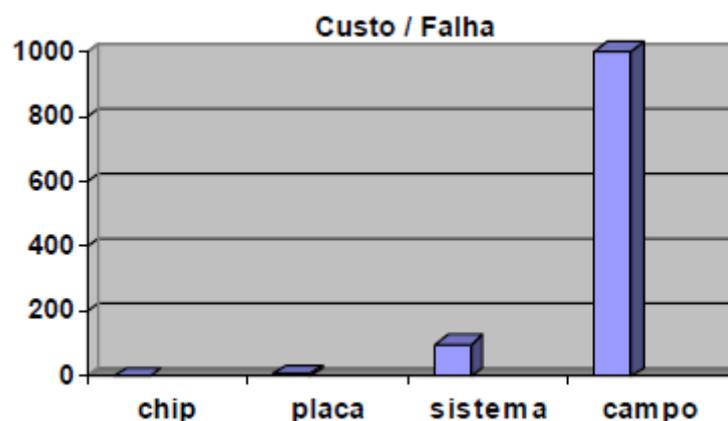
## 2.1 Teste em Produção

Os testes em produção consistem em um conjunto de procedimentos empregados para verificar a funcionalidade e o desempenho, estabelecendo qualidade e confiabilidade de um produto. É um teste rápido, não repetitivo, sem visar o diagnóstico da falha (BUSHNELL; AGRAWAL, 2002). Este tipo de teste, também conhecido como *go/no-go* (MILOR; VISVANATHAN, 1987), tem como objetivo definir se o circuito integrado passa ou não para a próxima etapa de produção, isto é, descarta da linha de produção os circuitos integrados que não passaram no teste.

Durante a fabricação de um sistema eletrônico, basicamente, os testes podem ser realizados em quatro momentos: no *waffer*, nos circuitos integrados, nas placas de circuito impresso e no sistema. Conforme uma teoria informal, à medida que se avança a etapa em que as falhas são detectadas, o custo de reparação desta falha vai sendo multiplicado por 10, como mostra a Figura 2.1. Estima-se que a falha detectada em campo, ou seja, já no cliente, custe 1000 vezes a mais que a falha detectada no *chip* na etapa de produção. Percebe-se então, a importância de se realizar o teste em nível de *chip* para que se minimize o custo. No caso da fabricação de CIs, antecedendo a etapa de teste pós encapsulamento, se realiza o teste no *waffer* (MILOR; VISVANATHAN, 1987). Assim, caso seja identificada uma falha, o *die* é retirado da linha de produção, evitando que seja encapsulamento.

Os testes em produção, em geral, são realizados através de ATEs, equipamentos específicos e caros. Por isso, o custo do teste está diretamente relacionado com o tempo gasto no mesmo. Considerando um determinado período de tempo, quanto menor for o tempo de teste, maior será o número de CIs testados, menor será o custo do teste e, conseqüentemente, do produto final. (SOUDERS; STENBAKKEN, 1990).

Figura 2.1– Estimativa do custo relativo por falha em cada etapa da produção de um sistema eletrônico



Fonte: Balen (2006, p. 19).

## 2.2 Teste Funcional x Teste Estrutural

O teste pode ser classificado de acordo com seu objetivo. É chamado de teste funcional se for realizado com o intuito de verificar as especificações de projeto e o comportamento de funcionamento, ou seja, se, por exemplo, a porta lógica a ser testada é a AND, os vetores gerados para o teste deve permitir conclusão que a lógica em teste é AND e não qualquer outra.

Já o teste estrutural tem como objetivo verificar se o *chip* foi fabricado de maneira correta. Depende da estrutura específica de cada circuito, como tipo de portas usadas e interconexões. Aborda o circuito em nível de esquemático e considera como modelo falhas do tipo *stuck-at*, *stuck-on*, *stuck-open* (entre outras), ou seja, falhas que possivelmente tenham relação com defeitos estruturais, como curto circuito ou circuito aberto.

## 2.3 Projeto Visando a Testabilidade e o Auto-Teste Integrado

Os testadores automáticos são usados para testar a funcionalidade e o desempenho dos CIs. Entretanto, a utilização desses equipamentos pode vir a apresentar algumas desvantagens, tais como: defasagem da tecnologia do testador em relação à tecnologia do CI a ser testado; limitação na frequência de operação do testador; necessidade de uma interface de teste para a interconexão física e eletrônica entre o ATE e o circuito sob teste, a qual deverá ser projetada especificamente de acordo com a configuração do circuito a ser testado.

Diante disso, o Projeto Visando a Testabilidade (DfT: *Design for Testability*), se apresenta como uma promissora alternativa. A técnica de DfT consiste em acrescentar ao circuito original outros circuitos e/ou componentes, a princípio, dispensáveis para o funcionamento do CUT, mas que facilitem a realização do teste.

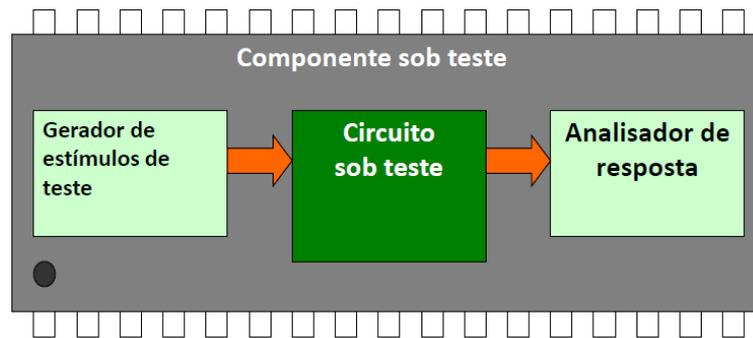
A técnica que desfruta dessa estrutura, que previamente existe ou é incorporada ao circuito através do DfT, para realizar ou auxiliar o teste é denominada de Auto-Teste Integrado (BIST: *Built-In Self-Test*) (CHATTERJEE; NAGI, 1997). A Figura 2.2 mostra um modelo completo de BIST o qual, além do CUT, contém dois blocos: gerador de estímulos de teste e o analisador de resposta. Há casos em que apenas um destes blocos está presente. Outra opção é obter os geradores de estímulos e/ou analisador de resposta através da

configuração de blocos do próprio CUT (MIR; LUBASZEWSKI; CURTOIS, 1996) (LUBASZEWSKI; MIR; PULZ, 1996).

A aplicação do auto-teste integrado possibilita utilizar testadores de menor complexidade e, conseqüentemente, mais baratos, habilita o teste em campo, diminui o tempo de teste (em algumas situações) e reduz custo do mesmo. Porém, torna o projeto mais complexo, contribui para o aumento da área ocupada pelo *chip*, ocasionando o decréscimo da produtividade (*yield*) e a potência dissipada pelo teste limita-se a suportada pelos componentes do CI. Além disso, o desempenho dos circuitos analógicos pode ser prejudicado com a inserção de componentes extras, principalmente chaves no caminho do sinal. Apesar de apresentar alguns fatores indesejáveis, o BIST é uma alternativa atrativa, usada em áreas militares, automotivas, aviação, medicina, entre outros. Um projeto que equalize o ganho de custo com a degradação de desempenho do circuito garante a eficiência da utilização desta técnica.

Em 1996, ARABI e KAMINSKA propuseram uma estratégia de teste utilizando a técnica de BIST com oscilação para circuitos integrados analógicos e de sinal misto. Tendo como princípio a transformação do CUT em blocos osciladores, a detecção das falhas do circuito sob teste é realizada através da observação da frequência nominal de oscilação, desprezando o uso de vetores de teste. O método de teste foi implementado em circuitos como amplificadores operacionais e conversores analógico-digitais. Posteriormente, esta técnica aplicada ao teste de blocos analógicos configuráveis de circuitos analógicos programáveis (*FPAA: Field Programmable Analog Arrays*) foi abordada em (BALEN *et al.*, 2005). Segundo os autores, a metodologia, que consiste na configuração dos blocos do CUT em osciladores e observa parâmetros como frequência e amplitude para detectar falhas, se apresentou eficaz.

Figura 2.2 – Diagrama genérico do BIST



Fonte: Balen (2006, p. 22).

## 2.4 Modelos de Falhas para o Teste Analógico

A modelagem de falhas de circuitos digitais é facilitada pela quantidade de valores que a representação da informação neste tipo de circuito pode assumir. Um exemplo disso é o modelo chamado *Stuck-at*, que pode ser aplicado, praticamente, a todos os circuitos digitais. Este modelo assume que apenas um nó do circuito é falho e o valor deste nó é fixo em “0” ou “1”, independente das entradas do circuito. Assim, o número de falhas possível é linearmente relativo ao número de nós do circuito (JOSEPH; HUGUES, 1988). O mesmo não ocorre para os circuitos analógicos, já que sinais deste domínio podem assumir infinitos valores. Assim, não há como fixar um determinado modelo como padrão, ou seja, o modelo aplicado irá depender do circuito sob teste.

O teste analógico pode ser orientado à especificação ou a defeitos. O primeiro requer muito tempo e a utilização de equipamentos de alto custo, uma vez que a gama de especificações é grande (PETRASHIN *et al.*, 2013). Já o segundo é mais praticável e consiste na modelagem de defeitos em falhas paramétricas e falhas catastróficas. Modelos de falhas paramétricas levam em consideração os desvios percentuais dos valores nominais dos componentes do circuito, variações na faixa de  $3\sigma$  a  $6\sigma$  do valor nominal do componente são definidas como falhas paramétricas (YONG; SHI; ZHANG, 2012). Enquanto que modelos de falhas catastróficas estão relacionados com a presença de curto-circuito e circuito aberto entre componentes e conexões (SOMA, 1996).

Falhas catastróficas e paramétricas, na maioria das vezes, são originadas de maneiras distintas. Variações de parâmetros de processo de produção, entre eles, espessura de óxido, dopagem, espessura das linhas de metal e desalinhamento de máscaras, geralmente, são

responsáveis pelas falhas paramétricas (SUNTER; NAGI, 1999). Já falhas no processo de produção, como corrosão e deposição de metal, e a presença de impurezas no silício, ocasionam falhas catastróficas.

As falhas catastróficas podem ser modeladas em nível elétrico através da adição de resistores ao modelo do circuito. De acordo com (ARABI; KAMINSKA, 1996) e (PETRASHIN *et al.*, 2013) falhas de circuito aberto podem ser simuladas introduzindo um resistor de  $10M\Omega$  em série com o terminal em que se pretende modelar a falha. Já uma falha de curto-circuito modela-se inserindo, em paralelo com os terminais em questão, um resistor de  $10\Omega$ . As falhas paramétricas podem ser modeladas, por exemplo, através da variação do comprimento do transistor em  $\pm 25\%$  e da variação da tensão de limiar (BROSA; FIGUEIRAS, 2000), a qual dependente da tecnologia.

## 2.5 Teste em Funcionamento (Online)

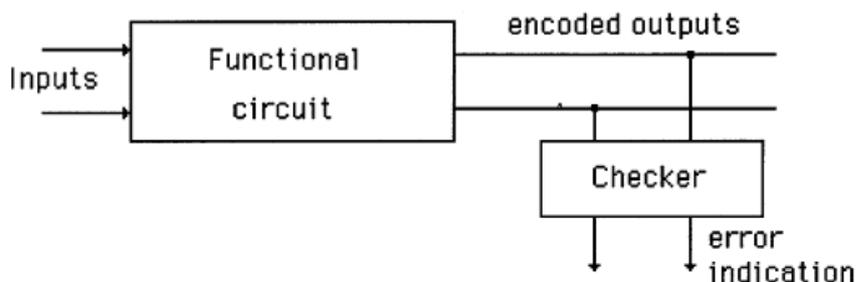
Há casos em que realização dos testes durante a produção do CI não é suficiente. Aplicações que requerem alto grau de confiabilidade, entre elas, aeronaves, satélites e sistema automotivos, necessitam que os CIs também sejam submetidos a testes durante o funcionamento do sistema no qual está inserido, ou seja, deve-se fazer o teste *on-line* (em funcionamento). Assim como o uso do circuito em ambiente hostil, fatores como o tempo de uso, vibrações e mau uso podem comprometer o funcionamento padrão de componentes que normalmente apresentam níveis de confiabilidade aceitáveis.

Além disso, a diminuição do tamanho dos dispositivos aliada ao acréscimo da velocidade de operação, reduz a margem de ruído e aumenta as taxas de *soft-error* (NICOLAIDIS, 1998). Falhas não detectadas na etapa de produção podem se manifestar quando o sistema está operando. Neste contexto, apesar do alto custo de implementação, este tipo de teste é facilmente justificado.

O circuito verificador, conhecido como *checker*, é um artifício largamente utilizado no teste *on-line*. Em circuitos digitais a técnica utilizada consiste na redundância do *hardware* destinado ao teste. O circuito sob teste é particionado em blocos funcionais que entregam saídas pertencentes a um código de detecção de erro (NICOLAIDIS, 1998). A Figura 2.3 ilustra como cada um desses blocos é implementado. O principal objetivo do *checker* é sinalizar se as palavras presentes nas suas entradas ou saídas é pertencente a um código “válido”, caso não haja falhas, ou “não válido”, caso exista falha.

A técnica mostrada na Figura 2.3, em nível abstrato, também é válida para circuitos analógicos. Entretanto algumas particularidades dos circuitos analógicos devem ser consideradas. Além das entradas e saídas de um circuito analógico poderem assumir infinitos valores, devido a comum utilização de circuitos de realimentação, o monitoramento dos verificadores analógicos não necessariamente estão fixos às saídas dos circuitos funcionais, como acontece nos circuitos digitais (LUBASZEWSKI *et al.*, 2000).

Figura 2.3 – Estrutura geral de um circuito *Self-Checking*



Fonte: Nicolaidis (1998, p. 199).

Uma importante característica dos circuitos empregados como *checker* é a capacidade de testar a si mesmo (*Self-Checking*), pois a ocorrência de falhas no verificador pode comprometer a veracidade de suas saídas.

Vista a relevância do teste *on-line*, este assunto passou a interessar tanto o meio acadêmico quanto o industrial, instigando diversas pesquisas sobre o assunto. Utilizando a capacidade de processamento disponível em um SoC (*SoC: System-on-Chip*) (NEGREIROS; CARRO; SUSIN, 2002) apresentaram uma estratégia de teste de circuitos analógico baseado na observação de propriedades estatísticas do CUT. Através de um circuito simples, a técnica converte o sinal analógico em um *bitstream* e obtém as características relevantes do sinal por transformada rápida de Fourier. Aplicada em um filtro biquadrático, dois anos depois, esta mesma estratégia de teste foi abordada em (NEGREIROS; CARRO; SUSIN, 2004), entretanto com enfoque em circuitos de RF (Rádio Frequência).

## 2.6 Método de Teste Baseado em Tensões DC

Há aproximadamente 30 anos, o desenvolvimento de testes utilizando tensões DC do circuito sob teste vem sendo estudado pela comunidade acadêmica. De acordo com

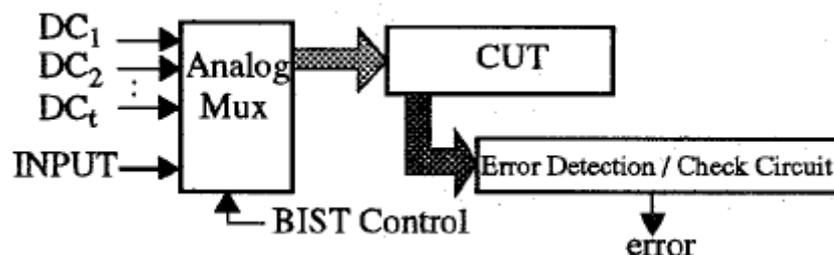
CHATTERJEE e KIM (1996), o teste DC de circuitos analógicos é mais vantajoso economicamente em relação ao teste AC e proporciona a cobertura de várias classes de falhas, inclusive algumas que não são detectadas pelo teste AC.

Em 1979, HOCHWALD e BASTIAN desenvolveram um método que usa um simulador de circuito para obter as tensões DC dos nós de um amplificador de vídeo, tanto para condições normais de funcionamento, quanto para um conjunto de falhas pré-determinadas. Com o conjunto de falhas obtido, foi constituído um dicionário de falhas que posteriormente foi introduzido em um equipamento de teste automático, para a aplicação do teste.

Uma década depois, utilizando um amplificador operacional e um filtro passa-baixa foi mostrado que falhas catastróficas podem ser detectadas por teste de tensão DC, usando poucos pontos de teste. Enquanto que no circuito amplificador obteve-se 100% de cobertura de falhas, no filtro passa-baixa detectou-se apenas 75% das falhas, indicando a necessidade de testes dinâmicos adicionais em alguns tipos de circuitos (MILOR; VISVANATHAN, 1989).

Em outro trabalho, (CHATTERJEE; KIM; NAGI, 1996) propuseram um método de BIST usando estímulo DC para promover a cobertura de todas as falhas do modelo utilizado que afetassem a característica de transferência DC da saída, baseado em códigos de verificação de soma (*checksum*) para a detecção de falhas. Como ilustra a Figura 2.4, um conjunto de tensões DC e o estímulo de entrada (*input*) foram aplicados ao CUT através de um multiplexador analógico. No modo BIST, o sinal de controle realiza a aplicação de todos os sinais de tensão contínua individualmente. A técnica, implementada em um filtro biquadrático composto por somadores e integradores, consiste em gerar uma tensão DC de erro através da soma da entrada do CUT com as saídas dos circuitos integradores que os constituem. Se o resultado desta operação for diferente de zero, significa que há falha no circuito sob teste, caso contrário, o mesmo está livre de falhas.

Figura 2.4 – Estrutura do BIST



Fonte: Chatterjee; Kim (1996, p. 232).

Ainda na década de 90, IHS e DUFAZA (1996) afirmaram que as técnicas de BIST baseadas em análises no domínio frequência eram caras devido à área ocupada e sua complexidade. Diziam também, que o BIST baseado em teste DC não apresentava uma cobertura satisfatória de falhas. A fim de solucionar o problema, agregaram elementos DfT ao conjunto BIST DC, tornando os defeitos de um circuito com capacitores chaveados (*SC: Switched Capacitor*) detectáveis no domínio DC. A técnica é baseada na reconfiguração de todos os circuitos SCs do *chip* em amplificadores de tensão DC em série.

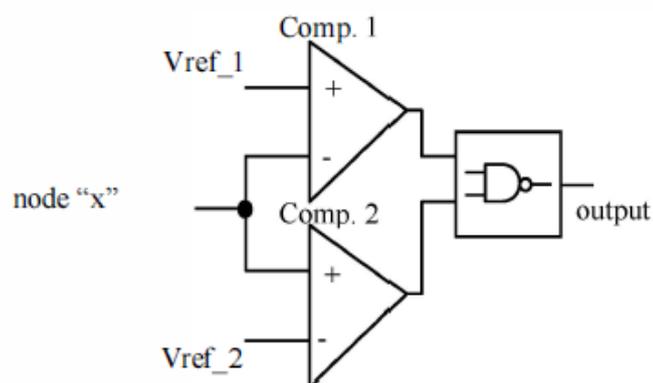
Cinco anos depois, foi desenvolvido um trabalho sobre falhas equivalentes em circuitos analógicos no domínio DC. Baseado nas tensões DC dos nós do circuito é realizada a caracterização das condições DC do CUT na presença de falhas equivalentes quando o teste estático DC é aplicado. Aliada a estratégia de DfT e BIST estas informações são usadas para melhorar a eficácia do teste (WORSMAN; WONG; LEE, 2000). O método, aplicado em um filtro passa baixa, foi posteriormente implementado, pelos mesmos autores, em um conversor analógico digital (WORSMAN; WONG; LEE, 2003).

Em 2013, pesquisadores apresentaram uma técnica em que as falhas são detectadas a partir das tensões DC do CUT. Este tipo de teste, o qual apresenta baixo custo, é indicado para falhas catastróficas e foi implementado em um Amplificador de transcondutância analógico, projetado em uma tecnologia de 65nm (PETRASHIN *et al.*, 2013).

Baseada na relação da tensão do nó do circuito sob teste e a presença de falha no circuito, esta técnica consiste em verificar todas as tensões dos nós em relação ao *ground*, com e sem a injeção de falhas (PETRASHIN *et al.*, 2013). Após a realização da simulação DC de todas as falhas do modelo utilizado, o arquivo de saída do simulador é analisado por um software. O valor da tensão DC de cada nó é analisado e comparado a uma faixa de tolerância pré-estipulada em relação ao valor nominal, determinando, assim, o ponto que apresenta a melhor cobertura de falhas (*FC: Fault Coverage*). Ao término dos procedimentos descritos acima, o melhor nó, ou seja, o que apresentou melhor cobertura de falhas, é escolhido para ser analisado durante a aplicação do teste.

A técnica pode ser aliada a uma estratégia de BIST. A Figura 2.5 mostra o circuito de implementação de BIST proposto no trabalho. A tensão do nó a ser testado (*x*) é aplicada à entrada de um comparador em janela. As tensões de referência ( $V_{ref\_1}$  e  $V_{ref\_2}$ ) servem para ajustar a faixa de valores apropriada ao nó “*x*”. Assim, se o valor medido neste nó estiver entre os valores de referência, ou seja, circuito sem falhas, a saída do circuito (*output*) será “0”, caso contrário será “1”.

Figura 2.5 – Diagrama em blocos do verificador proposto



Fonte: Petrashin *et al.* (2013).

A técnica baseada na observação da tensão DC de nós internos de circuitos analógicos foi aplicada aos estudos de caso apresentados nesta dissertação, realizados em um circuito Amplificador Diferencial, um FDA de um único estágio e um FDA de dois estágios. Os capítulos 3,4 e 5 trazem os detalhes da aplicação desta técnica nos respectivos circuitos.

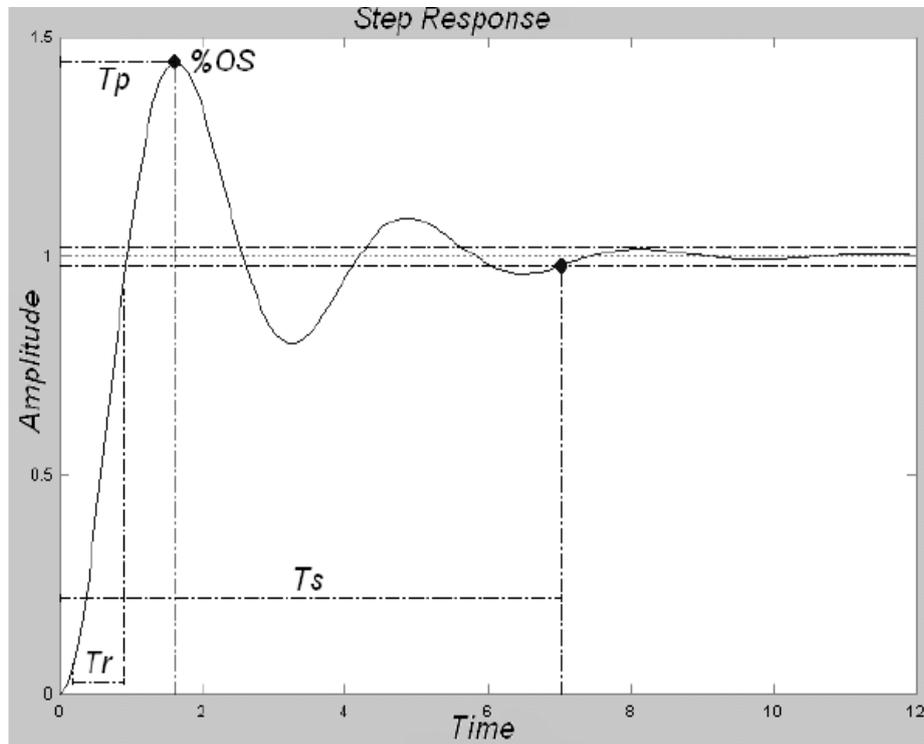
## 2.7 Método de Teste Baseado na Análise de Resposta Transiente

O método conhecido como TRAM (*Transient Response Analysis Method*) é um método de teste baseado na análise de resposta transiente e foi proposto por (CALVANO; ALVES; LUBASZEWSKI, 1999, 2000) com o propósito de ser aplicado no teste de filtros. A estratégia que consiste na divisão do CUT em blocos de primeira e segunda ordem, dependendo da funcionalidade de cada bloco em questão, aplica aos mesmos estímulos como rampa, parábola ou degrau (*step*), possibilitando a observação do comportamento transiente do bloco.

Em circuitos de segunda ordem, como, por exemplo, um filtro passa baixas biquadrático, a presença de falhas modifica parâmetros funcionalmente relevantes como ganho na faixa de passagem ( $G$ ), frequência de corte ( $\omega_0$ ) e fator de qualidade. Além disso, também interferem em parâmetros como valor final da amplitude em estado estacionário, pico de sobre-tensão percentual (*Percent Overshoot* - %OS) e parâmetros temporais, tais como, tempo de acomodação ( $T_s$ ), tempo de subida ( $T_r$ ) e tempo de pico ( $T_p$ ), como pode ser visto na Figura 2.6. Conforme pode ser observado na Figura 2.7, a qual traz as repostas ao *step* de

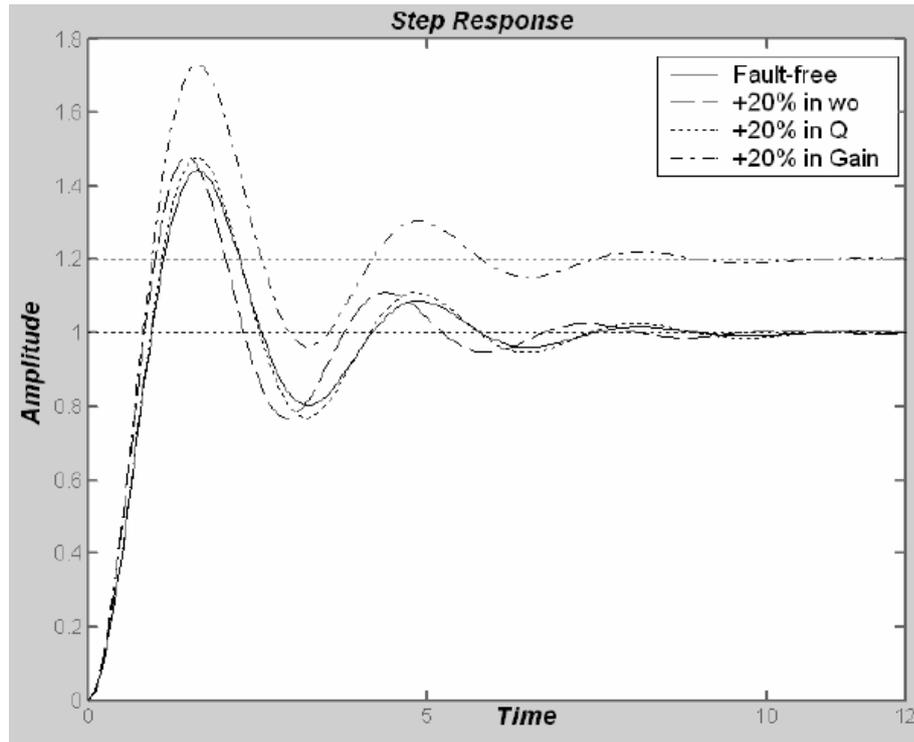
um filtro passa baixas, submetido a variações de  $\pm 20\%$  de seus parâmetros, a existência de falhas gera uma assinatura diferente da assinatura sem falhas (*fault free*) (CALVANO; ALVES; LUBASZEWSKI, 1999).

Figura 2.6 – Resposta ao degrau de um filtro passa-baixa de segunda ordem



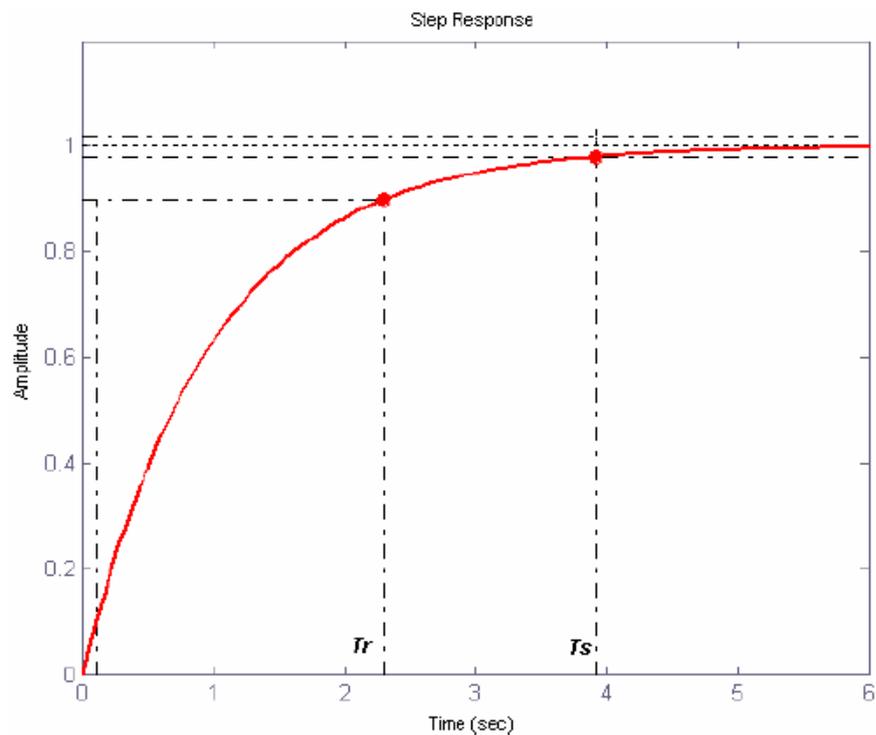
Fonte: Balen (2006, p. 35).

Figura 2.7 – Resposta ao degrau de um filtro passa-baixa de segunda ordem com variações de  $\pm 20\%$  em suas características



Fonte: Balen *et. al.* (2007, p. 501).

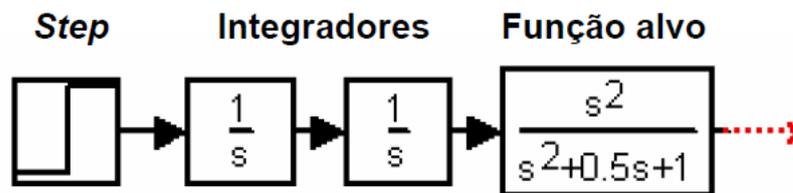
Figura 2.8 – Resposta ao degrau de um sistema de primeira ordem



Fonte: Balen (2006, p. 36).

Segundo os autores, além do filtro passa-baixa, este método também pode ser aplicado a outros filtros, tais como passa-alta, passa-faixa e rejeita-faixa, basta fazer uma transformação em frequência (CALVANO; ALVES; LUBASZEWSKI, 1999). Para um filtro passa banda, esta ação é exemplificada pela Figura 2.9, a qual mostra a integração da função de transferência uma ou duas vezes, ou seja, a multiplicação em frequência por  $1/s$ , com a finalidade de eliminar o termo 's' do numerador das equações dos filtros em questão.

Figura 2.9 – Transformação em frequência através de um degrau de entrada



Fonte: Balen (2006, p. 38).

Foi apresentado em (BALEN *et al.*, 2007), um método de teste funcional, baseado em resposta transiente que também se utilizou da divisão do CUT em blocos de primeira e segunda ordem. Nesta abordagem, com o auxílio de um esquema de BIST, o teste é aplicado em blocos analógicos configuráveis de dois FPAAs. O método que, segundo os autores, se mostrou apropriado para os CUTs, foi aplicado em circuitos analógicos programáveis com arquiteturas e fabricantes distintos.

O método de análise de resposta transiente foi aplicado como teste adicional para melhorar a cobertura de falhas dos estudos de caso realizados com o FDA de um único estágio e o FDA de dois estágios, no presente trabalho. O detalhamento da aplicação desta técnica pode ser visto nos capítulos 4 e 5.

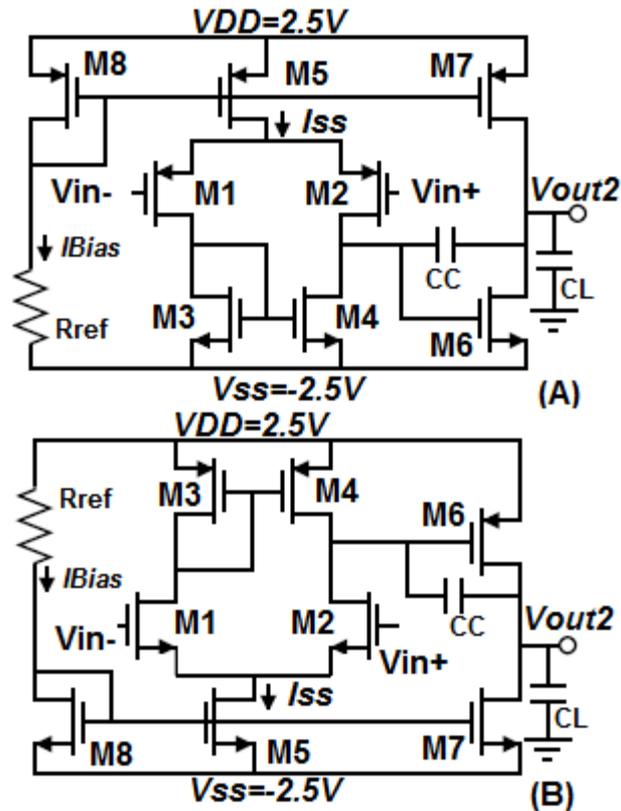
### 3 ESTUDO DE CASO 1: AMPLIFICADORES OPERACIONAIS DE DOIS ESTÁGIOS COM SAÍDA SIMPLES

No primeiro momento, este capítulo tem como objetivo a realização do teste baseado na observação dos valores DC dos nós internos de dois Amplificadores Operacionais, a fim de comprovar a viabilidade de se detectar falhas monitorando variações nas tensões DC dos nós do circuito, que podem ser ocasionadas por falhas no CUT. Posteriormente, por meio de análises dos resultados obtidos, pretende-se, também, verificar a possibilidade de fazer o diagnóstico através dos valores DC dos nós dos circuitos sob teste.

#### 3.1 Descrição dos Amplificadores Operacionais

Tendo em vista a simplicidade e a compactação, se escolheu duas configurações complementares de OpAmp Miller, aqui denominados NMOS-DA e PMOS-DA, compostos por dois estágios (Figura 3.1), para verificar a viabilidade da aplicação de técnicas de teste baseadas em monitoramento das tensões quiescentes dos nós internos dos amplificadores. No PMOS-DA (Figura 3.1 - B) o par diferencial de entrada é composto por transistores do tipo P, enquanto que no NMOS-DA (Figura 3.1 - A) o par diferencial é constituído com transistores NMOS. Basicamente os circuitos funcionam da seguinte maneira: o primeiro estágio de ganho é realizado pelo par diferencial de entrada, M1 e M2. A carga ativa desses transistores é gerada através do espelho de corrente formado pelos transistores M3 e M4. O dispositivo M5 fornece corrente de polarização para o par diferencial ( $I_{ss}$ ). O segundo estágio de ganho é realizado por M6.  $I_{Bias}$ , corrente de referência, é gerada por M8, o qual forma um espelho de corrente com o transistor M5. O capacitor tem como função a compensação em frequência e o resistor é responsável pela  $I_{Bias}$  em conjunto com M8.

Figura 3.1 – Topologias de amplificadores usados como estudo de caso. A - Configuração PMOS-DA, B - Configuração NMOS-DA



Fonte: Cardoso (2012, p. 41).

Os circuitos projetos em (CARDOSO, 2012), seguem as especificações de projeto contidas na Tabela 3.1. Os valores das tensões de *threshold*,  $V_{thN}$  e  $V_{thP}$ , foram retirados da folha de parâmetros da tecnologia AMI 0,5 $\mu$ m. Já  $K_N$  e  $K_P$  são valores aproximados obtidos por meio de cálculo matemático, também considerando os parâmetros disponíveis da referida tecnologia. Baseado nos dados da tabela de especificações, o autor projetou as dimensões (W/L) dos transistores para ambas as topologias. A Tabela 3.2 resume os valores usados no projeto.

Tabela 3.1 – Especificações do projeto das duas topologias estudadas

| <i>Especificações</i>      | <i>PMOS-DA</i>               | <i>NMOS-DA</i>               |
|----------------------------|------------------------------|------------------------------|
| $V_{DD}= V_{SS} $          | 2.5                          | 2.5                          |
| $I_{SS} = I_5$ ( $\mu A$ ) | 10                           | 10                           |
| CMR (V)                    | $V_{MIN} = -2$ $V_{MAX} = 1$ | $V_{MIN} = -1$ $V_{MAX} = 2$ |
| Excursão de $V_{out}$ (V)  | $\pm 2.3$                    | $\pm 2.3$                    |
| $V_{thN} = 0.7086V$        | ---                          | ---                          |
| $V_{thP} = -0.9179V$       | ---                          | ---                          |
| $K_N \approx 65 \mu A/V^2$ | ---                          | ---                          |
| $K_P \approx 25 \mu A/V^2$ | ---                          | ---                          |
| L ( $\mu m$ )              | 1                            | 1                            |
| GBW (MHz)                  | 1                            | 1                            |
| PM ( $^\circ$ )            | 60                           | 60                           |
| CL (pF)                    | 20                           | 20                           |

Fonte: Adaptada de Cardoso (2012, p. 43).

Tabela 3.2 – Resumo do projeto das topologias NMOS-DA e PMOS-DA

| <i>Parâmetros</i>                               | <i>NMOS-DA</i> | <i>PMOS-DA</i> |
|---|----------------|----------------|
| $W_1/L_1, W_2/L_2$ ( $\mu m/\mu m$ )            | 1.5/1          | 4/1            |
| $W_3/L_3, W_4/L_4$ ( $\mu m/\mu m$ )            | 5/1            | 1/1            |
| $W_5/L_5$ ( $\mu m/\mu m$ )                     | 1.5/1          | 2.5/1          |
| $W_6/L_6$ ( $\mu m/\mu m$ )                     | 60/1           | 24/1           |
| $W_7/L_7$ ( $\mu m/\mu m$ )                     | 9/1            | 30/1           |
| $W_8/L_8$ ( $\mu m/\mu m$ )                     | 1.5/1          | 2.5/1          |
| Capacitor CC (pF)                               | 4.4            | 4.4            |
| Área ativa total dos transistores ( $\mu m^2$ ) | 85             | 69             |
| $P_{diss}$ ( $\mu W$ )                          | 350            | 650            |

Fonte: Adaptada de Cardoso (2012, p. 52).

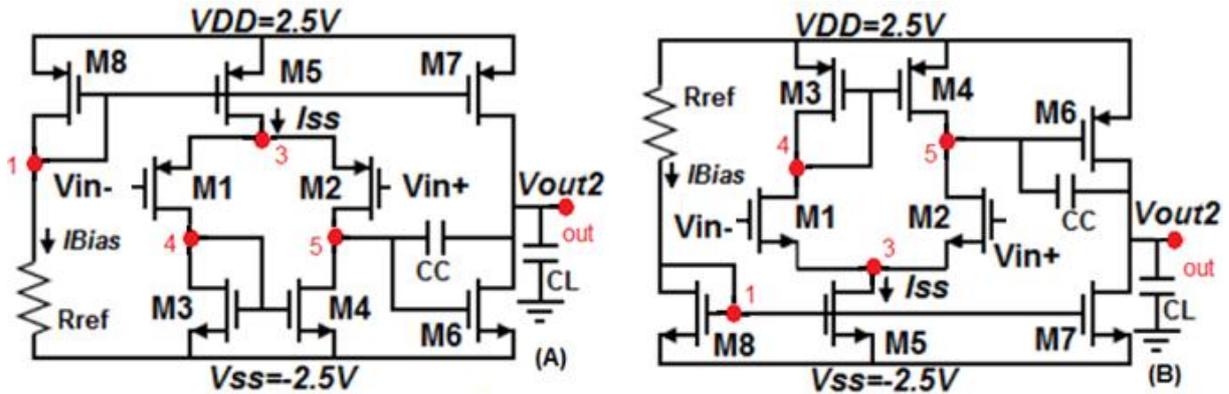
### 3.2 Metodologia

Para realizar o estudo de caso se cumpriu as seguintes etapas para ambos os circuitos:

- Verificação, através do estudo da topologia dos CUTs, dos nós relevantes às variações de tensão. Concluiu-se que são os nós: 1, 3, 4, 5 e out, conforme mostra a Figura 3.2.
- Aplicação do sinal de teste nas entradas.
- Obtenção dos valores de tensão DC dos nós relevantes sem a injeção de falhas (*fault free*).
- Injeção de falhas de acordo com o modelo de falhas previamente especificado.

- e) Obtenção dos valores de tensão DC dos nós relevantes com as injeções de falhas para cada transistor das duas topologias estudadas.
- f) Geração dos vetores de assinaturas a partir dos resultados obtidos no subitem e.
- g) Realização do diagnóstico das falhas.

Figura 3.2 – Nós analisados nas topologias de amplificadores usados como estudo de caso. A - Configuração PMOS-DA, B - Configuração NMOS-DA

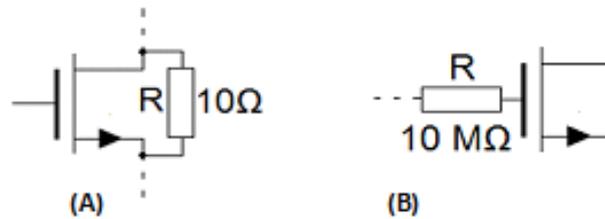


Fonte: Adaptado de Cardoso (2012, p. 59).

### 3.3 Injeção de Falhas e Setup de Simulação

O modelo de falhas adotado neste trabalho considera falhas catastróficas ocorrendo nos terminais dos transistores. As falhas de circuito aberto foram modeladas com um resistor de  $10\text{M}\Omega$  em série com o terminal afetado e as de curto-circuito com um resistor de  $10\Omega$  entre os nós curto-circuitados. Para cada transistor o modelo compreende seis falhas diferentes: curto-circuito entre *gate* e *source* (gs), entre *gate* e *dreno* (gd) e entre *dreno* e *source* (ds) e circuito aberto no terminal de *gate* (G), *dreno* (D) e *source* (S). Desse modo, o modelo de falhas adotado neste estudo de caso compreende 96 faltas (48 no circuito PMOS-DA e 48 no circuito NMOS-DA). A Figura 3.3 mostra exemplos da modelagem de cada tipo de falha. A Figura 3.3-A exemplifica a falha de curto-circuito entre *dreno-source* e a Figura 3.3-B a falha de circuito aberto no terminal de *gate* do transistor.

Figura 3.3 – Modelo usado para as falhas. A - Falha de curto-circuito, B - Falha de circuito aberto



Fonte: Autoria própria.

Para a aplicação do teste as entradas,  $in+$  e  $in-$ , foram aterradas. A escolha dessa configuração deve-se à proximidade com a operação do dispositivo em pequenos sinais, ou seja, polarizando o estágio de entrada para operar em uma região garantidamente linear de sua curva de transferência. Durante todo o processo de injeção de falhas, no qual os CUTs estavam configurados em malha aberta, os valores dos nós mencionados no subitem 3.2.a foram observados a fim de constatar se a falha injetada é detectada pelo teste aplicado. A banda de tolerância considerada para discriminar entre assinaturas sem falhas e com falhas é  $\pm 5\%$  do valor nominal do nó em questão. Buscando mapear a assinatura do nó como um valor digital para, posteriormente, montar um vetor com as assinaturas de cada nó para as falhas e com este vetor tentar diferenciá-las, arbitrou-se os valores booleanos para cada nó: “0” aos valores de tensões até  $\pm 5\%$  da tensão nominal (falhas não detectadas) e “1” aos valores acima de  $5\%$  (falhas detectadas). A inserção do modelo de falhas, a aplicação do teste e a obtenção dos valores da tensão DC foram realizadas através da ferramenta de simulação HSPICE.

### 3.4 Resultados

A Tabela 3.3 mostra os valores das tensões DC de cada nó sem a injeção de falhas para as topologias estudadas. As tabelas seguintes exemplificam os resultados encontrados para o transistor M1 de ambas as topologias (PMOS-DA e NMOS-DA) à medida que os passos descritos no subitem 3.2 são aplicados.

Tabela 3.3 – Tensões DC sem a injeção de falha para as topologias estudadas

| <i>Nó</i> | <i>Circuito A<br/>tensão DC (V)</i> | <i>Circuito B<br/>tensão DC (V)</i> |
|-----------|-------------------------------------|-------------------------------------|
| 1         | 1,0187                              | -1,07                               |
| 3         | 1,4265                              | -1,27                               |
| 4         | -0,949                              | 1,34                                |
| 5         | -0,949                              | 1,34                                |
| out       | -2,364                              | -2,21                               |

Fonte: Autoria própria.

Nas Tabelas 3.4 e 3.5 são mostrados os valores das tensões DC dos nós analisados para cada falha injetada no transistor M1 das topologias PMOS-DA e NMOS-DA, respectivamente. Já as Tabelas 3.6 e 3.7 mostram a representação percentual da diferença entre a tensão *fault free* e a tensão com a injeção de falha para cada nó em relação ao seu respectivo valor nominal. As Tabelas 3.8 e 3.9 exemplificam como foi aplicado o padrão adotado na conversão dos valores percentuais em valores lógicos “1” e “0”. Como exemplo, pode ser citada a falha de contato de *dreno* aberto no transistor M1 do PMOS-DA. Ao ser injetada no nó “out” gerou o valor de, aproximadamente, 3,67% de variação, o qual, na Tabela 3.8, foi substituído por “0” (não detectada), já no nó 3, a mesma falha inserida gerou o valor de, aproximadamente, 73,59%, que foi substituído por “1” (detectada).

Tabela 3.4 – Tensões DC com a injeção de falhas no transistor M1 da topologia PMOS-DA

| <i>Falha</i> | <i>nó_1<br/>(V)</i> | <i>nó_3<br/>(V)</i> | <i>nó_4<br/>(V)</i> | <i>nó_5<br/>(V)</i> | <i>nó_out<br/>(V)</i> |
|--------------|---------------------|---------------------|---------------------|---------------------|-----------------------|
| M1Gaberto    | 1,0187              | 1,4265              | -0,9485             | -0,9485             | -2,364                |
| M1gscurto    | 1,0187              | 0,0001              | -1,8574             | -1,8574             | 2,4946                |
| M1Daberto    | 1,0187              | 2,4763              | -1,3029             | 2,4731              | -2,451                |
| M1gdcurto    | 1,0187              | 1,4224              | -0,0003             | -2,4132             | 2,5                   |
| M1Saberto    | 1,0187              | 2,4915              | -1,3754             | 2,4903              | -2,451                |
| M1dscurto    | 1,0187              | -0,664              | -0,6641             | -2,5                | 2,5                   |

Fonte: Autoria própria.

Tabela 3.5 – Tensões DC com a injeção de falhas no transistor M1 da topologia NMOS-DA

| <i>Falha</i> | <i>nó_1</i><br>(V) | <i>nó_3</i><br>(V) | <i>nó_4</i><br>(V) | <i>nó_5</i><br>(V) | <i>nó_out</i><br>(V) |
|--------------|--------------------|--------------------|--------------------|--------------------|----------------------|
| M1Gaberto    | -1,0673            | -1,2716            | 1,3438             | 1,3438             | -2,211               |
| M1gscurto    | -1,0673            | -0,0001            | 2,0674             | 2,0674             | -2,5                 |
| M1Daberto    | -1,0673            | -2,4699            | 1,5412             | -2,462             | 2,4577               |
| M1gdcurto    | -1,0673            | -1,2726            | 0,00157            | 2,4756             | -2,5                 |
| M1Saberto    | -1,0673            | -2,4903            | 1,6049             | -2,488             | 2,4578               |
| M1dscurto    | -1,0673            | 1,2232             | 1,2233             | 2,5                | -2,5                 |

Fonte: Autoria própria.

Tabela 3.6 – Diferença entre as tensões DC com a injeção de falhas e a tensão *fault free* no transistor M1 da topologia PMOS-DA

| <i>Falha</i> | <i>nó_1</i><br>(%) | <i>nó_3</i><br>(%) | <i>nó_4</i><br>(%) | <i>nó_5</i><br>(%) | <i>nó_out</i><br>(%) |
|--------------|--------------------|--------------------|--------------------|--------------------|----------------------|
| M1Gaberto    | 0                  | 0                  | 0                  | 0                  | 0                    |
| M1gscurto    | 0                  | 99,992             | 95,824             | 95,824             | 205,52               |
| M1Daberto    | 0                  | 73,593             | 37,364             | 360,74             | 3,6716               |
| M1gdcurto    | 0                  | 0,2874             | 99,966             | 154,42             | 205,75               |
| M1Saberto    | 0                  | 74,658             | 45,007             | 362,55             | 3,6716               |
| M1dscurto    | 0                  | 146,54             | 29,989             | 163,57             | 205,75               |

Fonte: Autoria própria.

Tabela 3.7 – Diferença entre as tensões DC com a injeção de falhas e a tensão *fault free* no transistor M1 da topologia NMOS-DA

| <i>Falha</i> | <i>nó_1</i><br>(%) | <i>nó_3</i><br>(%) | <i>nó_4</i><br>(%) | <i>nó_5</i><br>(%) | <i>nó_out</i><br>(%) |
|--------------|--------------------|--------------------|--------------------|--------------------|----------------------|
| M1Gaberto    | 0,252              | 0,126              | 0,284              | 0,284              | 0,063                |
| M1gscurto    | 0,252              | 99,99              | 54,28              | 54,28              | 13,12                |
| M1Daberto    | 0,252              | 94,48              | 15,01              | 283,7              | 211,2                |
| M1gdcurto    | 0,252              | 0,205              | 99,88              | 84,75              | 13,12                |
| M1Saberto    | 0,252              | 96,09              | 19,77              | 285,6              | 211,2                |
| M1dscurto    | 0,252              | 196,3              | 8,709              | 86,57              | 13,12                |

Fonte: Autoria própria.

Tabela 3.8 – Assinaturas para as falhas injetadas no transistor M1 da topologia PMOS-DA

| <i>Falha</i> | <i>nó_1</i> | <i>nó_3</i> | <i>nó_4</i> | <i>nó_5</i> | <i>nó_out</i> |
|--------------|-------------|-------------|-------------|-------------|---------------|
| M1Gaberto    | 0           | 0           | 0           | 0           | 0             |
| M1gscurto    | 0           | 1           | 1           | 1           | 1             |
| M1Daberto    | 0           | 1           | 1           | 1           | 0             |
| M1gdcurto    | 0           | 0           | 1           | 1           | 1             |
| M1Saberto    | 0           | 1           | 1           | 1           | 0             |
| M1dscurto    | 0           | 1           | 1           | 1           | 1             |

Fonte: Autoria própria.

Tabela 3.9 – Assinaturas para as falhas injetadas no transistor M1 da topologia NMOS-DA

| <i>Falha</i> | <i>nó_1</i> | <i>nó_3</i> | <i>nó_4</i> | <i>nó_5</i> | <i>nó_out</i> |
|--------------|-------------|-------------|-------------|-------------|---------------|
| M1Gaberto    | 0           | 0           | 0           | 0           | 0             |
| M1gscurto    | 0           | 1           | 1           | 1           | 1             |
| M1Daberto    | 0           | 1           | 1           | 1           | 1             |
| M1gdcurto    | 0           | 0           | 1           | 1           | 1             |
| M1Saberto    | 0           | 1           | 1           | 1           | 1             |
| M1dscurto    | 0           | 1           | 1           | 1           | 1             |

Fonte: Autoria própria.

Obtidas as assinaturas para cada falha injetada de todos os transistores, as falhas foram divididas de acordo com as assinaturas que as representam, conforme as Tabelas 3.10 e 3.11. Algumas assinaturas representam apenas uma falha, facilitando a identificação da mesma, como acontece na assinatura “11110” do circuito PMOS-DA e na assinatura “00111” do circuito NMOS-DA. Entretanto, na maioria dos casos, se observa grupos de falhas representadas por uma única assinatura, por exemplo, a assinatura “00001” do circuito PMOS-DA, que representa seis falhas distintas e a assinatura “011111” do circuito NMOS-DA que está relacionada com dezoito falhas diferentes. Assim, quando a mesma assinatura está atribuída a mais de uma falha, diagnosticar uma falha específica se torna uma tarefa complexa.

Na tentativa de um diagnóstico mais detalhado das falhas, se aplicou novos testes nos quais, em momentos distintos, foram alteradas as tensões de alimentação e o valor da tensão diferencial de entrada, buscando encontrar uma assinatura ou uma sequência distinta de assinaturas para cada falha dos grupos das Tabelas 3.10 e 3.11. Os resultados encontrados não se mostraram satisfatórios para alcançar o diagnóstico detalhado das falhas. Contudo, o pré-

diagnóstico simplificado obtido nas Tabelas 3.10 e 3.11, pode ser utilizado como informação adicional ao teste, principalmente se considerado em etapas de teste de validação em silício anteriores ao teste final de produção.

Tabela 3.10 – Resumo das assinaturas da topologia PMOS-DA

| <i>Assinatura</i> | <i>Falhas</i>   |
|-------------------|---|
| 00000             | M1Gaberto/M2Gaberto/M3Gaberto/M3gdcurto/M4Gaberto<br>/M4gdcurto/M5Gaberto/M6Gaberto/M7Gaberto<br>/M8Gaberto/M8gdcurto |
| 00001             | M6Daberto/M6Saberto/M6dscurto/M7Daberto/M7Saberto<br>/M7dscurto   |
| 00010             | M2gdcurto/M2dscurto   |
| 00011             | M4dscurto/M6gscurto/M6gdcurto   |
| 00110             | M3gscurto/M3dscurto/M4gscurto   |
| 00111             | M1gdcurto/M3Daberto/M3Saberto   |
| 01110             | M1Daberto/M1Saberto/M4Daberto/M4Saberto/M5dscurto   |
| 01111             | M1gscurto/M1dscurto/M2gscurto/M2Daberto/M2Saberto<br>/M5Daberto/M5Saberto   |
| 11110             | M5gdcurto   |
| 11111             | M5gscurto/M7gscurto/M7gdcurto/M8gscurto/M8Daberto<br>/M8Saberto/M8dscurto   |

Fonte: Autoria própria.

Tabela 3.11 – Resumo das assinaturas da topologia NMOS-DA

| <i>Assinatura</i> | <i>Falhas</i>   |
|-------------------|---|
| 00000             | M1Gaberto/M2Gaberto/M3Gaberto/M3gdcurto/M4Gaberto<br>/M4gdcurto /M5Gaberto/ M6Gaberto/M7Gaberto/M8Gaberto<br>/M8gdcurto   |
| 00001             | M6Daberto/M6Saberto/M6dscurto/M7Daberto/M7Saberto<br>/M7dscurto   |
| 00011             | M2gdcurto/M2dscurto/M6gscurto/M6gdcurto   |
| 00111             | M1gdcurto   |
| 01111             | M1gscurto/M1Daberto/M1Saberto/M1dscurto/M2gscurto<br>/M2Daberto/M2Saberto/M3gscurto/M3Daberto/M3Saberto<br>/M3dscurto/M4gscurto/M4Daberto/M4Saberto/M4dscurto<br>/M5Daberto/M5Saberto/M5dscurto |
| 11111             | M5gscurto/M5gdcurto/M7gscurto/M7gdcurto/M8gscurto<br>/M8Daberto/M8Saberto/M8dscurto   |

Fonte: Autoria própria.

Com base nos resultados apresentados, é perceptível que a injeção de falhas, seja ela de curto-circuito ou circuito aberto, gera desvios, em relação ao circuito original, nas tensões dos nós observados. Alguns nós são mais sensíveis que outros, conforme a Tabela 3.12. O nó “1” poucas vezes tem o valor desviado significativamente do valor nominal, por consequência apresenta uma baixa cobertura de falhas (CF) total. Considerando os dois circuitos, este nó detectou 16 falhas (8 falhas em cada topologia), ou seja, a CF é igual a, aproximadamente, 17%. Em contra partida, nó “out” apresentou a maior cobertura de falhas total (65,63%), detectando 63 falhas entre os dois CUTs. Este nó não detectou trinta e três falhas, sendo quatro delas de curto-circuito entre *gate* e *dreno* dos transistores M3 e M8 e dezesseis de *gate* aberto, número este que representa o número total de transistores dos circuitos sob teste. Se a cobertura de falhas for analisada separadamente para cada CUT, para a topologia PMOS-DA o nó “5” apresentou maior cobertura de falhas (64,58%) enquanto que para a configuração NMOS-DA o nó “out” obteve a maior cobertura de falhas, atingindo 77,08%.

As falhas de curto-circuito não foram detectadas porque as próprias topologias dos circuitos já dispõem desses terminais conectados, como pode ser observado na Figura 3.1. Já a incapacidade do teste DC de detectar as falhas de circuito aberto de contato de *gate* pode ser explicada devido à elevada resistividade do óxido de isolamento de porta (que resulta em uma resistência equivalente na ordem de  $10^{10}\Omega$ ). Dessa forma, a injeção de uma resistência em série de  $10M\Omega$  (que é, aproximadamente, mil vezes menor do que a resistência equivalente de óxido), para simular a falha, não insere modificações significativas em relação ao comportamento DC.

Tabela 3.12 – Cobertura de falhas (CF) de cada nó analisado

| Nó  | CF_PMOS-DA (%) | CF_NMOS-DA (%) | CF_TOTAL<br>(PMOS-DA e NMOS-DA) (%) |
|-----|----------------|----------------|-------------------------------------|
| 1   | 16,67          | 16,67          | 16,67                               |
| 3   | 41,67          | 52,08          | 46,88                               |
| 4   | 54,17          | 54,17          | 54,17                               |
| 5   | 64,58          | 64,58          | 64,83                               |
| Out | 54,17          | 77,08          | 65,63                               |

Fonte: Autoria própria.

Através do estudo de caso aplicado nos dois circuitos pré-definidos, pode-se comprovar que, realmente, os valores das tensões DC variam quando há presença de falhas

nos circuitos, mostrando a viabilidade da utilização desse parâmetro, aparentemente simples, em testes eficazes de circuitos analógicos.

Em uma situação prática, em que não se tem acesso aos nós internos, podem ocorrer dificuldades para realizar a monitoração de todos os nós do circuito. Uma possível solução é a utilização de mecanismos de BIST/DfT que impactariam em *overhead* e em eventual degradação de performance, por isso, nos próximos capítulos serão explorados métodos de teste baseado na monitoração de um único nó ou de poucos nós, facilitando a implementação de mecanismos destinados ao teste.

## 4 ESTUDO DE CASO 2: AMPLIFICADOR TOTALMENTE DIFERENCIAL DE UM ESTÁGIO

Este capítulo propõe uma estratégia de teste para circuitos analógicos, considerando modelos de falhas catastróficas e paramétricas, aplicada a um Amplificador Totalmente Diferencial projetado para a tecnologia XFAB 180nm. Baseado em teste DC, o método, que consiste na medição da tensão de um único nó do FDA sob teste, também considera a aplicação de uma variante da técnica conhecida como TRAM (*Transient Response Analysis Method*), como um teste adicional para aumentar a cobertura de falhas. Através de ensaios no amplificador operacional de um estágio com saídas diferenciais, é mostrada a viabilidade do uso do circuito CMFB do FDA como um *checker*, proporcionando maior observabilidade de falhas ocorrentes tanto no amplificador quanto no próprio circuito CMFB.

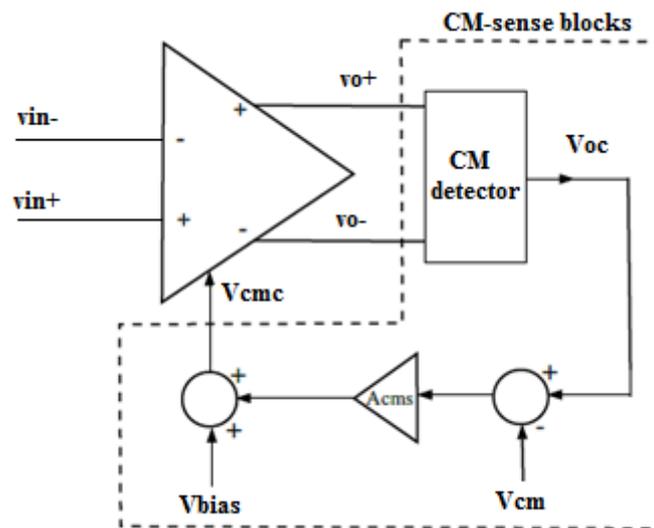
### 4.1 Descrição do Amplificador Totalmente Diferencial

Os amplificadores totalmente diferenciais, os quais podem ser vistos como um caso particular dos DA (*Differential Amplifier*), possuem entradas e saídas diferenciais. A melhora na imunidade ao ruído devido às estruturas diferenciais de alimentação, entrada e saída, a duplicação da excursão dinâmica e a diminuição da distorção por harmônicas pares (KARKI, 2002) são algumas vantagens que o FDA (*Fully Differential Amplifier*) tem em relação ao amplificador diferencial com saída simples. Em contrapartida, promovem o aumento da complexidade do circuito e da área ocupada do *chip*. Por apresentar robustez e compensar efeitos indesejados, os circuitos totalmente diferenciais são bastante empregados em projetos analógicos.

Para garantir seu correto funcionamento, os FDAs necessitam de um bloco extra, conhecido como circuito de realimentação de modo comum, ou CMFB (*Common Mode Feedback*) (OLIVEIRA; SEVERO; GIRARDI, 2014). O circuito CMFB é responsável por fornecer níveis estáveis de tensão de saída de modo comum sobre toda a faixa de frequência de operação do amplificador (XU; EMBABI, 2000). Ele opera independentemente da amplitude e do nível DC do sinal de entrada, bem como do fator externo de realimentação (ALZAHAR; ELWAN; ISMAIL, 2003). A Figura 4.1 mostra o bloco conceitual de um amplificador diferencial. De acordo com este modelo, a tensão de saída do modo comum de

um FDA é regulada por um sinal aqui denominado  $V_{cmc}$  (tensão de controle de modo comum), gerado por um circuito de realimentação. O bloco detector de modo comum está ligado às saídas do FDA. Ele detecta a saída de modo comum,  $V_{oc}$ , através da média das tensões de saída a  $v_{o+}$  e  $v_{o-}$ . A diferença entre  $V_{oc}$  e a saída de modo comum desejada,  $V_{cm}$ , é amplificada no bloco denominado  $A_{cms}$  e, em seguida, adicionada a  $V_{bias}$ , é conectada à malha de polarização do OpAmp, como se observa matematicamente através da Equação 4.1.

Figura 4.1 – Bloco conceitual do circuito CMFB do FDA



Fonte: Oliveira; Severo; Girardi (2014).

$$V_{cmc} = A_{cms} \cdot (V_{oc} - V_{cm}) + V_{bias}$$

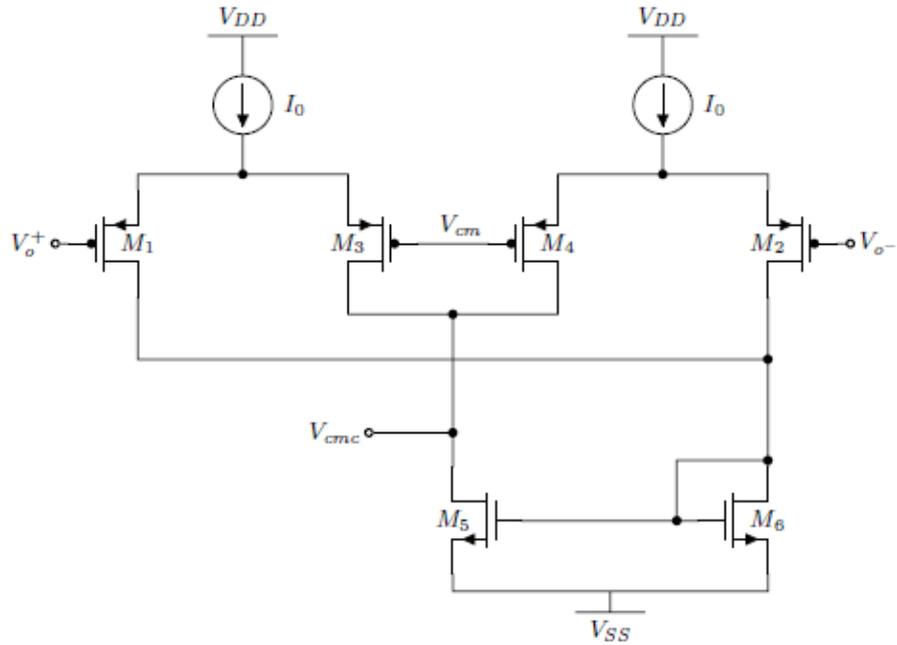
Equação 4.1

Um dos circuitos estudados neste trabalho é um FDA de um estágio. O amplificador projetado para a tecnologia 0,18 $\mu$ m da X-FAB utiliza  $\pm 0.9V$  como alimentação (OLIVEIRA; SEVERO; GIRARDI, 2014). Conforme a Figura 4.2, no circuito do FDA, M1 e M2 constituem o par diferencial responsável pelo ganho do amplificador. A carga do par diferencial é composta pelos transistores M3 e M4, operando como espelho de corrente, juntamente com o transistor M7. Os transistores M6 e M5 são fontes de corrente, que polarizam, respectivamente, o espelho de corrente e o par diferencial. No circuito estudado, a fim de reduzir a transcondutância ( $g_m$ ) do transistor M5, para atingir a margem de fase necessária ao funcionamento do circuito CMFB, houve a separação desse dispositivo em dois transistores em paralelo, denominados M5A e M5B.

Para o circuito funcionar adequadamente e o sinal  $V_{cmc}$  realizar o controle do nível de modo comum, a condição  $V_{cmc} = V_{bias} + \Delta V_{oc}$  (com  $V_{cm} = 0$ ) deve ser satisfeita. Dessa



Figura 4.3 – Circuito de realimentação de modo comum do FDA



Fonte: Oliveira; Severo; Girardi (2014).

Tabela 4.1 – Resumo do projeto do FDA

| <i>Parâmetros</i>   | <i>Valor</i> |
|---|--------------|
| $W_1/L_1, W_2/L_2$ ( $\mu\text{m}/\mu\text{m}$ )                      | 36,29/0,197  |
| $W_3/L_3, W_4/L_4, W_7/L_7$ ( $\mu\text{m}/\mu\text{m}$ )             | 27,41/6,83   |
| $W_{5A}/L_{5A}, W_{5B}/L_{5B}, W_6/L_6$ ( $\mu\text{m}/\mu\text{m}$ ) | 15,3/9,75    |
| $V_{\text{bias}}$ (mV)  | -167,045     |

Fonte: Oliveira; Severo; Girardi (2014).

Tabela 4.2 – Resumo do projeto do circuito CMFB do FDA

| <i>Parâmetros</i>  | <i>Valor</i> |
|--|--------------|
| $W_1/L_1, W_2/L_2, W_3/L_3, W_4/L_4$ ( $\mu\text{m}/\mu\text{m}$ ) | 35,91/0,8918 |
| $W_5/L_5, W_6/L_6$ ( $\mu\text{m}/\mu\text{m}$ )                   | 7,19/0,4628  |
| $I_0$ ( $\mu\text{A}$ )  | 15,19        |

Fonte: Oliveira; Severo; Girardi (2014).

Tabela 4.3 – Especificações do FDA com único estágio

| <i>Especificações</i> | <i>Valor</i> |
|-----------------------|--------------|
| Avo (dB)              | 32,656       |
| GBW (MHz)             | 1,08         |
| PM(°)                 | 88,63        |
| SR (V/us)             | 3,8          |
| Pdiss(uW)             | 70,23        |

Fonte: Oliveira; Severo; Girardi (2014).

## 4.2 Metodologia

A metodologia empregada na estratégia de teste é a seguinte:

- a) Definição dos modelos de falhas adotados.
- b) Escolha dos testes a serem aplicados.
- c) Definição do nó a ser observado.
- d) Verificação da cobertura de falhas com o modelo completo de falhas.
- e) Verificação do desempenho do OpAmp e cobertura de falhas, considerando a carga inserida no circuito e pela interface externa de teste.

## 4.3 Injeção de Falhas e *Setup* de Simulação

O modelo de falhas catastróficas utilizado foi exatamente o mesmo mencionado no capítulo 3, subitem 3.3, deste trabalho. Já as falhas paramétricas foram simuladas através da variação do comprimento do canal e da tensão de *threshold* de cada transistor do CUT. A variação do comprimento do transistor foi modelada com  $\pm 25\%$  do valor nominal (BROSA; FIGUEIRAS, 2000). Dependendo do comprimento do transistor, a variação de  $\pm 25\%$  pode não ser realista, mas foi mantido sempre o mesmo valor por simplicidade na simulação de falhas. Além disso, considerou-se que à medida que as dimensões dos dispositivos fabricados em tecnologias mais recentes são reduzidas, as variações relacionadas ao processo de fabricação tem impacto relativo maior nos parâmetros do circuito (ALLANI, 2010). De acordo com (BORKAR; *et.al.*, 2003) o limite de variação de três desvios padrões do processo ( $3\sigma$ ) na tecnologia de 180nm é 30mV. Tendo em vista que as falhas paramétricas são definidas dentro do intervalo de  $3\sigma$  a  $6\sigma$  (DENG; SHI; ZHANG, 2012), as variações de  $V_{th}$  foram simuladas com  $\pm 50\text{mV}$  do valor nominal. Entre os dois circuitos (FDA e CMFB),

inicialmente, 126 falhas foram verificadas, sendo 84 falhas catastróficas e 42 falhas paramétricas.

Para definir o nó que apresenta maior sensibilidade à presença de falhas, foram realizados, através de simulação SPICE, dois testes DC, denominados como teste DC1 e teste DC2, e um teste transiente, chamado de TR1. Duas configurações diferentes foram usadas na aplicação do teste DC. No primeiro, DC1, ambas as entradas do amplificador foram aterradas (como no teste descrito no capítulo 3). Em seguida, no teste DC2, as entradas do amplificador foram alteradas para as tensões de alimentação:  $V_{ip} = 0,9V$  e  $V_{in} = -0,9V$ , fazendo com que o FDA funcionasse em seus extremos de operação e fora de sua faixa de entrada de operação linear diferencial (*CMR: Common Mode Range*). No teste TR1, o nó  $V_{in}$  é aterrado e ao nó  $V_{ip}$  é aplicado um pulso com tensão inicial de  $-0,4V$  e tensão final de  $0,4V$  e tempo de subida e descida de 10ns. Por localizar-se, aproximadamente, no meio da curva de operação do OpAmp, esse sinal de entrada possibilita um intervalo suficiente entre VDD e VSS para possíveis sobretensões (*overshoot*) na resposta. Além de excitar o circuito em uma ampla faixa de frequência, esse *step* gera um *overshoot* considerável, e um tempo de subida propício a medições. Em ambos os testes DC o amplificador está configurado em malha aberta, já no teste transiente está operando como seguidor de tensão (*buffer*).

## 4.4 Resultados

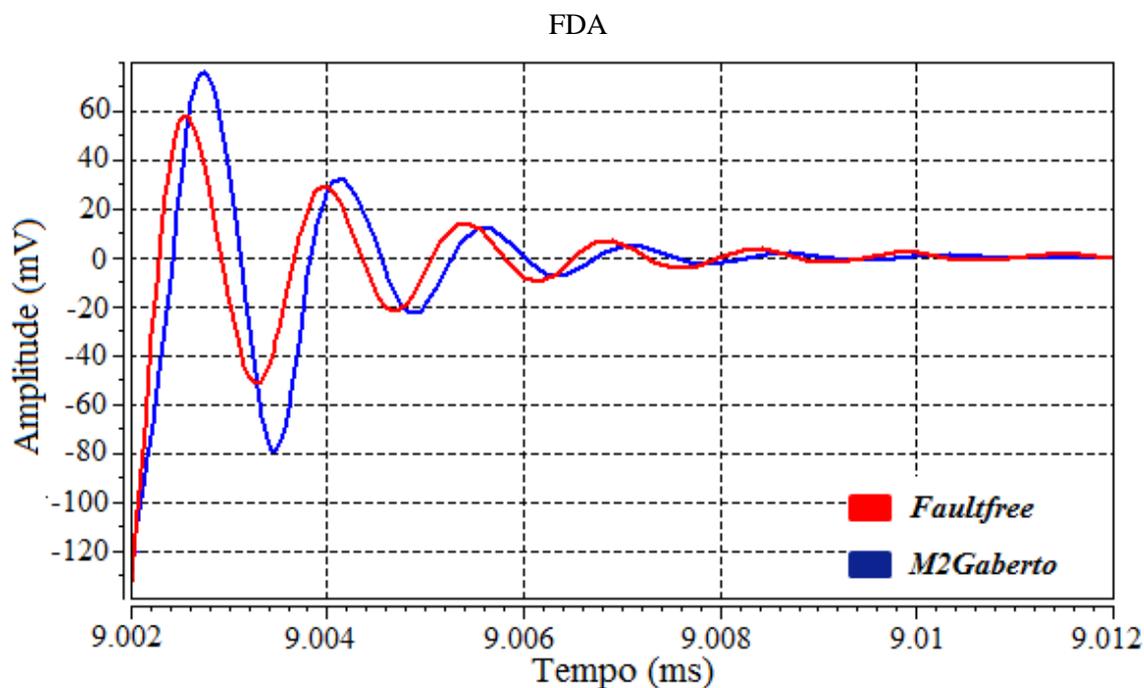
### 4.4.1 Escolha do Nó a Ser Monitorado

Após o CUT ser analisado, assumiu-se que três nós poderiam apresentar significativa cobertura de falhas: o nó da saída positiva do FDA ( $V_{op}$ ), o nó da saída negativa do amplificador ( $V_{on}$ ) e o nó de controle de modo comum do CMFB ( $V_{cmc}$ ). Para encontrar o nó mais sensível as falhas, realizou-se uma verificação considerando apenas as falhas catastróficas, as quais representam a maior parte do modelo completo de falhas. Respeitando a ordem descrita no subitem anterior (4.3), as falhas detectadas em uma determinada etapa de teste não foram testadas novamente na próxima etapa. Assim sendo, aplicou-se o teste DC2 para as falhas não detectadas no teste DC1 e o TR1 para as falhas não detectadas em ambos os testes DC. Essa metodologia é adotada para todos os testes realizados neste trabalho. O critério para os testes DC adotado para distinguir entre assinaturas sem falhas e com falhas é o

mesmo detalhado no capítulo 3, ou seja,  $\pm 5\%$  do valor nominal. Já para o teste transiente foi considerado um valor absoluto de 5mV, uma vez que a amplitude do sinal varia com o tempo.

Como exemplo, a Figura 4.4 mostra a resposta para o teste transiente do nó  $V_{cmc1}$ . A assinatura *fault free* apresenta amplitude máxima de 58,1mV enquanto que a assinatura com a injeção da falha de contato de *gate* aberto no transistor M2 do FDA (Figura 4.2) atinge 76,2mV, gerando uma diferença de, aproximadamente, 18,1mV entre as duas assinaturas. Este valor excede o limite da diferença de amplitude que caracteriza a ausência de falha, fazendo com que a falha em questão seja detectada. Os resultados apresentados pelos nós analisados, após a aplicação dos três testes descritos acima (DC1, DC2 e TR1), podem ser observados na Tabela 4.4. Percebe-se que o  $V_{cmc}$  tem a maior cobertura de falhas total (circuito CMFB e FDA), atingindo 92,86%.

Figura 4.4 – Assinaturas do nó  $V_{cmc1}$ : *fault free* e falha de contato aberto de gate do transistor M2 do



Fonte: Autoria própria.

Tabela 4.4 – Resultado da cobertura de falhas (CF) dos nós, possivelmente, sensíveis a falhas

| <i>Nó</i> | <i>CF_CMFB</i> | <i>CF_FDA</i> | <i>CF_Total</i> |
|-----------|----------------|---------------|-----------------|
| $V_{cmc}$ | 97,22%         | 89,58%        | 92,86%          |
| $V_{op}$  | 97,22%         | 81,25%        | 85,71%          |
| $V_{on}$  | 97,22%         | 83,33%        | 89,29%          |

Fonte: Autoria própria.

No modelo de falhas catastróficas inicialmente adotado, há quatro falhas indetectáveis, todas elas de curto-circuito. Analisando o esquemático do CUT (Figura 4.2), observa-se que duas são falhas de curto-circuito entre os terminais de *gate* e *source* dos transistores M5 e M6 do FDA. Estas falhas não são detectadas porque a simulação realizada considera uma fonte de polarização,  $V_{bias}$ , que mantém a tensão constante independente da injeção de falhas. Posteriormente, essas falhas voltarão a serem analisadas utilizando circuitos reais de polarização. As outras duas falhas não detectáveis são M6gdcorto no circuito CMFB e M7gdcorto no FDA. Isso porque há um curto-circuito entre os terminais de *gate* e *dreno* desses transistores intencionalmente presente na topologia do circuito, ou seja, esses dispositivos estão conectados como diodos. Dessa forma, essas quatro falhas são descartadas da lista de falhas injetadas, reduzindo o modelo de falhas catastróficas para 80 falhas. A Tabela 4.5, mostra a CF dos nós observados para as falhas catastróficas, sem as falhas indetectáveis. Nota-se que a CF de falhas nos três casos aumenta e o nó  $V_{cmc}$  continua sendo o nó mais sensível.

Tabela 4.5 – Resultado da cobertura de falhas (CF) dos nós, possivelmente, sensíveis a falhas, desconsiderando as falhas indetectáveis

| <i>Nó</i> | <i>CF_CMFB</i> | <i>CF_FDA</i> | <i>CF_Total</i> |
|-----------|----------------|---------------|-----------------|
| $V_{cmc}$ | 100%           | 95,56%        | 97,50%          |
| $V_{op}$  | 100%           | 86,67%        | 92,50%          |
| $V_{on}$  | 100%           | 88,89%        | 93,75%          |

Fonte: Autoria própria.

Em situações reais, a presença de variabilidade do próprio processo de fabricação pode fazer com que a resposta DC e transiente sofram alterações. Apesar da metodologia de Monte Carlo ser indicada para análise de variabilidade, neste trabalho optou-se por utilizar a análise de *corners*. Este último tipo de análise, além de ser mais fácil, pode ser visto como uma espécie de fronteira na análise de variabilidade que engloba a maior parte das respostas obtidas por Monte Carlo, representando, assim, um bom teste. Diante disso, em um segundo momento, adicionou-se uma análise de *corners* aos testes a fim de considerar as variações naturais para definir uma banda de tolerância utilizada na detecção das falhas. Para a tecnologia utilizada foram considerados os cinco *corners*, classificados de acordo com a velocidade de resposta dos transistores NMOS e PMOS. As nomenclaturas do modelo SPICE utilizado são: TM (*TM: Typical Mean Condition*) quando os dois tipos de transistores estão operando em condições normais de velocidade, WP (*WP: Worst Case Power Condition*) para

ambos os dispositivos rápidos, WS (*WS: Worst Case Speed Condition*) para ambos os transistores lentos, WO (*WO: Worst Case One Condition*) quando o transistor NMOS é rápido e o PMOS é lento e WZ (*WZ: Worst Case Zero Condition*) quando o dispositivo NMOS é lento e o PMOS é rápido.

Com a inclusão da análise de variabilidade houve a necessidade da adição de um teste DC, denominado DC3 e um teste transiente, chamado TR2. O teste DC3, o qual tem  $V_{ip} = -0,9V$  e  $V_{in} = +0,9V$ , realiza o complemento do teste DC2. Observando a Figura 4.3 percebe-se que a polarização gerada pelo teste DC2 no transistor M1 do circuito CMFB, por exemplo, faz com que o mesmo esteja desativado durante a aplicação deste teste. Assim, as falhas de contato aberto de *dreno* e contato aberto de *source* injetadas nesse dispositivo não são detectadas. No entanto, no teste DC3, com a inversão das tensões aplicadas às entradas do OpAmp em relação ao teste anterior, o transistor em questão volta a operar permitindo a detecção dessas falhas. Essa situação repete-se para outros dispositivos do circuito sob teste. O motivo semelhante justifica a inclusão do TR2, o qual difere do primeiro teste transiente apenas no modo de realimentação. No TR1 a saída positiva do amplificador é conectada a sua entrada negativa, enquanto que no TR2 a saída negativa é ligada a  $V_{ip}$ . Assim, a estratégia de teste desenvolvida passa usar cinco testes distintos: teste DC1, DC2, DC3, TR1 e TR2. Essa sequência de aplicação é mantida ao longo dos ensaios apresentados neste trabalho.

Além disso, os critérios de identificação das assinaturas sem falhas e com falhas do CUT sofreram alterações. Nos testes DC houve um incremento na tolerância adotada e nos testes transientes passou-se a analisar dois parâmetros: *overshoot* e *settling time*. Os valores dos novos critérios adotados serão detalhados posteriormente. Conforme mostra a Tabela 4.6, mesmo que a variação do processo seja considerada,  $V_{cmc}$  continua se mostrando mais sensível às falhas, apresentando maior cobertura quando comparado aos nós  $V_{op}$  e  $V_{on}$ . Diante dos resultados, o nó  $V_{cmc}$  foi escolhido para ser monitorado nos demais ensaios realizados.

Tabela 4.6 – Resultado da cobertura de falhas (CF) dos nós, possivelmente, sensíveis a falhas, com análise de *corners*

| <i>Nó</i> | <i>CF_CMFB</i> | <i>CF_FDA</i> | <i>CF_Total</i> |
|-----------|----------------|---------------|-----------------|
| $V_{cmc}$ | 100%           | 93,33%        | 96,25%          |
| $V_{op}$  | 100%           | 91,11%        | 95%             |
| $V_{on}$  | 100%           | 91,11%        | 95%             |

Fonte: Autoria própria.

#### 4.4.2 Cobertura de Falhas com o Modelo Completo

Assim como as falhas catastróficas, as paramétricas também apresentaram falhas indetectáveis. Devido à restrição da tecnologia, duas falhas considerando -25% do comprimento nominal do transistor, M1 e M2 do FDA, não puderam ser simuladas, pois é atribuído ao comprimento um valor menor do que o limite mínimo permitido (180nm). Assim sendo, a partir de agora, o modelo completo de falhas passa a conter 120 falhas, 80 catastróficas e 40 paramétricas.

Como já foi mencionado, primeiramente, considerou-se  $\pm 5\%$  do valor nominal para os testes DC e 5mV absoluto para os testes transientes na distinção das assinaturas sem falhas das assinaturas com falhas. Isso foi feito para uma validação rápida inicial, mas, para um caso real é preciso observar a variabilidade das respostas *fault free*. Assim, o procedimento de teste segue os valores obtidos na análise de *corners*, a qual representa possíveis variações do circuito.

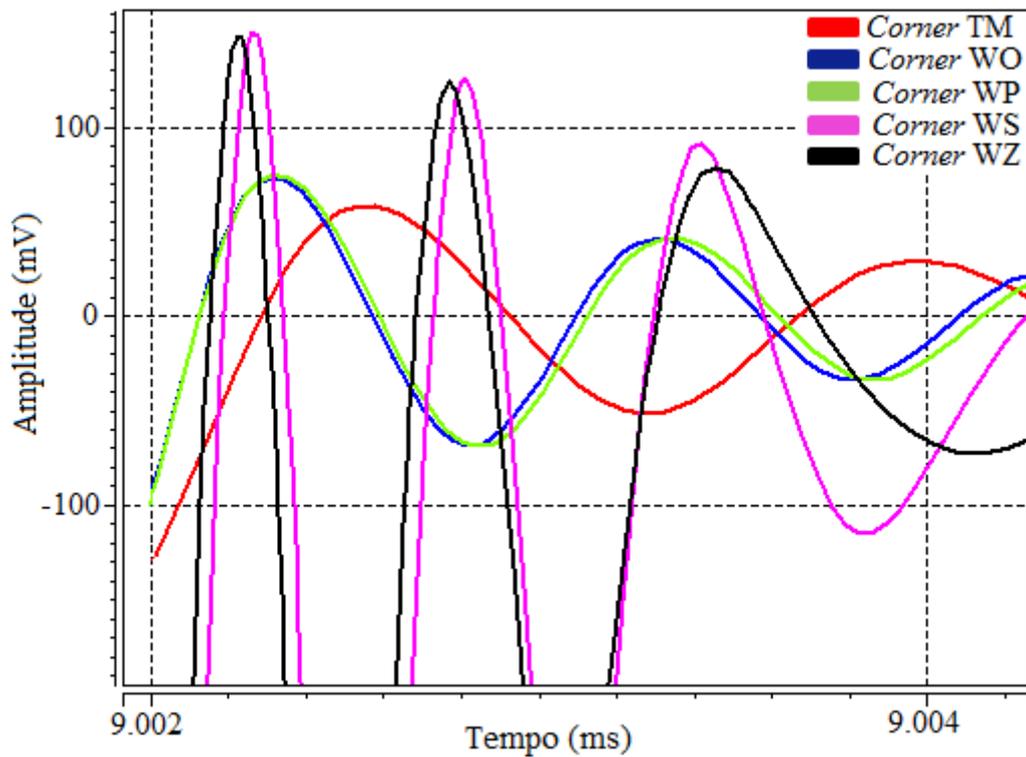
Para os testes DC foi usado o critério de  $\pm 35\%$  do sinal  $V_{cmc}$  (*corner* TM) para distinguir a assinatura *fault free* da assinatura com falhas. Essa faixa de tolerância, baseada na maior diferença de tensão entre o *corner* TM e os demais *corners* analisados, é mantida para os demais testes DC aplicados ao longo deste capítulo. Os valores das tensões, sem a injeção de falhas, correspondentes de cada *corner* para os testes DC podem ser vistos na Tabela 4.7. Para os testes transientes, também baseado na análise de *corners*, determinou-se que as assinaturas *fault free* são caracterizadas por possuírem um *overshoot* entre 58,1mV e 151mV e/ou apresentarem um *settling time* de 6 $\mu$ s, conforme as Figuras 4.5 e 4.6, respectivamente. Neste estudo de caso o tempo de acomodação foi considerado como o tempo que a resposta leva para acomodar, considerando uma faixa de tolerância de  $\pm 10$ mV.

Tabela 4.7 – Assinatura *fault free* dos *corners* para os testes DC

| <i>Corner</i> | $V_{cmc} (DC1)$  | $V_{cmc} (DC2e DC3)$ |
|---------------|------------------|----------------------|
| TM            | 746,0332 $\mu$ V | -170,3076 mV         |
| WO            | 584,6745 $\mu$ V | -222,5323 mV         |
| WP            | 771,5866 $\mu$ V | -227,0039 mV         |
| WS            | 727,8823 $\mu$ V | -113,7335 mV         |
| WZ            | 878,1351 $\mu$ V | -117,6133 mV         |

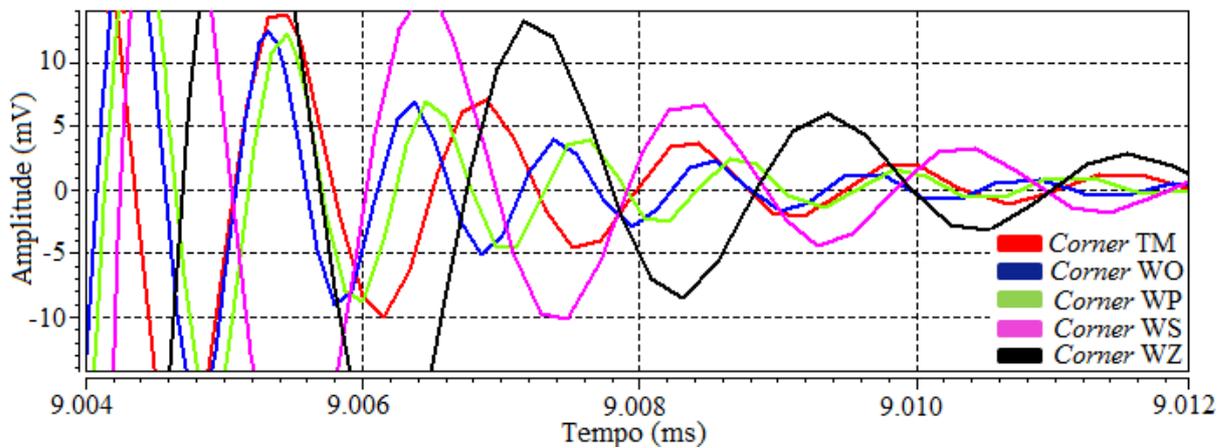
Fonte: Autoria própria.

Figura 4.5 – Assinatura *fault free* dos *corners* da tecnologia 180nm para os testes transientes (*overshoot*)



Fonte: Autoria própria.

Figura 4.6 – Assinatura *fault free* dos *corners* da tecnologia 180nm para os testes transientes (*settling time*)

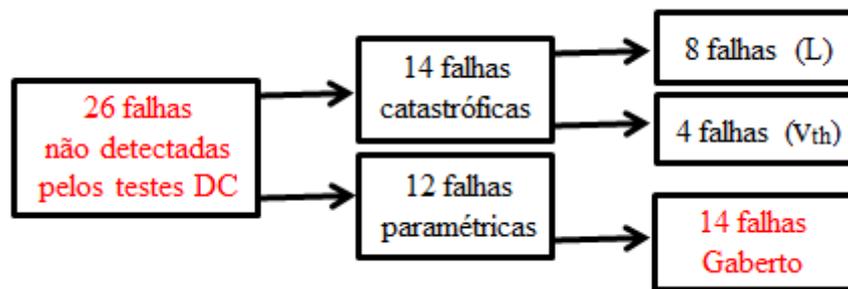


Fonte: Autoria própria.

A primeira etapa de injeção de falhas foi realizada considerando o teste DC1. Este teste foi capaz de detectar 13 de 53 falhas no circuito CMFB e 57 de 67 falhas no

Amplificador. De acordo com a Tabela 4.7, a cobertura de falhas deste teste para cada bloco é 24,53% e 85,07%, atingindo uma CF total (CMFB e FDA) de 58,33%. O teste DC2 e o teste DC3 adicionam um ganho incremental para a cobertura de falhas de ambos os blocos, fazendo com que ao final da terceira etapa de teste a CF total atinja 78,33%. Dessa forma, depois de realizados todos os testes DC, 26 falhas não foram detectadas, 12 falhas paramétricas e 14 falhas catastróficas, todas estas de terminal aberto de *gate*, Figura 4.7. Levando em consideração que este número representa o número total de transistores do CUT, conclui-se que, como no estudo de caso do capítulo anterior, nenhuma falha deste tipo foi detectada.

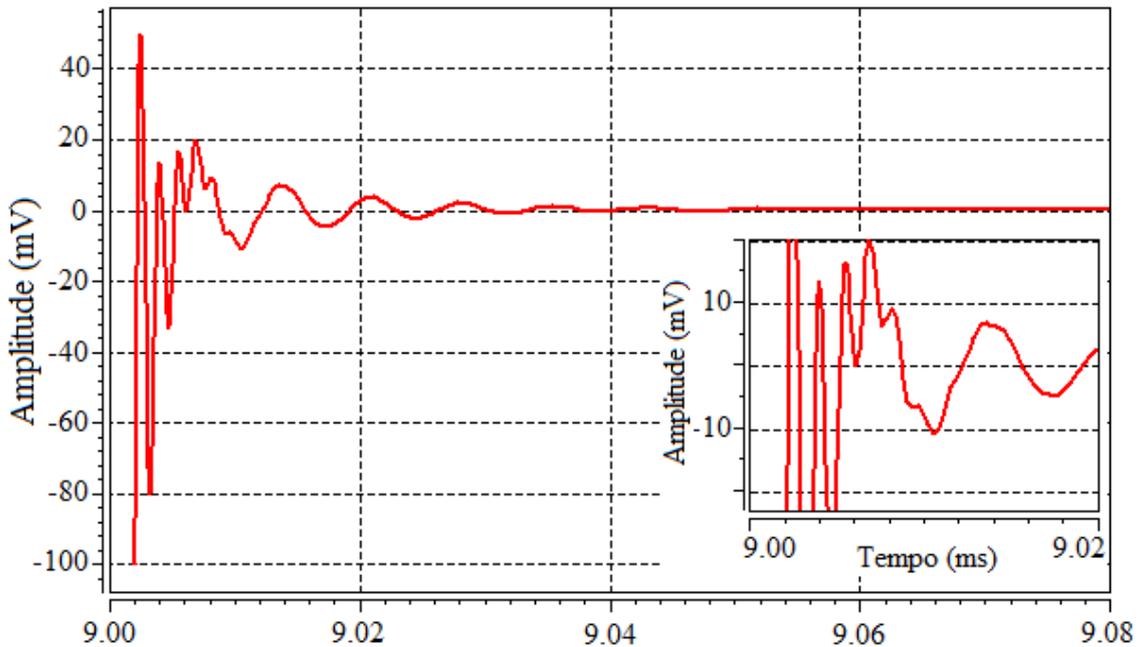
Figura 4.7 – Cobertura de falhas testes DC



Fonte: Autoria própria.

Como o teste DC não se mostra eficaz na detecção de falhas de contato de *gate* aberto, alguns trabalhos que exploram o teste DC ou abordam o BIST DC não incluem estas falhas em seus modelos, o que os tornam incompletos, como é o caso de (PETRASHIN *et. al.*, 2013). Diante disso, o método de análise transiente foi aplicado para as falhas que não foram detectadas pelos testes DC. Uma vez que a resposta transiente depende da resposta em frequência do circuito, este teste é capaz de detectar as falhas de circuito aberto de terminal de *gate*, pois a porta do transistor deixa de se comportar como um circuito aberto para altas frequências. Portanto um circuito aberto no terminal de porta do transistor pode modificar a resposta de frequência do amplificador, mudando a constante de tempo associada às capacitâncias de *gate* do transistor e a resistência equivalente deste terminal. Esta modificação será então evidenciada na análise transiente, levando à distinção da assinatura com falha em relação à *fault free*. Como exemplo, a Figura 4.8 mostra a assinatura com a injeção da falha de circuito aberto no terminal de *gate* do transistor M7 do Amplificador. Com *overshoot* de 49,8mV e *settling time* de, aproximadamente, 8 $\mu$ s, esta assinatura indica a presença de falha no circuito, uma vez que ambos os parâmetros de resposta ao *step* de entrada não se encontram dentro das faixas de valores pertencentes a assinatura *fault free* das análises transientes.

Figura 4.8 – Assinatura da falha de terminal de gate aberto do transistor M7 do FDA para o TR1



Fonte: Autoria própria.

Tabela 4.8 – Resultado da cobertura de falhas (CF) do nó  $V_{cmc}$ , para falhas catastróficas e paramétricas

| $V_{cmc}$           | $CF_{CMFB}$ | $CF_{FDA}$ | $CF_{Total}$ |
|---------------------|-------------|------------|--------------|
| DC1                 | 24,53%      | 85,07%     | 58,33%       |
| DC1,DC2             | 54,72%      | 88,06%     | 73,33%       |
| DC1,DC2,DC3         | 66,04%      | 88,06%     | 78,33%       |
| DC1,DC2,DC3,TR1     | 83,02%      | 94,03%     | 89,17%       |
| DC1,DC2,DC3,TR1,TR2 | 92,45%      | 97,01%     | 95%          |

Fonte: Autoria própria.

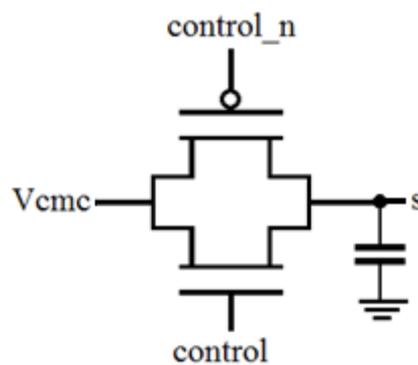
#### 4.4.3 Comportamento do Circuito Considerando Conexão com Equipamento de Teste

Durante os testes, para monitorar o nó  $V_{cmc}$  (o qual não é externo), é preciso modificar o projeto do amplificador, adicionando circuitos específicos para que o nó  $V_{cmc}$  seja ligado a saída, configurando assim uma estratégia de DfT. No entanto, uma vez que o sinal  $V_{cmc}$  é roteado para um pino externo, o circuito que realiza a observação do sinal monitorado, bem como o roteamento necessário, pode vir a provocar impacto no desempenho do OpAmp, devido ao carregamento que impõem ao nó monitorado.

Assim, a fim de avaliar o impacto desta estrutura de teste adicional na performance do FDA, conectou-se ao nó  $V_{cmc}$  uma chave do tipo *transmission gate*, composta por dois

transistores, além de um capacitor. O esquema elétrico do circuito adicionado é mostrado na Figura 4.9. Ambos os transistores possuem comprimento de  $0,72\mu\text{m}$ . A largura do transistor P é  $12,5\mu\text{m}$ , do transistor N é  $5\mu\text{m}$  e o valor do capacitor utilizado é  $10\text{ pF}$  (HSU; LIN, 2010). A porta de transmissão é utilizada para conectar o nó monitorado a um pino externo dedicado ao teste enquanto o capacitor simula a capacitância de carga do pino e do equipamento de teste. Cabe salientar que em grande parte dos casos, os projetos integrados contemplam vários OpAmps no mesmo CI, necessitando compartilhar o mesmo pino externo para evitar o *overhead* de pinos (esta questão será discutida na seção 6.1).

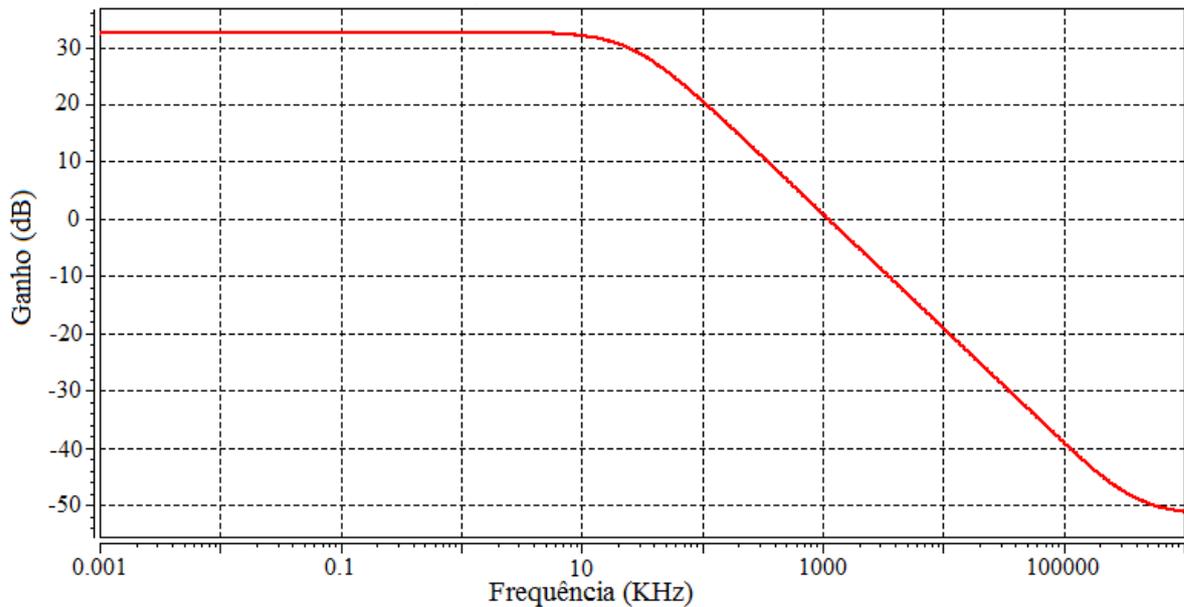
Figura 4.9 – Circuito utilizado para simular a presença do aparelho testador conectado ao CUT



Fonte: Autoria própria.

Primeiramente, sem considerar a estrutura de teste adicional, verificou-se por simulação que o amplificador possui um ganho de malha aberta ( $A_v$ ) de  $32,7\text{ dB}$  e uma frequência de ganho unitário (GBW) de, aproximadamente,  $1\text{ MHz}$ . Depois, adicionando o circuito da Figura 4.9 e repetindo a simulação, verificou-se que o ganho  $A_v$  e a GBW não sofreram alterações, conforme pode ser visto na Figura 4.10, a qual mostra o resultado para o *corner* TM. Cabe salientar, que para os demais *corners* os valores do ganho em malha aberta e da frequência de ganho unitário, sem e com a estrutura de teste, foram os mesmos, ou seja, a inserção da estrutura de teste não provocou impacto no desempenho do FDA.

Figura 4.10 – Diagrama de Bode do FDA



Fonte: Autoria própria.

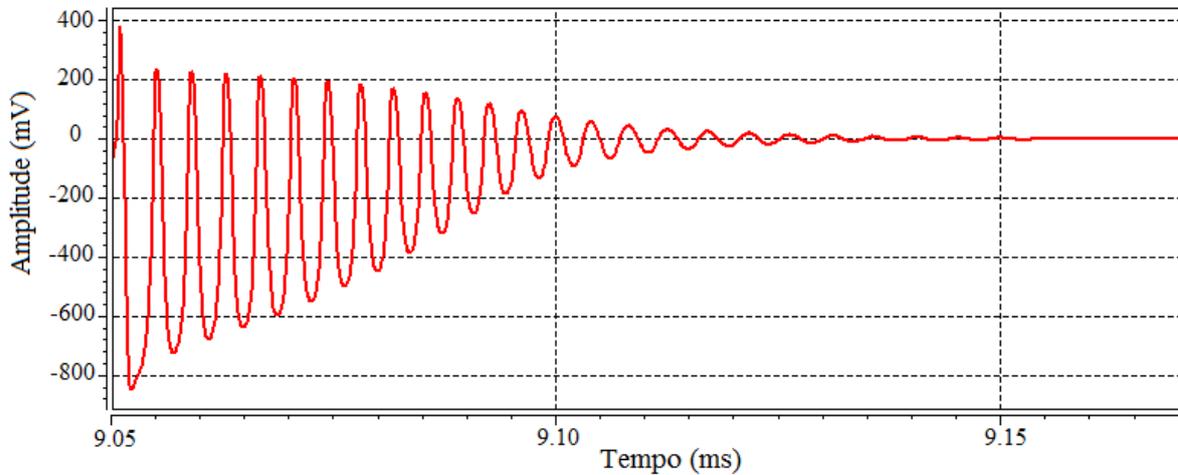
Com a finalidade de verificar o impacto na cobertura de falhas provocada pela inserção do circuito da Figura 4.9 no circuito sob teste, com a chave fechada, a estratégia de teste apresentada neste trabalho foi, novamente, aplicada ao CUT. Para todos os *corners*, as assinaturas sem falhas correspondentes aos testes DC se mantiveram as mesmas já mencionadas no subitem 4.4.2, entretanto, as geradas pelos testes transientes sofreram alterações. A Figura 4.11 mostra a assinatura *fault free* para o *corner* TM com a adição da estrutura de teste. Dessa forma, as assinaturas sem falhas para os testes transientes passaram a ser caracterizadas por apresentarem um *settling time* (entrarem na faixa de 10mV) de 165 $\mu$ s e possuir um *overshoot* entre 307mV e 408mV.

Considerando o modelo completo de falhas, novos resultados para as coberturas de falhas foram obtidos, conforme a Tabela 4.9. Pode-se observar que a CF total é de 90,83%, ou seja, 109 falhas detectadas (62 no FDA e 47 no CMFB). Em relação à CF total apresentada pelos testes sem considerar esta estrutura adicional (Tabela 4.8, subitem 4.4.2), houve um decréscimo de 4,17%, o que corresponde a cinco falhas a menos detectadas.

Esta redução na sensibilidade está relacionada ao fato da resposta transiente ser afetada pela capacitância de carga, que em alguns casos, pode passar a dominar a resposta frente às variações ocasionadas pelas falhas. A adição de um *buffer* (seguidor de tensão) dedicado ao pino de saída tenderia a resolver, pois isolaria o circuito da capacitância externa,

mas adicionaria mais área e consumo, ou seja, é um *tradeoff* entre área/consumo e precisão no teste.

Figura 4.11 – Resposta transiente do corner TM sem a injeção de falhas e com o circuito adicional de teste



Fonte: Autoria própria.

Tabela 4.9 – Cobertura de falhas com a adição da estrutura de teste para o modelo completo de falhas

| $V_{cmc}$           | $CF\_CMFB$ | $CF\_FDA$ | $CF\_Total$ |
|---------------------|------------|-----------|-------------|
| DC1                 | 24,53%     | 85,07%    | 58,33%      |
| DC1,DC2             | 54,72%     | 88,06%    | 73,33%      |
| DC1,DC2,DC3         | 66,04%     | 88,06%    | 78,33%      |
| DC1,DC2,DC3,TR1     | 83,02%     | 92,54%    | 88,33%      |
| DC1,DC2,DC3,TR1,TR2 | 88,68%     | 92,54%    | 90,83%      |

Fonte: Autoria própria.

Observando o CUT sem a inserção da chave e com a adição da mesma, considerando o pior caso, enquanto cada teste DC requer  $10\mu s$ , tempo necessário para o sinal  $V_{cmc}$  estabilizar após ligar o circuito, cada teste transiente necessita de  $165\mu s$  para analisar os parâmetros de resposta ao pulso aplicado na entrada positiva do FDA. Logo o tempo total de teste é estimado em  $360\mu s$ , como é visto na tabela 4.10.

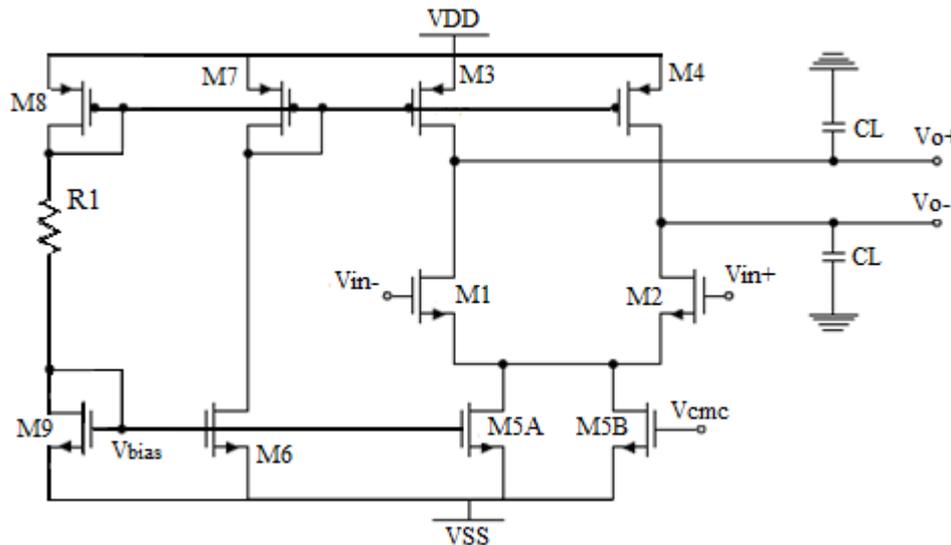
Tabela 4.10 – Tempo de teste estimado para a tecnologia 180nm.

| <i>Tipo de Teste</i> | <i>Tempo(<math>\mu</math>s)</i> |
|----------------------|---------------------------------|
| Teste DC             | 10                              |
| Teste Transiente     | 165                             |
| Total                | 360                             |

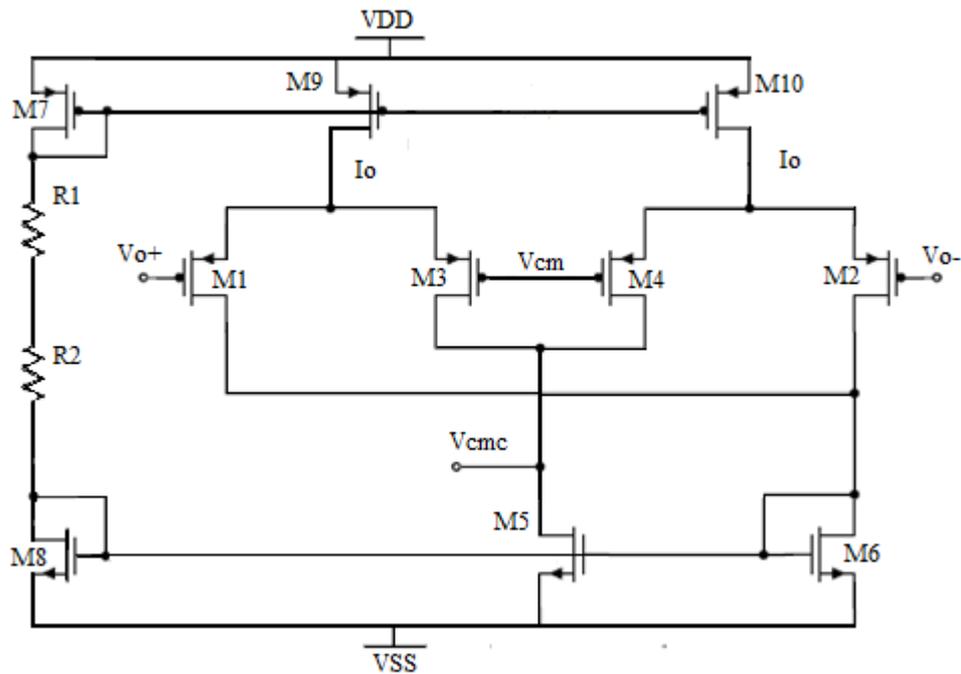
Fonte: Autoria própria.

#### 4.4.4 Teste do CUT com Circuitos de Polarização Reais

Na prática, a tensão de polarização  $V_{bias}$ , mostrada na Figura 4.2, é gerada por um circuito de polarização e as correntes ideais  $I_o$ , Figura 4.3, são fornecidas por transistores devidamente configurados. Dessa forma, a fim de se aproximar da situação real, a tensão  $V_{bias}$ , aplicada no *gate* dos transistores M6 e M5A do FDA, é agora gerada através do transistor M9, enquanto que a corrente  $I_o$  do circuito CMFB é fornecida pelos *drenos* dos transistores M9 e M10, como é visto nas Figuras 4.12 e 4.13, respectivamente. Os resistores são utilizados apenas para aproximar as grandezas dos seus valores ideais. Todos os transistores foram projetados com  $0,72\mu\text{m}$  de comprimento. A largura de cada transistor e as resistências utilizadas pode ser vistas na Tabela 4.11.

Figura 4.12 – FDA com a fonte  $V_{bias}$  real

Fonte: Autoria própria.

Figura 4.13 – CMFB com a fonte  $I_o$  real

Fonte: Autoria própria.

Tabela 4.11 – Valores dos componentes utilizados no projeto das fontes  $V_{\text{bias}}$  e  $I_o$  dos circuitos FDA e CMFB, respectivamente

| <i>Dispositivo</i> | <i>Valor</i>     |
|--------------------|------------------|
| M8_FDA             | 24 $\mu\text{m}$ |
| M9_FDA             | 15 $\mu\text{m}$ |
| R1_FDA             | 7,89 K $\Omega$  |
| M7_CMFB            | 24 $\mu\text{m}$ |
| M8_CMFB            | 15 $\mu\text{m}$ |
| M9_CMFB            | 24 $\mu\text{m}$ |
| M10_CMFB           | 24 $\mu\text{m}$ |
| R1_CMFB            | 8,5 K $\Omega$   |
| R2_CMFB            | 9,15 K $\Omega$  |

Fonte: Autoria própria.

Uma nova análise, considerando apenas as falhas relacionadas com os transistores adicionados foi realizada. Para isso, foram usados os *setups* de configuração dos três testes DC e dos dois testes transientes já descritos anteriormente. A faixa de tolerância DC se manteve ( $\pm 35\%$ ), mas a faixa de *overshoot* e a faixa de tempo de acomodação atribuídos à assinatura sem falhas passou a ser de 10 $\mu\text{s}$  e 17,4mV a 138mV, respectivamente. O modelo completo de falhas, considerando a adição dos transistores das fontes reais, agora, passa a

conter 170 falhas, 58 falhas paramétricas e 112 catastróficas. As falhas de curto-circuito entre *gate* e *dreno* dos transistores M8 e M9 do FDA e M7 e M8 do circuito CMFB, devido à topologia do circuito, foram retiradas do modelo adotado. A Tabela 4.12, mostra que a cobertura total de falhas atingiu 89,41%, o que corresponde a 152 falhas detectadas. Cabe acrescentar que as falhas de curto-circuito entre os terminais de *gate* e *source* dos transistores M5A e M6 do FDA, retiradas do modelo que considera  $V_{bias}$  ideal, foram testadas com a fonte de tensão projetada e detectadas pelo teste DCI, no entanto não estão sendo consideradas na Tabela 4.12.

Tabela 4.12 – Cobertura de falhas considerando as falhas relacionadas com os transistores das fontes reais

| $V_{cmc}$           | $CF_{CMFB}$ | $CF_{FDA}$ | $CF_{Total}$ |
|---------------------|-------------|------------|--------------|
| DC1                 | 19,54%      | 85,54%     | 51,76%       |
| DC1,DC2             | 44,83%      | 87,95%     | 65,88%       |
| DC1,DC2,DC3         | 58,62%      | 87,95%     | 72,94%       |
| DC1,DC2,DC3,TR1     | 78,16%      | 92,77%     | 85,29%       |
| DC1,DC2,DC3,TR1,TR2 | 83,91%      | 95,18%     | 89,41%       |

Fonte: Autoria própria.

## 5 ESTUDO DE CASO 3: AMPLIFICADOR OPERACIONAL DE DOIS ESTÁGIOS COM SAÍDAS DIFERENCIAIS

O processo de escalonamento da tecnologia CMOS possibilita a miniaturização dos transistores e a realização de projetos ainda mais sofisticados, em contra partida, é responsável pela aparição de efeitos colaterais, como por exemplo, os de canal curto e correntes de fuga. Essas consequências relacionadas à redução do comprimento do canal podem influenciar significativamente no desempenho do dispositivo, tornando necessários testes ainda mais complexos. Diante deste fato, escolheu-se um amplificador operacional de dois estágios com saídas diferenciais, constituído por dois estágios de amplificação, um de compensação e dois blocos CMFB, fabricado em tecnologia IBM 130nm, visando constatar o desempenho da técnica proposta no capítulo 4 em tecnologias menores que 180nm.

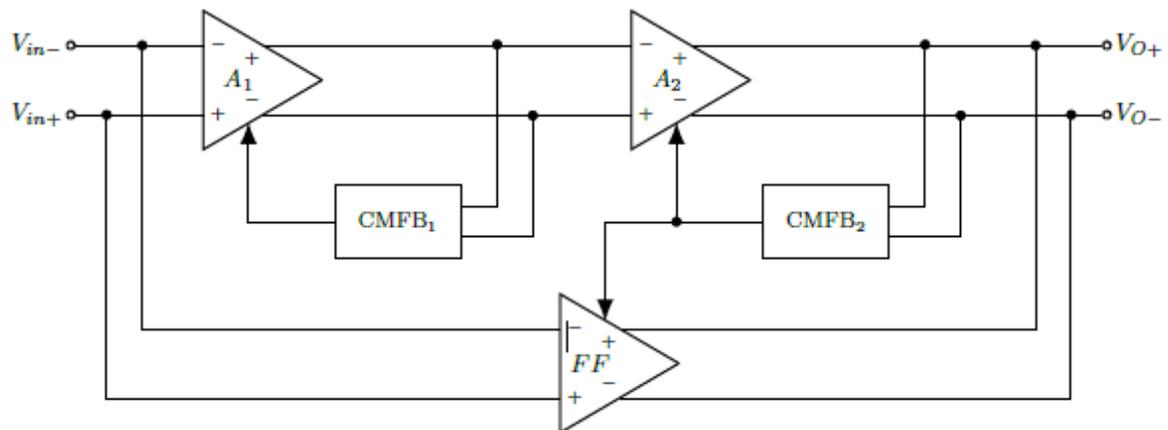
### 5.1 Descrição do Amplificador Operacional

Amplificadores construídos em configuração *folded-cascode* são, basicamente, constituídos de um par diferencial de entrada, em configuração *folded-cascode*, transistores de polarização e cargas ativas. A ideia básica desta topologia está relacionada com a utilização de transistores cascateados à entrada diferencial, sendo que esses dispositivos precisam ser de tipos opostos dos usados no estágio de entrada (CARUSONE; JOHNS; MARTIN, 2012). Os transistores cascateados, aliados com o par diferencial de entrada, promovem um incremento na excursão do sinal de saída e aumenta a faixa de entrada de modo comum (GRAY; *et al.*, 2009). Em estruturas de dois estágios, o *folded-cascode* é a topologia mais popular (SEDRA; SMITH, 2007).

Outro circuito estudado neste trabalho é um amplificador totalmente diferencial, cuja arquitetura é mostrada na Figura 5.1. Composto por dois estágios de amplificação, *folded-cascode* e fonte-comum ( $A_1$  e  $A_2$ , respectivamente) e dois blocos de CMFB, o amplificador usa um estágio de compensação por realimentação em avanço (*FF: Feed Forward*) sem o uso de capacitores (THANDRI; MARTÍNEZ, 2003). A Figura 5.2 mostra o esquema elétrico do primeiro estágio do amplificador, um estágio *folded-cascode* composto pelos pares M1/M6 e M2/M7. O circuito é simétrico e as saídas são obtidas dos drenos de M8 e M9. O projeto, realizado por (OLIVEIRA; AGUIRRE; GIRARDI, 2015) utiliza os transistores M10/M11 como entrada de controle de modo comum, ao invés do *gate* M3 ou dos *gates* M4/M5,

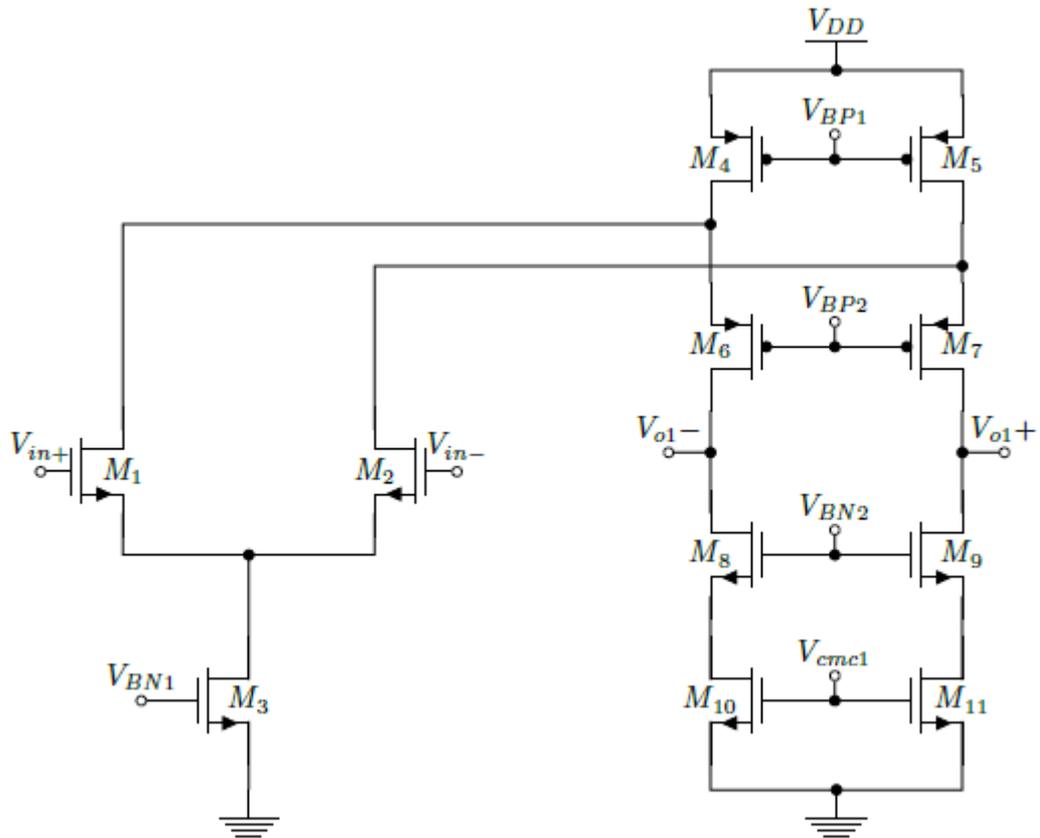
fazendo com que o circuito de CMFB contenha menos nós e o ganho  $A_{cmc}$  seja dado por  $M_{10}$  e  $M_{11}$  (GRAY; *et al.*, 2009). Como não há necessidade de converter a entrada diferencial em saída simples, os transistores  $M_8$  e  $M_{10}$  não são conectados como diodos. Para aumentar a excursão de saída do amplificador, no segundo estágio é utilizado um amplificador fonte comum, visto na Figura 5.3. O estágio de compensação visto na Figura 5.4 possibilita o cancelamento do polo do segundo estágio, compensando a fase e incrementando a largura de banda do amplificador.

Figura 5.1 – Diagrama em blocos do FDA de dois estágios com compensação sem capacitor



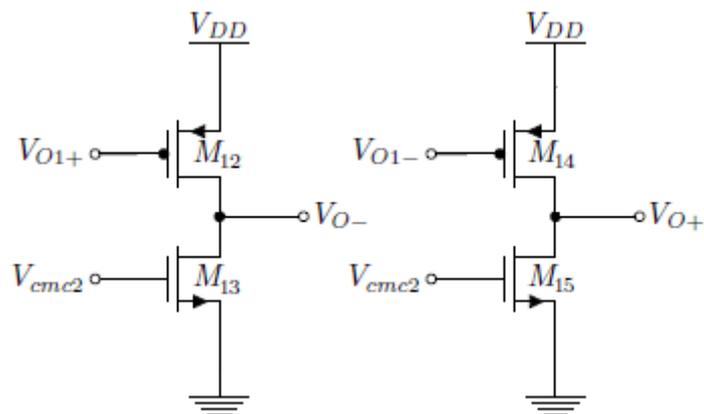
Fonte: Oliveira; Aguirre; Girardi (2015).

Figura 5.2 – Primeiro estágio do FDA



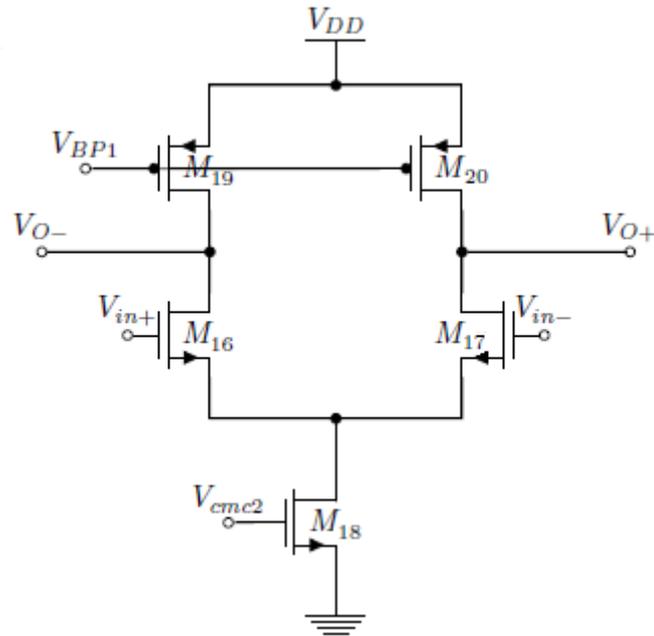
Fonte: Oliveira; Aguirre; Girardi (2015).

Figura 5.3 – Segundo estágio do FDA



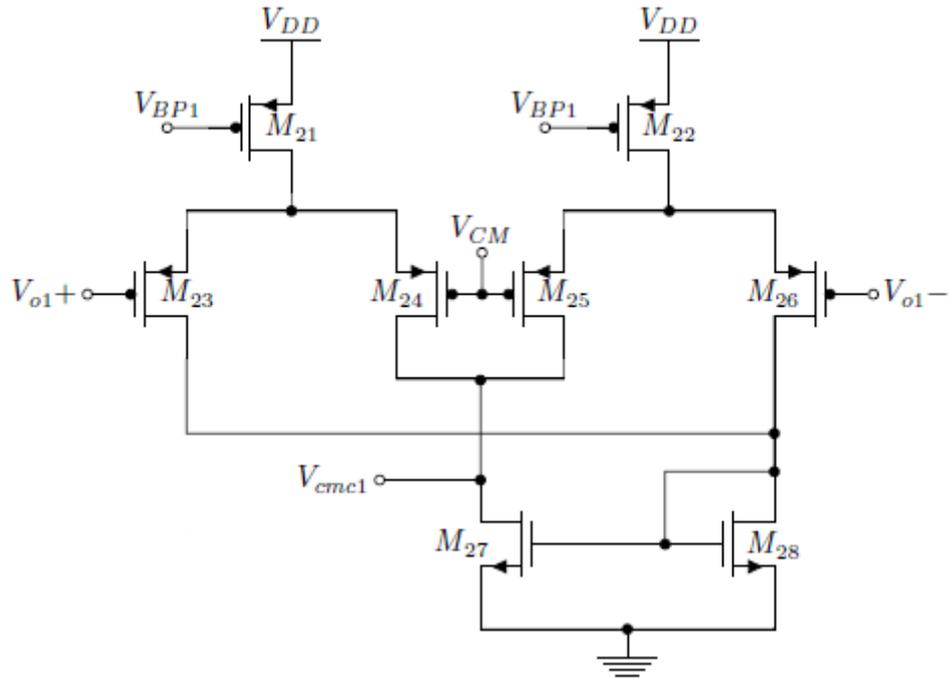
Fonte: Adaptado de Oliveira; Aguirre; Girardi (2015).

Figura 5.4 – Estágio de compensação do FDA

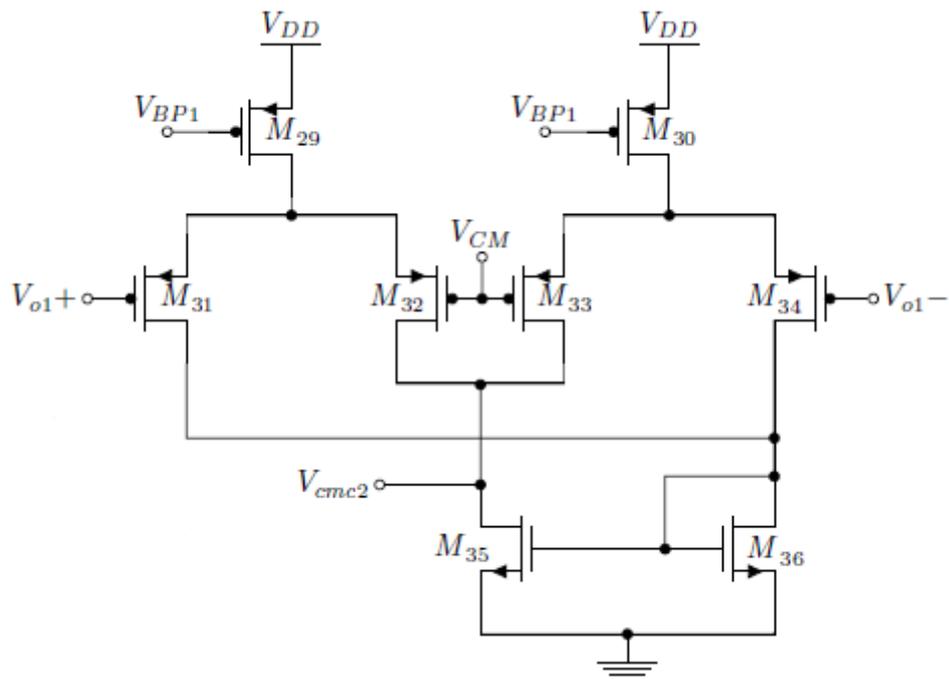


Fonte: Adaptado de Oliveira; Aguirre; Girardi (2015).

A topologia dos circuitos CMFB é a mesma da Figura 4.3 (usada no FDA do capítulo anterior), a diferença é que nesse circuito a fonte ideal de corrente  $I_0$  é substituída por transistores MOS tipo P. O estágio de alimentação em avanço não usa circuito CMFB, assim o FDA apresenta dois blocos CMFB, denominados aqui  $CMFB_1$  e  $CMFB_2$ , conectados, respectivamente, ao primeiro estágio e ao segundo estágio de amplificação. As Figuras 5.5 e 5.6 mostram os esquemas elétricos dos circuitos  $CMFB_1$  e  $CMFB_2$ , respectivamente. Com exceção da saída  $V_{cmc}$  e os sinais aplicados aos *gates* M14 e M17, os quais são oriundos do respectivo estágio de amplificação ao qual o circuito CMFB está conectado, os demais parâmetros são iguais pra todos os circuitos de CMFB. Projetado na tecnologia de  $0,13\ \mu\text{m}$ , com  $1,2\text{V}$  de alimentação, o amplificador tem como VCM desejada  $0,6\text{V}$ . Os valores de parâmetros, como tamanho dos transistores e tensão de polarização, dos estágios do OpAmp e dos circuitos CMFBs são mostrados nas Tabelas 5.1, 5.2 e 5.3. Já as especificações funcionais do amplificador são visualizadas na Tabela 5.4.

Figura 5.5 – Circuito CMFB<sub>1</sub> do FDA

Fonte: Adaptado de Oliveira; Aguirre; Girardi (2015).

Figura 5.6 – Circuito CMFB<sub>2</sub> do FDA

Fonte: Adaptado de Oliveira; Aguirre; Girardi (2015).

Tabela 5.1 – Resumo projeto do 1º estágio do FDA de dois estágios

| <i>Folded-Cascode</i>  |              |
|--|--------------|
| <i>Parâmetro</i>   | <i>Valor</i> |
| $W_1/L_1, W_2/L_2$ ( $\mu\text{m}/\mu\text{m}$ )             | 27,8/0,9     |
| $W_3/L_3$ ( $\mu\text{m}/\mu\text{m}$ )                      | 19,1/7,9     |
| $W_4/L_4, W_5/L_5$ ( $\mu\text{m}/\mu\text{m}$ )             | 85,6/8       |
| $W_6/L_6, W_7/L_7$ ( $\mu\text{m}/\mu\text{m}$ )             | 68/5,3       |
| $W_8/L_8, W_9/L_9$ ( $\mu\text{m}/\mu\text{m}$ )             | 33,5/9,5     |
| $W_{10}/L_{10}, W_{11}/L_{11}$ ( $\mu\text{m}/\mu\text{m}$ ) | 80,7/9,3     |
| VBN1 (mV)  | 495          |
| VBN2 (mV)  | 540          |
| VBP1 (mV)  | 678          |
| VBP2 (mV)  | 550          |

Fonte: Adaptada de Oliveira; Aguirre; Girardi (2015).

Tabela 5.2 – Resumo projeto do 2º estágio e da compensação do FDA de dois estágios

| <i>Fonte-Comum</i>   |              | <i>Compensação</i>   |              |
|--|--------------|--|--------------|
| <i>Parâmetro</i>   | <i>Valor</i> | <i>Parâmetro</i>   | <i>Valor</i> |
| $W_{20}/L_{20}, W_{22}/L_{22}$ ( $\mu\text{m}/\mu\text{m}$ ) | 49,3/9,1     | $W_{24}/L_{24}, W_{25}/L_{25}$ ( $\mu\text{m}/\mu\text{m}$ ) | 85,5/0,18    |
| $W_{21}/L_{21}, W_{23}/L_{23}$ ( $\mu\text{m}/\mu\text{m}$ ) | 12,2/6,1     | $W_{26}/L_{26}$ ( $\mu\text{m}/\mu\text{m}$ )                | 136,1/4,8    |
|  |              | $W_{27}/L_{27}, W_{28}/L_{28}$ ( $\mu\text{m}/\mu\text{m}$ ) | 137,3/9,9    |

Fonte: Adaptada de Oliveira; Aguirre; Girardi (2015).

Tabela 5.3 – Resumo do projeto dos circuitos CMFBs

| <i>Parâmetros</i>  | <i>CMFB<br/>1º estágio</i> | <i>CMFB<br/>2º estágio</i> |
|--|----------------------------|----------------------------|
| $W_{12}/L_{12}, W_{13}/L_{13}$ ( $\mu\text{m}/\mu\text{m}$ )                               | 3/10                       | 46,8/8,1                   |
| $W_{14}/L_{14}, W_{15}/L_{15}, W_{16}/L_{16}, W_{17}/L_{17}$ ( $\mu\text{m}/\mu\text{m}$ ) | 31,2/0,3                   | 0,6/7                      |
| $W_{18}/L_{18}, W_{19}/L_{19}$ ( $\mu\text{m}/\mu\text{m}$ )                               | 36,2/0,2                   | 1/6,6                      |

Fonte: Adaptada de Oliveira; Aguirre; Girardi (2015).

Tabela 5.4 – Especificações do FDA de dois estágios

| <i>Especificações</i> | <i>Valor</i> |
|-----------------------|--------------|
| Avo (dB)              | 64,8         |
| GBW (MHz)             | 461,8        |
| PM(°)                 | 89           |
| Pdiss(uW)             | 327,4        |

Fonte: Adaptada de Oliveira; Aguirre; Girardi (2015).

## 5.2 Metodologia

A metodologia empregada na estratégia de teste é bastante semelhante à aplicada no capítulo anterior:

- a) Definição dos modelos de falhas adotados.
- b) Escolha dos testes a serem aplicados.
- c) Definição do (s) nó (s) a ser observado.
- d) Verificação da cobertura de falhas considerando as falhas selecionadas.

## 5.3 Injeção de Falhas e *Setup* de Simulação

Para as falhas catastróficas adotou-se, exatamente, o mesmo modelo mencionado no capítulo 3, já o modelo de falhas paramétricas manteve-se semelhante ao utilizado no capítulo 4. Entretanto, de acordo com (GREER; KORKIN; LABANOWSKI, 2003) o desvio padrão da tensão de *threshold* na tecnologia de 130nm é, aproximadamente, 15mV. Assim, respeitando o intervalo de  $3\sigma$  a  $6\sigma$  (DENG; SHI; ZHANG, 2012), o qual caracteriza as falhas paramétricas, as variações de  $V_{th}$  foram modeladas com  $\pm 90mV$ .

A sequência dos testes e os seus respectivos princípios de configurações, apresentadas no capítulo anterior, foram preservadas. Para o teste DC1, ambas as entradas do OpAmp. continuaram sendo aterradas enquanto que nos testes DC2 e DC3 as entradas receberam as tensões de alimentação,  $V_{ip} = 1,2V$  e  $V_{in} = 0$  e  $V_{ip} = 0$  e  $V_{in} = 1,2V$ , respectivamente. No primeiro teste transiente, TR1, injetou-se na entrada positiva do dispositivo um *step* com amplitude de 0,3V (valor inicial) a 0,8V (valor final) e tempo de subida e tempo de descida de 10ns. Já no segundo teste transiente, TR2, este mesmo sinal descrito foi aplicado à entrada negativa do amplificador.

## 5.4 Resultados

Considerando todas as falhas catastróficas e paramétricas possíveis, o modelo completo de falhas contempla 108 falhas paramétricas e 214 falhas catastróficas. Cabe salientar que, devido à topologia do circuito, duas falhas de curto-circuito, ambas nos terminais de *gate* e *dreno* (circuitos de CMFB), foram descartadas da lista de falhas inicial. No entanto, como o principal objetivo é averiguar a viabilidade da aplicação da estratégia de teste, optou-se pela técnica de amostragem, a qual consiste na utilização de uma pequena fração do conjunto total de falhas (BUSHNELL; AGRAWAL, 2002). Adotando uma amostra de 10% do número total de falhas para ambos os tipos de falhas analisados, foram selecionadas 33 falhas aleatoriamente (16 falhas do FDA e 17 dos blocos CMFB), sendo 22 falhas catastróficas e 11 falhas paramétricas, conforme é visto na Tabela 5.5. As falhas são abreviadas da seguinte maneira: transistor em que está sendo injetada a falha, terminal (s) envolvido (s) e tipo de falha. Por exemplo, “M1dscurto” corresponde a uma falha de curto-circuito injetada no transistor M1 do CUT, entre os terminais de *dreno* e *source* do respectivo dispositivo.

Tabela 5.5 – Lista aleatória de falhas

| <i>Falhas Catastróficas</i> | <i>Falhas Paramétricas</i> |
|-----------------------------|----------------------------|
| M1dscurto                   | M2L+                       |
| M2Saberto                   | M16L+                      |
| M4dscurto                   | M16L-                      |
| M7dscurto                   | M18L-                      |
| M8gscurto                   | M21L+                      |
| M9Saberto                   | M23L-                      |
| M11Daberto                  | M28L-                      |
| M14Gaberto                  | M36L+                      |
| M17gdcurto                  | M7vth                      |
| M18gscurto                  | M15vth                     |
| M19dscurto                  | M31vth                     |
| M23Saberto                  |                            |
| M26gdcurto                  |                            |
| M28Saberto                  |                            |
| M28gscurto                  |                            |
| M29gdcurto                  |                            |
| M29gscurto                  |                            |
| M34Daberto                  |                            |
| M34gdcurto                  |                            |
| M35Saberto                  |                            |
| M36dscurto                  |                            |
| M36gscurto                  |                            |

Fonte: Autoria própria.

Os resultados obtidos, baseado na lista de falhas da Tabela 5.5, consideraram as variações de processo através da análise de *corners* da tecnologia 130nm (PETRASHIN; *et. al.*, 2013): Os *corners* correspondentes a esta tecnologia são: TT (*TT: Typical-Typical*), os transistores NMOS e PMOS operam em velocidade padrão, SF (*SF: Slow-Fast*), o NMOS é lento e o PMOS é rápido, FS (*FS: Fast-Slow*), o NMOS é rápido e o PMOS é lento, FF (*FF: Fast-Fast*) e SS (*SS: Slow-Slow*), ambos os dispositivos são rápidos e ambos os transistores são lentos, respectivamente. É válido salientar que o FDA não funcionou adequadamente para o *corner* FS, apresentando um  $A_v$ , consideravelmente, inferior ao desejado, fato que levou a desconsideração deste *corner* para a definição da janela que caracteriza as assinaturas *fault free*. A investigação sobre este problema não foi aprofundada, visto que o projeto do amplificador está fora do escopo deste trabalho. No entanto, é possível que alguma

modificação de projeto seja necessária para adequar o circuito estudo de caso à variabilidade do processo.

Diferentemente do circuito estudado no capítulo anterior, o CUT em questão possui dois blocos CMFB, chamados de CMFB<sub>1</sub> e CMFB<sub>2</sub>, conforme a Figura 5.1. Conseqüentemente, apresenta dois sinais de controle de modo comum, denominados  $V_{cmc1}$  e  $V_{cmc2}$ , os quais foram observados ao decorrer dos testes para determinar a presença ou não de falhas no CUT. Nos testes DC, para ambos os sinais observados ( $V_{cmc1}$  e  $V_{cmc2}$ ), respeitou-se a tolerância de  $\pm 20\%$  em relação aos seus respectivos valores nominais de tensão com o *corner* TT, para distinguir a assinatura *fault free* do comportamento com falhas. Assim como no capítulo 5, a escolha dessa faixa de tolerância é baseada na maior diferença de tensão entre o *corner* TT e os demais *corners* analisados, na condição *fault free*. Os valores das tensões, sem a injeção de falhas, correspondentes de cada *corner* para os testes DC podem ser vistos na Tabela 5.6.

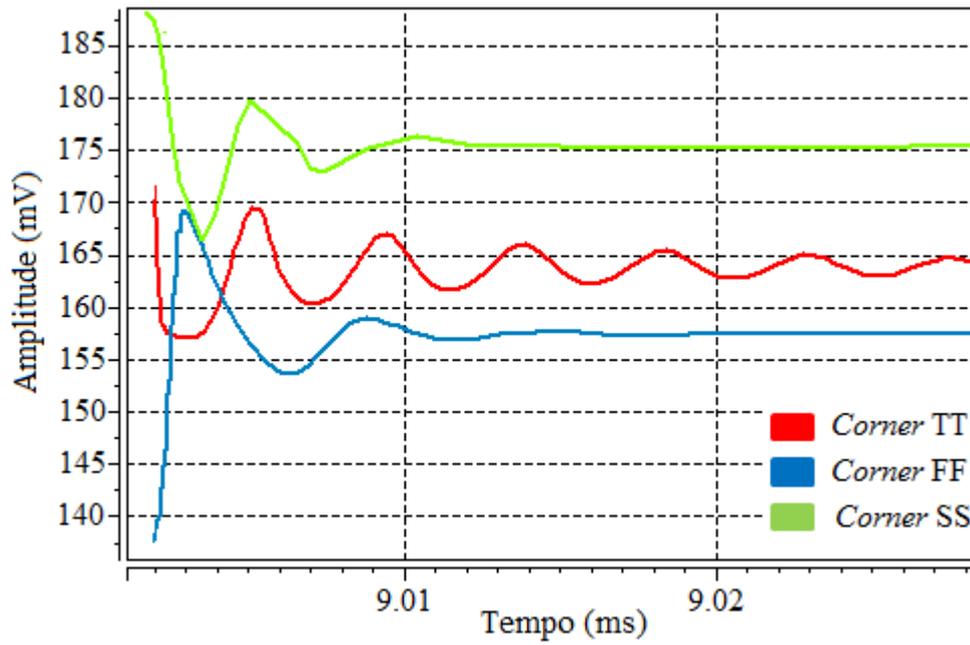
Tabela 5.6 – Assinatura *fault free* dos corners para os testes DC

| <i>Corner</i> | $V_{cmc1}$<br>(DC1) | $V_{cmc2}$<br>(DC1) | $V_{cmc1}$<br>(DC2/DC3) | $V_{cmc2}$<br>(DC2/DC3) |
|---------------|---------------------|---------------------|-------------------------|-------------------------|
| TT            | 272,1720mV          | 568,7342mV          | 129,9211mV              | 232,8612mV              |
| FF            | 259,2060mV          | 584,7102mV          | 116,1840mV              | 219,3012mV              |
| SS            | 286,5058mV          | 562,7174mV          | 144,7318mV              | 247,4818mV              |
| SF            | 307,1586mV          | 649,7027mV          | 151,2938mV              | 264,0540mV              |

Fonte: Autoria própria.

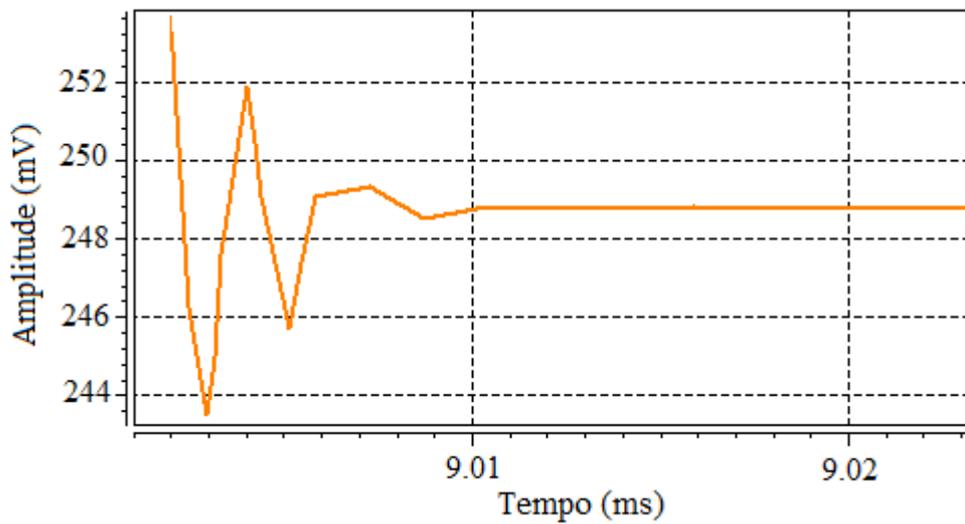
De acordo com as Figuras 5.7, 5.8 e 5.9, pode-se observar que os níveis DC sob os quais os sinais de controle de tensão em modo comum estabilizam, variam de acordo com os *corners*, assim sendo, torna-se inviável encontrar uma faixa de tensão comum que caracterize o tempo de acomodação. Assim, para os testes que analisam a resposta transiente, o parâmetro adotado para definir a presença de falhas no circuito é o *overshoot*. Para o  $V_{cmc1}$ , assinaturas com amplitude entre 169mV a 253mV caracterizam a ausência de falhas no circuito, já para o  $V_{cmc2}$  a faixa de amplitude está entre 290mV e 332mV, como pode-se concluir através da análise dos gráficos abaixo.

Figura 5.7 – Assinatura transiente *fault free* do nó  $V_{cmc1}$  para os *corners* da tecnologia 130nm



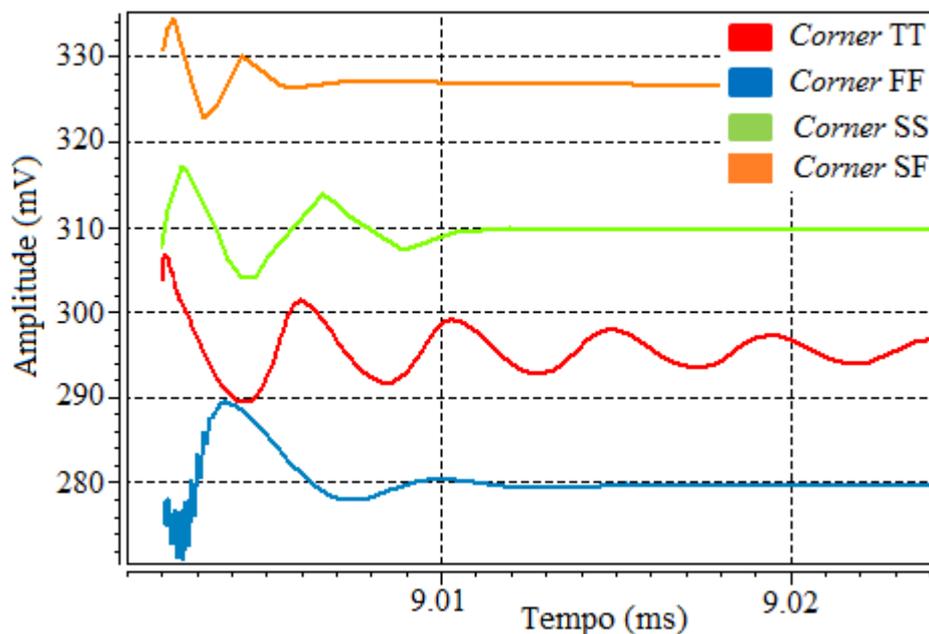
Fonte: Autoria própria.

Figura 5.8 – Assinatura transiente *fault free* do nó  $V_{cmc1}$  para o *corner* SF da tecnologia 130nm



Fonte: Autoria própria.

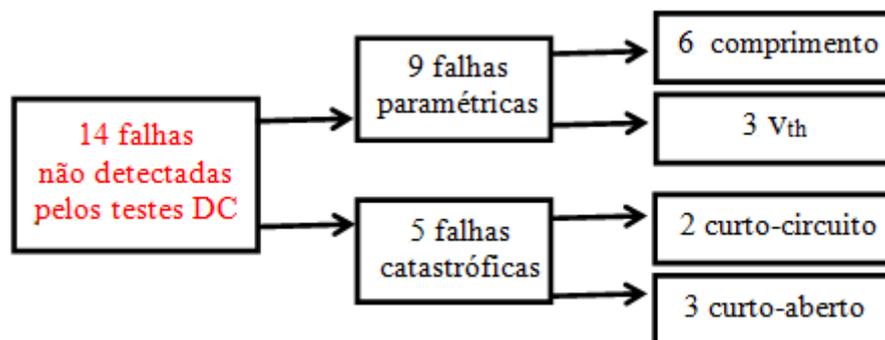
Figura 5.9 – Assinatura transiente *fault free* do nó  $V_{cmc2}$  para os *corners* da tecnologia 130nm



Fonte: Autoria própria.

Na primeira etapa de injeção de falhas, o teste DC1, detectou 5 falhas nos blocos CMFB e 3 falhas no Amplificador, resultando numa cobertura de falhas de 31,25% para o CMFB e 17,65% para o FDA, chegando a um total de 24,24%, conforme mostra a Tabela 5.7. O teste DC2 e o teste DC3 adicionam um ganho incremental para a cobertura de falhas dos blocos, fazendo com que ao final da terceira etapa de teste a CF total atinja 57,58%. Dessa forma, depois de realizados todos os testes DC, 14 falhas não foram detectadas, 9 falhas paramétricas e 5 falhas catastróficas, de acordo com a Figura 5.10.

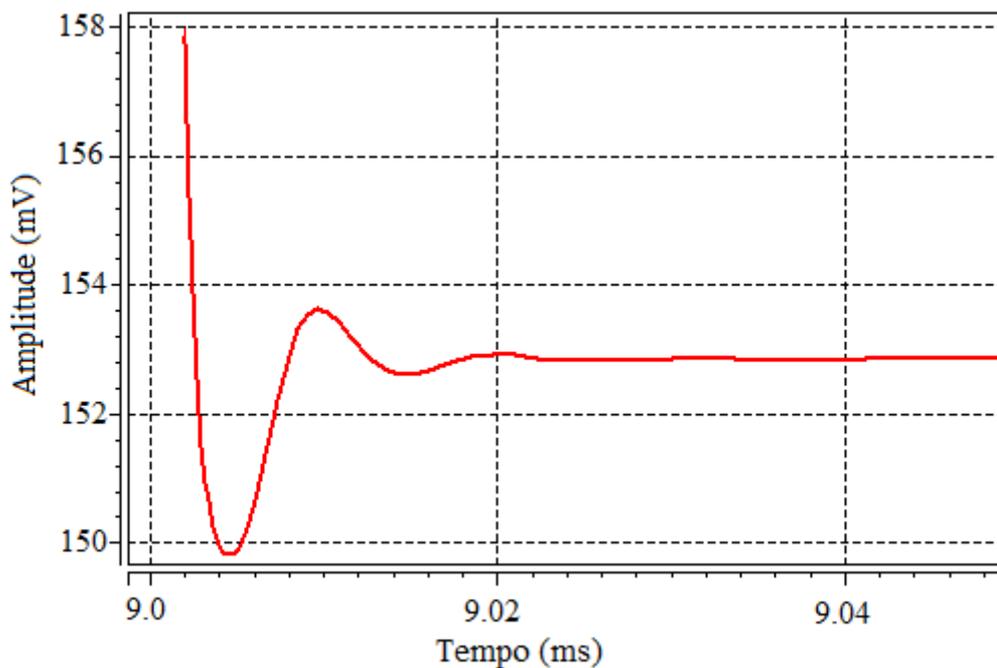
Figura 5.10 – Cobertura de falhas testes DC



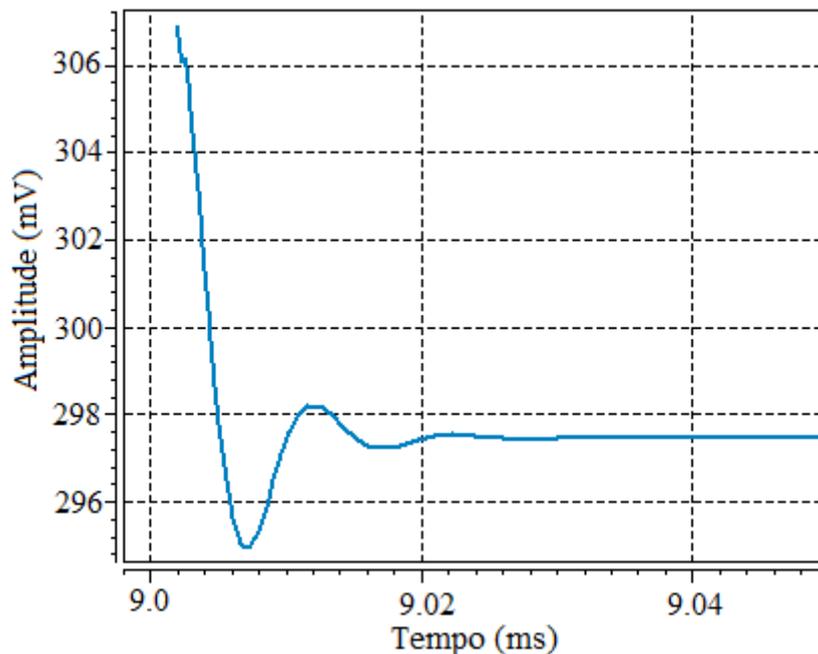
Fonte: Autoria própria.

As falhas não detectadas pelas análises DC foram novamente testadas, considerando, agora, o método de análise transiente. Como exemplo, as Figuras 5.11 e 5.12 mostram, respectivamente, as assinaturas  $V_{cmc1}$  e  $V_{cmc2}$ , para o teste TR2, considerando a injeção de uma falha relativa à variação de  $V_{th}$  no transistor M7 (primeiro estágio do FDA). Observando os gráficos, conclui-se que a assinatura referente ao sinal  $V_{cmc2}$ , compreende-se dentro da faixa de tolerância que caracteriza as assinaturas *fault free* para este nó, no entanto, o mesmo não ocorre para a assinatura  $V_{cmc1}$ , que apresenta amplitude máxima de 158mV, valor não compreendido na faixa de tolerância estipulada para o respectivo nó. Logo, apesar de não ter sido detectada pelo sinal  $V_{cmc2}$ , a falha analisada foi detectada através do nó  $V_{cmc1}$ . Com o primeiro teste transiente (TR1), a cobertura de falhas total passou para 69,7%, alcançando o máximo de 84,85% no último teste aplicado (TR2).

Figura 5.11 – Assinatura  $V_{cmc1}$  com a injeção da falha M7vth



Fonte: Autoria própria.

Figura 5.12 – Assinatura  $V_{cmc2}$  com a injeção da falha M7vth

Fonte: Autoria própria.

Tabela 5.7 – Cobertura de falhas com 10% do modelo completo de falhas

| $V_{cmc}$           | $CF_{CMFB}$ | $CF_{FDA}$ | $CF_{Total}$ |
|---------------------|-------------|------------|--------------|
| DC1                 | 31,25%      | 17,65%     | 24,24%       |
| DC1,DC2             | 62,5%       | 35,29%     | 48,48%       |
| DC1,DC2,DC3         | 75%         | 41,18%     | 57,58%       |
| DC1,DC2,DC3,TR1     | 81,25%      | 58,82%     | 69,7%        |
| DC1,DC2,DC3,TR1,TR2 | 81,25%      | 88,24%     | 84,85%       |

Fonte: Autoria própria.

Considerando o pior caso, enquanto que cada teste DC requer  $70\mu\text{s}$ , tempo necessário para o sinal  $V_{cmc1}$  responder ao estímulo aplicado à entrada  $V_{ip}$ , cada teste transiente necessita de  $20\mu\text{s}$  para analisar os parâmetros de resposta ao pulso aplicado na entrada positiva do FDA ( $V_{cmc2}$ ). Logo o tempo total de teste é estimado em  $250\mu\text{s}$ . Diante dos resultados, pode-se concluir que a aplicação da estratégia de teste apresentada também é viável no circuito estudado, projetado em uma tecnologia de 130nm.

Tabela 5.8 – Tempo de teste estimado para a tecnologia 130nm.

| <i>Tipo de Teste</i> | <i>Tempo(<math>\mu</math>s)</i> |
|----------------------|---------------------------------|
| Teste DC             | 70                              |
| Teste Transiente     | 20                              |
| Total                | 250                             |

Fonte: Aatoria própria.

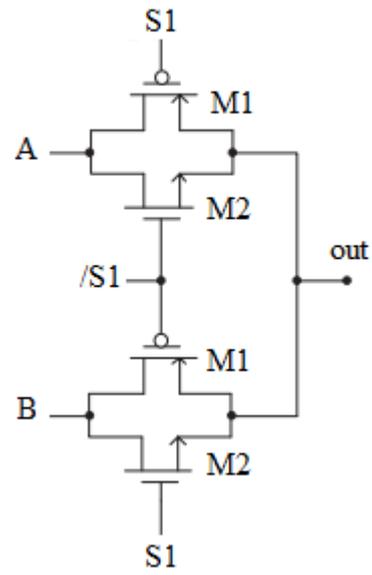
## 6 POSSIBILIDADES DE ALIAR A METODOLOGIA DE TESTE PROPOSTA ÀS TÉCNICAS DE DFT E BIST

Em sistemas e circuitos integrados com múltiplos amplificadores diferenciais, como, por exemplo, o CUT do capítulo anterior, ou em circuitos que utilizam múltiplos amplificadores operacionais, o sinal de cada circuito CMFB de cada OpAmp necessita acessar um pino de teste de saída, o que pode ser conseguido através de esquemas de multiplexação, para minimizar o overhead de pinos para o teste. Ao utilizar a multiplexação, a infraestrutura de teste pode até mesmo compartilhar um pino funcional do circuito, tornando necessário um baixo *overhead* relacionado à quantidade de pinos. Além disso, vários amplificadores iguais no mesmo circuito podem permitir a aplicação do teste baseado em BIST através da verificação por redundância, tal como a abordagem descrita em (BALEN; *et.al.*, 2009). Este capítulo tem como objetivo realizar uma breve discussão dos possíveis circuitos de DfT e estratégias de BIST que podem ser aplicada utilizando a metodologia de teste proposta neste trabalho.

### 6.1 Possibilidades de esquemas de DfT

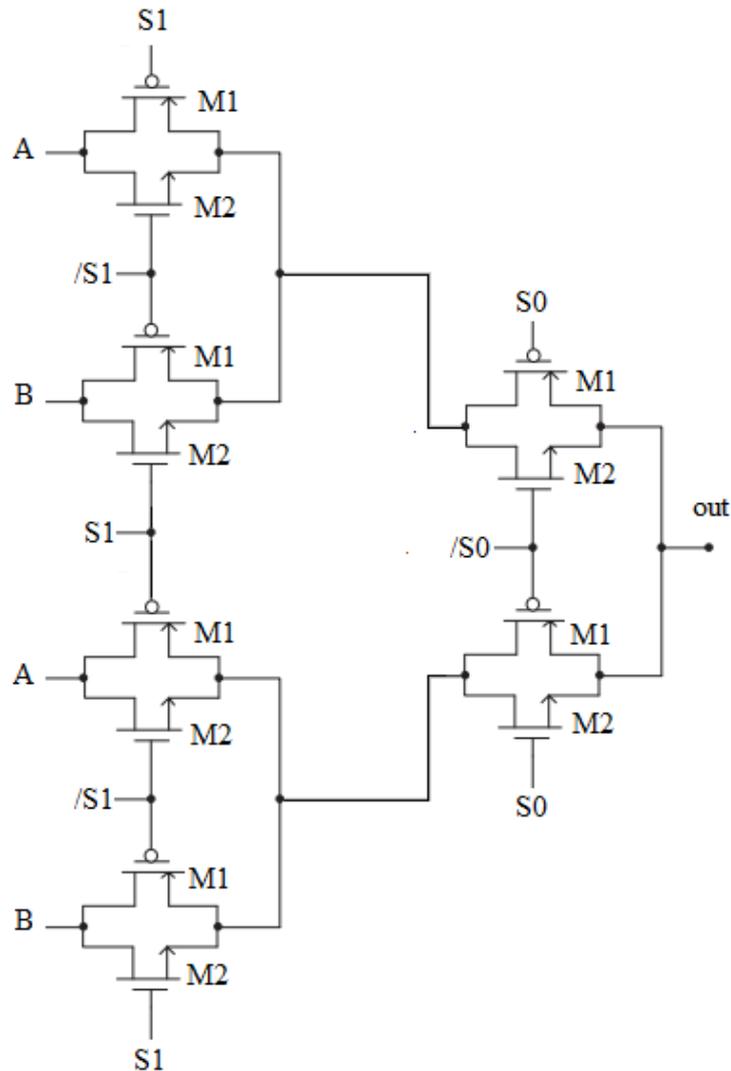
Os multiplexadores (MUX) são circuitos caracterizados por possuir múltiplas entradas e uma única saída. Os pinos de controle, os quais selecionam as entradas, permitem que, em tempos diferentes, o sinal de cada uma delas seja transmitido para a saída do dispositivo. Aqui, optou-se em explorar mais detalhadamente circuitos multiplexadores baseados na configuração de *transmission gate*. Cabe salientar que o mesmo circuito pode ser projetado com transistores de passagem, entretanto, este não se mostra como a alternativa mais eficaz neste caso, uma vez que apresenta limitações para a condução de sinais cujas tensões se aproximam de VDD ou VSS, dependendo do tipo de transistor empregado. As Figuras 6.1 e 6.2 mostram os multiplexadores de duas e quatro entradas, respectivamente, analisados neste capítulo.

Figura 6.1 – Circuito MUX 2:1



Fonte: Autoria própria.

Figura 6.2 – Circuito MUX 4:1



Fonte: Autoria própria.

Em projetos de circuitos analógicos deve-se considerar a consequência das dimensões (L e W) dos transistores nas resistências de *on* e *off* dos dispositivos. Um comprimento (L) mínimo é desejável pra minimizar a resistência de *on*, no entanto reduz a resistência de *off*, apresentando efeito de canal curto. Já a largura (W) maior reduz a resistência de *off*, porém se for muito grande pode impor capacitâncias parasitas significativas para a aplicação. Considerando tais fatores, assim como foi feito no subitem 4.4.3, os transistores foram dimensionados de maneira que a chave não afete significativamente a resposta dinâmica (ao *step*) do circuito a ponto de prejudicar o teste. A Tabela 6.1 traz as dimensões usadas para os transistores tipo P e tipo N, tanto para a tecnologia 180nm quanto para 130nm.

Tabela 6.1 – Dimensões dos transistores dos MUX

|                   | $0,18 \mu m$ |              | $0,13 \mu m$ |             |
|-------------------|--------------|--------------|--------------|-------------|
| <i>Transistor</i> | <i>L</i>     | <i>W</i>     | <i>L</i>     | <i>W</i>    |
| M1                | $0,72 \mu m$ | $12,5 \mu m$ | $0,52 \mu m$ | $9 \mu m$   |
| M2                | $0,72 \mu m$ | $5 \mu m$    | $0,52 \mu m$ | $3,6 \mu m$ |

Fonte: Autoria própria.

A Tabela 6.2 mostra área ativa dos circuitos multiplexadores com 2, 4 e 16 entradas, considerando as dimensões apresentadas na Tabela 6.1. Para a estratégia de teste apresentada neste trabalho, a escolha do tipo de MUX irá depender de quantos sinais  $V_{cmc}$  devem ser analisados. No caso do circuito apresentado no capítulo anterior, com o acréscimo de aproximadamente  $13,1 \mu m^2$ , área ocupada por um MUX 2:1 em 130nm, torna-se viável o uso de um único pino externo destinado ao equipamento testador, através do compartilhamento do acesso a este pino entre os dois sinais de  $V_{cmc}$  oriundos de cada um dos circuitos CMFB existentes.

Tabela 6.2 – Área ativa dos multiplexadores projetados com transmission gate

|          | $0,18 \mu m$    | $0,13 \mu m$    |
|----------|-----------------|-----------------|
| MUX 2:1  | $25,2 \mu m^2$  | $13,1 \mu m^2$  |
| MUX 4:1  | $75,6 \mu m^2$  | $39,3 \mu m^2$  |
| MUX 8:1  | $176,4 \mu m^2$ | $91,7 \mu m^2$  |
| MUX 16:1 | $378 \mu m^2$   | $196,6 \mu m^2$ |

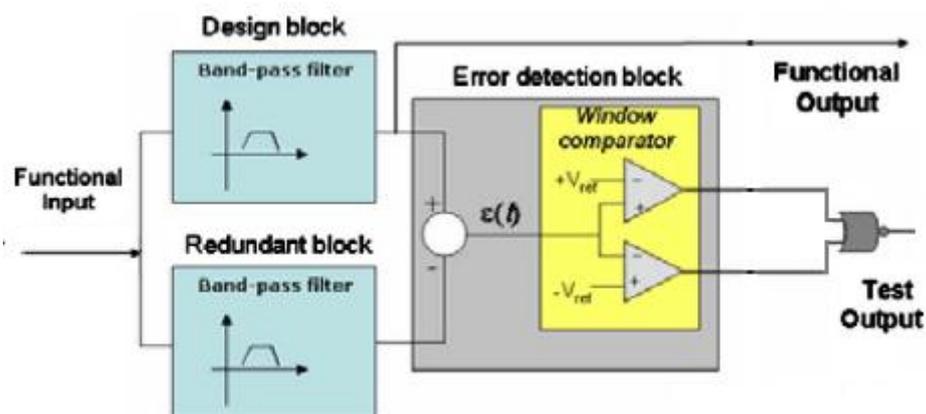
Fonte: Autoria própria.

Em geral, circuitos analógicos utilizam vários OpAmps, tornando necessária a utilização de multiplexadores, os quais necessitam de circuitos de controle para funcionar corretamente. O controle dos MUX pode ser feito externamente através do equipamento testador ou internamente por meio de estratégias de BIST. O primeiro caso requer maior *overhead* de pinos para que o testador possa endereçar os multiplexadores. De todo modo é preciso que haja sincronização entre o testador e a seleção de cada OpAmp via MUX, pois o teste deve ser repetido para cada amplificador e segundo a sequência de teste estabelecida. Para este papel circuitos de BIST podem ser fundamentais, para endereçar os multiplexadores internamente, e também comunicar ao testador (via um segundo pino de saída) que o mesmo já pode aplicar um novo teste, uma vez que um novo OpAmp já foi selecionado por um através da multiplexação interna.

## 6.2 BIST Baseado em Redundância

É possível aplicar ao circuito outras técnicas de BIST como, por exemplo, a abordada em (BALEN; *et.al.*, 2009). No trabalho citado, os autores utilizam-se da redundância do CUT para aplicar o auto-teste integrado, construindo um circuito específico para detecção de erro através dos próprios recursos internos disponibilizados pelo dispositivo sob teste, que, no caso, é programável. De acordo com a Figura 6.3, no trabalho citado como exemplo, a detecção da falha é realizada através da subtração entre o sinal de saída de um filtro passa-banda a ser testado e uma réplica deste mesmo filtro. O sinal resultante desta etapa é aplicado às entradas de um comparador de janela, cujas tensões de referência determinam a tolerância para a detecção de falhas.

Figura 6.3 – Diagrama em blocos do esquema de BIST



Fonte: Adaptado de Balen *et.al.* (2009, p. 1954).

A aplicação desta técnica também é viável na estratégia de teste proposta neste trabalho, considerando testes de sistemas que compreendam múltiplos Amplificadores Diferenciais. Seguindo o mesmo princípio já apresentado e assumindo falha simples, as assinaturas de dois OpAmp idênticos são comparadas ao mesmo tempo, por exemplo, através de um Amplificador Subtrator, gerando um sinal de erro que é comparado contra uma janela pré-definida. Se o sinal de erro estiver compreendido na janela pré-definida o circuito é classificado como não falho, caso contrário, há falhas.

O princípio desta técnica também pode ser aplicado em dispositivos com um único Amplificador, como os CUTs apresentados neste trabalho, entretanto a necessidade de um circuito idêntico para a comparação acarretaria na duplicação do Amplificador, aumentando o

*overhead* do CI. Assim, devido à necessidade de redundância de circuitos, ela torna-se mais indicada para dispositivos compostos por mais de um Amplificador. Cabe lembrar que, para ambos os casos, o BIST agrega vantagens como: a possibilidade de usar testadores mais simples, a habilitação de testes em campo e a redução do custo do teste.

## 7 CONCLUSÃO

Este trabalho apresentou um estudo sobre teste de Amplificadores Diferenciais através de medidas DC e transiente de tensões internas de polarização. Para o seu desenvolvimento, as atividades foram divididas em duas etapas: a primeira, mais sucinta, foi destinada, principalmente, a comprovação e o melhor entendimento das metodologias de teste relacionadas à análise DC e a segunda foi voltada a estudos de casos com maior complexidade, sob os quais se preocupou em realizar maior detalhamento de resultados.

Na primeira etapa do trabalho, que consiste no estudo de caso realizado em dois Amplificadores Diferenciais com configurações complementares, projetados em tecnologia 0,5 $\mu$ m, através da aplicação de teste DC, verificou-se a variação das tensões DC de nós internos do CUT à medida que as falhas foram injetadas. Observou-se que o teste DC não é eficaz na detecção de falhas de contato aberto de *gate*, consequência da alta resistividade do óxido de porta dos transistores. Diante disso, nos estudos de casos seguintes, se adicionou a análise transiente, em caráter complementar, para aumentar a cobertura de falhas. Logo, esse parâmetro simples, juntamente com circuitos de BIST e análises complementares, apresenta-se como alternativa eficiente para testes eficazes de circuitos analógicos.

Além disso, em um dos estudos de caso, os valores de tensão DC medidos em diferentes nós do circuito foram usados para gerar assinaturas que, posteriormente, possibilitaram um diagnóstico parcial das falhas. Os resultados mostram que em alguns casos, a assinatura está relacionada com uma única falha, permitindo facilmente identificá-la. Em contrapartida, em outros, uma assinatura está relacionada com mais de uma falha, inviabilizando o diagnóstico detalhado. No entanto, em etapas de teste de validação em silício, que antecedem o teste final de produção, o pré-diagnóstico simplificado pode ser visto como uma informação adicional ao teste.

A segunda etapa do trabalho foi voltada a estudos em Amplificadores Totalmente Diferenciais. A necessidade da presença do circuito CMFB para o preciso funcionamento desse tipo de Amplificador instigou a verificação da possibilidade de utilizar o sinal  $V_{cmc}$  (responsável pela realimentação de modo comum) como parâmetro de teste. Tomando como estudo de caso um FDA de um único estágio projetado em tecnologia 0,18 $\mu$ m, observou-se que analisando a tensão do nó  $V_{cmc}$  a cobertura de falhas obtida foi maior, se comparada à cobertura dos nós  $V_{op}$  e  $V_{on}$  (saídas do FDA), tanto para a análise feita apenas com o *corner* TM, quanto para os testes que consideraram as possíveis variações do processo através da

análise de *corners*. Sendo assim, o monitoramento do nó  $V_{cmc}$ , permite que o circuito CMFB seja empregado como um *checker* pré-existente do FDA, fato extremamente importante do ponto de vista do *overhead* de área.

Considerando um modelo com 120 falhas, sendo 80 catastróficas e 40 paramétricas, depois de aplicadas as cinco etapas de teste (DC1, DC2, DC3, TR1 e TR2), atingiu-se uma cobertura total de falhas (em ambos os blocos, FDA e CMFB) de 95%. Com a adição de uma chave ao nó  $V_{cmc}$ , visando à avaliação do impacto da estrutura de teste adicional no FDA, a CF total passou para 90,83%, ou seja, cinco falhas a menos detectadas em relação aos testes sem considerar a estrutura adicional.

Introduzindo fontes reais de tensão e corrente ao CUT, uma nova análise foi realizada considerando também as falhas relacionadas com os transistores adicionados. O modelo contendo 170 falhas, 58 falhas paramétricas e 112 catastróficas, atingiu 89,41% da CF total (FDA e CMFB), mostrando que a detecção das falhas pela estratégia de teste proposta nos dispositivos de polarização também é viável.

O outro circuito estudado foi um FDA de dois estágios projetado em  $0,13\mu\text{m}$ . Durante os testes, se verificou a necessidade da observação dos dois sinais e controle de modo comum,  $V_{cmc1}$  e  $V_{cmc2}$  (sinais de realimentação de modo comum dos dois estágios do FDA), para maximizar a cobertura de falhas. Ao final de todas as etapas de teste, a cobertura de falhas total alcançada foi de 84,85%. Sendo assim, a estratégia de teste proposta mostrou-se válida também para este estudo de caso.

Considerando que, na maioria dos casos, os OpAmps são compostos por mais de um Amplificador, a discussão de como cada sinal  $V_{cmc}$  vai ser acessado pelo equipamento testador torna-se imprescindível. Para isso, estratégias de DfT e BIST podem ser empregadas. Para tanto multiplexadores projetados com *transmission gates*, podem ser empregados. Para o caso do CUT projetado em  $0,13\mu\text{m}$ , por exemplo, o qual possui dois sinais de  $V_{cmc}$ , seria necessário um MUX 2:1 para cada amplificador do CUT, o que provocaria um acréscimo de área de, ao CI.

Por fim, estratégias de BIST podem ser implementadas. A técnica que se utiliza da redundância para aplicar o auto-teste integrado pode ser empregada através da comparação das assinaturas de dois OpAmps idênticos. Mais indicada para dispositivos compostos por mais de um Amplificador, devido à necessidade de redundância do CUT, a técnica também não é inviável a dispositivos com um único Amplificador, entretanto acarretaria na duplicação do Amplificador, aumentando o *overhead* do CI. Vale lembrar que, para ambos os casos, o

BIST agrega vantagens como: a possibilidade de usar testadores mais simples, a habilitação de testes em campo e a redução do custo do teste.

Como principal contribuição deste trabalho, pode-se destacar a comprovação da viabilidade da metodologia de teste proposta, a qual apresenta baixo custo. Tanto em amplificadores simples, quanto em amplificadores com maior grau de complexidade, a técnica mostrou-se eficaz, atingindo boa cobertura de falhas. A necessidade de monitorar poucos nós internos do CUT para realizar a distinção entre as assinaturas *fault free* e as assinaturas com falhas, a torna uma opção simples e promissora para testes de Amplificadores Totalmente Diferenciais. Observou-se ainda, que ao reutilizar o circuito de realimentação de modo comum como um *checker*, a cobertura de falhas é normalmente maior do que a obtida medindo apenas as saídas primárias do OpAmp.

Este trabalho gerou duas publicações, uma no evento VI *Latin American Symposium on Circuits & Systems* (LASCAS 2015) (BENDER, *et al.*, 2015a) e outra no XXX Simpósio Sul de Microeletrônica (SIM 2015) (BENDER, *et al.*, 2015b).

## REFERÊNCIAS

- ALLANI, M. Study of Process Variability on Performance and Power. **Spring**, p. 1 – 4, 2010.
- ALZAHER, H. A.; ELWAN, H.; ISMAIL, M. A CMOS Fully Balanced Second-Generation Current Conveyor. **IEEE Transactions on Circuits and Systems: Analog and Digital Signal Processing**, v.50, n. 6, p. 278 – 287, jun. 2003.
- ARABI, K.; KAMINSKA, B. Oscillation Test Strategy for Analog and mixed-Signal Integrated Circuits. In: VLSI TEST SYMPOSIUM, 14.; 1996, Princeton, USA. **Proceedings...** Los Alamitos, USA: IEEE Computer Society Press, 1996, p. 476 – 482.
- BALEN, T. R. *et al.* Applying the Oscillation Test Strategy to FPAA's Configurable Analog Blocks, **Journal of Electronic Testing: theory and applications**, New York, USA: Springer Science + Business Media, v. 21, n. 2, p. 135 – 146, 2005.
- BALEN, T. R. *et al.* Built-In Self-Test of Field Programmable Analog Arrays based on Transient Response Analysis, **Journal Electron Test**, Springer Science + Business Media, LLC, 23, p. 497 – 512, 2007.
- BALEN, T. R. **Teste de Dispositivos Analógicos Programáveis (FPAAS)**. 127 p. Dissertação (Mestrado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2006.
- BALEN, T. R.; KASTENSMIDT, F. L.; LUBASZEWSKI, M. A Self-Checking Scheme to Mitigate Single Event Upset Effects in SRAM-Based FPAAs. **IEEE Transactions on Nuclear Science**, v. 56, n. 4, p. 1950 – 1957, aug. 2009.
- BENDER, I.D. *et al.*, Testing a Fully Differential Amplifier for Catastrophic and Parametric Faults by Reusing the Common Mode Feedback Circuit. **XXX Seminário Sul de Microeletrônica**, mai. 2015.
- BENDER, I.D. *et al.*, Testing Fully Differential Amplifiers Using Common Mode Feedback Circuit: a case study. **VI Latin American Symposium on Circuits & Systems**, feb. 2015.
- BORKAR, S. *et al.* Parameter Variations and Impact in Circuits and Microarchitecture. **Proceedings of the 40<sup>th</sup> Annual Design Automation Conference - DAC**. New York, USA: ACM, p. 338 – 342, 2003.
- BROSA, A.M.; FIGUERAS, J. On Maximizing the Coverage of Catastrophic and Parametric Faults, **Journal of Electronic Testing: Theory and Applications** 16, 251–258, 2000.
- BUSHNEL, M.L.; AGRAWAL, V. D. **Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits**. New York, USA: Kluwer Academic Publishers, 2002.
- CALVANO, J. V.; ALVES, V.C.; LUBASZEWSKI, M. S. Fault Detection in Systems With 2<sup>nd</sup> Order Dynamics Using Transient Analysis. In: SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEMS DESIGN, 1999, Natal, Brasil. **Proceedings...** [S. 1.: s. n.], 1999, p. 110 – 114.

CALVANO, J. V.; ALVES, V.C.; LUBASZEWSKI, M. S. Fault detection methodology and BIST method for 2<sup>nd</sup> order Butterworth, Chebyshev and Bessel filter approximations. In: VLSI TEST SYMPOSIUM, 18., 2000, Montreal, Canada. **Proceedings...** Los Alamitos, USA: IEEE Computer Society Press, 2000, p. 319 – 324.

CARDOSO, G. S. **Impacto dos Desvios de Tensão de Limiar Induzidos por Radiação Ionizante no Desempenho dos Blocos Básicos de Dois Amplificadores Operacionais Complementares**. 41 p. Dissertação (Mestrado em Microeletrônica) – Programa de Pós-Graduação em Microeletrônica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2012.

CARUSONE, T. C.; JOHNS, D. A.; MARTIN, K.W. **Analog Integrated Circuit Design**. 2. ed. USA: John Wiley & Sons, Inc., 2012.

CHATTERJEE, A.; KIM, B. Low-Cost DC Built-In Self-Test of Linear Analog Circuits Using Checksums. **9<sup>th</sup> International Conference on VLSI Design**, p. 230 – 233, jan. 1996.

CHATTERJEE, A.; KIM, B.; NAGI, N. Low-cost DC built-in self-test of linear analog circuits using checksums. **International Conference on VLSI Design**, 9, p. 230 – 233, 1996.

CHATTERJEE, A.; NAGI, N. Design for Testability and Built-In Self-Test of Mixed-Signal Circuits: a tutorial. In: INTERNATIONAL CONFERENCE ON VLSI DESIGN, 10., 1997, Hyderabad, India. **Proceedings...** [S.l.: S.n.], jan. 1997, p. 388 – 392.

DENG, Y.; SHI, Y.; ZHANG, W. An Approach to Locate Parametric Faults in Nonlinear Analog Circuits. **IEEE Transactions on Instrumentation and Measurement**, v. 61, n. 2, p. 358 – 367, feb. 2012.

GRAY, P. R. *et al.* **Analysis and Design of Analog Integrated Circuits**. 5. ed. USA: John Wiley & Sons, Inc., 2009.

GREER, J.; KORKIN, A.; LABANOWSKI, L. **Nano and Giga Challenges in Microelectronics**. 1. ed. The Netherlands: Elsevier B. V., 2003.

HIS, H.; DUFAZA, C. Design for testability and DC of switched-capacitor circuits. **Electronics Letters**, v. 32, p. 701 – 702, 1996.

HOCHWALD, W.; BASTIAN, J. A dc approach for analog fault dictionary determination. **IEEE Transactions on Circuits and Systems**, p. 523 – 529, 1979.

HSU, C. P.; LIN, H. Analytical Models of Output Voltages and Power Efficiencies for Multistage Charge Pumps. **IEEE Transactions on Power Electronics**, v. 25, n. 6, p. 1375 – 1385, jun. 2010.

JOSEPH, L.; HUGHES, A. Multiple Fault Detection Using Single Fault Test Sets. **IEEE Transactions on Computer-Aided Design**, v. 7, n. 1, p. 100 – 108, jan. 1988.

KARKI, J. Fully-Differential Amplifiers. **Texas Instruments Incorporated: Application Report**, p. 1 – 27, jan. 2002.

LUBASZEWSKI, M. *et al.* Design of Self-Checking Fully Differential Circuits and Boards. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, New York, USA: IEEE, v.2, n. 2, p. 113, apr. 2000.

LUBASZEWSKI, M.; MIR, S.; PULZ, L. ABILBO: analog built-in observer. In: IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, 1996, [S. 1.]. **Proceedings...** [S.1.: S. n.], 1996, p. 600 – 603.

MILOR, L.; VISVANATHAN, V. Detection of catastrophic fault in analog integrated circuits. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, p. 114-130, 1989.

MILOR, L.; VISVANATHAN, V. Efficient Go/No Go Testing of Analog Circuits. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1987, [S.1.]. **Proceedings...** [S.1.: S.n.], 1987, p. 414 – 417.

MIR, S.; LUBASZEWSKI, M.; COURTOIS, B. Fault-Based ATPG for Linear Analog Circuits with Minimal Size Multifrequency Test Sets. **Journal of Electronic Testing: theory and applications**, special issue on mixed-signal testing, Dordrecht, The Netherlands: Kluwer Academic Publishers, v. 9, p. 43 – 57, aug. 1996.

MOORE, G.E Cramming More Components Onto Integrated Circuits. **Electronics Magazine**, [S.1.: S. n.], v. 38, n.8 apr. 1965.

NEGREIROS, M.; CARRO, L.; SUSIN, A. A. A Low Cost On-Line Testing of RF Circuits. In: IEEE INTERNATIONAL ON-LINE TESTING SYMPOSIUM, 10., 2004, Madeira Island, Portugal. **Proceedings...** Los Alamitos, USA: IEEE Computer Society Press, 2004, p. 73 – 78.

NEGREIROS, M.; CARRO, L.; SUSIN, A. A. A Statistical Sampler for a New On-Line Analog Test Method. In: IEEE INTERNATIONAL ON-LINE TESTING WORKSHOP, 8., 2002, Isle of Bendor, France. **Proceedings...** Los Alamitos, USA: IEEE Computer Society Press, 2002, p. 79 – 83.

NICOLAIDIS, M.; COURTOIS, B. On-line testing for VLSI: state of the art and trends, **Integration, the VLSI journal**, 26, p. 197–209, 1998.

OLIVEIRA, A. C. de; AGUIRRE, P. C. C. de, GIRARDI, A. G. Design of a Two-Stage Fully Differential Amplifier Through an Optimization-Based Methodology, **XXX South Symposium on Microelectronics (SIM)**, Alegrete, Brazil, mai. 2015.

OLIVEIRA, A. C. de; SEVERO, L. C.; GIRARDI, A. G. A Two-Step Methodology for Automatic Design of Fully Differential Amplifiers With Output Balance, **XXIX South Symposium on Microelectronics (SIM)**, Alegrete, Brazil, mai. 2014.

PETRASHIN, P.; DUALIBE, C.; LANCIONI, W.; TOLEDO, L. Low-Cost DC BIST for Analog Circuits: A Case Study. **Test Workshop (LATW)**, Latin American, p. 1– 4, apr. 2013.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007.

SOMA, M. Challenges in Analog and Mixed-signal Fault Models. **IEEE Circuits and Devices Magazine**, New York, USA: IEEE, v. 12, p.16 – 19, jan. 1996.

SOUDERS, T. M.; STENBAKKEN, G. N. A Comprehensive Approach for Modeling and Testing Analog and Mixed-Signal Devices. In: INTERNATIONAL TEST CONFERENCE, 1990, Washington DC, USA. **Proceedings...** Washington DC, USA: International Test Conference Press, 1990, p. 169 – 176.

SUNTER, S.; NAGI, N. Test Metrics for Analog Parametric Faults. In: IEEE VLSI TEST SYMPOSIUM, 17., 1999, San Diego, USA. **Proceedings...** Los Alamitos, USA: IEEE Computer Society Press, 1999, p. 226 – 234.

TAUR, Y. *et al.* CMOS Scaling into the Nanometer Regime. **Proceedings of the IEEE**. New York, USA: IEEE, v. 85, n.4, apr. 1997, p. 486 – 504.

THANDRI, B.; MARTINEZ, J. S. A Robust Feedforward Compensation Scheme for Multistage Operational Transconductance Amplifiers with no Miller Capacitors. **Solid-State Circuits, IEEE Journal of**, v. 38, n. 2, p. 237–243, feb. 2003.

WORSMAN, M.; WONG, M. W. T.; LEE, Y. S. Analog circuit equivalent faults in the D.C. domain. **Asian Test Symposium (ATS)**, p.84 – 89, 2000.

WORSMAN, M.; WONG, M. W. T.; LEE, Y. S. Enhancing the Fault Diagnosis of Linear Analog Circuit Steady-State DC Testing Through the Analysis of Equivalent Faults. **IEEE Transactions on Circuits and Systems: Fundamental Theory and Applications**, v. 50, n. 7, p. 932 – 936, jul. 2003.

XU, G.; EMBABI, S. H. K. A Systematic Approach in Constructing Fully Differential Amplifiers. **IEEE Transactions on Circuits and Systems: Analog and Digital Signal Processing**, v. 47, n. 11, p. 1343 – 1347, nov. 2000.

YONG, D.; SHI, Y.; ZHANG, W. An Approach to Locate Parametric Faults in Nonlinear Analog Circuits. **IEEE Transactions on Instrumentation and Measurement**, v. 61, n. 2, p. 358 – 367, feb. 2012.

## APÊNDICE A – ARQUIVOS SPICE UTILIZADOS COMO BASE NAS SIMULAÇÕES

\* Descrição e simulação DC do CUT PMOS-DA projetado em tecnologia 0,5 $\mu$ m

```
.include ami_06.txt

M1 4 in- 3 vdd pmos l=1u w=4u
M2 5 in+ 3 vdd pmos l=1u w=4u
M3 4 4 vss vss nmos l=1u w=1u
M4 5 4 vss vss nmos l=1u w=1u
M5 3 1 vdd vdd pmos l=1u w=2.5u
M6 out 5 vss vss nmos l=1u w=24u
M7 out 1 vdd vdd pmos l=1u w=30u
M8 1 1 vdd vdd pmos l=1u w=2.5u
Cl 5 out 4.4pf
Rref 1 vss 335k
cIl out 0 20pf

vin+ in+ 0 0
Vin- in- 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5

.tran 0.005u 30u START = 25u
.option post
.print tran I(M5) v(5) v(in-) v(out)
.END
```

\* Descrição e simulação DC do CUT NMOS-DA projetado em tecnologia 0,5 $\mu$ m

```
.include ami_06.txt

M1 4 in- 3 3 nmos l=1u w=1.5u
M2 5 in+ 3 3 nmos l=1u w=1.5u
M3 4 4 vdd vdd pmos l=1u w=5u
M4 5 4 vdd vdd pmos l=1u w=5u
M5 3 1 vss vss nmos l=1u w=1.5u
M6 out 5 vdd vdd pmos l=1u w=60u
M7 out 1 vss vss nmos l=1u w=9u
M8 1 1 vss vss nmos l=1u w=1.5u
Cl 5 out 4.4pf
Rref 1 vdd 352k
Cll out 0 20p

vin+ in+ 0 0
vin- in- 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5

.tran 0.005u 30u START = 25u
.option post
.print tran I(M5) v(5) v(in-) v(out)
.END
```

\*Descrição do circuito CMFB projetado em tecnologia 0,18 $\mu$ m

```
.subckt cmfb_rasoul vop von vcm vdd vss vout
```

```
x1 3 vop 1 1 pe l=0.8918u w=35.91u
x2 3 von 2 2 pe l=0.8918u w=35.91u
x3 vout vcm 1 1 pe l=0.8918u w=35.91u
x4 vout vcm 2 2 pe l=0.8918u w=35.91u
x5 vout 3 vss vss ne l=0.4628u w=7.19u
x6 3 3 vss vss ne l=0.4628u w=7.19u
```

```
I1 vdd 1 15.19u
I2 vdd 2 15.19u
```

```
.ends
```

\*Descrição do circuito CMFB projetado em tecnologia 0,18 $\mu$ m com fontes reais de corrente

```
.subckt cmfb_rasoul vop von vcm vdd vss vout
```

```
x1 3 vop 1 1 pe l=0.8918u w=35.91u
x2 3 von 2 2 pe l=0.8918u w=35.91u
x3 vout vcm 1 1 pe l=0.8918u w=35.91u
x4 vout vcm 2 2 pe l=0.8918u w=35.91u *onde Vout é Vcmc pela fig 3 do artigo
x5 vout 3 vss vss ne l=0.4628u w=7.19u
x6 3 3 vss vss ne l=0.4628u w=7.19u
x7 A A vdd vdd pe w=24u l=0.72u
R1 A C 8.5K
R2 C B 9.15k
x8 B B vss vss ne w=15u l=0.72u
x9 1 A vdd vdd pe W=24u l=0.72u
x10 2 A vdd vdd pe W=24u l=0.72u
```

```
.ends
```

\*Descrição do circuito FDA projetado em tecnologia 0,18 $\mu$ m

```
.lib 'xh018/lp3mos/xh018.lib' tm
.lib 'xh018/lp3mos/param.lib' 3s
```

```
.include 'cmfb_rasoul.txt'
```

```
.subckt fd_cmfb vip vin vop von vdd vss vcm vcme vcme1
```

```
x1 von vip 1 1 ne w=36.29u l=0.197u
x2 vop vin 1 1 ne w=36.29u l=0.197u
x3 von 2 vdd vdd pe w=27.41u l=6.83u
x4 vop 2 vdd vdd pe w=27.41u l=6.83u
x7 2 2 vdd vdd pe w=27.41u l=6.83u
x5a 1 v1 vss vss ne w=15.3u l=9.75u
x5b 1 vcme vss vss ne w=15.3u l=9.75u
x6 2 v1 vss vss ne w=15.3u l=9.75u
```

```
Xcmfb vop von vcm vdd vss vcme1 cmfb_rasoul
V1 v1 0 -167.045m
V2 vcme vcme1 -167.045m
```

```
.ends
```

\*Descrição do circuito FDA projetado em tecnologia 0,18 $\mu$ m com fontes reais de tensão

```

.lib 'xh018/lp3mos/xh018.lib' tm
.lib 'xh018/lp3mos/param.lib' 3s

.include 'cmfb_rasoul.txt'

.subckt fd_cmfb vip vin von vdd vss vcm vcmc vcme1

x1 von vip 1 1 ne w=36.29u l=0.197u
x2 vop vin 1 1 ne w=36.29u l=0.197u
x3 von 2 vdd vdd pe w=27.41u l=6.83u
x4 vop 2 vdd vdd pe w=27.41u l=6.83u
x7 2 2 vdd vdd pe w=27.41u l=6.83u
x5a 1 v1 vss vss ne w=15.3u l=9.75u
x5b 1 vcme vss vss ne w=15.3u l=9.75u
x6 2 v1 vss vss ne w=15.3u l=9.75u
x8 A A vdd vdd pe w=24u l=0.72u
R1 A v1 7.89K
x9 v1 v1 vss vss ne w=15u l=0.72u

Xcmfb vop von vcm vdd vss vcme1 cmfb_rasoul
V2 vcme vcme1 -167.045m

.ends

```

\*Simulação DC1 do CUT projetado em tecnologia 0,18 $\mu$ m

```

.OPTIONS POST=1
.include fd_cmfb.txt

VDD VDD 0 9.000000e-001
VSS VSS 0 -9.000000e-001
VCM VCM 0 0
X1 VIP VIN VOP VON VDD VSS VCM vcme vcme1 fd_cmfb
VIP Vip 0 0
VIN vin 0 0
C1 VON 0 10p
C2 VOP 0 10p
.tran 1u 510m start=500m
.OP
.END

```

\*Simulação DC2 do CUT projetado em tecnologia 0,18 $\mu$ m

```

.OPTIONS POST=1
.include fd_cmfb.txt

VDD VDD 0 9.000000e-001
VSS VSS 0 -9.000000e-001
VCM VCM 0 0
X1 VIP VIN VOP VON VDD VSS VCM vcme vcme1 fd_cmfb
VIP Vip 0 0.9
VIN Vin 0 -0.9
C1 VON 0 10p
C2 VOP 0 10p
.tran 1u 510m start=500m
.OP
.END

```

\*Simulação DC3 do CUT projetado em tecnologia 0,18 $\mu$ m

```
.OPTIONS POST=1
.include fd_cmfb.txt

VDD VDD 0 9.000000e-001
VSS VSS 0 -9.000000e-001
VCM VCM 0 0
X1 VIP VIN VOP VON VDD VSS VCM vcmc vcmc1 fd_cmfb
VIP Vip 0 -0.9
VIN Vin 0 0.9
C1 VON 0 10p
C2 VOP 0 10p

.tran 1u 510m start=500m
.OP
.END
```

\*Simulação TR1 do CUT projetado em tecnologia 0,18 $\mu$ m

```
.OPTIONS POST=1
.include fd_cmfb.txt

VDD VDD 0 9.000000e-001
VSS VSS 0 -9.000000e-001
VCM VCM 0 0
X1 VIP VOP VOP VON VDD VSS VCM VCMC VCMC1 fd_cmfb
VIP VIP 0 pulse (-0.4 0.4 0 10n 10n 500u 1000u)
C1 VON 0 10p IC=0
C2 VOP 0 10p IC=0

.TRAN 1n 9200u start=9002u
.OP
.Option runlvl=5
.END
```

\* Simulação TR2 do CUT projetado em tecnologia 0,18 $\mu$ m

```
.OPTIONS POST=1
.include fd_cmfb.txt

VDD VDD 0 9.000000e-001
VSS VSS 0 -9.000000e-001
VCM VCM 0 0
X1 VON VIN VOP VON VDD VSS VCM VCMC VCMC1 fd_cmfb
VIN VIN 0 pulse (-0.4 0.4 0 10n 10n 500u 1000u)
C1 VON 0 10p IC=0
C2 VOP 0 10p IC=0

.TRAN 1n 9200u start=9002u
.OP
.Option runlvl=5
.END
```

\*Descrição do circuito CUT projetado em tecnologia 0,13 $\mu$ m

.LIB 'IBM\_130/models/allModels.inc' TT

.param

.PARAM W1=2.782937e+01  
 .PARAM L1=9.114357e-01  
 .PARAM W2=1.912602e+01  
 .PARAM L2=7.937604e+00  
 .PARAM W3=8.558551e+01  
 .PARAM L3=8.035937e+00  
 .PARAM W4=6.797280e+01  
 .PARAM L4=5.275797e+00  
 .PARAM W5=3.346643e+01  
 .PARAM L5=9.452294e+00  
 .PARAM W6=8.066219e+01  
 .PARAM L6=9.339066e+00  
 .PARAM V1=4.948158e-01  
 .PARAM V2=5.398578e-01  
 .PARAM V3=6.774700e-01  
 .PARAM V4=5.471125e-01  
 .PARAM W11=2.969365e+00  
 .PARAM L11=9.975645e+00  
 .PARAM W22=3.118566e+01  
 .PARAM L22=3.379598e-01  
 .PARAM W33=3.626983e+01  
 .PARAM L33=2.150307e-01  
 .PARAM W7=4.929793e+01  
 .PARAM L7=9.101206e+00  
 .PARAM W8=1.217248e+01  
 .PARAM L8=6.110803e+00  
 .PARAM W9=8.555164e+01  
 .PARAM L9=1.810090e-01  
 .PARAM WN=1.361244e+02  
 .PARAM LN=4.796791e+00  
 .PARAM WP=1.373497e+02  
 .PARAM LP=9.923522e+00

.subckt ff\_fd\_pos\_fcascocode\_ccmfb vip vin vop von vdd vss vcm vcmc1 vcmc2

\*Folded-Cascode Stage

x1 net10 vip net1 vss nfet w='W1\*1e-6' l='L1\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x2 net13 vin net1 vss nfet w='W1\*1e-6' l='L1\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x3 net1 vbn1 vss vss nfet w='W2\*1e-6' l='L2\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x4 net10 vbp1 vdd vdd pfet w='W3\*1e-6' l='L3\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x5 net13 vbp1 vdd vdd pfet w='W3\*1e-6' l='L3\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x6 vo1n vbp2 net10 vdd pfet w='W4\*1e-6' l='L4\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x7 vo1p vbp2 net13 vdd pfet w='W4\*1e-6' l='L4\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x8 vo1n vbn2 net32 vss nfet w='W5\*1e-6' l='L5\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x9 vo1p vbn2 net34 vss nfet w='W5\*1e-6' l='L5\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x10 net32 vcmc1 vss vss nfet w='W6\*1e-6' l='L6\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x11 net34 vcmc1 vss vss nfet w='W6\*1e-6' l='L6\*1e-6' sa=550e-9 sb=550e-9 sd=0

\*CS Stage

x12 von vo1p vdd vdd pfet w='W7\*1e-6' l='L7\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x13 von vcmc2 vss vss nfet w='W8\*1e-6' l='L8\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x14 vop vo1n vdd vdd pfet w='W7\*1e-6' l='L7\*1e-6' sa=550e-9 sb=550e-9 sd=0  
 x15 vop vcmc2 vss vss nfet w='W8\*1e-6' l='L8\*1e-6' sa=550e-9 sb=550e-9 sd=0

\*Feedforward Stage

x16 von vip net040 vss nfet w='W9\*1e-6' l='L9\*1e-6' sa=550e-9 sb=550e-9 sd=0

```
x17 vop vin net040 vss nfet w='W9*1e-6' l='L9*1e-6' sa=550e-9 sb=550e-9 sd=0
x18 net040 vcmc2 vss vss nfet w='WN*1e-6' l='LN*1e-6' sa=550e-9 sb=550e-9 sd=0
x19 von vbp1 vdd vdd pfet w='WP*1e-6' l='LP*1e-6' sa=550e-9 sb=550e-9 sd=0
x20 vop vbp1 vdd vdd pfet w='WP*1e-6' l='LP*1e-6' sa=550e-9 sb=550e-9 sd=0
```

\*Bias

```
V1 vbn1 0 'V1'
V2 vbn2 0 'V2'
V3 vbp1 0 'V3'
V4 vbp2 0 'V4'
```

\* CMFB<sub>1</sub>

```
x21 net013 vbp1 vdd vdd pfet w='W11*1e-6' l='L11*1e-6' sa=550e-9 sb=550e-9 sd=0
x22 net019 vbp1 vdd vdd pfet w='W11*1e-6' l='L11*1e-6' sa=550e-9 sb=550e-9 sd=0
x23 net035 vo1p net013 vdd pfet w='W22*1e-6' l='L22*1e-6' sa=550e-9 sb=550e-9 sd=0
x24 vcmc1 vcm net013 vdd pfet w='W22*1e-6' l='L22*1e-6' sa=550e-9 sb=550e-9 sd=0
x25 vcmc1 vcm net019 vdd pfet w='W22*1e-6' l='L22*1e-6' sa=550e-9 sb=550e-9 sd=0
x26 net035 vo1n net019 vdd pfet w='W22*1e-6' l='L22*1e-6' sa=550e-9 sb=550e-9 sd=0
x27 vcmc1 net035 vss vss nfet w='W33*1e-6' l='L33*1e-6' sa=550e-9 sb=550e-9 sd=0
x28 net035 net035 vss vss nfet w='W33*1e-6' l='L33*1e-6' sa=550e-9 sb=550e-9 sd=0
```

\*CMFB<sub>2</sub>

```
x29 net028 vbp1 vdd vdd pfet w='WA*1e-6' l='LA*1e-6' sa=550e-9 sb=550e-9 sd=0
x30 net070 vbp1 vdd vdd pfet w='WA*1e-6' l='LA*1e-6' sa=550e-9 sb=550e-9 sd=0
x31 net058 vop net028 vdd pfet w='WB*1e-6' l='LB*1e-6' sa=550e-9 sb=550e-9 sd=0
x32 vcmc2 vcm net028 vdd pfet w='WB*1e-6' l='LB*1e-6' sa=550e-9 sb=550e-9 sd=0
x33 vcmc2 vcm net070 vdd pfet w='WB*1e-6' l='LB*1e-6' sa=550e-9 sb=550e-9 sd=0
x34 net058 von net070 vdd pfet w='WB*1e-6' l='LB*1e-6' sa=550e-9 sb=550e-9 sd=0
x35 vcmc2 net058 vss vss nfet w='WC*1e-6' l='LC*1e-6' sa=550e-9 sb=550e-9 sd=0
x36 net058 net058 vss vss nfet w='WC*1e-6' l='LC*1e-6' sa=550e-9 sb=550e-9 sd=0
.ends
```

\*Simulação DC1 do CUT projetado em tecnologia 0,13µm

.OPTIONS POST=1

```
.include Projeto_ff_fd_pos_fcascade_ccmfb.par
.include ff_fd_pos_fcascade_ccmfb.txt
```

```
VDD VDD 0 1.200000e+00
VSS VSS 0 0.000000e+00
VCM VCM 0 6.000000e-01
X1 VIP VIN VOP VON VDD VSS VCM ff_fd_pos_fcascade_ccmfb
VIP VIP 0 0
VIN VIN 0 0
.OP
.END
```

\*Simulação DC2 do CUT projetado em tecnologia 0,13µm

.OPTIONS POST=1

```
.include Projeto_ff_fd_pos_fcascade_ccmfb.par
.include ff_fd_pos_fcascade_ccmfb.txt
VDD VDD 0 1.200000e+00
VSS VSS 0 0.000000e+00
VCM VCM 0 6.000000e-01
X1 VIP VIN VOP VON VDD VSS VCM ff_fd_pos_fcascade_ccmfb
VIP VIP 0 1.2
```

VIN VIN 0 0

.OP  
.END

\*Simulação DC3 do CUT projetado em tecnologia 0,13µm

.OPTIONS POST=1  
.include Projeto\_ff\_fd\_pos\_fcascodes\_ccmfb.par  
.include ff\_fd\_pos\_fcascodes\_ccmfb.txt  
  
VDD VDD 0 1.200000e+00  
VSS VSS 0 0.000000e+00  
VCM VCM 0 6.000000e-01  
X1 VIP VIN VOP VON VDD VSS VCM ff\_fd\_pos\_fcascodes\_ccmfb  
VIP VIP 0 0  
VIN VIN 0 1.2

.OP  
.END

\*Simulação TR1 do CUT projetado em tecnologia 0,13µm

.OPTIONS POST=1  
.include Projeto\_ff\_fd\_pos\_fcascodes\_ccmfb.par  
.include ff\_fd\_pos\_fcascodes\_ccmfb\_tr.txt  
  
VDD VDD 0 1.200000e+00  
VSS VSS 0 0.000000e+00  
VCM VCM 0 6.000000e-01  
X1 VIP VOP VOP VON VDD VSS VCM VCMC1 VCMC2 ff\_fd\_pos\_fcascodes\_ccmfb  
VIP viP 0 PULSE(0.3 0.8 0 10N 10N 500U 1000u)  
C1 VON 0 5.000000e-13 IC=0  
C2 VOP 0 5.000000e-13 IC=0

.TRAN 1n 9200u start=9002u  
.Option runlvl=5  
.END

\*Simulação TR2 do CUT projetado em tecnologia 0,13µm

.OPTIONS POST=1  
.include Projeto\_ff\_fd\_pos\_fcascodes\_ccmfb.par  
.include ff\_fd\_pos\_fcascodes\_ccmfb\_tr.txt  
  
VDD VDD 0 1.200000e+00  
VSS VSS 0 0.000000e+00  
VCM VCM 0 6.000000e-01  
X1 VON VIN VOP VON VDD VSS VCM VCMC1 VCMC2 ff\_fd\_pos\_fcascodes\_ccmfb  
VIN vin 0 PULSE(0.3 0.8 0 10N 10N 500U 1000u)  
C1 VON 0 5.000000e-13 IC=0  
C2 VOP 0 5.000000e-13 IC=0

.TRAN 1n 9120u start=9002u  
.Option runlvl=5  
.END