

103783-8 FL990
NF 86/423

KIT MPC-68000
DESCRIÇÃO DO PROJETO DE HARDWARE

por

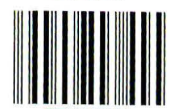
Fernando Rosa do Nascimento

RP nº 51 CPGCC/UFRGS JULHO/86



UFRGS

SABi



05233504

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO
Av. Osvaldo Aranha, 99
90.210-Porto Alegre-RS-Brasil
Telex (051) 2680 Tel. (0512) 21.8499

Endereço para Correspondência:

UFRGS/CPGCC/Biblioteca
Caixa Postal 1501
90.001-Porto Alegre-RS-Brasil

UFRGS
BIBLIOTECA
CPD/PGCC

Comissão Editorial: José Palazzo Moreira de Oliveira
Carla Maria Dal Sasso Freitas

UFRGS

Reitor: Prof FRANCISCO FERRAZ

Pró-Reitor de Pesquisa e Pós-Graduação: Prof. HÉLGIO TRINDADE

Coordenador do CPGCC: Prof. ROBERTO TOM PRICE

Comissão Coordenadora do CPGCC:

Prof. CLESIO SARAIVA DOS SANTOS

Prof. DALTRO JOSÉ NUNES

Prof. DANTE AUGUSTO COUTO BARONE

Prof. FLÁVIO RECH WAGNER

Prof. PAULO ALBERTO DE AZEREDO

Prof. ROBERTO TOM PRICE

Bibliotecária CPGCC/CPD: MARGARIDA BUCHMANN

RESUMO

Este trabalho apresenta o projeto de um microcomputador baseado no microprocessador MC68000. O sistema foi implementado numa só placa, onde estão também incluídos um interface serial e um circuito de apoio para depuração de software. O trabalho faz parte do Projeto Multiprocessador Pascal Concorrente (MPC).

PALAVRAS-CHAVE: aplicação de microprocessadores, Kit de desenvolvimento de sistemas, microprocessador de 16 bits.

ABSTRACT

This paper describes the design of a microcomputer based on a MC68000 microprocessor. The system was built on a single board that includes also a serial interface and an auxiliary circuit oriented to help the debugging of software. The work is part of the "Multiprocessador Pascal Concorrente (MPC)" project.

KEY-WORDS: microprocessor applications, system design Kit, 16 bits microprocessor.

SUMÁRIO

1. INTRODUÇÃO	01
2. DESCRIÇÃO GERAL	03
2.1 A UCP	06
2.2 A Entrada/saída	08
2.4 Circuitos de depuração	09
2.5 O software	09
3. INSTALAÇÃO DE HARDWARE E INTERFACEAMENTO	10
3.1 Instalação de E-PROMs	10
3.2 Conectores de borda	12
3.3 Interfaces genéricas RS232C	15
3.4 Interface de loop de corrente (TTY)	16
3.5 Interface com o Nixdorf	16
3.6 Expansões	17
3.7 Opções de configuração	17
4. PRINCÍPIOS DE OPERAÇÃO	21
4.1 Seqüência de ligação	21
4.2 Funções da UCP	21
4.3 Estrutura de barramento	24
4.4 Memória	24
4.5 Entrada/saída	26
4.6 Circuito de depuração	30
4.7 Relógio básico	32

5. CONCLUSÕES	34
Bibliografia	35
Anexo 1: Diagramas esquematicos	36
Anexo 2: Lista de componentes	44
Anexo 3: Localização de componentes	48
Anexo 4: Conectores	50

1. INTRODUÇÃO

No decorrer do desenvolvimento do Projeto Multiprocessador Pascal Concorrente (MPC) do CPGCC-UFRGS, optou-se pela utilização de microprocessadores para a implementação das unidades de processamento elementares. O microprocessador escolhido foi o MC68000, da Motorola, pela sua capacidade de endereçamento direto e a fácil implementação do conjunto de instruções do código PC (Pascal Concorrente).

Após um estudo preliminar das características deste microprocessador, decidiu-se pela implementação inicial de um pequeno kit microcomputador baseado no mesmo, com dois objetivos principais:

a) familiarização com as características de hardware do mesmo, visto ser esta a primeira aplicação do MC68000 dentro de um projeto de pesquisa no CPGCC;

b) construção de uma ferramenta de auxílio no projeto do software básico da MPC, constituído pelo interpretador do código P e um monitor para o kit.

O primeiro objetivo orientou o projeto no sentido da maior simplicidade, procurando-se evitar a inclusão de características adicionais, desnecessários ao entendimento do microprocessador, que aumentassem o tempo de projeto.

Tendo em vista o segundo objetivo, dotou-se o kit de uma capacidade razoável da memória, tanto do tipo RAM como REPROM, além de: interfaces para ligação de TTY e comunicação serial com o minicomputador NIXDORF do laboratório de software do CPGCC e um esquema de execução passo-a-passo (por ciclos de barramento) dos programas car-

regados na memória do kit, com monitoração dos barramentos de dados, endereços e controle através de LEDs e mostradores de 7 segmentos.

Visando minimizar o número de componentes da placa, procurou-se utilizar, dentro das disponibilidades do mercado nacional, circuitos MSI e LSI da grande capacidade, tanto nas memórias como na parte de entrada e saída.

2. DESCRIÇÃO GERAL

O kit MPC-68000 é constituído por uma única placa contendo os elementos básicos de um microcomputador de 16 bits baseado no microprocessador MC68000 da Motorola. Ele pode ser usado com uma TTY, permitindo carga e execução manual de programas previamente montados, ou em conexão com o minicomputador NIXDORF 8870, do laboratório de software do CPGCC, que pode funcionar como uma ferramenta razoavelmente poderosa no desenvolvimento de software para o kit. Adicionalmente, foram incluídas no projeto facilidades de hardware para a execução controlada de programas, permitindo a depuração de rotinas em REEPROM, com o uso de software de apoio.

As características básicas da placa são as seguintes:

- UCP MC68000-L6;
- 8 Kbytes de RAM estática, expandíveis fora da placa;
- até 32 Kbytes de EPROM, com configuração inicial de 16 kbytes;
- relógio da UCP selecionável, de 2,5 ou 5 MHz;
- barramento da UCP bufferizado, disponível na borda da placa;
- duas portas de entrada/saída serial programáveis (RS 232C e loop de corrente);
- lógica de execução passo-a-passo e conjunto de mostradores para monitoração dos barramentos de dados, endereços e controle;
- chaves de seleção de "baud-rate" individuais para cada porta de E/S, desde 9600 até 300 BPS, além de 110 BPS.

A figura 2-1 mostra a estrutura da placa.

Os dois conectores inferiores contêm o barramento interno da UCP, mais a alimentação da placa.

O conector superior direito é usado para E/S serial. Ele contém linhas programadas para comunicação serial assíncrona via interfaces RS-232C e "loop" da corrente, embora os interfaces de E/S existentes possam ser também configurados para comunicação síncrona.

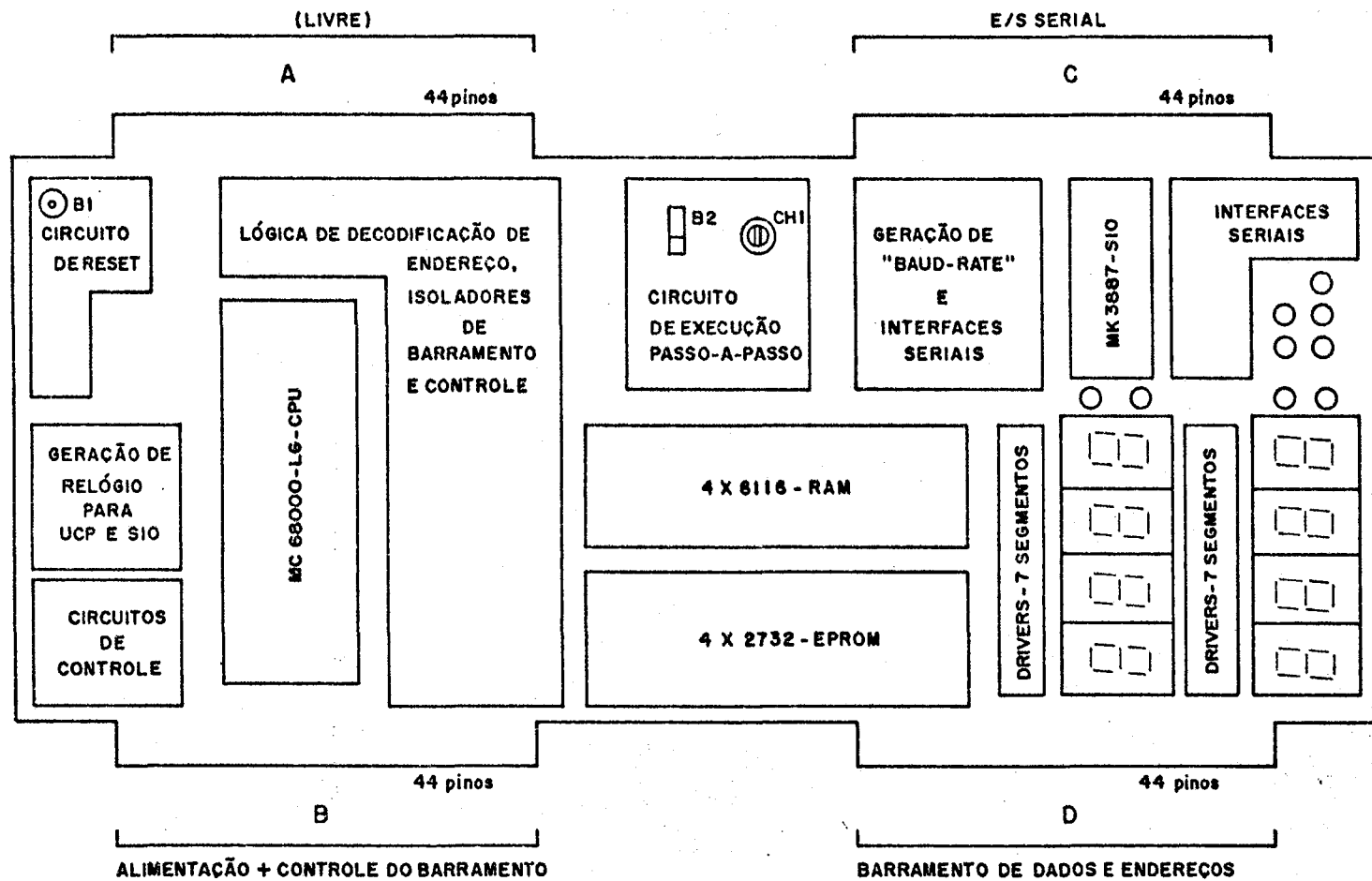
A UCP MC68000-LG está à esquerda, na placa, entre os conectores A e B. Na parte superior direita está o controlador de E/S da placa, constituído pelo CI MK 3887 (Z80-SIO), mais o circuito de geração de "baud-rate" e os drivers/receivers. Abaixo, estão os LEDS e mostradores de 7-segmentos, utilizados para depuração. O circuito de execução passo-a-passo está na parte superior central, onde se localizam a chave CH1 (que coloca o kit em modo normal ou de depuração) e o botão B2 (que determina o passo de execução, caso em modo de depuração).

A área de memória encontra-se no centro da placa. São 4 soquetes para EPROMs 2732 ou 2764, mais 4 CIs 6116 - RAM estática de 2kx8 bits.

No canto superior esquerdo encontra-se o botão B1, que faz o RESET manual de todo o circuito.

A figura 2-2 mostra um diagrama de blocos da arquitetura do kit. Os barramentos do sistema (endereço, dados e controle) conectam a CPU com todos os circuitos, e com os conectores B e D, através de circuitos acionadores e transceptores. Desta forma, tais conectores podem ser usados para expansão do sistema fora da placa, além de facilitar a monitoração de qualquer sinal do bar

Figura 2.1 - Estrutura da placa (lado dos componentes).



ramento.

2.1 A UCP

O microprocessador MC68000-LG é uma UCP de 16/32 bits orientada a registradores. A seguir estão descritas algumas de suas características, baseadas na descrição em [OSB 81]. Outras informações podem ser obtidas na mesma referência, e também em [MOT 81]:

- arquitetura interna avançada, com superposição do código da instrução com a execução das duas instruções anteriores (tipo "pipeline");
- uma única configuração, a máxima, com encapsulamento de 64 pinos;
- lógica interna para arbitração de acesso ao barramento;
- capacidade de acesso direto a 16Mbytes de memória (barramento de endereço de 24 bits), expandível para 64 Mbytes utilizando-se as linhas de código da função;
- operação em dois modos diferentes: supervisor e usuário, com instruções privilegiadas e ponteiros de pilha separados;
- 17 registradores internos de 32 bits, sendo 8 de dados e 9 de endereços (2 ponteiros de pilha); todos os registradores podem ser usados como registrador de índice;
- E/S mapeada na memória, e 7 níveis de interrupção;
- operação com o barramento em modo síncrono ou assíncrono, sendo o primeiro compatível com periféricos do sistema 6800;

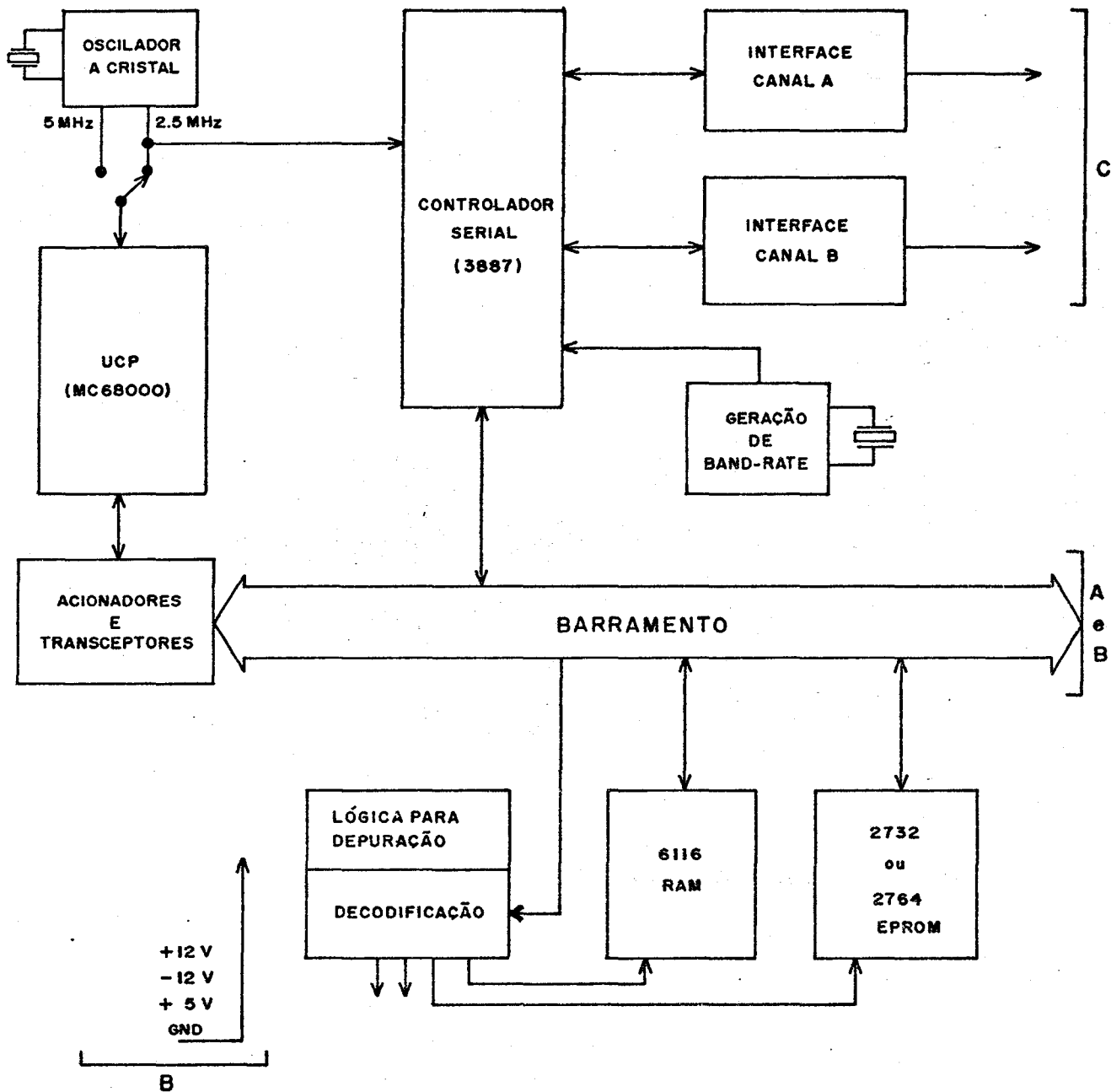


Figura 2.2 - Diagrama em blocos da arquitetura.

- relógio externo, com frequência máxima de 6MHz nesta versão (L6); tempos de execução de 4 a 158 períodos de relógio por instrução;
- tecnologia HMOS canal-n; fonte de + 5V simples, compatível com TTL;
- estrutura de tratamento de exceções (interrupções e traps) poderosa;
- facilidades de hardware e software para multi programação e multiprocessamento.

2.2 A Memória

A placa contém 4 soquetes para memória EPROM, permitindo a colocação de 16kBytes (se usada a pastilha 2732) ou 32 kbytes (se usada a 2764).

Contém ainda 8 kBytes de memória RAM estática, utilizando 4 pastilhas 6116 (estática).

Além disso, a capacidade de memória pode ser expandido fora da placa, utilizando os conectores de borda A e B.

2.3 Entrada/saída

A entrada/saída é mapeada nos endereços mais significativos de memória. A placa dispõe de um circuito integrado LSI contendo dois canais de E/S serial (3887). Este circuito permite grande flexibilidade em termos de comunicação síncrona ou assíncrona, programável por software.

Na placa foram implementados interfaces seriais

RS-232 e loop de corrente, selecionáveis por "jumpers". Também é provido interfaceamento assíncrono para utilização na comunicação com o minicomputador Nixdorf.

A taxa de transmissão e recepção é selecionável por jumpers independentes para cada canal.

O controlador deve ser inicializado convenientemente, por programa, antes de ser colocado em funcionamento.

2.4 Circuitos de depuração

Foram incluídos na placa circuitos auxiliares para depuração do hardware (testes) da placa MPC68000. Estes circuitos são constituídos basicamente de um lógica de execução passo-a-passo (por ciclos de barramento), e uma série de LEDs e "displays" de 7-segmentos, para monitoração dos sinais de dados, endereços e controle durante a mesma.

2.5 O software

O software básico de suporte da placa encontra-se ainda em desenvolvimento. Ele será constituído por um monitor (depurador), que proverá as funções de inicialização do hardware, comandos de manipulação de registradores e memória e execução controlada de programas.

Existe também um montador cruzado no referido minicomputador, para um subconjunto das instruções de máquina do microprocessador 68000.

3. INSTALAÇÃO DE HARDWARE E INTERFACEAMENTO

3.1 Instalação de E-PROMs

A placa contém 4 soquetes de 28 pinos para instalação de E-PROMs 2732 ou 2764. Inicialmente, foram instaladas as memórias 2732, totalizando 16 KBytes.

As 4 E-PROMs formam 2 bancos de 4 K palavras (16 bits) cada um. As unidades EP1 e EP2 formam o primeiro banco, e as unidades EP3 e EP4, o segundo (ou figura 3-1). Informações sobre E-PROMS encontra-se em [INT 80].

Os jumpers J3, mostrados na figura, configuram o mapeamento dos endereços de E-PROM na área de memória da placa, conforme mostrado a seguir, na tabela 3-1.

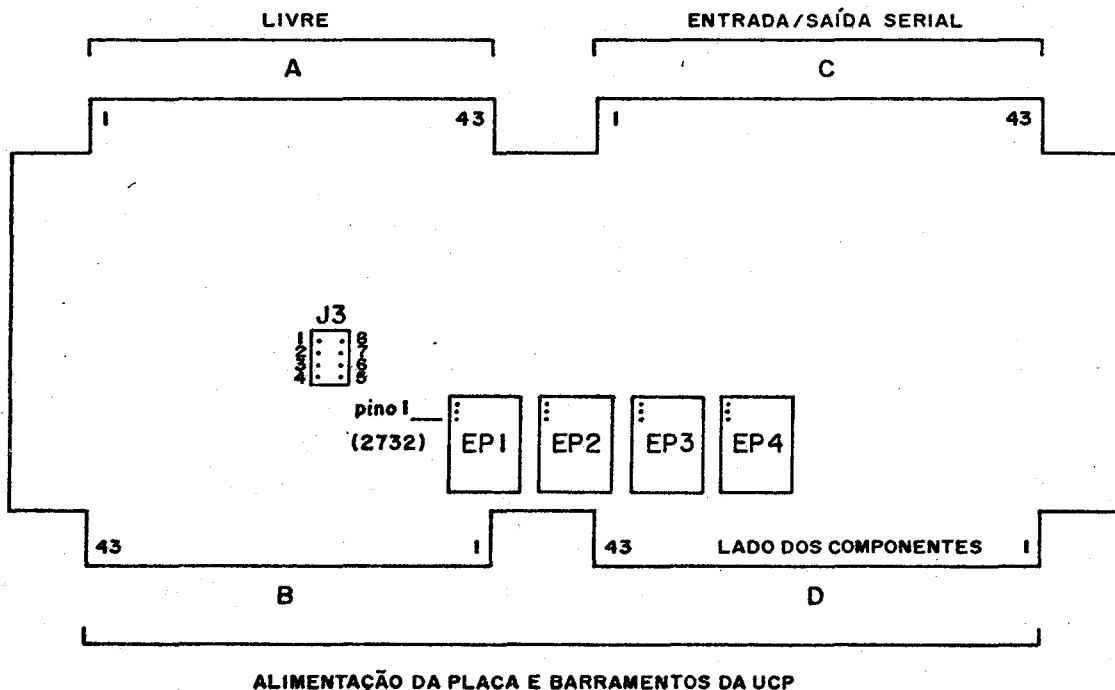


Figura 3.1 - Instalação de E-PROMs e conectores

Tabela 3.1 Configuração dos endereços de E-PROM

Banco	Conexão (J3)	Endereços (hexadecimal)
Banco 1 (EP1 e EP2)	-	000000 a 001FFF
	1-8	002000 a 003FFF
Banco 2 (EP3 e EP4)	2-7	002000 a 003FFF
	3-6	004000 a 005FFF
	4-5	006000 a 007FFF

Inicialmente, está conectada apenas a ligação 2-7.

Para utilização de E-PROMs 2764 no banco 1, de-
vem-se conectar simultaneamente 1-8 e 3-6, desconectado
2-7 para reconfigurar também convenientemente o endereça-
mento do banco 2.

Para utilização de E-PROMs 2764 no banco 2, de-
vem-se conectar simultaneamente as ligações 3-6 e 4-5,
mantendo a(s) ligação(ões) correspondente(s) no banco 1,
conectadas e a ligação 2-7 desconectada.

No caso de não se utilizar um dos bancos de E-PROMs
na placa, deve-se configurar convenientemente o jumper J4
(ver item 3-7 opções de configuração). Observe-se que o
banco 1 deve sempre ser utilizado, visto que os primei-
ros 1024 bytes de memória são usados pelo 68000 para ve-
tores de inicialização e interrupção auto-vetorada, bem
como tratamento de exceções.

OBSERVAÇÃO IMPORTANTE: na instalação da E-PROMs 2732, cuidar pa-
ra que o pino 1 da E-PROM seja conectado
ao pino 3 do soquete (ver figura 3-1)

3.2 Conectores de borda:

A figura 3-1 mostra também a localização e pinagem dos conectores da placa. As tabelas 3-2, 3-3 e 3-4, a seguir, relacionam os pinos e respectivos sinais.

As funções dos sinais de barramento da UCP podem ser encontradas no item 4-2. Nos itens 3-3, 3-4 e 3-5 é mostrada a utilização do conector de E/S "C". As funções dos sinais deste conector são explicadas no item 4-5.

Observe-se que o conector A está livre, podendo ser utilizado em futuras expansões.

Tabela 3-2 - Conector B

LADO DOS COMPONENTES		LADO DA FIAÇÃO	
1	+5V	2	+5V
3	N/C	4	UDAT/
5	N/C	6	UPROG/
7	N/C	8	SDAT/
9	N/C	10	SPROG/
11	N/C	12	INTAC/
13	N/C	14	INT1/
15	N/C	16	INT2/
17	N/C	18	INT3/
19	N/C	20	RESET/
21	N/C	22	HALT/
23	N/C	24	CLK/
25	N/C	26	DTACK/
27	N/C	28	WRITE
29	N/C	30	LDS
31	N/C	32	UDS
33	N/C	34	AS/
35	N/C	36	N/C
37	-12V	38	-12V
39	N/C	40	N/C
41	+12V	42	+12V
43	GND	44	GND

Tabela 3.3 - Conector D

LADO DOS COMPONENTES		LADO DA FIAÇÃO	
1	N/C	2	N/C
3	D15	4	D11
5	D14	6	D10
7	D13	8	D9
9	D12	10	D8
11	D7	12	D3
13	D6	14	D2
15	D5	16	D1
17	D4	18	D0
19	A1	20	A2
21	A3	22	A4
23	A5	24	A6
25	A7	26	A8
27	A9	28	A10
29	A11	30	A12
31	A13	32	A14
33	A15	34	A16
35	A17	35	A18
37	A19	38	A20
39	A21	40	A22
41	A23	42	N/C
43	N/C	44	N/C

Tabela 3.4 - Conector C

LADO DOS COMPONENTES		LADO DA FIAÇÃO	
1	N/C	2	GND
3	N/C	4	TTY RX
5	N/C	6	TTY RX RT
7	N/C	8	TXDATA-A
9	N/C	10	N/C
11	N/C	12	RXDATA-A
13	N/C	14	TTY TX RIN
15	N/C	16	TTY TX
17	N/C	18	TXDATA-B
19	N/C	20	RXDATA-B
21	N/C	22	REQ.TO SEND-B
23	N/C	24	CLEARIOSEND-B
25	N/C	26	DTREADY-B
27	N/C	28	DSREADY-B
29	N/C	30	N/C
31	N/C	32	N/C
33	N/C	34	N/C
35	N/C	36	N/C
37	N/C	38	N/C
39	N/C	40	N/C
41	N/C	42	N/C
43	N/C	44	N/C

3.3 Interfaces Genéricas RS-232C

A figura 3-2 mostra a forma de ligação do conector C para utilização das interfaces RS-232C tanto no canal A do 3887, como no canal B. Observe-se a presença de apenas dois sinais no caso do canal A, permitindo apenas comunicação assíncrona full-duplex.

Para utilização deste tipo de interface no canal A deve ser reconfigurado o jumper J8 (ver item 3.7), o mesmo aplicando-se para o canal B.

As taxas de transmissão e recepção são ajustadas pelos jumpers J6 e J7 (ver itens 3-7 e 4-5).

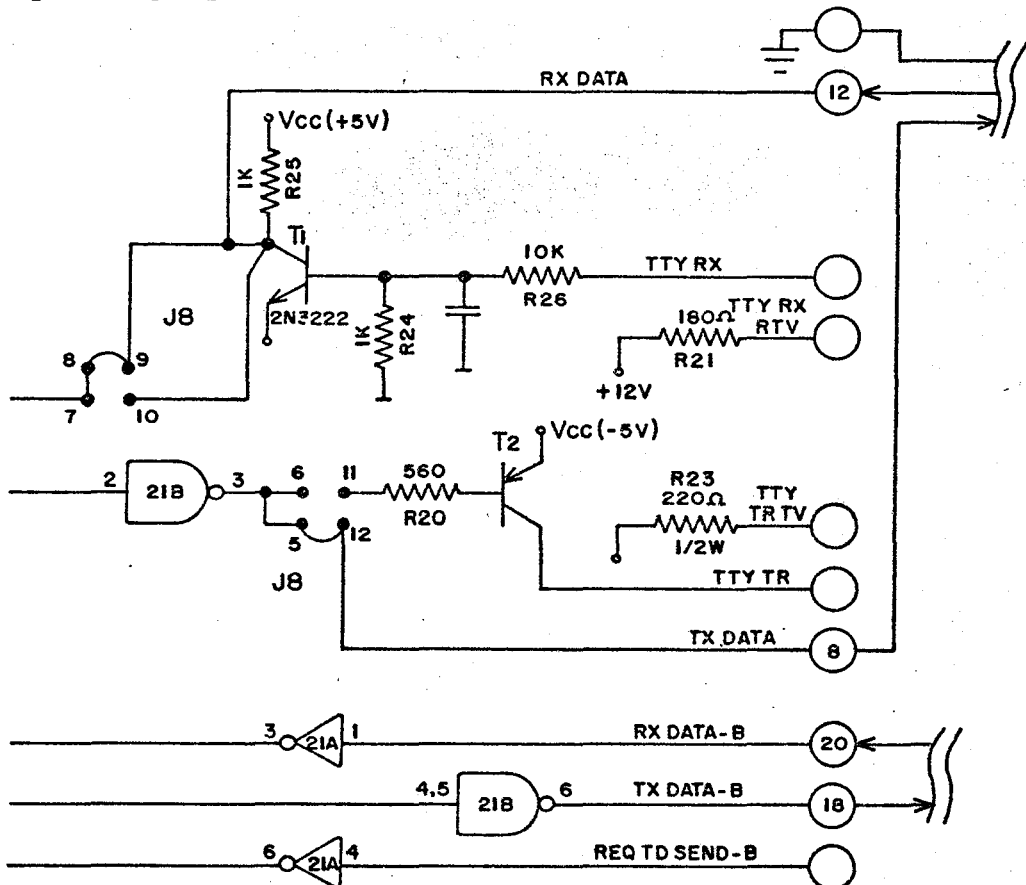


Figura 3.2 - Utilização das interfaces RS-232C

3.4 Interface da loop de corrente (TTY)

A figura 3.3 mostra a forma de ligação do conector C para utilização da interface do loop de corrente no canal A.

Para tanto, deve-se verificar a configuração do jumper J8 (ver item 3.7), e ajustado o jumper J6 para uma taxa de transmissão/recepção de 110 BPS (ver item 3.7 e 4.5).

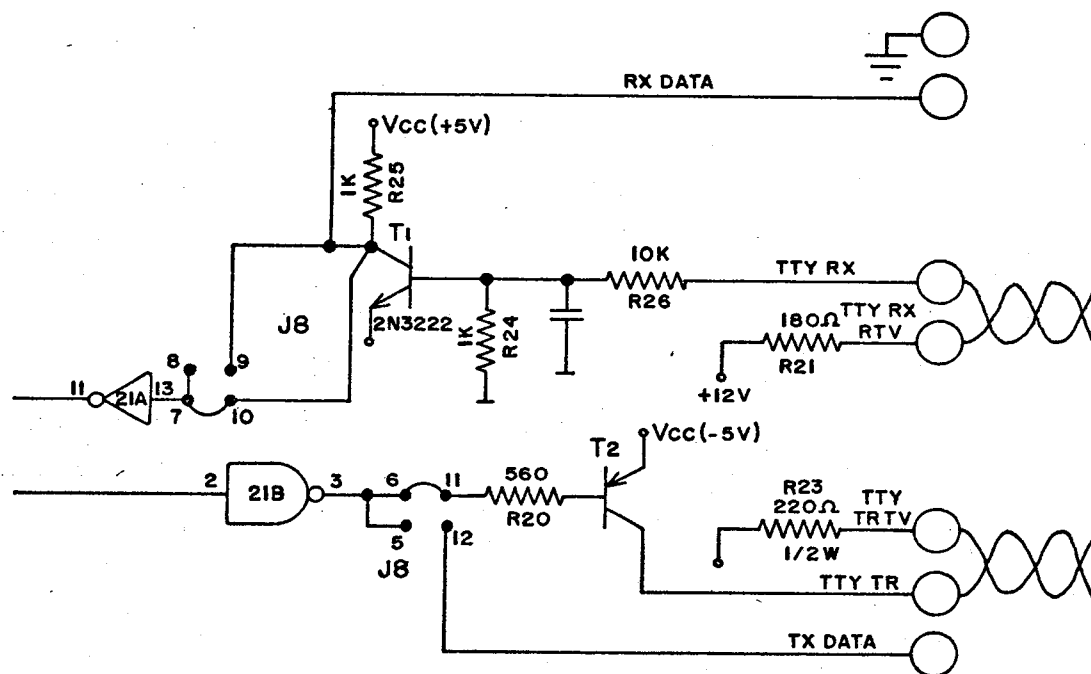


Figura 3.3 - Interfaces de loop de corrente

3.5 Interface com o Nixdorf

A figura 3.3 mostra também a forma de ligação do conector C para utilização do interface com o minicomputador Nixdorf no canal B do 3887.

Para tanto, deve-se verificar a configuração do

jumper J8 (ver item 3.7), e ajustado o jumper J7 para uma taxa de transmissão/recepção equivalente à do Nixdorf (ver itens 3-7 e 4-5).

3.6 Expansões

Não foi previsto espaço na placa para expansão de memória ou entrada/saída. Entretanto, a grande capacidade de endereçamento do 68000 permite a conexão de até 16 MBytes, entre memória e registradores de E/S.

Na placa, estão disponíveis os sinais bufferizados do barramento interno nos conectores B e D. Além disso, há possibilidade de utilização do conector A para ligação de outros sinais que se fizerem eventualmente necessários.

Aconselha-se a consulta das seções 4.1 a 4.7 e dos apêndices A a D, para melhor compreensão do funcionamento da placa, no caso de se desejar fazer expansões.

3.7 Opções de configuração

Vários "jumpers", ilustrados na figura 3-4, devem ser convenientemente conectados para configurar a placa em um determinado modo de funcionamento.

Segue-se um resumo das opções de configuração da placa, com base na figura 3-4. A descrição da função de cada um deles é feita em seções específicas ao longo do capítulo 4, referidas no resumo.

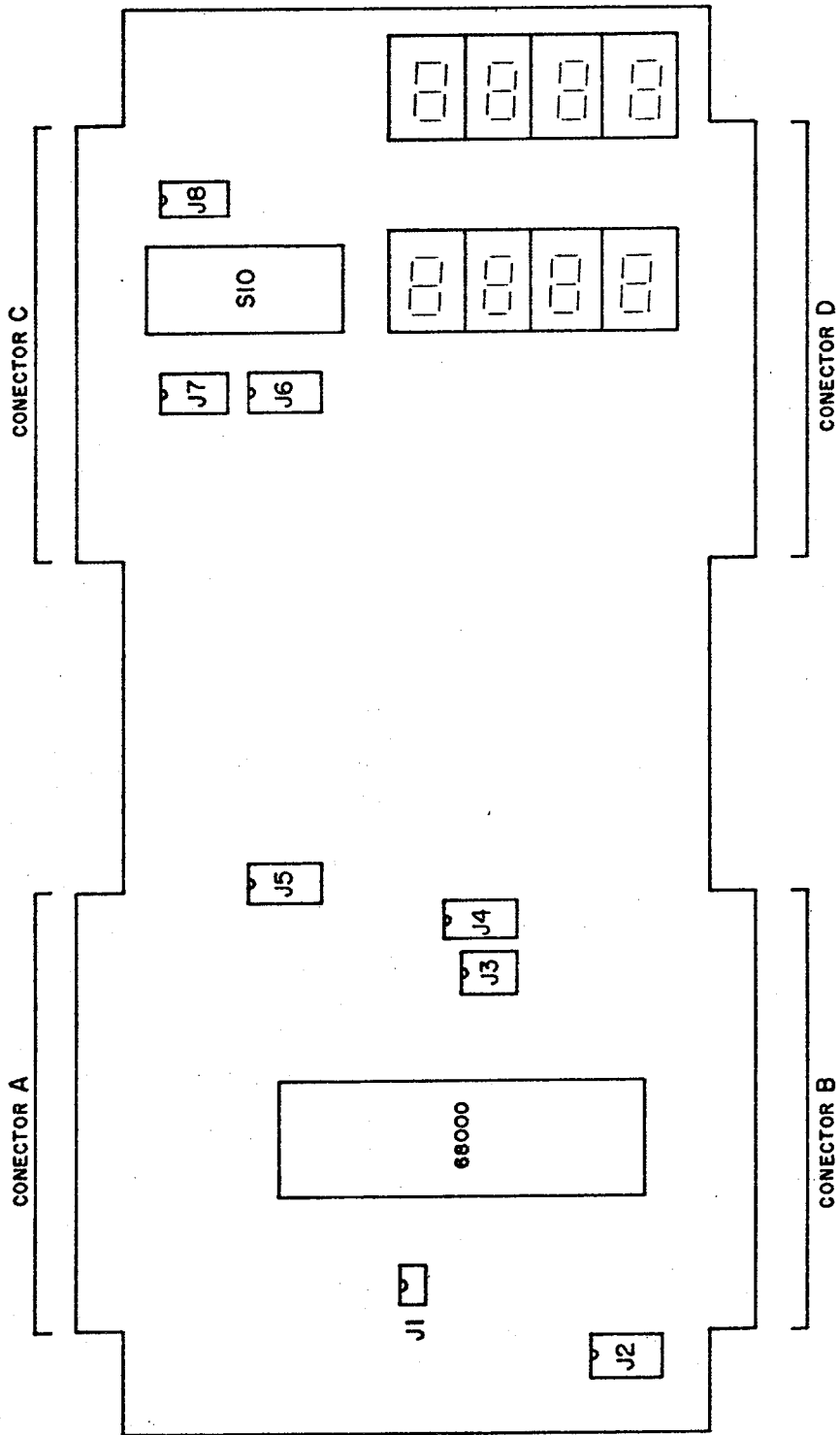


Figure 3.4-"Jumpers" de configuração (lado dos componentes).

J1 = configura a frequência do relógio da UPC:

- (1-4) - 5 MHz
- (2-3) - 2.5 MHz

J2 = configura as linhas da requisição de interrupção para a UCP:

- (1-14) - Nível 1
- (2-13) - Nível 2
- (3-12) - Nível 3
- (4-11) - Nível 4
- (5-10) - Nível 5
- (6-9) - Nível 6
- (7-8) - Nível 7

J3 = permite variar os intervalos de memória abrangidos pelos bancos de REPR0M 1 e 2, de acordo com o tipo de circuitos integrado utilizado (2732 ou 2764):

- (1-8) - agrega endereços 2000 a 3FFF (hexa) ao banco 1
- (2-7) - agrega endereços 2000 a 3FFF (hexa) ao banco 2
- (3-6) - agrega endereços 4000 a 5FFF (hexa) ao banco 2
- (4-5) - agrega endereços 6000 a 7FFF (hexa) ao banco 2

J4 = seleciona os bancos de memória e periféricos em uso na placa

- (1- 1) - banco 1 de PROM em uso
- (2- 2) - banco 2 de PROM em uso
- (3- 3) - banco 1 de RAM em uso
- (4- 4) - banco 2 de RAM em uso
- (5- 5) - E/S serial em uso

J5 = permite variar o atraso inserido na asserção do sinal DTACK/ para comunicação entre a UCP e os canais de E/S serial:

(1-16) - 250 ns
(2-15) - 500 ns
(3-14) - 750 ns
(4-15) - 1000 ns
(5-12) - 1250 ns
(6-11) - 1500 ns
(7-10) - 1750 ns
(8-9) - 2000 ns

J6 e J7 = configuram, respectivamente, as taxas de comunicação serial dos canais A e B:

(1-16) - 9600 BPS
(2-15) - 4800 BPS
(3-14) - 2400 BPS
(4-13) - 1200 BPS
(5-12) - 600 BPS
(6-11) - 300 BPS
(7-10) - 150 BPS
(8-9) - 110 BPS

J8 = configura as interfaces de E/S serial:

a) para o canal A:

(5-12) - saída em nível RS-232
(6-11) - saída em loop de corrente
(7-10) - entrada em loop de corrente
(8-9) - entrada em nível RS-232

b) para o canal B:

(1-16) e (3-14) - comunicação com 2 sinais (RS-232)
(2-15) e (4-13) - comunicação com 6 sinais (RS-232)

4. PRINCÍPIOS DE OPERAÇÃO

4.1 Seqüência de ligação

A placa do kit requer três tensões de alimentação no conector B. A tensão de +5V alimenta toda a placa, com exceção do circuito integrado da saída serial. Este utiliza as tensões de +12V e -12V.

Os sinais de MASSA do conector C estão ligados internamente a MASSA da alimentação.

Quando a placa é ligada, um circuito RC gera um RESET para a UCP e para o controlador de E/S serial. O mesmo ocorre se for pressionado o botão de RESET (cor vermelha), localizado no canto superior esquerdo da placa. A UCP executa então a seqüência de inicialização, que consiste em carregar o "stack pointer" do sistema com os conteúdos da 1ª e 2ª palavra de memória, e o "program counter" com os conteúdos da 3ª e 4ª palavras. Estes últimos formam o endereço inicial da rotina de inicialização do sistema.

4.2 Funções da UCP

A lista de sinais do microprocessador MC68000 que segue descreve o modo como estes sinais são usados para realizar as funções internas da placa. A nomenclatura dos sinais corresponde à utilizada em [MOT 81]:

AS/ - (saída, "three-state") usado da maneira normal para indicar endereço válido; também usado na lógica de geração do sinal VPA/ (ver seção 4.5).

- UDS/,LDS/ - (saídas, "three-state") usados da maneira normal para indicar transferência de dados na parte mais e/ou menos significativa do barramento de dados.
- DTACK/ - (entrada) usada da maneira normal, recebendo o sinal ACK/ que indica atendimento da transferência de dados requerida pela UCP; utilizada também na lógica de passo-a-passo (ver seção 4.6).
- (R/W)/ - (saída, "three-state") usado para indicar ciclo de leitura ou escrita para memória e periféricos, fornecendo também a direção de transferência para os "tranceivers" do barramento de dados da UCP.
- FC0,FC1,FC2 - (saídas, "three-state") utilizadas, depois de decodificadas, para identificar o tipo da atividade de barramento, tanto para fins de monitoração como para reconhecimento de ciclo de atendimento de interrupção (ver seções 4.6 e 4.5, respectivamente).
- IPL0/,IPL1/,IPL2/- (entradas) usadas da maneira normal para indicar requisição e nível da interrupção por parte de periféricos.
- BERR/ - (entrada) não utilizada; por simplificação, não foram incluídos circuitos da detecção de erros de barramento.

- HALT/ - (entrada/saída) usado apenas como saída, para monitoração de suspensão das atividades da UCP por falha não recuperável.
- RESET/ - (entrada/saída, "open-drain") usado da maneira normal para inicializar o microprocessador, permitindo também que o mesmo inicialize por "software" os periféricos que recebem este sinal.
- BR/BG/BGACK/ - não utilizados, uma vez que o microprocessador é o único que controla o barramento, na placa.
- E,VMA/ - não utilizados, uma vez que a comunicação entre UCP e memória/periféricos é feita de forma assíncrona.
- VPA/ - (entrada) utilizada de forma especial durante os ciclos de atendimento de interrupção, para indicar para a UCP que a interrupção é auto-vetorada (ver item 4.5).

As linhas de dados (D0 a D15) e endereço (A1 e A23), bem como o sinal CLK (relógio) são utilizados de maneira usual.

4.3 Estrutura de barramento

A estrutura de barramento da placa está esquematizada na figura 4.1.

As linhas de dados do microprocessador passam por "transceivers" e estão disponíveis no conector D. As linhas de endereço A1 a A15 também passam por "buffers" e estão disponíveis no conector D. As linhas A16 a A23 são utilizadas internamente para seleção dos bancos de RAM, PROM e periféricos, mas não foram buferizados por economia de circuito e espaço.

Não foi necessário colocar "transceivers" nas linhas de dados que chegam aos circuitos de memória e entrada/saída, uma vez que a capacitância dos mesmos é pequena.

Todos os sinais de controle do microprocessador utilizados internamente passam por "buffers" e estão disponíveis no conector B.

4.4 Memória

A figura 4.2 mostra a alocação do espaço da memória na placa.

Os bancos de E-PROM ocupam os primeiros 32 Kbytes da memória. Observe-se que, graças à flexibilidade da utilização de circuitos integrados 2732 e/ou 2764, o mapeamento de tais bancos é variável (ver também item 3-1).

<p>IMPORTANTE: Embora o microprocessador possa acessar uma palavra de 16 bits de memória num único ciclo de barramento, o endereçamento é feito à byte. Portanto, os endereços referidos no mapa consideram a memória organizada a byte.</p>

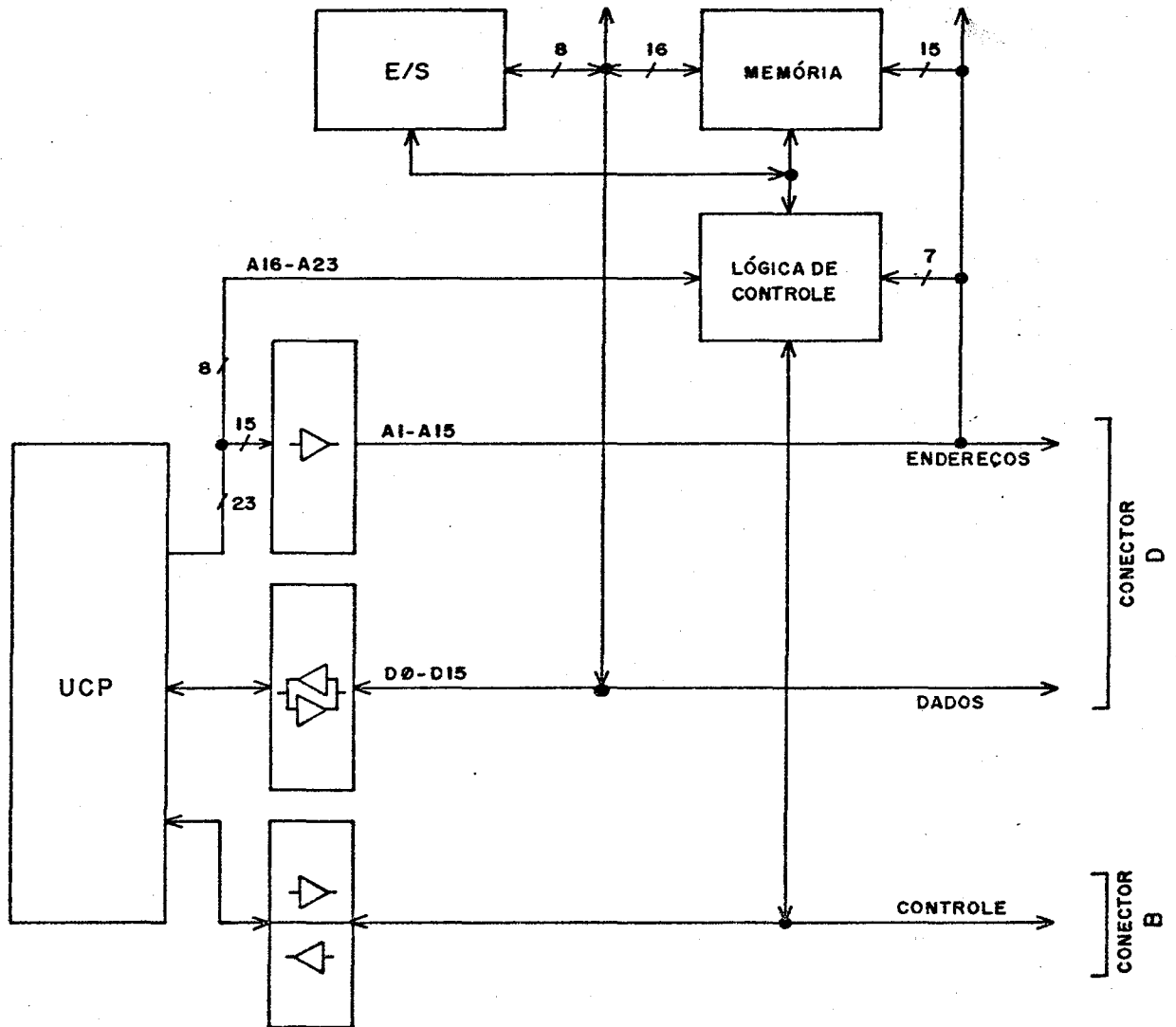


Figura 4.1 - Estrutura de barramento

Os bancos de RAM e a ENTRADA/SAÍDA estão mapeadas no último bloco da 32 Kbytes do espaço de endereçamento da UCP. Isto foi feito para que os mesmos possam ser acessados utilizando-se o modo de endereçamento absoluto curto do 68000, permitindo economia de código de máquina.

Por restrições de espaço e falta de necessidade, foram implementados apenas 8 Kbytes de memória RAM, embora a lógica de seleção gere sinais de habilitação para mais 6 blocos de 4 Kbytes. O último destes blocos é utilizado em parte para mapear os canais de E/S serial (SIO).

Foi utilizada RAM estática de grande capacidade (6116 - 2 Kbytes por "chip"), e um circuito integrado de E/S serial com 2 canais (3887-SIO), tornando pequeno o número de componentes, também por não haver necessidade de "refresh" de memória.

A tentativa de acesso a endereço inválido (não utilizado) ou de escrita em endereço de ROM fazem com que o microprocessador fique indefinidamente parado, esperando a ativação do sinal ACK/.

4.5 Estrada/Saída

Os circuitos de entrada e saída serial existentes na placa compreendem: 2 canais de E/S serial universais, integrados num único CI (MK3887= Z80-SIO); lógica de interfaceamento deste CI com a UCP; interfaces seriais assíncronas (RS-232 e "loop" de corrente) e circuito de geração de "baud-rate" independente para cada canal.

Explicações sobre o funcionamento dos canais de E/S podem ser encontrados em [ZIL 80]. O capítulo 5 deste manual traz um resumo das informações sobre

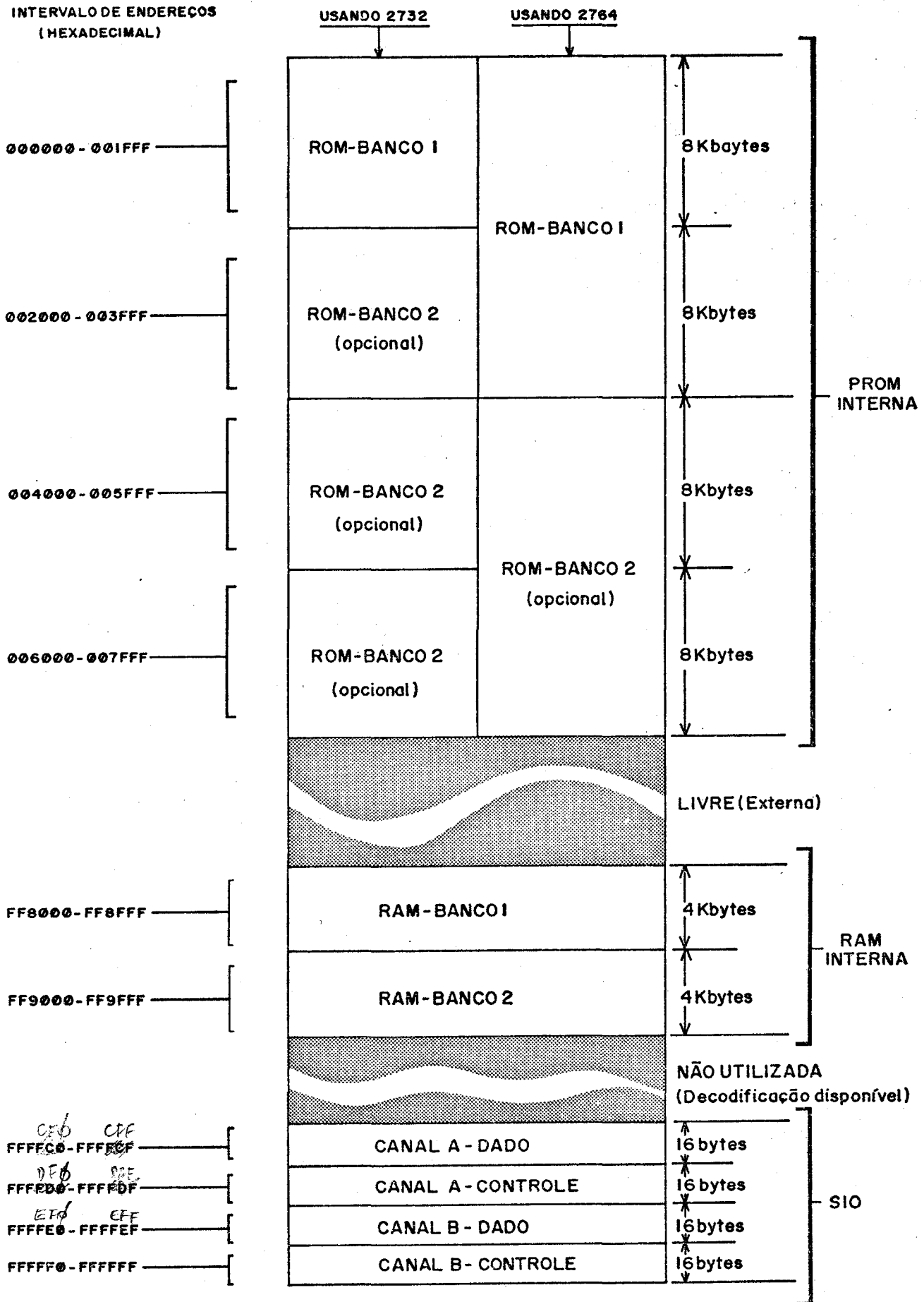


Figura 4.2 - Mapa de endereçamento do kit.

programação dos canais.

A lógica de interfaceamento dos canais de E/S com a UCP se compõe de:

a) lógica de seleção da pastilha: a entrada /saída é mapeada na memória; assim, a figura 4.2 mostra os endereços onde são mapeados os canais de E/S; a conexão (5-5) do jumper J4 deve ser feita.

b) lógica de interrupção da UCP: o sinal de requisição de interrupção do SIO pode ser mapeado em qualquer um dos níveis de interrupção da UCP; a figura 4.3 mostra configurar o "jumper" J2 para isto; por simplificação do hardware, não é feito o "desarme" da requisição de interrupção: isto deve ser feito por software, na rotina de tratamento de interrupção (ver capítulo 5).

c) lógica de adaptação do timing entre SIO e UCP: o "jumper" J5 permite variar a velocidade de comunicação entre SIO e UCP através da introdução de um atraso variável na geração do sinal DTACK/, conforme mostra a figura 4.4.

"JUMPER" J2

Conexão	Nível de interrupção
(1-14)	Nível 1
(1-13)	Nível 2
(1-12)	Nível 3
(1-11)	Nível 4
(1-10)	Nível 5
(1-9)	Nível 6

Figura 4.3 - Configuração de J2 para mapeamento de interrupção do SIO.

"JUMPER" J5

Conexão	Atraso introduzido em DTACK/
(1-16)	250 ns
(2-15)	500 ns
(3-14)	750 ns
(4-13)	1000 ns
(5-12)	1250 ns
(6-11)	1500 ns
(7-10)	1750 ns
(8-9)	2000 ns

*mas funciona
com jumper,
qualquer que
seja*

Figura 4.4 - Configuração de J5.

Os circuitos de interface dos canais são configuráveis através do "jumper" J8, como mostra a figura 4.5. Observe-se que somente o canal A está conectado à interface de "loop" de corrente, assim como somente o canal B está provido de "buffers" e "receivers" para comunicação utilizando os sinais CLEAR TO SEND, REQUEST TO SEND, DATA TERMINAL READY e DATA SET READY.

A taxa de transmissão e recepção de cada canal é configurável pelos "jumpers" J6 (canal A) e J7 (canal B), conforme a figura 4.6 mostra. É necessário, entretanto, colocar previamente o SIO no modo "divisão por 64" (ver capítulo 5 e anexo E).

"JUMPER" J8

CANAL	Configuração	Conexões
A	RS-232	(5-12) e (8-9)
	"Loop" de corrente	(6-11) e (7-10)
B	RS-232 a 2 sinais	(1-16) e (3-14)
	RS-232 a 6 sinais	(2-15) e (4-13)

Figura 4.5 - Configuração das interfaces seriais assíncronas.

"JUMPERS" J6 (CANAL A) e J7 (CANAL B)

CONEXÃO	"BAUD-RATE"
(1-16)	9600 BPS
(2-15)	4800 BPS
(3-14)	2400 BPS
(4-13)	1200 BPS
(5-12)	600 BPS
(6-11)	300 BPS
(7-10)	150 BPS
(8-9)	110 BPS

Figura 4.6 - Seleção da taxa de transmissão/recepção dos canais da E/S.

4.6 Circuitos de depuração

Os circuitos de depuração, incluídos na placa com a função primária de auxiliar na depuração do hardware da mesma, compreendem: lógica de execução passo-a-passo, por ciclo de acesso a barramento; e "leds" e "displays" de 7-segmentos para monitoração dos barramentos.

A lógica de execução passo-a-passo foi implementada com um conjunto de "flip-flops" e chaves que controlam a recepção do sinal DTACK/ por parte da UCP. Assim, o funcionamento da UCP pode ser temporariamente suspensa a cada acesso a barramento, permitindo que seja monitorado o estado do barramento.

O kit pode, então, operar em dois modos, de acordo com a posição da chave CH1 (ver figura 4.7). Com a chave na posição LIVRE, o funcionamento é normal, sem suspensão de ciclos de barramento. Passando a chave para a posição STEP, imediatamente é suspenso o último ciclo

de acesso não completado. Pode-se, então, avançar na execução do programa, pressionando e liberando sucessivamente o botão B2 (figura 4.7).

Os "displays" de monitoração compõem-se de: 4 mostradores de 7-segmentos para monitoração do barramento de dados, representando dígitos hexadecimais; 4 mostradores de 7-segmentos, também hexadecimais, para monitoração dos dígitos menos significativos do endereço sendo acessado, acompanhados de 2 "leds" indicando o "byte" sendo acessado (ver figura 4.7 e 4.8); um "led" indicando se o ciclo é de escrita; 1 "led" (HALT) que, quando aceso, indica suspensão do funcionamento da UCP por falha não recuperável; e 5 "leds" indicando o tipo de ciclo de barramento sendo executado (ver figura 4.7 e 4.9).

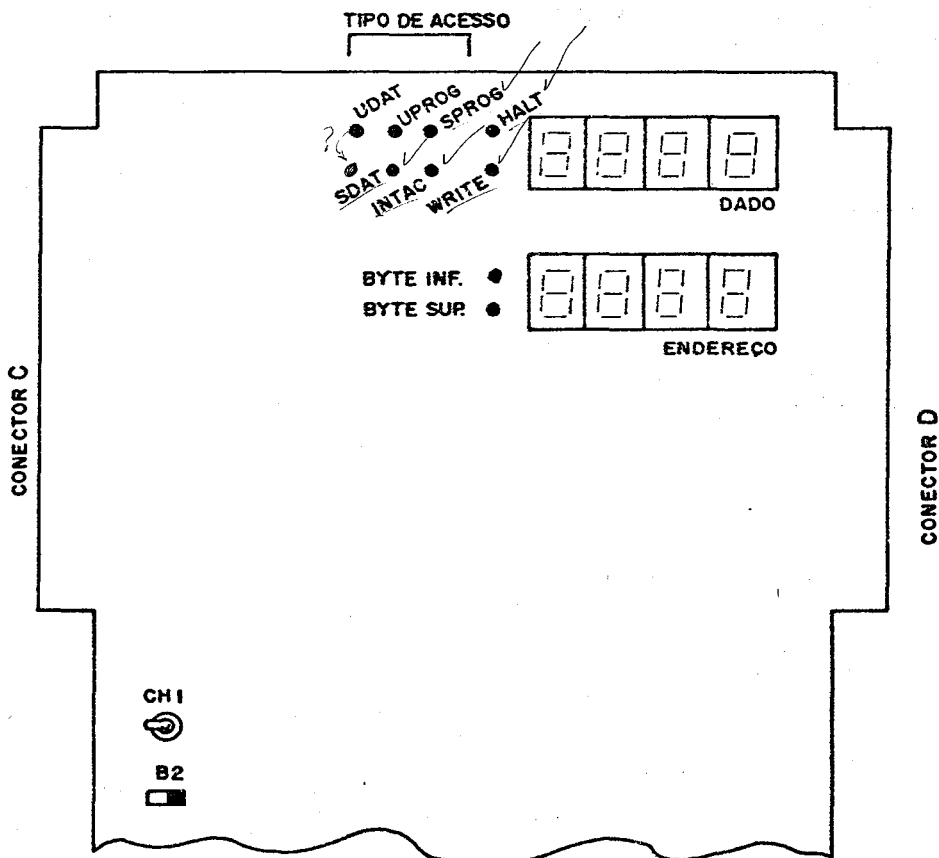


Figura 4.7 - Localização de chaves e "displays" de depuração.

"LEDS"		Significado do conteúdo dos mostradores de endereço:
Byte INF.	BYTE SUP.	
apagado	apagado	barramento em alta impedância
aceso	apagado	endereço do byte sendo <u>aces</u> sado
apagado	aceso	endereço do byte sendo <u>aces</u> sado
aceso	aceso	endereço do byte mas significativo da palavra que está sendo acessada.

Figura 4.8 Monitoração do barramento de endereço.

"LED"	SIGNIFICADO
UDAT	acesso a dado de usuário
UPROG	acesso a programa de usuário
SDAT	acesso a dado do sistema
SPROG	acesso a programa do sistema
INTAC	ciclo de reconhecimento de interrupção

Figura 4.9 Tipos de ciclo de barramento.

4.7 Relógio básico

O sinal básico do relógio do sistema é produzido por um oscilador a cristal de 10 MHz. Dele, derivam o relógio da UCP e dos demais componentes da placa que dele necessitam.

O sinal de relógio da UCP, especificamente, pode ter, alternativamente, duas frequências, sendo confi-

gurado pelo "jumper" J1 (ver figura 4.10).

Observe-se, que a operação à maior frequência (5MHz) só é possível se foram utilizados circuitos de memória com tempo de acesso inferior à 150 ns.

"JUMPER" J1

Conexão	Frequência
(1-4)	5 MHz
(2-3)	2.5 MHz

Figura 4.10 Configuração do relógio da UCP.

5. CONCLUSÕES

O trabalho de desenvolvimento do Kit MPC-68000 não foi relevante somente pelo produto final gerado, mas pelos aspectos de ensino e pesquisa envolvendo conhecimentos de arquitetura e na utilização de componentes de diversas famílias de microprocessadores.

É importante salientar a possibilidade de se anexar ao Kit, memória principal, via conectores de expansão de barramento. O uso de memórias dinâmicas modernas (64Kb, 256Kb) e de periféricos de memória secundária, viabilizaria o uso do Kit como um microcomputador para desenvolvimento de sistemas operacionais, linguagens, etc.

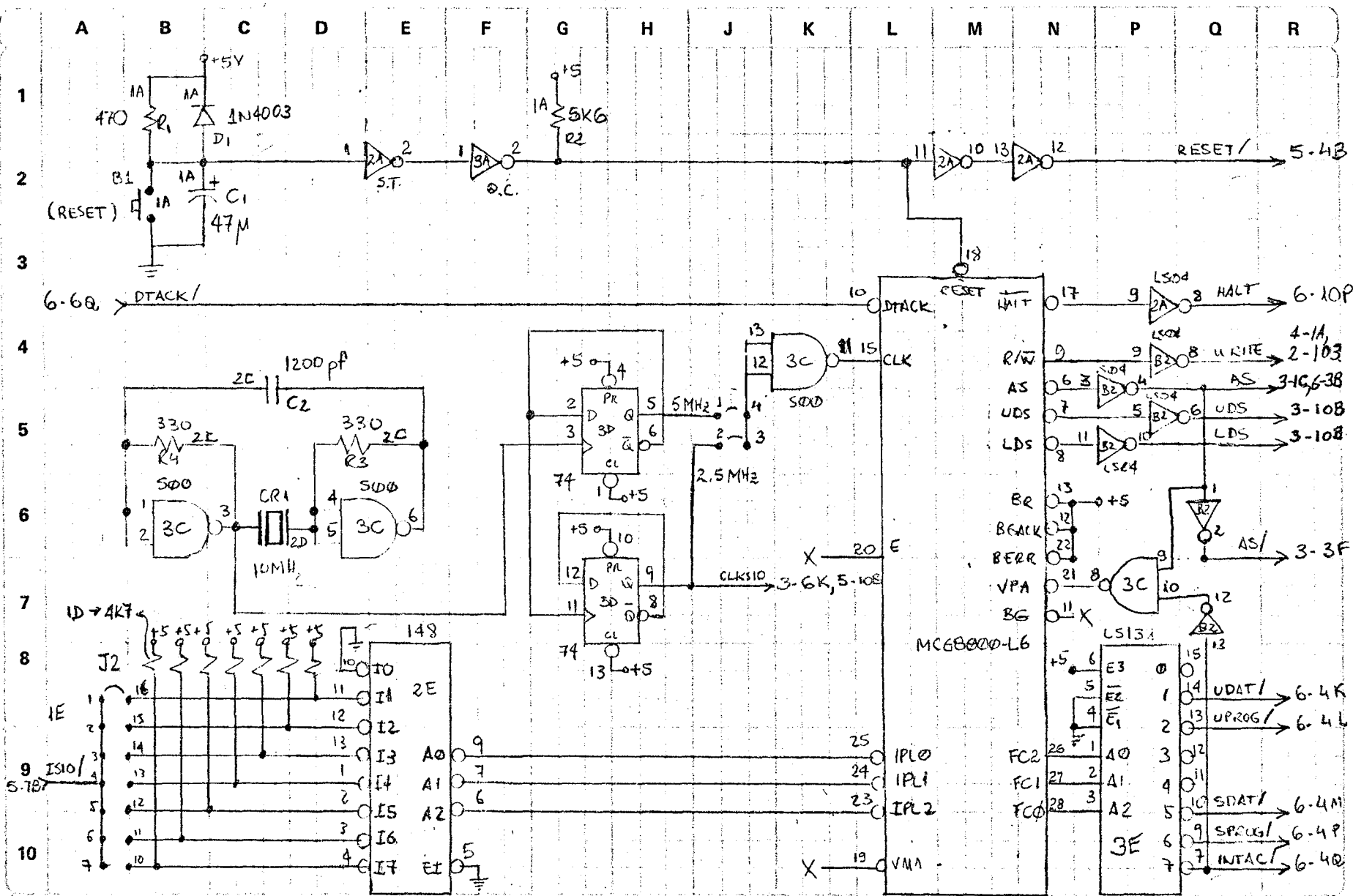
AGRADECIMENTOS

Ao CNPq pelo apoio financeiro e aos assistente e auxiliar de pesquisa, respectivamente Ricardo Scop e Paulo Fernando T. Del Grande pela dedicação ao projeto.

BIBLIOGRAFIA

- [OSB 81] OSBORNE, A. & KANE, G. "16-bit Microprocessor Handbook". Berkeley, 1981.
- [MOT 81] MOTOROLA "Microprocessors Data Manual". Austin, 1981.
- [ZIL 80] ZILOG "Microcomputer Components Data Book". Cupertino, 1980.
- [INT 80] INTEL CORPORATION "Component Data Catalog". Santa Clara, 1980.

ANEXO 1: Diagramas esquemáticos



37

CPGCC - UFRGS

CÓDIGO: PGCC-19020

PROJ: S.X

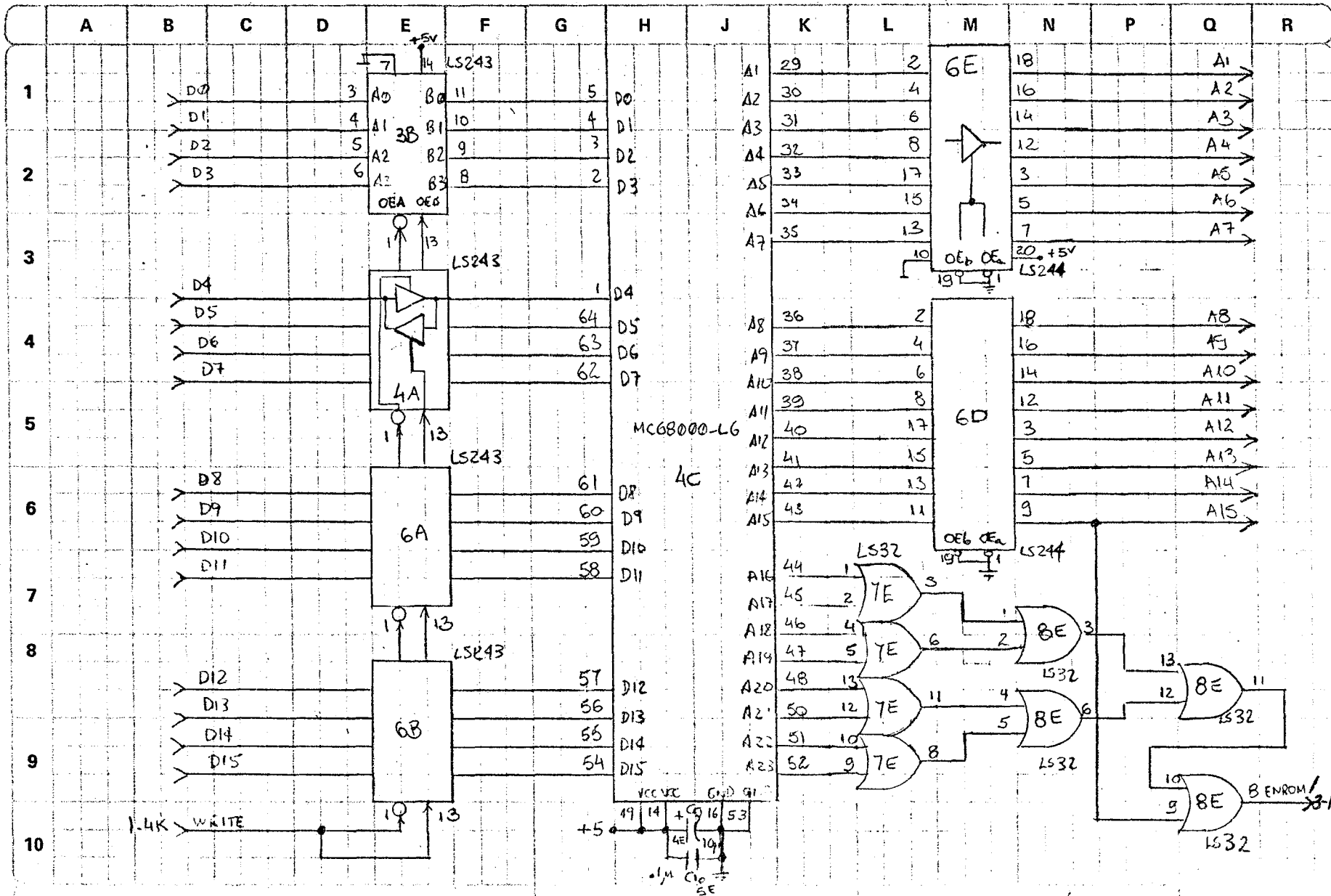
Data:

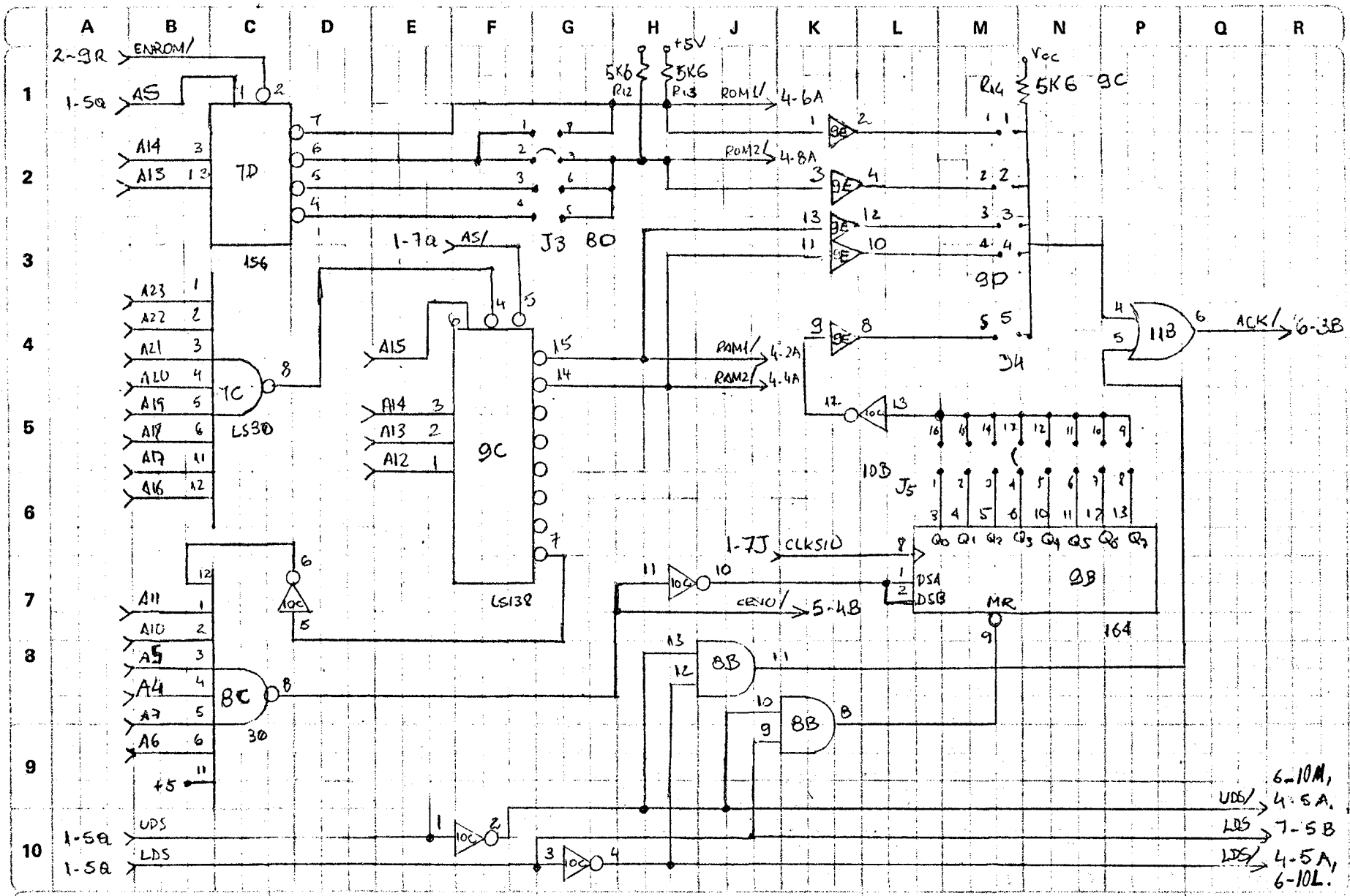
DEPUR:

Data:

Folha: 01 DE 07

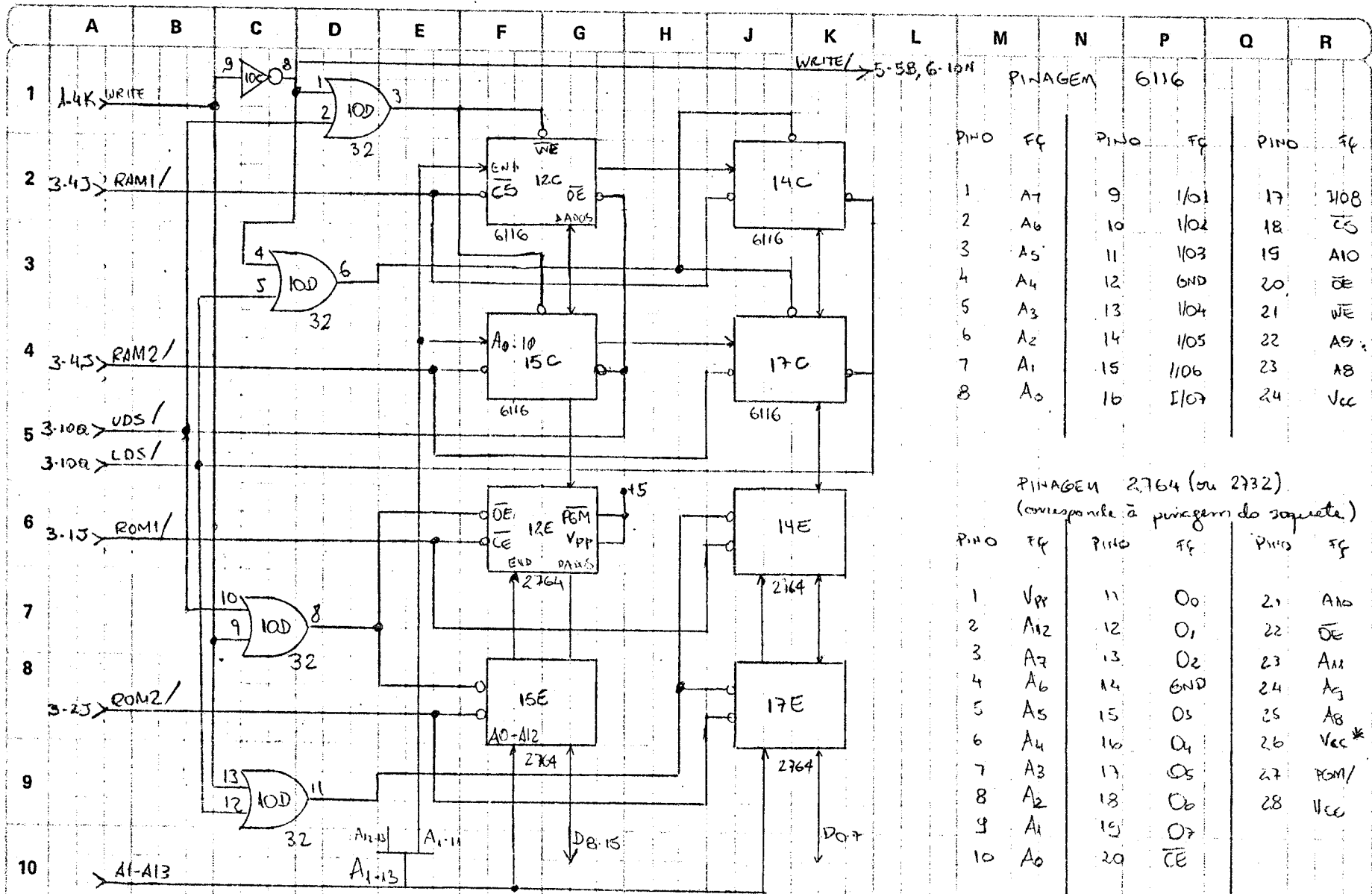
CIRCUITO DE RESET; RELOGIOS DO SISTEMA; MICROPROCESSADOR E BARR. DE CONTROLE





6-10M,
 UDS/ → 4-5A,
 LDS → 7-5B
 1DS → 4-5A,
 6-10L.

DECODIFICAÇÃO DE ENDEREÇOS E
 GERAÇÃO DE SINAL DE RECONHECIMENTO



WRITE → 5-5B, 6-10H

PINAGEM 6116

PINO	FF	PINO	FF	PINO	FF
1	A7	9	1/01	17	1108
2	A6	10	1/02	18	CS
3	A5	11	1/03	19	A10
4	A4	12	GND	20	OE
5	A3	13	1/04	21	WE
6	A2	14	1/05	22	AG
7	A1	15	1/06	23	A8
8	A0	16	1/07	24	Vcc

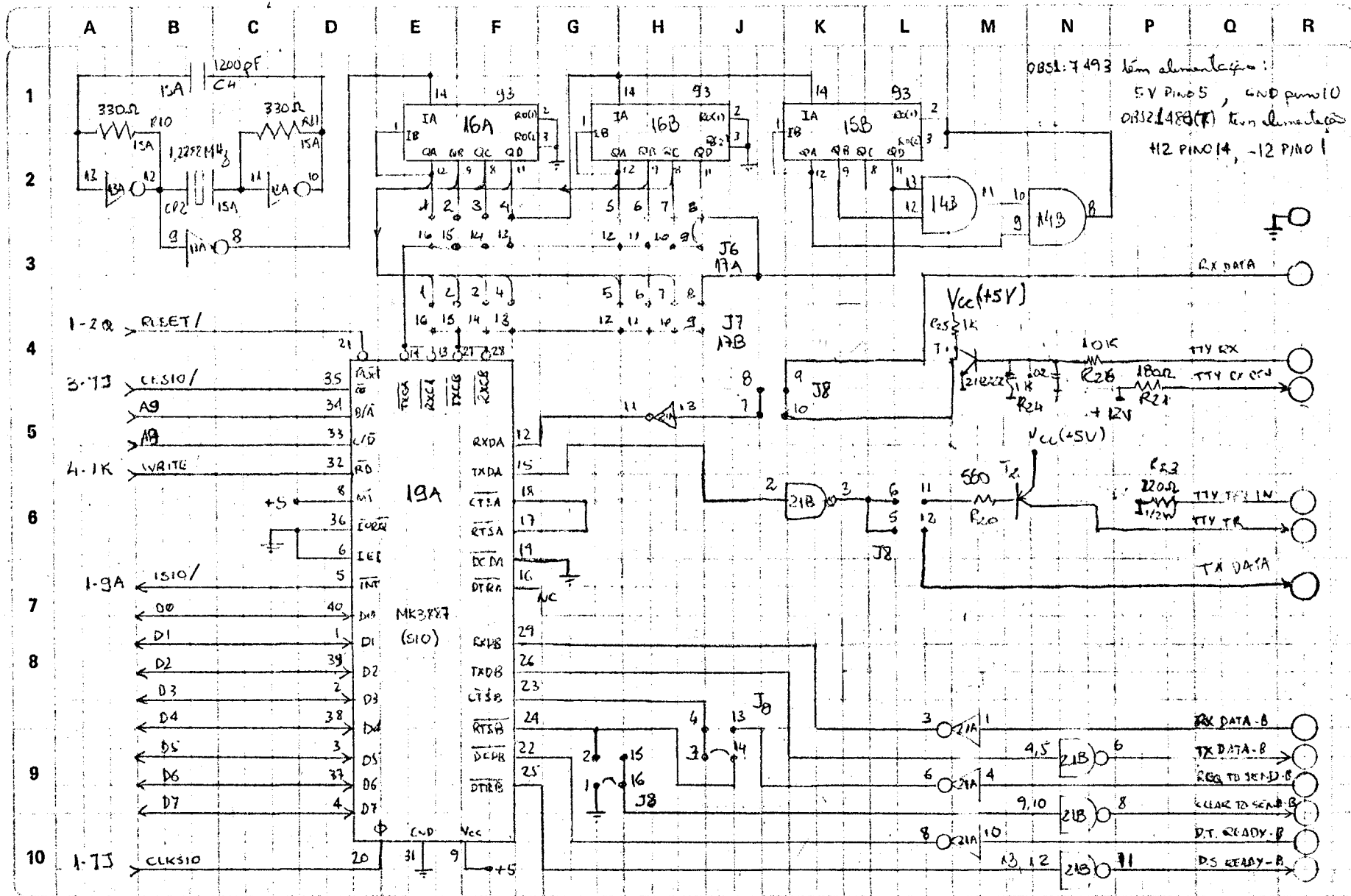
PINAGEM 2764 (ou 2732)

(corresponde à pinagem do soquete)

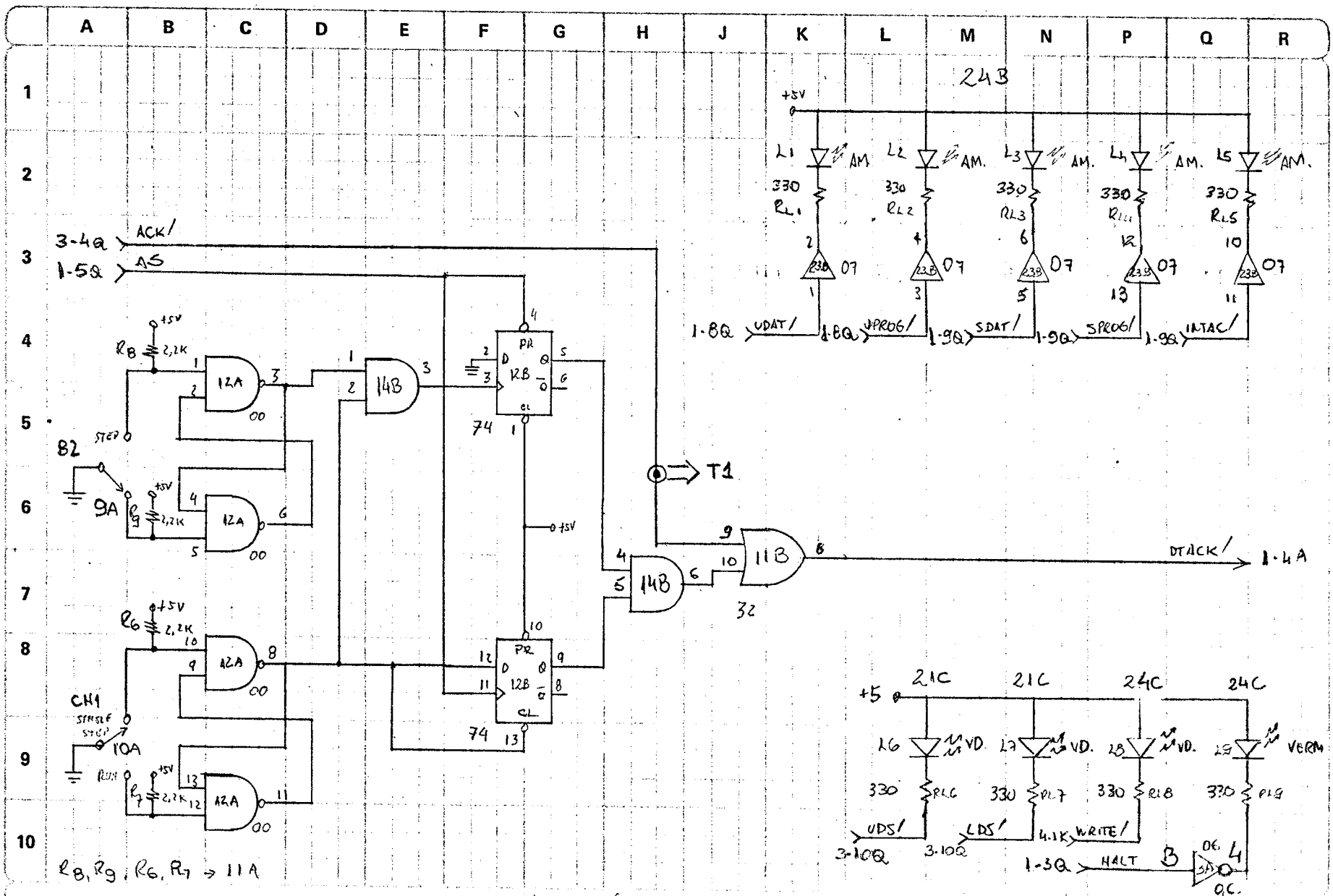
PINO	FF	PINO	FF	PINO	FF
1	Vpp	11	O0	21	A10
2	A12	12	O1	22	OE
3	A7	13	O2	23	A11
4	A6	14	GND	24	A9
5	A5	15	O3	25	A8
6	A4	16	O4	26	Vcc*
7	A3	17	O5	27	ROM/
8	A2	18	O6	28	Vcc
9	A1	19	O7		
10	A0	20	CE		

* Para compatibilidade com a 2732

MEMÓRIAS RAM & EPROM
 BS: PINO 1 2732 = PINO 3 2764



ENTRADA E SAIDA SERIAL: GERACAO DE "BAUD-RATE", SIO E INTERFACES ELETRICAS



CPGCC - UFRGS

CÓDIGO: P6CC-60011

PROJ: *f*

Data:

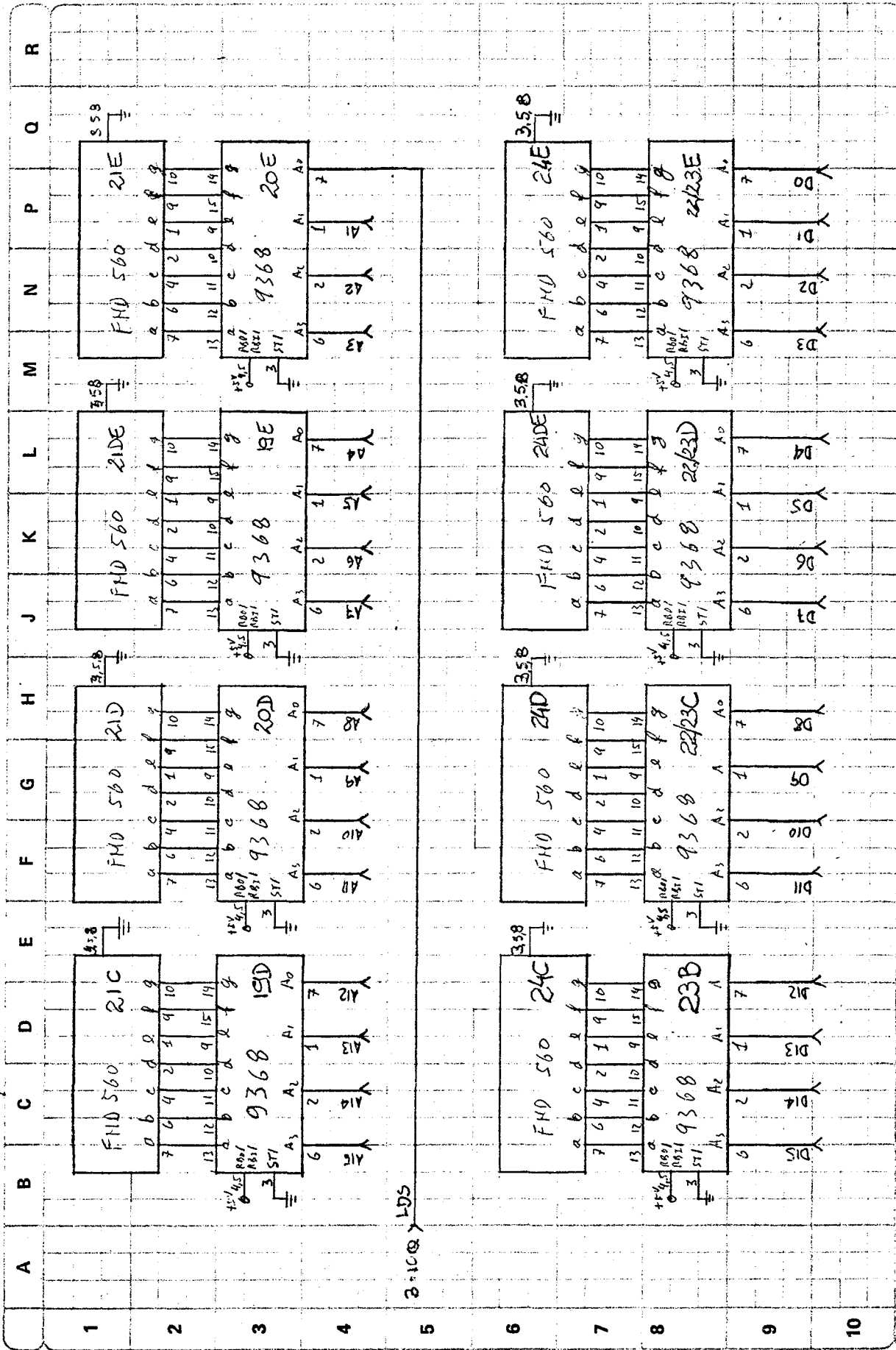
DEPUR.:

Data:

Folha: 06 DE 07

CIRCUITO DE DEPURACAO: LOGICA DE PASSO.

A-PASSO E MONITORACAO DE CONTROLE E STATUS.



CPGCC - UFRGS PROJ.: Data: DEPUR.: Data: 07 DE 07

CIRCUITO DE DEPURACAO: MONITORACAO DOS
SARRAMENTOS DE ENDECE40 E DAPUS

ANEXO 2: Lista de componentes

DESCRIÇÃO DOS COMPONENTES:

45

LOCALIZAÇÃO	TIPO	QUANTIDADE	SOBRA	VCC	MASSA	PAQUETAGEM
4C	MC68000	1	-	14,49	16	1, 2
19A	MK 3887	1	-	9	31	5
C12, C14, C15, C17	2732	4	-	24	12	4
E12, E14, E15, E17	6116	4	-	24	12	4
19D, 19E, 20D, 20E 22B, 22C, 22D, 22E	9368	8	-	16	8	7
3C, 12A	74500	2	-	14	7	1, 6
2B, 10C, 13A	74504	3	3 portas no 13A	14	7	1, 3, 4, 5
3A	7406	1	4 portas	14	7	1, 6
9E, 23B	7407	2	1 porta em cada	14	7	3, 6
14B, 8B	74LS08	2	2 portas no 8B	14	7	3, 5, 6
2A	7414	1	2 portas	14	7	1
7C, 8C	74LS30	2	-	14	7	3
7E, 8E, 10D, 11B	74LS32	4	2 portas no 11B	14	7	2, 3, 4, 6
3D, 12B	7474	2	-	14	7	1, 6
15B, 16A, 16D	7493	3	-	5	10	5
3E, 9C	74LS138	2	-	16	8	1, 3
2E	74LS148	1	-	16	8	1
7D	74LS156	1	-	16	8	3
9B	74LS164	1	-	14	7	3
3B, 4A, 6B, 6A	74LS243	4	-	14	7	2
6D, 6E	74LS244	2	-	20	10	2
21A	1488	1	-	14(+12)	7(-12)	5
21B	1489	1	-	14(+12)	7(-12)	5



UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL
PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO
PORTO ALEGRE - RS - BRASIL

DESCRIÇÃO DOS COMPONENTES

46

LOCALIZAÇÃO	TIPO	QUANTIDADE	SOBRA	VCC	MASSA	PA	INFORMAÇÃO COMPLEMENTAR
21C, 21D, 21DE, 21E	MAN 6780	4	-	3,8	-	7	*
24C, 24D, 24DE, 24E	FND 560	4	-	3,8	-	7	*
2D	CRISTAL 10MHz	1	-	-	-	1	
14A	CRISTAL 1,228MHz	1	-	-	-	5	
C21, C24, B24	FLV 110	9	-	-	-	6	
11A	CHAVE 2 POSIÇÕES JOTO	1	-	-	-	6	
10A	CHAVE CONTATO MOMENTÂNEO	1	-	-	-	6	
1A	CHAVE BOTÃO CONTATO MOMENTÂNEO	1	-	-	-	1	
23A	TRANSISTOR 2N 2222	1	-	-	-	5	
23A	TRANSISTOR 2907	1	-	-	-	5	
1A	DIODO 1N4003	1	-	-	-	1	
4E, 5E	CAPACITORES TANTALO - 10µF	2	-	-	-	2	
3B	CAPACITOR 2n2	1	-	-	-	1	
1A	CAPACITOR 47µF	1	-	-	-	1	
15A	CAPACITOR 6n8	1	-	-	-	5	
23A	CAPACITOR 470nF	1	-	-	-	5	
NAS LATERAIS DA PLACA	CAPACITORES 150nF	47	-	-	-	-	
2C	SOQUETE 9/ JUMPER - 4 PINOS	1					
10B, 17A 17B, 20A	SOQUETE 8/ 16 - PINOS	4					
1E	SOQUETE 8/ 14 - PINOS	1					
8D	SOQUETE 8/ 8 - PINOS	1					
9D	SOQUETE 9/ 12 PINOS	1					
23A	RESISTOR 1/8W 1K	1					
22A	RESISTOR 1/8W 180Ω	1					
22A	RESISTOR 1/8W 220Ω	1					

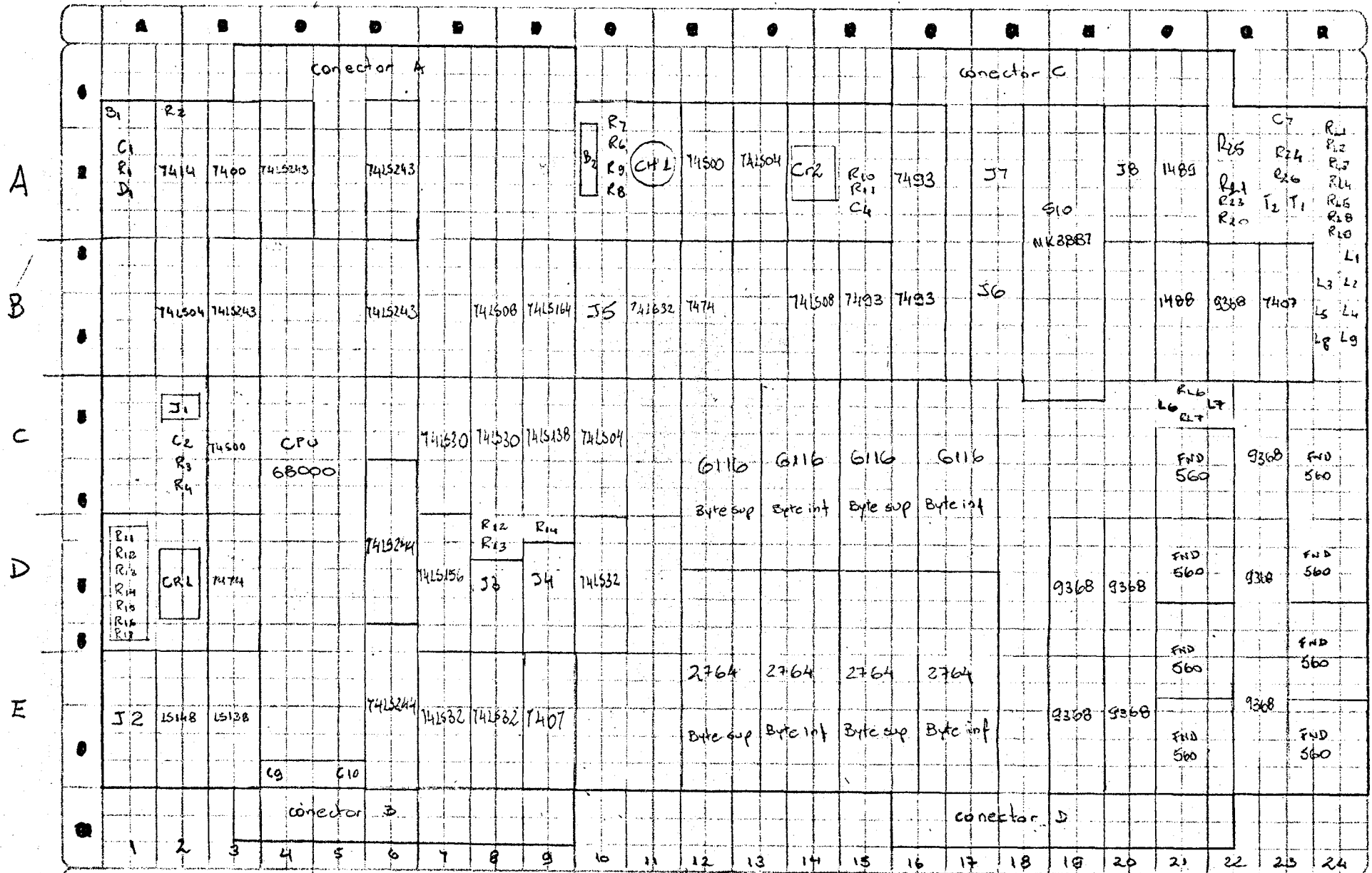


UNIVERSIDADE FEDERAL
DO RIO GRANDE DO SUL
PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO
PORTO ALEGRE - RS - BRASIL

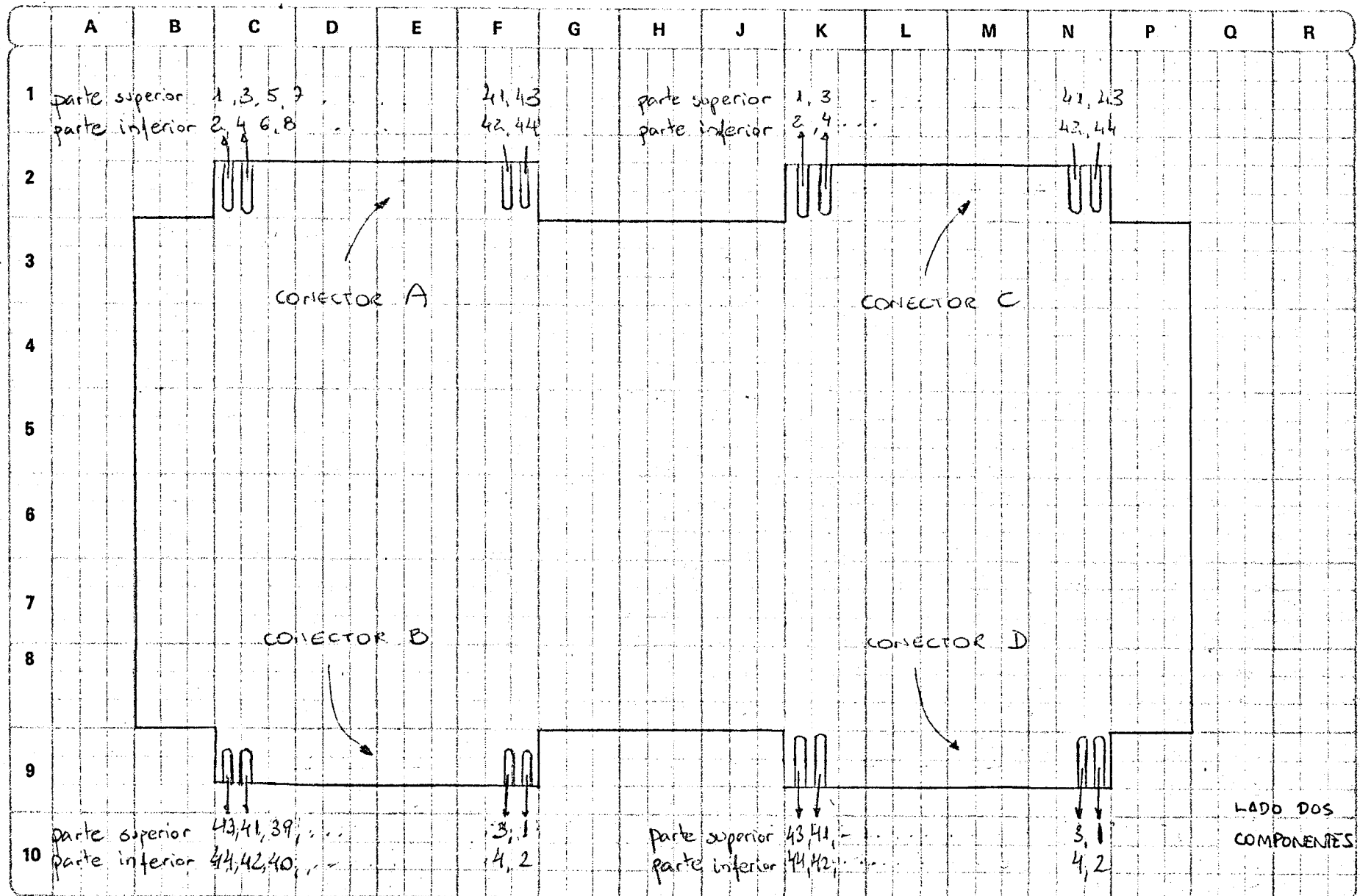
DESCRIÇÃO DOS COMPONENTES

LOCALIZAÇÃO	TIPO	QUANTIDADE	SOBRA	VCC	MASSA	INFORMAÇÃO COMPLEMENTAR
11A	RESISTOR 1/8W 2,2 K	4				
23A	RESISTOR 1/8W 10K	1				
1D, 2A 8E, 9E	RESISTOR 1/8W 5,6 K	11				
SOQUETES UTILIZADOS P/ OS CHIPS						
	Nº DE PINOS	QUANTIDADE				
	64	1				
	40	1				
	32	4				
	24	8				
	20	2				
	16	12				
	14	25				
2C, 15A 20C, 21C, 24A	330Ω, 1/8W	13				
1A	470Ω, 1/8W	1				
22A	560Ω, 1/8W	1				
22A	1,2KΩ, 1/8W	1				

ANEXO 3: Localização de componentes



Anexo 4: Conectores



51

CPGCC – UFRGS CÓDIGO: PROJ.: Data: DEPUR.: Data: Folha: DE

VISTA DE CIMA DA PLACA
DEFINIÇÃO DOS CONECTORES

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	Q	R		
1	CONECTOR B (alimentação e sinais do micro)					CONECTOR C (SIO - porta serial)					CONECTOR D (barramento de dados e endereços)							
2	Sinal		posição			Sinal		posição			Sinal		posição		Sinal		posição	
	+5V		1 e 2			GROUND		2			D15		3		A23		41	
	UDAT/		4			TTY RX		4			D14		5		A22		40	
3	UPROG/		6			TTY RX RTN		6			D13		7		A21		39	
	SPAT/		8			TX DATA-A		8			D12		9		A20		38	
	SPROG/		10			RX DATA-A		12			D11		4		A19		37	
4	INTAC/		12			TTY TX RTN		14			D10		6		A18		36	
	INT 1 /		14			TTY TX		16			D9		8		A17		35	
	INT 2 /		16			TX DATA B		18			D8		10		A16		34	
5	INT 3 /		18			RX DATA B		20			D7		11		A15		33	
	RESET/		20			REQ TO SEND-B		22			D6		13		A14		32	
	HALT/		22			CLEAR TO SEND-B		24			D5		15		A13		31	
6	OK/		24			D.T. READY B		26			D4		17		A12		30	
	STACK/		26			DS READY B		28			D3		12		A11		29	
	WRITE		28								D2		14		A10		28	
7	LDS		30								D1		16		A9		27	
	UDS		32								D0		18		A8		26	
8	AS/		34												A7		25	
	+12V		37 e 38												A6		24	
	+12V		41 e 42												A5		23	
9	GROUND		43 e 44												A4		22	
															A3		21	
															A2		20	
10															A1		19	

52

CPGCC - UFRGS

CÓDIGO:

PROJ.:

Data:

DEPUR.:

Data:

Folha:

DE

SINAIS LIGADOS A CONECTORES