

**080** UMA NOVA VERSÃO PARA O EXTRATOR LÓGICO EXTALOC  
Do Instituto de Engenharia de Eletrônica e Física (Grupo de Microeletrônica,  
Pós-graduação em Ciência da Computação, UFRGS).

O extrator lógico EXTRALO é uma das ferramentas de CAD para circuitos integrados disponíveis no GRUPO DE MICROELETRÔNICA DA UFRGS (GHE-UFRGS). EXTRALO gera uma descrição do circuito a nível de portas lógicas a partir da descrição a nível de transistores. Era preciso modificar a ferramenta para permitir a sua integração a um novo software também desenvolvido na UFRGS: o simulador lógico PRESTO. Com a compatibilidade entre o simulador lógico e o extrator lógico o usuário tem um caminho direto para a verificação do layout do circuito: a partir da descrição do circuito extraída do layout na forma de uma netlist de transistores é possível gerar diretamente uma entrada para o simulador lógico. Ou seja, EXTRALO recebe uma rede de transistores e devolve uma descrição compatível com o formato de entrada para simulação do simulador PRESTO. A nova versão do EXTRALO tem um novo formato para o arquivo de saída, o que representou apenas uma adaptação da versão anterior. Outras mudanças dizem respeito ao tratamento dado aos transistores, que na versão antiga não eram reconhecidos pelo programa. Esta limitação devia ser suprimida pois transistores de passagem são estruturas bastante usadas na prática. Como última modificação necessária, EXTRALO devia ser capaz de decompor arranjos de transistores mais complexos (super portas) em funções lógicas simples, pois necessário que a descrição do circuito no arquivo de saída seja composta somente de primitivas reconhecidas pelo simulador PRESTO, ou seja, as super portas devem ser decompostas em componentes mais simples (NAND, AND, NOR, OR, INVERSOR). Esta última modificação implicou em uma alteração mais profunda do programa original, com o uso de algoritmos diferentes dos anteriores, entretanto, foi necessária para assegurar a perfeita integração com o simulador PRESTO.  
(CNPq),