

Máquinas de Estados Finitas (MEFs) são um modelo teórico geral para se descrever hardware e FPGAs (Field Programmable Gate-Arrays) são circuitos programáveis adequados para a prototipação rápida. Neste trabalho levantam-se os requisitos de implementação de MEFs em uma dada família de FPGAs. A implementação de circuitos combinacionais em FPGAs é um assunto bastante explorado na literatura. Por outro lado, a implementação de circuitos seqüenciais é de mais difícil tratamento nas famílias de FPGAs disponíveis. Procura-se, aqui, facilitar o desenvolvimento de técnicas automatizadas adequadas de projeto seqüencial que visem adaptar descrições de MEFs a sua implementação eficaz sobre uma família específica de FPGAs. Entre as técnicas citadas acima, valoriza-se a minimização e a codificação de estados. Consideramos, sobretudo, as restrições de projeto impostas pela família de FPGAs em questão, bem como o tipo de FPGA, considerando: o número máximo de entradas e saídas do circuito (grau de interconexão externa); o tamanho de registrador de estados (grau de interconexão interna); e a complexidade das funções de próximo estado e saída.