

45/82

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
PÓS-GRADUAÇÃO EM CIÊNCIA DA COMPUTAÇÃO

GERAÇÃO DE ELIPSES EM PROCESSADORES
DE EXIBIÇÃO GRÁFICA

por

INGRID ELEONORA SCHREIBER JANSCH

Dissertação submetida como requisito parcial para
a obtenção do grau de Mestre em
Ciência da Computação

Prof. Anatólio Laschuk
Orientador



Porto Alegre, Fevereiro de 1982.

UFRGS
BIBLIOTECA
CPD/PGCC

Jansch, Ingrid Eleonora Schreiber

Geração de elipses em processadores de exibição gráfica. Porto Alegre, PGCC da UFRGS, 1982.

318p.

Dissertação (mestr. ci. comp.) PGCC/UFRGS, Porto Alegre, 1982.

Dissertação: Geração de elipses
Processadores gráficos
Analisadores diferenciais digitais
Técnicas de integração
I²L
Projeto de microcircuitos
Sistemas gráficos interativos

UFRGS CPD - PGCC BIBLIOTECA		
N.º CHAMADA:	681.327.16(043) J 35g	N.º REG.: 1432
ORIGEM:	D	DATA: 05/08/82
FUNDO:	DATA: 28/10/82	PREÇO: CR\$ 7.000,00
	FORN.: PGCC	

AGRADECIMENTOS

Ao Prof. Anatólio Laschuk, pelo apoio inicial e sugestões no decorrer deste trabalho.

Ao Prof. Dr. Jean Albert Bodinaud, do LME/USP, pelos ensinamentos da área de tecnologia, pela orientação no projeto do circuito integrado, pelo interesse constante.

Aos Profs. Daltro José Nunes e Dr. Clésio Saraiva dos Santos, pelo apoio à iniciativa, facilidades concedidas, pelo crédito de confiança.

Ao Prof. Dr. José Américo Morato de Andrade, do LME/USP, pelo incentivo à idéia e concessão dos recursos do Laboratório de Microeletrônica (USP) para o projeto e confecção do circuito integrado.

Ao Prof. Dr. Philippe Navaux, pelo interesse e estímulo.

Ao Prof. Tiaraju Wagner, pela prestatividade e entusiasmo sempre demonstrados.

Aos companheiros Paulo José Carignani e Roberto Mengatto, do Laboratório de Software (LME/USP), pelo auxílio na edição e depuração do programa de codificação das máscaras do circuito integrado, pelo fornecimento de toda a documentação necessária, pelas facilidades na utilização dos recursos.

Aos professores e colegas do Laboratório de Hardware, em especial aos Profs. Tiaraju Wagner, Dr. Philippe Navaux e Ramon Poisl e aos colegas Igor Dadeko, Paulo Prondzynski e Victor Pinto Neto, pelas discussões, sugestões e críticas.

Aos companheiros do LME/USP, em particular à Reusi Fonseca, ao Prof. Elédio Robalinho e ao Sílvio Henri-

que, pelas sugestões bibliográficas e proveitosas discussões.

Ao Prof. Dr. Altamiro Suzim, pelas sugestões iniciais, artigos enviados, e pelo apoio à distância.

Aos meus colegas de sala: Carla, Fafá, Marco, Igor e Nelson, pelo ambiente de trabalho.

Ao pessoal da Biblioteca do CPD/PGCC, pela presteza na obtenção de obras e periódicos solicitados, e revisão das referências bibliográficas.

À CAPES, à FINEP e ao CPD (UFRGS), pelo suporte financeiro.

Ao pessoal administrativo e demais professores e alunos do Curso de Pós-Graduação em Ciência da Computação (UFRGS) e do Laboratório de Microeletrônica (USP) que, embora não citados aqui nominalmente, contribuíram para o desenvolvimento deste trabalho.

Aos meus pais, pela compreensão, pelo estímulo, pelo carinho.

Computação gráfica
Processadores gráficos
VLSI
Arquitetura eletrônica
Sistemas gráficos interativos

Aos meus pais e
à minha irmã.



"A própria máquina quanto mais se aperfeiçoa mais se apaga e desaparece a trás de sua função. Parece que a perfeição é atingida não no instante em que não há mais nada a acrescentar à máquina e sim quando não há mais nada a suprimir. Ao termo de sua evolução a máquina se dissimula."

(Saint-Exupèry,
em Terra dos Homens)



RESUMO

Este trabalho trata da geração de elipses a nível de primitivas, em dispositivos de exibição gráfica. O desenvolvimento foi embasado em uma descrição inicial das características de "hardware" dos sistemas gráficos em geral. O projeto e implementação deverão ser enquadrados no Sistema de Computação Gráfica, projeto em desenvolvimento no CPGCC, mas podem ser utilizados em qualquer sistema gráfico com geração pontual.

O algoritmo de geração das elipses foi desenvolvido a partir de processos de funcionamento de analisadores diferenciais digitais interligados para geração de círculos, modificada a fim de se obter pontos a velocidade quase-constante.

A implementação compreende duas partes: a montagem completa do circuito, empregando-se componentes TTL comerciais; e o projeto de um circuito integrado correspondente a um módulo da unidade operacional, ou seja, um circuito "bit-slice" para geração de circunferências. A descrição inclui as estruturas verticais e horizontais da tecnologia I²L, características do circuito padrão e técnicas de projeto para integração.



ABSTRACT

The main purpose of this work is the generation of ellipsis, as primitives, in graphic display devices. Its development is based on an initial description of the hardware features of general graphic systems. The original design and implementation will be part of the Computer Graphics System, which is being developed at CPGCC, but it can be adapted to any other Graphic System with dot generation.

The algorithm for ellipsis generation was developed with basis on the functional processes of digital differential analyzers interconnected to calculate circles, but modified to provide points in almost-constant speed.

The implementation activities were of two kind: one, was the complete circuit, using standard TTL components; and the other, was the design of an integrated circuit corresponding to an operating unit module, i.e., a bit-slice circuit for circle generation. The description includes vertical and horizontal structures of the I²L technology, the gate-array characteristics and design techniques for integration.



SUMÁRIO

RESUMO	9
ABSTRACT	11
LISTA DE FIGURAS	17
LISTA DE TABELAS	23
LISTA DE SINAIS	25
1. INTRODUÇÃO	27
2. SISTEMAS GRÁFICOS INTERATIVOS	35
2.1 Considerações iniciais	35
2.2 Estrutura básica de um sistema gráfico interativo .	35
2.2.1 Programas de usuário ou programas de <u>a</u> <u>plicação</u>	39
2.2.2 Arquivo de exibição	40
2.2.3 Processador de exibição	42
2.3 Os componentes do processador de exibição ...	45
2.3.1 Console de vídeo	45
2.3.2 Gerador de vídeo	49
2.3.3 Controlador de vídeo	55
2.4 Escolha das primitivas gráficas	59
2.5 O Sistema de Computação Gráfica (SICOG)	60
2.5.1 Recursos físicos: Dispositivo de Exibi <u>ção Gráfica II (DEG II)</u>	61
2.5.2 Recursos programados	65
2.6 Considerações finais	66
3. A ELIPSE E SEUS ASPECTOS CONSTRUTIVOS	69
3.1 Considerações iniciais	69
3.2 A elipse	69
3.3 Comprimento do arco de elipse	72
3.4 Métodos construtivos	73
3.4.1 Método do compasso manual	74
3.4.2 Método do paralelogramo	76
3.4.3 Métodos circulares	78
3.4.4 Método mecânico	82
3.4.5 Método de arcos circulares	82
3.5 Comentários finais	84
4. ALGORITMO - ESCOLHA E ANÁLISE	85
4.1 Considerações iniciais	85

4.2	Correlação entre os procedimentos matemático e geométrico	85
4.3	Geração de circunferências	88
4.3.2	Método linear incremental	88
4.3.2	Interpolação	96
4.3.3	Técnica com analisador diferencial digital (ADD)	101
4.4	Analisador diferencial digital (método escolhido) ...	106
4.4.1	Análise preliminar	106
4.4.2	Circunferências com raio não unitário ...	108
4.5	Controle de velocidades	113
4.6	Erros no analisador diferencial digital	117
4.6.1	Operação seqüencial	120
4.6.2	Operação simultânea	124
4.7	Simulação	127
4.8	Comentários finais	128
5.	ARQUITETURA DA MÁQUINA	129
5.1	Considerações iniciais	129
5.2	Atividades de comunicação	129
5.3	Unidade operacional	132
5.3.1	Circuitos geradores de circunferências	133
5.3.2	Circuito deslocador	137
5.3.3	Comentário sobre o projeto do ADD	138
5.3.4	Capacidade de representação	139
5.4	Unidade controladora	139
5.4.1	Inicialização	139
5.4.2	Ciclo para o cálculo de pontos	146
5.4.3	Fase de conclusão	151
5.5	Comentários finais	151
6.	TÉCNICAS DE INTEGRAÇÃO	153
6.1	Considerações iniciais	153
6.2	Especificação do circuito e escolha da tecnologia	153
6.2.1	Estilo e técnicas de projeto	156
6.2.2	Ciclo de projeto de circuitos digitais semi-padronizados	157
6.3	Descrição geral da tecnologia I ² L	160
6.4	Funcionamento de uma porta I ² L	162

6.5	Seqüência tecnológica de fabricação	167
6.5.1	Seqüência de fabricação	168
6.5.2	Dispositivos realizáveis	172
6.6	Regras de projeto	175
6.6.1	Entradas e saídas da porta I ² L	176
6.6.2	Transistor PNP - injetor de corrente .	177
6.6.3	Isolação das células I ² L (N ⁺)	179
6.6.4	Difusões de passagem (N ⁺)	179
6.6.5	Interconexões metálicas	181
6.7	Avaliação do comportamento elétrico dos cir- cuitos I ² L	182
6.8	Circuito padrão	187
6.8.1	Estrutura do circuito padrão	187
6.8.2	Projetando a partir do circuito pa- drão	192
6.9	Projeto do gerador de circunferências	195
6.9.1	Especificações iniciais	195
6.9.2	Arquitetura geral	196
6.9.3	Organização interna do circuito inte- grado	201
6.9.4	Descrição dos blocos componentes	202
6.9.5	A estrutura dos blocos a nível de transístores	211
6.9.6	Codificação	220
6.10	Comentários finais	221
7.	CONCLUSÕES FINAIS	223
APÊNDICE A1	Simulação de analisadores diferenciais digitais	229
APÊNDICE A2	Blocos funcionais, diagramas de estado e circuitos elétricos do gerador de e- lapses	251
APÊNDICE A3	Projeto do circuito integrado - circui- tos lógicos e elétricos	275
APÊNDICE A4	Codificação das máscaras do circuito integrado	289
BIBLIOGRAFIA	311



LISTA DE FIGURAS

Figura 2.1	Relações do SGCI com o meio externo ...	36
Figura 2.2	Subdivisões fundamentais de um sistema gráfico	37
Figura 2.3	Estrutura típica de um processador de exibição e suas relações com o arquivo de exibição	44
Figura 2.4	Pontos distinguíveis	46
Figura 2.5	Geração de caracteres	51
Figura 2.6	Qualidade dos vetores obtidos como função do número de bits empregados	55
Figura 2.7	Componentes de um controlador de vídeo típico	58
Figura 2.8	Comunicação entre o computador hospedeiro e o DEG II	62
Figura 2.9	Setor de exibição: componentes	63
Figura 2.10	Aritmética de primitivas	64
Figura 3.1	A elipse e seus pontos focais	69
Figura 3.2	Aspecto gráfico da elipse e seu coeficiente de excentricidade	72
Figura 3.3	Método do compasso manual	75
Figura 3.4	Variação do método de compasso manual, para eixos aproximadamente iguais	76
Figura 3.5	Diâmetros conjugados e suas tangentes .	77
Figura 3.6	Método do paralelogramo	78
Figura 3.7	Método para construção de elipses, empregando um círculo e um conjunto de cordas deste	79
Figura 3.8	Método construtivo, baseado na utilização de dois círculos	80
Figura 3.9	O ponto na elipse tem correspondência com pontos proporcionais a senos e cossenos	81
Figura 3.10	Método mecânico	82
Figura 3.11	Método de arcos circulares	83

Figura 4.1	A proporcionalidade entre as funções trigonométricas e as coordenadas do ponto correspondente	86
Figura 4.2	Diagrama em blocos da estrutura global para geração das elipses	87
Figura 4.3	Direções e sentidos possíveis para deslocamento no método linear incremental.	89
Figura 4.4	Arco de circunferência no primeiro quadrante	90
Figura 4.5	Possíveis intersecções do arco calculado com as linhas destino da malha	91
Figura 4.6	A decisão entre dois movimentos é dependente do sinal de δ	92
Figura 4.7	Fluxograma correspondente ao procedimento de interpolação	98
Figura 4.8	Traçado de circunferências por interpolação	100
Figura 4.9	Integrador	103
Figura 4.10	Estrutura básica de um analisador diferencial digital para o cálculo de formas circulares	104
Figura 4.11	Diagrama em blocos da estrutura para geração de circunferências, controlada por variações angulares	109
Figura 4.12	Par de ADDs para geração de circunferências, com multiplicação implícita ..	112
Figura 4.13	Valores calculados no ADD	113
Figura 4.14	Cálculo aproximado do perímetro de uma elipse	116
Figura 4.15	Diagrama em blocos simplificado para geração de senos e cossenos	119
Figura 4.16	Resultado da simulação com operação simultânea dos ADDs	126
Figura 4.17	Resultado da simulação com operação sequencial dos ADDs	126
Figura 5.1	Comunicação entre o gerador de elipses e os demais dispositivos do processador	130
Figura 5.2	Estrutura básica para geração de circunferências	133

Figura 5.3	Arquitetura básica do circuito gerador de circunferências	135
Figura 5.4	Fluxograma da fase de inicialização ...	140
Figura 5.5	Circuito de contador	144
Figura 5.6	Determinação do sentido de variação em cada quadrante	145
Figura 5.7	Fluxograma do ciclo para cálculo de pontos	148
Figura 5.8	Circuito para detecção de ponto final .	150
Figura 5.9	Diagrama de tempos para os sinais R_D e X_{AT} e linhas de dados	151
Figura 6.1	Fluxograma das atividades de projeto de CIs semi-padronizados	159
Figura 6.2	Célula básica I^2L	161
Figura 6.3	Integração da célula básica I^2L	161
Figura 6.4	Cadeia de inversores I^2L	163
Figura 6.5	Hipótese: tensão de entrada em nível "1"	164
Figura 6.6	Hipótese: tensão de entrada em nível " \emptyset "	165
Figura 6.7	Curva de transferência para uma porta I^2L	166
Figura 6.8	Implementação da função lógica NOR em I^2L	167
Figura 6.9	Estrutura I^2L	168
Figura 6.10	Etapas de fabricação de circuitos I^2L .	170
Figura 6.11	Perfil de um transistor NPN	173
Figura 6.12	Perfil de um transistor PNP lateral ...	173
Figura 6.13	Estrutura vertical de um resistor difundido	174
Figura 6.14	Perfil de uma ponte difundida	175
Figura 6.15	Inversor decomposto em células básicas de entrada ou saída	176
Figura 6.16	Dimensões do contato de entrada	176
Figura 6.17	Dimensões de coletor e contato de coletor para saída	177
Figura 6.18	Dimensões do injetor	178

Figura 6.19	Dimensões mínimas para a tira de metal sobre o injetor	178
Figura 6.20	Dimensões do colar de isolamento	179
Figura 6.21	Largura e separação mínimas para linhas de metal	180
Figura 6.22	Dimensões das aberturas de contatos para ligações ponte-metalização	180
Figura 6.23	Passagem de metalizações sobre pontes.	181
Figura 6.24	Largura e separação mínimas para linhas de alumínio	181
Figura 6.25	Exemplo das medidas práticas finais, para tecnologia de 10μ	182
Figura 6.26	A diferença posicional dos coletores em relação ao injetor lhes confere velocidades diversas	183
Figura 6.27	Tempo de retardo versus potência dissipada por inversor	184
Figura 6.28	Modelo completo do inversor I^2L	185
Figura 6.29	Perfil considerado para o cálculo de capacitâncias	186
Figura 6.30	Parâmetros considerados no cálculo das características da ponte N^+	186
Figura 6.31	Organização estrutural básica do circuito padrão	188
Figura 6.32	Bloco com dez portas I^2L	189
Figura 6.33	Linhas de metalização entre blocos ...	189
Figura 6.34	Estrutura pré-fixada para programação de interfaces I^2L	191
Figura 6.35	Localização das pontes no circuito padrão	192
Figura 6.36	Circuitos de interfaceamento	194
Figura 6.37	Arquitetura do gerador de circunferências em dois bits	197
Figura 6.38	Disposição dos blocos componentes no integrado	202
Figura 6.39	Circuito lógico para os registradores S ou C (1 bit)	203
Figura 6.40	Circuito lógico para acumuladores	204

Figura 6.41	Circuito lógico para registrador de <u>va</u> riação	205
Figura 6.42	Circuito lógico da ULA para 1 bit	206
Figura 6.43	Circuito lógico do decodificador de <u>si</u> nais de carga	207
Figura 6.44	Circuito lógico do decodificador de <u>des</u> locamento	208
Figura 6.45	Circuito lógico para seletor 2x1	209
Figura 6.46	Diagrama lógico para seletor 4x1	210
Figura 6.47	Diagrama lógico do indicador de <u>ocor</u> rência de "excesso"	211
Figura 6.48	Simbologia de portas lógicas	212
Figura 6.49	Conversão da simbologia através das <u>di</u> versas etapas	213
Figura 6.50	Desvio de metalização	216
Figura 6.51	Flip-flop tipo D a nível de dispositi- vo	218
Figura 6.52	Duplicação de portas lógicas	219



LISTA DE TABELAS

Tabela 4.1	Seqüência de valores obtidos em um ADD por integração retangular	105
Tabela 5.1	Sinais de comunicação do gerador com os demais componentes do processador	131
Tabela 5.2	Parâmetros dos dados: tipo e código	141
Tabela 6.1	Codificação dos sinais de controle de carga	199
Tabela 6.2	Codificação dos sinais de deslocamento .	200
Tabela 6.3	Nomes dos sinais em cada um dos registradores S ou C	204
Tabela 6.4	Especificação dos sinais usados nos registradores de variação	205
Tabela 6.5	Origem dos sinais nas entradas dos seletores	209



LISTA DE SINAIS

AT	ativação
CAC	carrega acumulador de cosseno
CAS	carrega acumulador de seno
CC	carrega cosseno
CKG	relógio geral do circuito integrado
cont	conta (incrementa ou decrementa)
CONTZERO	contador = zero
COORDXZERO	coordenada X = zero
COORDYZERO	coordenada Y = zero
CS	carrega seno
CVC	carrega variação de cosseno
CVS	carrega variação de seno
$\overline{C0}, \overline{C1}, \overline{C2}$	controle de carga dos registradores
DA	dados
DDCS	desloca à direita cosseno e seno
DECS	desloca à esquerda cosseno e seno
desla	desloca acumuladores
deslV	desloca registradores de variação
DI	dados iniciais
DV	dados válidos
$\overline{D0}, \overline{D1}$	controle de deslocamento dos registradores
EDCOS	entrada serial para desl. à direita (reg.C)
EDSEN	entrada serial para desl. à esquerda (reg.S)
EECOS	entrada serial para desl. à esquerda (reg.C)
EESSEN	entrada serial para desl. à direita (reg.S)
EEXT _n	bit de entrada externa
EIXOZERO	eixo = zero
EVCOS	entrada serial para reg. de variação (VC)
EVSEN	entrada serial para reg. de variação (VS)
inic	inicialização
OP	operação na unidade lógica e aritmética (+/-)
OVC	excesso ("overflow") no reg. acumulador AC
OVS	excesso ("overflow") no reg. acumulador AS
PD	parâmetros dos dados
PF	ponto final

PFX	ponto final coincidente na coordenada X
PFY	ponto final coincidente na coordenada Y
PR	pronto
QUA	quadrante
R _D	relógio dos dados
R _G	relógio geral
s	seleção de multiplexadores
SAÍDA _n	bit de saída
SDCOS	saída serial para desl. à direita (reg.C)
SDSEN	saída serial para desl. à direita (reg.S)
SECOS	saída serial para desl. à esquerda (reg.C)
SESEN	saída serial para desl. à esquerda (reg.S)
SINAL1	sinal de X
SINAL2	sinal de Y
SVCOS	saída serial para reg. de variação (VC)
SVSEN	saída serial para reg. de variação (VS)
VAI UM	bit de vai um da unidade lógica aritmética
VEM UM	bit de vem um da unidade lógica aritmética
XAT	coordenada X nas linhas de dados (DV)

1. INTRODUÇÃO

De modo geral, as informações envolvendo descrições de formas geométricas ou abrangendo grande quantidade de dados numéricos são mais facilmente analisadas, manipuladas e absorvidas se forem empregados desenhos, como meio de representação. Quando esta é a forma adequada, as idéias são expressas de maneira mais concisa e, do ponto de vista humano, a exposição analisável visualmente é, muitas vezes, mais clara e objetiva.

Em diversos setores de atividade amplia-se rapidamente a tendência de automatizar grande parte do trabalho realizado com a utilização de computadores. Mas a automação é dificultada à medida que entre os dados incluem-se muitas informações gráficas e não há disponibilidade de recursos adequados para o tratamento destas, a partir deste nível simbólico.

A tentativa de assemelhar a capacidade de resolução de situações pela máquina à inteligência humana atua como um dos elementos altamente motivadores para o desenvolvimento das facilidades relacionadas com aplicações gráficas entre outras. Desta forma procura-se simular uma habilidade visual e capacidade de exposição gráfica da máquina, através desta área de aplicação.

A área de aplicações gráficas por computador envolve o estudo e o desenvolvimento de conjuntos de metodologias, programas e demais recursos reunidos para o tratamento e representação gráfica de informação, usando computadores aos quais estão associados equipamentos específicos como traçador, digitalizador, vídeos, etc. /BER80/. Emprega-se também, com o mesmo significado, a denominação computação gráfica.

Os recursos disponíveis, entre os quais se enquadram os equipamentos para entrada/saída e o "software" de

aplicação, são determinantes do grau de facilidade do usuário em cada conjunto de aplicações, tanto para a entrada de dados, como para o recebimento e rapidez de interpretação dos resultados.

Dentro da computação gráfica, uma classe relevante é a de aplicações interativas, pois permitem a comunicação homem-máquina em tempo real. Especialmente nestas pode-se verificar claramente a importância do desenho como aglutinador de dados e canal de comunicações. Se o computador está funcionando como meio de automatização de projetos relacionados, por exemplo, às áreas de engenharia civil e arquitetura, o conjunto de informações pode ser absorvido a partir de um esquema, dispensando o uso intermediário de descrições literais ou codificações, caracteristicamente longas e de difícil depuração. As facilidades interativas supõem também a possibilidade de utilizar os desenhos exibidos, por exemplo, no vídeo como um canal de comunicações para executar correções, ou modificações. Para o usuário isto significa maior facilidade e menor tempo para realização destas atividades.

Portanto, a partir das colocações anteriores, pode-se inferir que as possibilidades gráficas relacionadas com equipamentos de computação têm sua maior importância nas relações de comunicação com o usuário. A nível interno devem ser empregados procedimentos diversos, pois a máquina comum não possui percepção voltada à visão espacial. As operações internas se estendem desde as atividades de aquisição de dados até a obtenção dos resultados gráficos desejados, através da exibição dos mesmos no terminal ou outro dispositivo de saída, e se constituem no tratamento dos dados. Os meios empregados para o desenvolvimento destas ações incluem tanto procedimentos codificados sob forma de programas e armazenados no computador, como recursos físicos específicos e algoritmos implementados em "hardware".

A velocidade interna de processamento e geração da imagem é característica importante na comunicação homem-

máquina em tempo real. Se o usuário deseja executar uma transformação sobre determinada figura em exibição, esta ação pode produzir atividades internas em todas as fases do tratamento de dados e é concluída com a geração de uma nova imagem.

Para o usuário operando interativamente é bastante incômodo esperar durante longo tempo enquanto está ocorrendo todo o processo de atualização da imagem, como consequência de uma modificação solicitada. A adoção de estruturas de dados e arquiteturas convenientes pode melhorar, de modo significativo, o processamento e/ou tratamento de dados.

Um sistema computacional gráfico deve ser estruturado visando-se permitir a compatibilização das formas convenientes de descrição das figuras durante cada uma das etapas de processamento. Em uma fase inicial, é necessário organizar os dados recebidos, ordenando-os adequadamente à manipulação; depois são realizadas as transformações propriamente ditas (quanto à posição, estrutura, etc.) através de algoritmos por vezes complexos; os resultados assim obtidos irão compor uma lista de comandos destinados ao dispositivo de saída. Estes comandos são função das figuras e dos recursos disponíveis para geração de imagens, e ativam unidades especiais de "hardware" para produção de elementos gráficos. Estes elementos correspondem às chamadas *primitivas gráficas*. Logo, nesta etapa de geração de imagens é evidente a necessidade do emprego máximo de recursos ótimos de "hardware" como forma de melhorar o desempenho do sistema.

Portanto as primitivas atuam como elementos terminais na estrutura de descrição pois estão em relação direta com as facilidades de "hardware" disponíveis nos dispositivos de saída e causam ações imediatas, definidas completamente pelos parâmetros associados às figuras. A potencialidade das primitivas selecionadas é fator intimamente relacionado com a velocidade de exibição dos dados armazenados em um arquivo, e com o espaço ocupado pelos mesmos. Em gran

de parte dos sistemas gráficos tem-se como primitivas apenas pontos e segmentos de retas (vetores). Entretanto, em muitas aplicações, as figuras são compostas por formas adicionais como arcos circulares ou elípticos, superfícies e símbolos especiais (texto, etc.). Sendo *ponto* e *vetor* as primitivas disponíveis, há necessidade em decompor aquelas formas nestes elementos para organizar o arquivo de exibição. Pode-se avaliar assim as dimensões do espaço a ser alocado para o armazenamento de comandos correspondentes a uma circunferência, por exemplo, composta através de vetores. Ter-se-á um conjunto de "n" comandos designativos de vetores, onde "n" é diretamente proporcional à precisão estabelecida. Sob a perspectiva de execução, serão requeridas "n" leituras e o disparo do traçado de "n" primitivas *vetor*. Entretanto, se entre as primitivas disponíveis estiver incluída uma correspondente a *arco de circunferência*, bastará um comando *ARCO & parâmetros associados* para realizar a mesma tarefa. Como implicações diretas obtém-se economia de memória (ocupada pelo arquivo de exibição) e aumento da velocidade de execução.

Em processadores nos quais já se dispõe das primitivas *ponto* e *vetor*, a inclusão de *arco de circunferência* torna o sistema eficiente para grande número de aplicações. Entretanto entre estas aplicações não se incluem as de representação de objetos tridimensionais, em perspectiva.

A projeção no plano de figuras espaciais contendo superfícies circulares resulta, na maior parte dos casos, em superfícies elípticas correspondentes a aquelas faces. As exceções referem-se aos casos em que o plano de projeção é paralelo ou perpendicular a face, obtendo-se então um círculo ou um segmento de reta, respectivamente, para cada uma das situações. A disponibilidade da primitiva *arco de circunferência* e um "hardware" para execução de transformações pode resolver o problema, através da *deformação* do círculo gerado. Mas se não existe este "hardware" para transformações geométricas, a questão deve ser resolvida de outra forma. A decomposição da elipse em pequenos segmentos

de reta é atividade trabalhosa, demorada e muito extensa para que seja obtida uma precisão satisfatória. Circunferências podem ser geradas a partir de polígonos de lados múltiplos facilmente, mas a composição de elipses por métodos aproximados não é tão simples. Por isto, a criação de mais uma primitiva *arco elíptico* resulta em vantagens expressivas em termos de área ocupada de memória e velocidade de exibição, além das operacionais, uma vez que não será mais necessário efetuar a decomposição da figura. Para um sistema em fase de projeto, o planejamento de *arco elíptico* como primitiva elimina a necessidade da implementação específica de outra - *arco de circunferência* -, pois esta última pode ser gerada como um caso particular da elipse, fazendo-se ambos os semi-eixos iguais entre si, atribuindo-lhes o valor de raio da circunferência a ser desenhada.

Através deste trabalho é efetuado o estudo de uma forma viável de geração de elipses como primitivas, para integração ao Sistema Interativo de Computação Gráfica (SICOG), em projeto no Curso de Pós-Graduação em Ciência da Computação (PGCC/UFRGS). A finalidade deste estudo é a concepção de uma estrutura para calcular pontos componentes de uma elipse, observando-se as seguintes características:

- a) facilidade para implementação por "hardware";
- b) modularidade do bloco operacional, a fim de possibilitar sua utilização em outras aplicações;
- c) flexibilidade da arquitetura, em função de novas definições do algoritmo;
- d) elevado grau de liberdade ao usuário, quanto à forma de definição dos comandos de chamada;
- e) geração de pontos a uma taxa de aproximadamente um ponto a cada micro- ou dois microsegundos.

O texto aqui apresentado é o reflexo das atividades desenvolvidas e foi organizado de forma a permitir, na medida do possível, a leitura independente dos diversos ca-

pítulos.

No capítulo 2, é descrita a estrutura básica de um sistema gráfico convencional, abordando suas principais características, exigências e facilidades, com ênfase nos aspectos de "hardware". Com base nesse sistema, faz-se o enquadramento do problema de geração de primitivas em dispositivos de exibição gráfica, objetivo principal deste trabalho. Conclui-se o capítulo com uma breve descrição do processador gráfico em desenvolvimento no PGCC, ao qual será ligado o projeto resultante do presente estudo (gerador de elipses).

No capítulo 3 são abordados conceitos fundamentais e definições relativos a elipses. Em seguida, são expostos os diversos métodos construtivos empregados para obtenção geométrica de elipses, estudando-se sua viabilidade como base para concepção do algoritmo de geração.

O capítulo 4 é dedicado a uma análise mais profunda do procedimento escolhido; a partir deste é realizado o estudo de algumas formas possíveis de implementação, determinando-se assim a técnica a ser empregada. Efetua-se então a adequação da mesma em função das características mínimas necessárias, resultando algumas atividades adicionais. O final do capítulo destina-se a verificação do desempenho esperado, em relação as características inerentes de erro.

A descrição detalhada do projeto resultante é objetivo do capítulo 5. Compreende a arquitetura empregada e descrição dos blocos componentes a nível de implementação por "hardware". Constam deste capítulo os diagramas de estado utilizados no controle e unidades funcionais.

Para um sistema onde a velocidade de operação é fator crítico e o número de componentes muito grande, a possibilidade de substituição, total ou parcial, por um circuito integrado é via de regra vantajosa: os tempos de propagação nas interconexões são reduzidos, as funções excedentes dos componentes comerciais são eliminadas, além de

usufruir-se de todas as conseqüências benéficas da diminuição do número total de pastilhas no circuito final, como economia de espaço na placa, menor número de interconexões, menor taxa de erros na montagem, etc. Estes fatores constituíram-se na motivação básica para o projeto do componente descrito no capítulo 6. Trata-se de um módulo da unidade operacional. Nesse capítulo são abordadas características da tecnologia utilizada (I²L), regras de projeto de microcircuitos, informações sobre circuitos-padrão e o projeto propriamente dito. Esta atividade foi encarada predominantemente como meio para aquisição de experiência na área de projeto de microcircuitos. Não foi objetivo a obtenção de um circuito com características competitivas comercialmente.

No capítulo 7 são apresentadas as conclusões finais: uma análise dos resultados obtidos, observações sobre as técnicas empregadas, limitações do sistema, além de sugestões para futuros trabalhos de pesquisa.

Uma das atividades desenvolvidas como auxílio na definição do algoritmo a ser empregado para a geração de circunferências foi a simulação das técnicas básicas de implementação de analisadores diferenciais digitais: seqüencial e simultânea. Os programas empregados e os resultados obtidos estão reunidos no apêndice 1.

No apêndice 2 são apresentados os blocos funcionais, circuitos elétricos correspondentes e documentação complementar relacionados com a implementação final do gerador efetuada com circuitos integrados convencionais.

A documentação correspondente ao projeto da unidade geradora de circunferências, em 2 bits, a nível de microcircuitos está reunida no apêndice 3. São apresentados os esquemas a nível de portas lógicas e a nível de transistores. A disposição dos transistores, dentro de cada bloco funcional é mostrada a seguir, empregando-se para isto a linguagem simbólica apresentada no capítulo 6.

Como forma de entrada de dados correspondentes às máscaras obtidas, aplicou-se como ferramenta básica a linguagem TRAMAS, desenvolvida no LME/USP. A codificação resultante compõe o apêndice 4.

2 - SISTEMAS GRÁFICOS INTERATIVOS

2.1 Considerações iniciais

A Computação Gráfica pode ser definida como a parte da Ciência da Computação que trata com a manipulação de dados a fim de produzir desenhos em duas ou três dimensões, possivelmente através de comunicação interativa entre homem e máquina. Envolve o uso de numerosas técnicas de "hardware" e "software", algumas bem conhecidas e outras em desenvolvimento /CRE 79/.

Neste capítulo serão abordados predominantemente aspectos ligados às necessidades de "hardware" dos sistemas gráficos, com a finalidade de caracterizar mais adequadamente os objetivos e exigências do dispositivo desejado. A descrição é embasada sobre sistemas gráficos interativos, centralizando-se a abordagem sobre o processador de exibição.

No final do capítulo, incluem-se algumas considerações sobre o processador em desenvolvimento no curso, o DEG II, ao qual será incorporado o gerador de elipses.

2.2 Estrutura básica de um sistema gráfico interativo

Do ponto de vista externo, um sistema gráfico computacional interativo pode ser visto como uma unidade que recebe e analisa dados e ações determinados pelo(s) usuário(s), executa o tratamento dos dados através de programas armazenados internamente e fornece resultados como saída, de acordo com o esquema apresentado na figura 2.1.

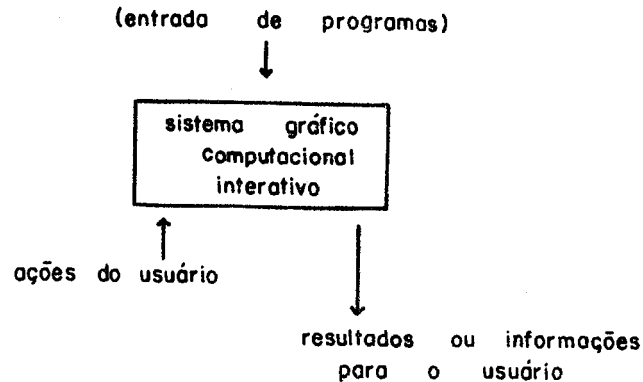


Fig.2.1: Relações do SGCI com o meio externo.

Deve ter características boas em relação à velocidade de re-exibição das imagens e da velocidade de modificação das mesmas.

Internamente, o sistema gráfico pode ser decomposto em três grandes blocos:

- a) programas de usuário ou programas de aplicação;
- b) arquivo de exibição;
- c) processador de exibição.

Estes blocos relacionam-se da forma indicada na figura 2.2. Basicamente os programas de aplicação compõem-se de um conjunto de rotinas de entrada e manipulação de dados, e o arquivo de exibição, de um conjunto de comandos para o processador de saída. Aos programas de aplicação está associada uma estrutura de dados de aplicação contendo essencialmente dados gráficos vinculados a informações não gráficas, relacionadas ao programa. As rotinas de entrada recebem dados dos dispositivos de entrada e fazem as modificações necessárias na estrutura de dados de aplicação, e passam o controle às outras rotinas. As rotinas de manipulação executam tarefas não relacionadas diretamente com entrada ou saída. Os comandos de saída definem a imagem a ser exibida, geralmente em termos de dados armazenados na estrutura de dados de aplicação.

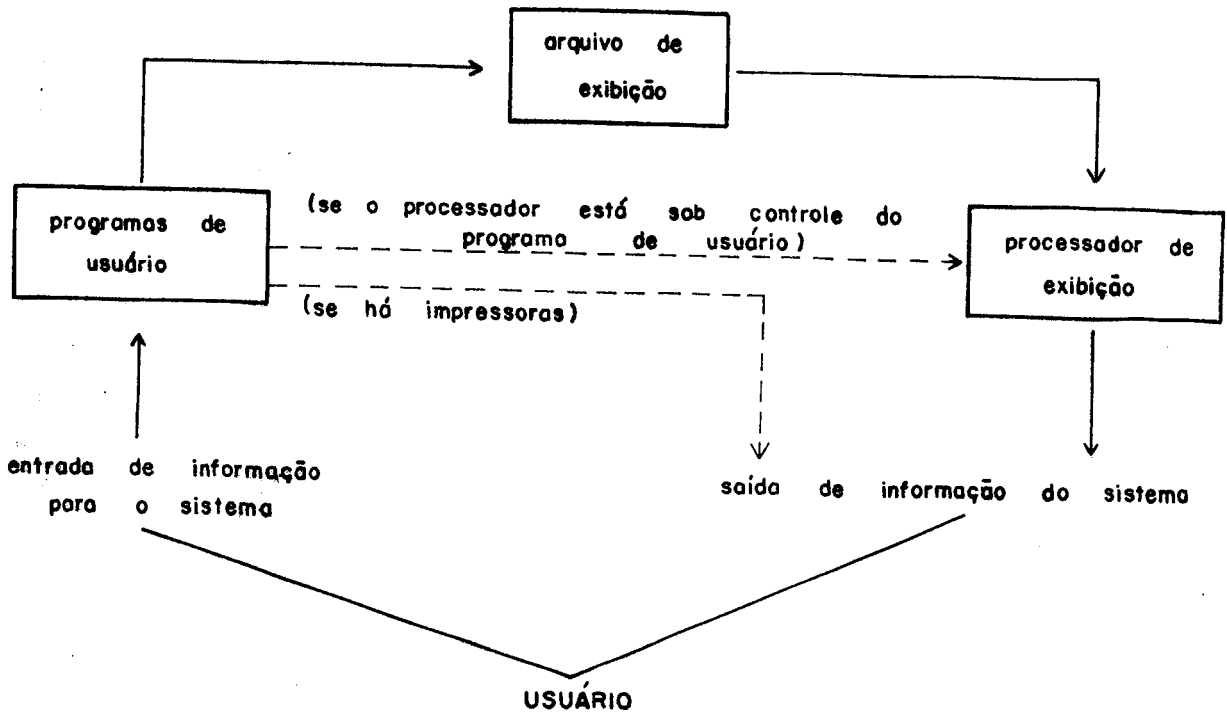


Fig.2.2: Subdivisões fundamentais de um sistema gráfico.

Associadas às rotinas de saída, há um outro conjunto de rotinas de transformação e corte, capazes de efetuar mudança de escala, rotação e translação sobre a informação a ser armazenada no arquivo de exibição. O resultado é uma imagem de tamanho arbitrário. Estas rotinas também *recortam* a informação de imagem de acordo com os limites retangulares, a fim de remover partes que não deveriam aparecer na tela. Frequentemente utiliza-se uma janela de enquadramento retangular de tamanho arbitrário para definir quais as figuras componentes da imagem serão mostradas, e uma janela de exibição específica onde (na tela) a imagem deve ser posicionada /NEW 74/. Outras rotinas de concatenação combinam múltiplas transformações, quando isto for necessário. Em sistemas avançados, estas rotinas de transformação, corte e concatenação vêm sendo substituídas por recursos de "hardware", fazendo parte do processador, e por isto não foram ressaltadas no esquema apresentado.

O processador de exibição inclui o controlador de exibição, gerador (de primitivas geométricas e texto) e o console (vídeo propriamente dito).

Em alguns sistemas, um compilador é empregado na programação do arquivo de exibição; às vezes um interpretador controla a execução do programa.

Uma imagem razoavelmente complexa corresponde a uma longa lista de descrições, reunindo figuras elementares e dados de coordenadas. Para sua exibição é necessário executar as chamadas, considerando algumas exigências de temporização. O processo é, por vezes, bastante intrincado e precisa de um sistema operacional para o seu tratamento e manutenção.

Mas todos estes aspectos passam desapercibidos ao usuário se o sistema gráfico for independente dos dispositivos físicos, de propósitos gerais e de alto nível. O sistema independente dos dispositivos permite o emprego do mesmo "software" para uma variedade de configurações de "hardware"; entretanto, não pode ser utilizado indiscriminadamente em aplicações onde são exigidas condições de alto desempenho. Um conjunto geral de funções permite a aplicação do sistema em uma longa variedade de atividades, ou propósitos, o que o torna acessível a um grande número de usuários. A terceira facilidade é desvincular o programador das características de baixo nível do "hardware" do sistema, fornecendo-lhe meios poderosos para a escrita de aplicações gráficas. Em geral isto é feito através da escolha de uma linguagem, ou uma classe de linguagens, enriquecida com funções ou subrotinas gráficas, compondo um *pacote gráfico*.

Um sistema gráfico pode operar ligado a um computador, de várias formas, ou independente, usando arquivos pré-estabelecidos para produção de imagens. Se existe a ligação, o controle pode ser:

a) através do programa principal, o qual possui chamadas de rotinas gráficas, rodando em um computador, ge-

ralmente de pequeno porte;

b) através de um computador maior, partilhado no tempo, como uma aplicação gráfica;

c) ou como um terminal inteligente, onde a parte do programa dedicado a manipulação de estruturas de dados é executado no computador principal, e a parte dedicada ao controle de entrada e saída é executado no satélite.

Esta última configuração é a mais promissora, pois permite a utilização de recursos computacionais de uma máquina de grande porte reunidos à agilização devida a execução de parte das atividades no próprio terminal. É um sistema distribuído, e como tal deve ser estudado quanto aos aspectos relacionados à forma de conexão entre processadores, aos níveis das tarefas realizadas pelo processador e pelo computador, e ao tipo de mensagens trocadas entre eles.

A seguir passa-se a caracterizar cada bloco funcional interno, de forma mais detalhada.

2.2.1 Programas de usuário ou programas de aplicação

Sua função é a de manipular imagens potenciais na forma simbólica, de acordo com a aplicação à qual se destina o sistema. A manipulação pode ser feita através de:

- a) inclusão de novos comandos, sob forma de entradas recebidas pelos dispositivos;
- b) composição de novas imagens por cálculos;
- c) modificação de imagens em exibição trocando arquivos, parcial ou totalmente, correspondentes a figuras por outros armazenados na memória secundária;
- d) outras operações em alto nível.

Tipicamente os programas de usuário se constituem em recursos de "software", em alto nível, e são parte da operação do computador hospedeiro. Sua implementação por

"hardware" pode ser adequada apenas em sistemas altamente especializados.

A partir da linguagem de alto nível, os programas de usuário são traduzidos para uma linguagem intermediária, em geral. O interpretador para esta linguagem intermediária, se existir, é um sistema de vídeo virtual ou abstrato. Pode ocorrer, também, que a representação do programa seja traduzida diretamente para o código do processador de exibição, sem qualquer apresentação intermediária. A vantagem, entretanto, da utilização de uma linguagem intermediária se relaciona com a portabilidade do sistema de programação e independência do dispositivo.

Portanto, é através deste conjunto de programas que o usuário tem condições de acessar e alterar os conteúdos do arquivo de exibição.

2.2.2 Arquivo de exibição

É uma área de memória empregada para o armazenamento de dados correspondentes a versão simbólica da imagem ou figuras a serem exibidas. Nos sistemas modernos, localiza-se no próprio terminal.

A seguir são definidos alguns termos envolvidos na constituição do arquivo de exibição.

Primitivas gráficas são elementos gráficos para cuja geração existe uma unidade especial de "hardware" no processador de exibição.

Entidades gráficas são conjuntos de primitivas, exibidas com a mesma aparência e status, e identificadas por um nome.

Símbolos são segmentos de programa processador de exibição identificáveis, e escritos para a geração de um conjunto determinado de primitivas gráficas. Seus status

e atributos só são especificados no momento em que este símbolo se constitui em uma chamada, a partir de uma entidade gráfica.

O arquivo de exibição é constituído de:

- a) um conjunto ordenado de todas as instruções de processamento para o vídeo real, englobadas sob a denominação de *programa processador de vídeo*;
- b) um conjunto de identificadores associados a um grupo de entidades gráficas no vídeo real;
- c) um conjunto de ponteiros, ligando os identificadores das entidades aos segmentos correspondentes no programa de código do processador de exibição, para geração de entidades gráficas;
- d) um conjunto de segmentos de programas especiais para símbolos (subfiguras).

O tipo mais simples de estrutura para um programa processador de vídeo, um dos componentes do arquivo de exibição, é a lista linear; entretanto, na maior parte dos sistemas, este programa pode incluir saltos para subrotinas, os quais possibilitam o emprego de técnicas de subfiguras. A qualificação *estruturado* é empregada por alguns autores para distinguir os arquivos de exibição que permitem o aninhamento de subrotinas.

A computação gráfica interativa supõe, além da geração de figuras, a capacidade adicional de identificação de um objeto ao programa de aplicação, a partir de uma ação do usuário apontando este objeto na tela. A identificação só é possível se determinadas relações estruturais e identificadores estão associados ao código do processador de exibição, e armazenados no arquivo de exibição, necessitando portanto uma estratégia específica para o seu planejamento.

Este conjunto de comandos de saída constituintes do arquivo de exibição devem ser executados de forma repeti

da, a uma frequência suficientemente alta; assim a imagem será re-exibida e permanecerá visível. Desta maneira, estas rotinas desempenham funções de um algoritmo de visualização, apresentando na tela uma visão contínua do que está contido na estrutura de dados de aplicação. Quando a estrutura de dados for modificada, a imagem muda de acordo.

A dificuldade relacionada a este procedimento reside em executar os comandos de saída rapidamente, de forma a manter a imagem estável (sem piscar). Este problema é agravado à medida em que aumenta a complexidade do conjunto de figuras em exibição.

Poucos sistemas têm atingido bons resultados na mudança automática das figuras em exibição com a estrutura de dados. Nestes sistemas tem sido necessário restringir as estruturas de dados de aplicação a configurações em anel, e a execução de transformações lineares sobre os dados armazenados.

Uma abordagem mais flexível, a qual tem sido largamente aceita /NEW 74/, é construir uma estrutura em separado para modelar a imagem, e então ligar esta estrutura ao processo de saída, de tal forma que as modificações sobre esta serão imediatamente visíveis na tela.

As atividades de transformação das estruturas em imagens visíveis na tela são executadas pelo processador de exibição, o qual acessa o arquivo de exibição em modo de leitura. O processador é abordado na subseção a seguir.

2.2.3 Processador de exibição

Converte a forma simbólica de uma imagem armazenada no arquivo de exibição para o padrão correspondente na tela. Em alguns sistemas pode incluir o uso de um estágio intermediário de armazenamento da imagem, possivelmente em uma forma mais próxima do padrão real de exibição no vídeo

do que a utilizada no arquivo de exibição.

O processador de exibição executa a maior parte de suas atividades, ou todas, através de recursos em "hardware". As vantagens podem ser expressas através de características de velocidade e de carga do processador.

O processador pode ter suas atividades controladas pelo programa de usuário, através de uma chamada de subrotina, por exemplo, ou pode permanecer exibindo continuamente os conteúdos do arquivo, e a imagem de saída muda à medida que estes conteúdos são alterados pelo programa do usuário.

O processador de exibição pode ser decomposto em três blocos básicos:

- a) o controlador de vídeo,
- b) o gerador de vídeo,
- c) o console.

O controlador interpreta as instruções do arquivo de exibição e inicia sua execução através da ativação das unidades apropriadas do gerador. O gerador de vídeo fornece, como saídas, sinais analógicos para os circuitos de deflexão e controle de intensidade do tubo de raios catódicos, fazendo com que o feixe do tubo gere determinadas figuras, nas posições desejadas, com a aparência indicada. Existe ainda um caminho de realimentação do console para o controlador de vídeo, ativado por ações originadas no usuário sobre representações na tela, através de dispositivos interativos. Nestas aplicações o console atua como uma interface entre usuário e máquina, servindo como via para o diálogo e permitindo a interação direta sobre o sistema a fim de criar, manipular e projetar objetos gráficos.

Na figura 2.3 é mostrada uma estrutura típica de interligação entre os blocos componentes do processador de exibição e suas relações com o arquivo de exibição. As funções executadas por cada bloco e partes componentes dos

mesmos estão especificadas dentro de cada um deles.

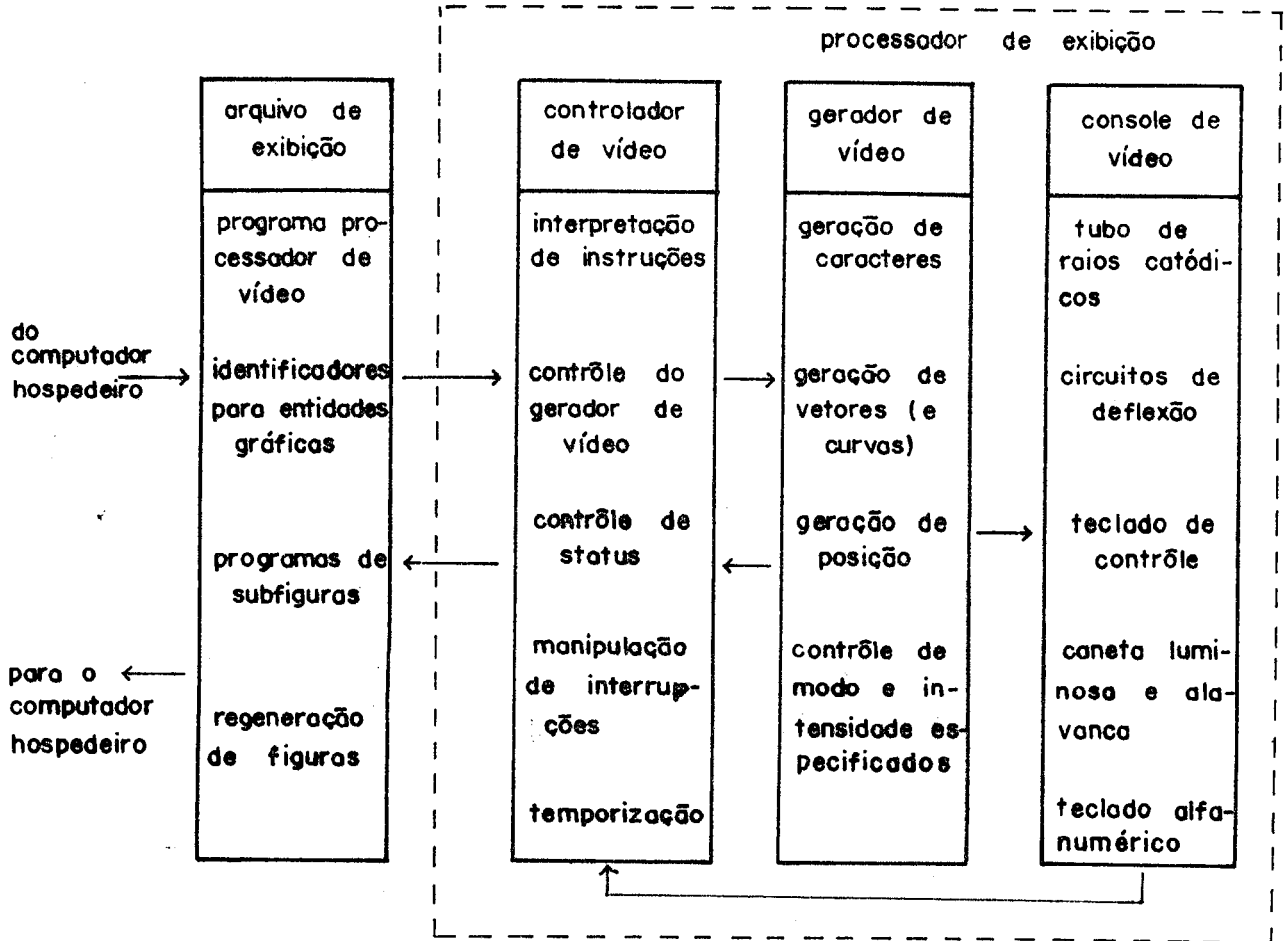


Fig.2.3: Estrutura típica de um processador de exibição e suas relações com o arquivo de exibição.

Conforme foi ressaltado anteriormente, alguns processadores de exibição avançados incorporam uma estrutura em "hardware" para computar as transformações geométricas sobre a imagem - como mudanças de escala, rotações, translações, projeção em perspectiva - em tempo real. Aplicando-se coordenadas homogêneas, todas as transformações podem ser definidas através de uma única matriz de transformação, constituindo-se em mais um bloco do processador de exibição, posicionado entre o controlador e o gerador de vídeo. Os processadores tradicionais ainda executam as atividades

de transformação através de técnicas em "software".

Estes blocos componentes do processador de exibição serão comentados, com maiores detalhes na secção 2.3.

2.3 Os componentes do processador de exibição

Na secção anterior procurou-se caracterizar as funções básicas de cada uma das unidades funcionais de um sistema gráfico interativo. Nesta secção aborda-se de forma mais específica os aspectos de "hardware" do sistema, reunidos como blocos componentes do processador de exibição.

2.3.1 Console de vídeo

Um console de vídeo típico é composto por um tubo de raios catódicos (TRC) com os respectivos circuitos de de flexão e controle de intensidade, teclados de controle e al fanumérico e, opcionalmente, uma caneta luminosa e outros dispositivos posicionadores ou apontadores. Pode-se ter ain da, como integrantes do console, dispositivos como uma co piadora xerográfica ou um digitalizador.

2.3.1.1 Especificações típicas do TRC e conceitos associados

O tamanho da tela (retangular de um tubo de raios catódicos) é da ordem de 40 a 60 cm na diagonal, o que resul ta em uma área útil se estendendo de 25x25 cm² a 33x40 cm². O diâmetro médio de um ponto controlável pelo feixe do TRC é da ordem de 0,38 a 0,5 mm ou, com o auxílio de circuitos especiais de correção, esta medida pode ser reduzida a 0,25 mm.

Para se obter uma medida de resolução da tela, as sume-se que dois pontos podem ser distinguidos se a distân-

cia entre eles é igual a metade do tamanho de um ponto controlável (ver figura 2.4).

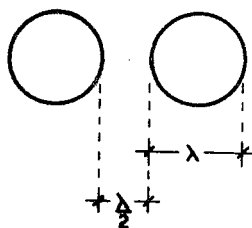


Fig.2.4: Pontos distinguíveis. São separados por distância igual a metade do tamanho de um ponto controlável.

As medidas de resolução também devem considerar o efeito da intensidade, devido a tendência de *desfocar* em altos níveis de corrente do feixe. Assim, com intensidade máxima ocorre degradação da resolução. Além disto, deve-se lembrar que a resolução de um tubo de raios catódicos é melhor em sua parte central do que nas bordas, a menos que a desfocalização nos ângulos máximos de deflexão seja adequadamente compensada.

Para o cálculo do número de pontos, há outra característica a considerar: a repetibilidade. Os amplificadores de deflexão podem ter um certo desvio e as bobinas de deflexão podem ter histerese. Portanto, quando o feixe é defletido de uma extremidade da tela a outra e trazido de volta à posição inicial, pode ocorrer uma pequena diferença em relação ao ponto de partida. Este deslocamento máximo, denominado repetibilidade, deve coincidir com a resolução dada pelo tamanho do ponto controlável. Então pode-se calcular o número de pontos distinguíveis através da seguinte fórmula:

$$\text{NPD} = 2 \times \frac{\text{deslocamento máximo}}{\text{diâmetro do ponto controlável}}$$

A partir do número obtido de pontos distinguíveis, determina-se o número de unidades endereçáveis na tela do TRC. A endereçabilidade da tela se refere ao número

de posições coordenadas nas quais o centro do feixe pode ser posicionado, e é determinada pelo número de bits da palavra digital que especifica a posição do feixe. Como forma de simplificação geralmente adota-se uma potência de 2 para o número de unidades endereçáveis. O mais comum, é ter a capacidade de endereçamento aproximadamente igual a resolução; a endereçabilidade maior, entretanto, melhora a aparência das linhas inclinadas e curvas.

Mas qualquer posição na tela especificada através do programa de exibição, só pode ser atingida com acurácia limitada, em sua representação, devido a não-linearidade dos circuitos de deflexão. A resolução obtida nunca poderá ser igualada a precisão do vídeo.

Entretanto esta característica de precisão limitada não é importante, uma vez que os sistemas gráficos são empregados apenas para visualização de padrões gráficos e objetos, e não para geração de trabalhos de precisão.

Não serão abordadas neste texto a estrutura detalhada do tubo de raios catódicos e as tecnologias empregadas em sua construção. Informações bastante extensas sobre este assunto são objeto da maior parte dos livros dedicados a computação gráfica (ver /NEW 79/).

2.3.1.2 Dispositivos de entrada

Os dispositivos citados como integrantes do console podem ser reunidos em três grupos, conforme vê-se a seguir:

- a) teclado de controle para comandos de entrada e teclado alfanumérico para entrada de dados e texto;
- b) caneta luminosa, para apontamento e posicionamento;
- c) alavanca, digitalizador e outros dispositivos

para posicionamento.

De modo geral, estes dispositivos fornecem realimentação ao usuário apenas através da imagem mostrada na tela, com exceção do teclado de controle, quando o processador de exibição dispõe de um registrador luminoso controlável por programa. Neste caso, através deste conjunto de "leds" pode-se indicar ao usuário quais funções de controle estão habilitadas a cada instante.

Através da utilização do teclado de controle, o usuário pode fornecer comandos ao sistema; a função de cada uma das teclas de controle pode ser determinada pelo programa de aplicação. O teclado alfanumérico é normalmente usado para entrada de textos, e pode ser parte do console ou de uma teletipo ligada ao sistema.

A caneta luminosa é um dispositivo para detecção de fontes luminosas, no caso, linhas desenhadas na tela. A área de *visualização* da caneta é relativamente ampla e não perfeitamente definida em tamanho e formato: é dependente do ângulo sob o qual a caneta é posicionada sobre a tela. Esta característica pode causar problemas quando as imagens são constituídas de figuras pouco espaçadas em aplicações onde é necessário apontá-las individualmente. Outro problema que também pode surgir é causado pela paralaxe, embora este possa ser minimizado significativamente através da projeção de um indicador (um cursor especial, por exemplo) sobre a tela salientando a área de *visualização*. Através da caneta luminosa o usuário pode apontar diretamente um objeto na tela, identificando-o ao sistema, ou posicionar elementos das imagens, movendo-os arbitrariamente sobre a tela.

Outros dispositivos são usados para controle dos movimentos do cursor sobre a tela, como é o caso da alavanca. Existe uma associação entre o movimento executado pelo elemento móvel do dispositivo e a variação de localização do cursor na tela. Como resultado, a cada posição do cursor

corresponde um par de coordenadas disponível na saída do dispositivo de controle. O apontamento de objetos ou identificação de figuras é uma tarefa complicada e demorada, se for empregada uma alavanca como dispositivo base, pois deve se desenrolar com base na comparação de coordenadas da posição do cursor com as coordenadas do objeto, uma vez que a única informação disponível é a posição do cursor (é uma região e não apenas um ponto, portanto ainda há perda de precisão).

O digitalizador é utilizado basicamente para a entrada de dados a partir de um traçado ou esquema a mão-livre ou um desenho qualquer previamente efetuado. Há uma grande variedade de métodos para consecução desta atividade, podendo-se obter resoluções de até 0,1%, correspondente a uma acuracidade digital de 10 bits.

2.3.2 Gerador de vídeo

Ao gerador cabem basicamente as atividades relacionadas com o posicionamento do feixe, a geração de pontos, vetores e caracteres, ou seja, das primitivas componentes das figuras em exibição.

Na subsecção anterior, concernente ao tubo de raios catódicos, constatou-se a necessidade de executar a re-exibição na tela no mínimo 30 vezes por segundo, a cada 30 milissegundos aproximadamente, a fim de manter a imagem estável. Isto significa que deve-se contar com um gerador suficientemente rápido, com capacidade para repetir todas as primitivas componentes da imagem neste intervalo de tempo.

A seguir serão detalhadas cada uma das funções do gerador de vídeo.

2.3.2.1 Gerador de posição

Esta posição é usada para o posicionamento do feixe no tubo de raios catódicos, através de ação controladora dos conversores digital-analógicos para deflexão horizontal e vertical. O comprimento da palavra de dados que atua como entrada dos conversores, e a precisão dos mesmos deve corresponder ao número de unidades lineares na direção de cada coordenada.

O tempo necessário para o deslocamento do feixe é dependente da distância a ser percorrida pois a aplicação de funções degrau nos circuitos de deflexão horizontal e vertical provoca modificações nos campos eletrostático e eletromagnético a uma determinada taxa máxima. Um sistema com bom desempenho demora, em média cerca de 2 microsegundos para um deslocamento de, no máximo 2,5cm e 10 microsegundos para vencer uma distância de 2,5 a 25cm.

Pode-se fazer com que o gerador de posição atue como um gerador de pontos, se for possível intensificar o feixe por um pequeno intervalo de tempo, em determinada posição, simulando a existência de um ponto na tela.

2.3.2.2 Gerador de caracteres

São diversos os métodos empregados para a geração de caracteres no vídeo. Entretanto, certamente o mais difundido é o princípio de geração por matriz de pontos, pois opera na forma estritamente digital e é, por isto, muito confiável e barato. Os símbolos produzidos são de qualidade satisfatória enquanto for mantido um tamanho conveniente - da ordem das dimensões dos caracteres impressos por impressoras de linha ou teletipos. Sua aplicação visa tanto vídeos alfanuméricos e vídeos gráficos de baixo custo.

Cada caracter é construído sobre uma matriz de 5x7 pontos, os quais correspondem a campos onde o feixe es-

tá ligado ou desligado. A matriz de caracteres e a composição de letras, como exemplo, pode ser vista na figura 2.5.

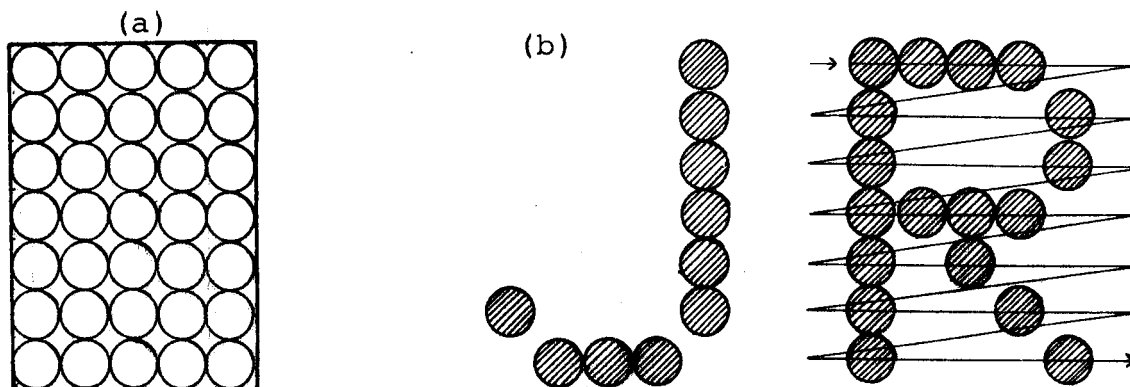


Fig.2.5: Geração de caracteres. a) matriz de caracteres; b) exemplos de composição de caracteres. Sobre R é mostrada uma opção de varredura.

A codificação das situações onde se tem feixe ligado ou desligado é feita através de bits, cujo valor é 1 ou \emptyset , respectivamente, correspondendo então ao padrão de cada caracter. O conjunto de padrões dos símbolos disponíveis está armazenado em uma memória permanente, cuja organização interna depende da estrutura considerada para a exibição; para varredura horizontal, por exemplo, a informação é armazenada e acessada em unidades correspondentes a cada linha da matriz de caracter. Portanto uma linha de caracteres é escrita através da composição de 8 linhas de matriz de caracteres (a última corresponde a brancos).

Variações na aparência dos caracteres podem ser obtidas através do emprego de técnicas especiais, que não serão abordadas neste trabalho.

2.3.2.3 Gerador de vetores

Os geradores de vetores são circuitos que convertem uma função degrau, cujo valor é determinado pelos incre

mentos ΔX e ΔY entre os pontos extremos do vetor, em formas de onda de tensões de deflexão x e y , tal que um segmento de reta é traçado entre estes pontos. O procedimento aplicado pode ser de características analógicas ou digitais, e a geração pode ser em tempo constante ou em velocidade constante. Estes modos de operação serão vistos a seguir, em detalhes.

2.3.2.3.1 Geração de vetores constante no tempo

Esta técnica realiza o traçado de vetores em tempos sempre iguais, independentemente de seu comprimento. Portanto, a variável neste caso é a velocidade de traçado, resultando em brilho variável do feixe na tela. Quanto mais longo for o vetor, menor será o brilho do segmento. Para que este inconveniente seja eliminado, é necessário adaptar um controle de intensidade do feixe na saída, para compensação.

São diversas as técnicas empregadas para a solução deste problema. Dentre as mais conhecidas tem-se o emprego do método de filtros RC, que gera uma função exponencial controlada a variáveis de tempo para uniformização da velocidade; o método da função rampa, semelhante a anterior, mas empregando uma função linear; e o método do integrador, baseado na mesma filosofia básica dos outros casos, mas utilizando técnicas de implementação mais simples.

2.3.2.3.2 Geração de vetores a velocidade constante

Neste caso o tempo requerido para o traçado de um vetor é proporcional ao seu comprimento, portanto pode-se garantir brilho constante do feixe no tubo de raios catódicos. Esta técnica suprime o circuito específico de controle de intensidade.

A geração de vetores em taxa constante pode ser

realizada aplicando-se integração analógica, onde os integradores são ΔX e ΔY , divididos pela norma do vetor a ser desenhado, ou seja, por

$$L = \sqrt{\Delta X^2 + \Delta Y^2}$$

Assim a variação das tensões de deflexão será dada por:

$$\Delta x(t) = Co. \int_0^t \frac{\Delta X}{L} dt' = Co. \frac{\Delta X}{L} \cdot t$$

$$\Delta y(t) = Co. \int_0^t \frac{\Delta Y}{L} dt' = Co. \frac{\Delta Y}{L} \cdot t$$

Em circuitos digitais, a execução de multiplicações e divisões é geralmente uma atividade inconveniente. A fim de minimizar estes problemas, as divisões de ΔX e ΔY por L eram executadas por circuitos analógicos. Entretanto o uso de integradores analógicos para geração de vetores causa problemas de velocidade e precisão, estabelecendo limites na velocidade de chaveamento máxima e causando distorções nos segmentos traçados. Além disto, os circuitos analógicos exibem pouca estabilidade à temperatura e ao tempo, se comparados aos circuitos digitais, causando problemas de calibração e ajustamento. Todas estas razões estão sendo consideradas para substituição dos circuitos analógicos por digitais.

Os geradores vetoriais digitais empregam um método de integração simétrica, aproximada por uma soma (integração retangular ou de Euler). As equações assumem a forma:

$$\Delta x(i \cdot \Delta t) = \sum_{h=0}^i \frac{\Delta X}{N} = \frac{\Delta X}{N} \cdot i \quad i=0, 1, \dots, N$$

$$\Delta y(i \cdot \Delta t) = \sum_{h=0}^i \frac{\Delta Y}{N} = \frac{\Delta Y}{N} \cdot i \quad i=0, 1, \dots, N$$

Se N for igual ao comprimento L do vetor a ser

traçado, então obtém-se um modo de traçado a taxa constante. Independentemente do valor de N , atinge-se o comprimento correto do vetor, após N ciclos; a diferença irá se refletir sobre a intensidade do segmento resultante, causando variações perceptíveis ao olho humano somente a partir de determinado valor. Portanto existe certa tolerância para a escolha do valor de N .

Ainda quanto ao valor de N , é conveniente que ele garanta avanços no máximo iguais ao valor do diâmetro do ponto controlável, a fim de que o vetor pareça uma linha contínua. Então as condições para o valor de N são dadas por

$$\frac{|\Delta X|}{N} < 1 \quad \text{e} \quad \frac{|\Delta Y|}{N} < 1$$

$$\text{ou} \quad N > \text{máx}(|\Delta X|, |\Delta Y|).$$

A necessidade de executar as divisões de ΔX e ΔY por N pode ser inconveniente. Mas como mostrou-se a existência de uma certa flexibilidade quanto a escolha do valor de N , pode-se tirar vantagem deste fato, adotando um valor de N que facilite esta atividade. Se N for uma potência de 2, é possível executar estas divisões através de procedimentos simples como deslocamentos, desde que este valor ainda seja uma aproximação razoável de L , considerando-se o controle de intensidade obtido.

A qualidade dos vetores obtidos é tanto melhor quanto maior for o número de bits utilizados no seu cálculo, desde que este seja o número de bits também empregado nos conversores digital-analógicos de saída (ver figura 2.6). Procedimentos de arredondamento em lugar de truncamento para Δx e Δy também são convenientes, e podem ser facilmente realizados pela inicialização dos registradores acumuladores com seu valor médio, em lugar de zero.

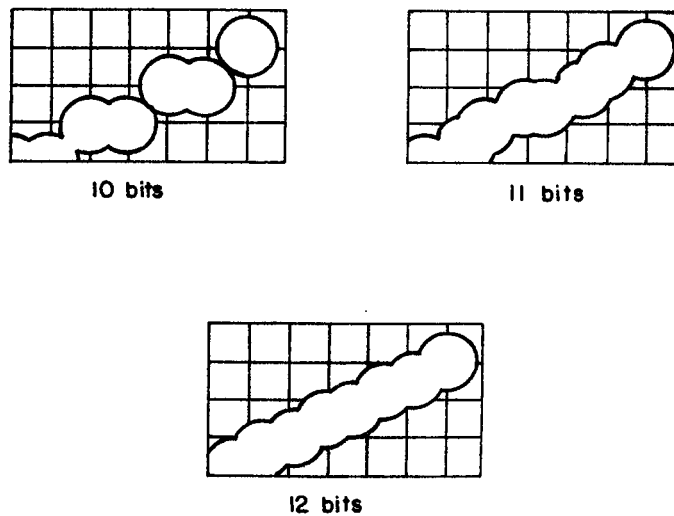


Fig.2.6: Qualidade de vetores obtidos como função do número de bits empregados.

2.3.2.3.3 Geração de vetores com controle de intensidade

Outros métodos diferentes dos anteriormente expostos podem ser adotados para a geração de vetores. Há algumas proposições no sentido de se efetuar o controle da velocidade apenas para vetores longos. Há também formas diversas para o cálculo de L , a fim de evitar grande número de divisões. Cada um destes métodos tem vantagens e desvantagens. Como ponto comum existe a busca do controle da intensidade, sem dispendir muito tempo e recursos de "hardware". Cabe ao projetista caracterizar perfeitamente com qual situação se defronta, verificar quais são as exigências mínimas de desempenho do sistema, e escolher a solução ótima para o seu caso.

2.3.3 Controlador de vídeo

Uma das atividades do controlador de vídeo é a interpretação das instruções componentes do programa processador de vídeo, disparando ações correspondentes no gerador. As instruções podem ser classificadas em três grupos:

comandos de organização de arquivos, de comunicação e geração de primitivas. De forma geral, estas instruções constituem uma única palavra de instrução, compostas pelo código da mesma acompanhado dos parâmetros de controle, coordenadas de um ponto ou código de um caracter.

Os comandos de organização de arquivos atuam na geração do processo de re-exibição da imagem, nas interrupções causadas por aquele processo, nos desvios para atendimento de rotinas de interrupção e nos desvios e retornos para execução de subfiguras (símbolos).

Os comandos de comunicação são fornecidos pelo computador hospedeiro a fim de organizar a comunicação entre o computador e o processador de exibição. Estes comandos podem ser parte do programa processador de vídeo armazenado no arquivo de exibição.

As instruções de geração de primitivas são divididas em três classes: instruções de modo do sistema, de inicialização de entidades e de especificação de primitivas.

As instruções de modo do sistema fazem com que o processador de exibição assuma ou o modo gráfico (desenho de pontos, vetores, arcos, etc.) ou o modo de caracteres (escrita de cadeias de caracteres). A interpretação das instruções para geração de primitivas é dependente do modo definido. Ainda estas instruções podem conter informações adicionais como especificação do tipo de coordenadas (absoluto ou incremental) ou do tamanho dos caracteres.

As instruções de inicialização de entidades fornecem as informações necessárias para dar início ao traçado de entidades gráficas, como a posição-origem do feixe no tubo de raios catódicos, do status da caneta luminosa (habilitada ou não) e da aparência desta entidade (cor ou intensidade, piscante ou não, estilo da linha). Cada uma destas informações é armazenada em áreas de um ou vários bits, de acordo com o número de situações possíveis.

As instruções de especificação de primitivas causam a geração das primitivas propriamente ditas no modo atual (gráfico ou de caracteres), na posição e com a aparência programadas. Consistem do código da instrução e de dados, código do caracter ou valores de coordenadas, dependendo do modo.

Os principais blocos componentes de um controlador de vídeo típico são mostrados na figura 2.7. A estrutura é baseada em um conjunto de registradores e um sistema de barramentos entre estes registradores e outros de entrada/saída. Os dados de entrada são recebidos através do *registrador de dados de entrada* e podem ser: endereços de desvio, parâmetros de modo ou controle, dados para especificação de vetores ou posicionamento do feixe, código de caracteres ou indicação dos "leds" do teclado de controle. De acordo com a interpretação destes dados, ocorre a execução de atividades internas como transferência de informações entre registradores, operações aritméticas, carga de novos endereços, entre muitas outras.

O registrador de modo recebe as instruções de modo, definindo a natureza dos próximos comandos, se é de referência a caracteres ou traçado gráfico. Os registradores de controle, de índice e de posição X e Y são carregados por instruções de inicialização de entidades. E as informações armazenadas no registrador de controle são interpretadas e determinam atividades dos geradores de endereço de interrupção, de vetores e nos circuitos de controle de intensidade. Durante as operações, os registradores de posição X e Y armazenam as coordenadas correspondentes à localização atual do feixe no TRC.

O registrador de "leds" guarda a informação que provoca a iluminação de determinadas chaves de função; o registrador de teclado armazena o código que identifica a tecla de função pressionada, para transferência ao computador hospedeiro.

O seqüenciamento das instruções para a re-exibi

ção da imagem é controlado pelo registrador de endereço, através de incrementos sucessivos, ou carga externa. O gerador de endereço de interrupção responde a interrupções através da emissão de um pedido à memória adequado.

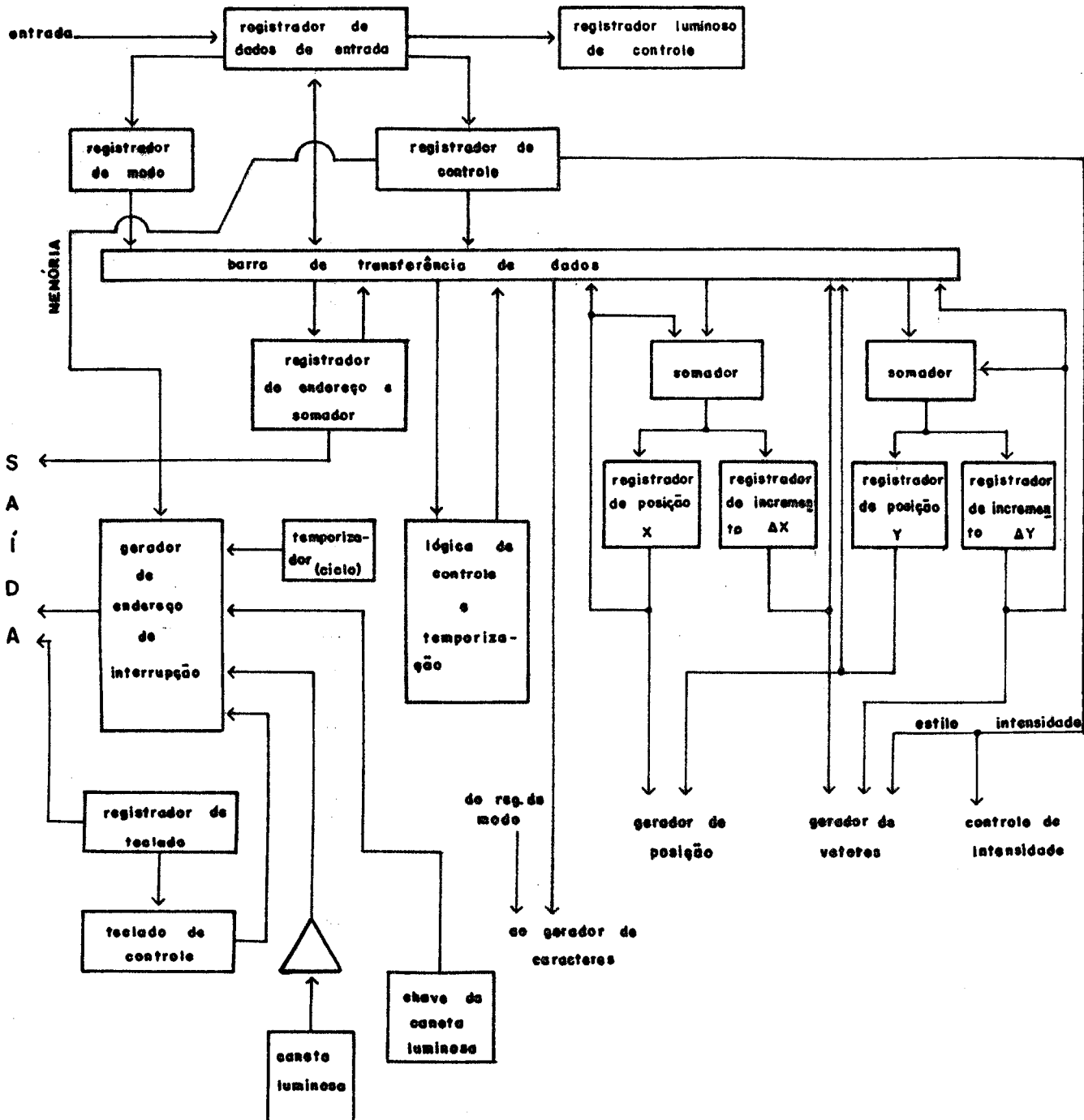


Fig.2.7: Componentes de um controlador de vídeo típico.

2.4 Escolha das primitivas gráficas

Considerando-se que as primitivas gráficas são funções usadas para especificação de linhas reais e caracteres que compõem a figura, deve-se escolher cuidadosamente estas funções, a fim de fornecer ao programador de aplicação métodos convenientes para a descrição de figuras, e ao mesmo tempo tirar proveito da capacidade de "hardware" do processador.

Não é suficiente, por exemplo, fornecer somente uma única função - um ponto localizado em uma coordenada especificada -, pois isto seria deveras trabalhoso para o usuário, e não aproveitaria a capacidade de traçado de linhas, da maior parte dos vídeos.

Segundo Jim Foley /FOL 79/, existe um conjunto básico de primitivas, o qual é listado a seguir. Neste agrupamento, arcos elípticos e circulares estão relacionados separadamente, apesar de se constituírem em casos particulares de secções cônicas, pois em muitos sistemas dispõe-se de ambas ou apenas uma delas. Os itens assinalados com um asterisco são, de acordo com J. Foley, de importância fundamental:

- a) Posicionamento do feixe*
- b) Ponto*
- c) Linha*
- d) Cadeias de linhas*
- e) Arco circular*
- f) Arco elíptico*
- g) Curvas bidimensionais (planares)
 - Secções cônicas*
 - Polinomiais
 - "Splines"
 - Outras
- h) Curvas tridimensionais (não-planares)
- i) Superfícies
- j) Textos e símbolos*

Quando as primitivas gráficas de saída são definidas, a observação de uma estrutura mais geral possibilita a ampliação posterior do conjunto. Deve-se por isto considerar as seguintes regras:

a) no subconjunto de primitivas bidimensionais, a coordenada Z fica implícita ($Z=0$).

b) Primitivas bi- e tridimensionais devem ser livremente combináveis.

c) A definição de uma primitiva deve sempre especificar como é afetada a posição atual do feixe.

d) Se primitivas bi- e tridimensionais são combinadas, a posição atual do feixe em relação à coordenada Z é usada implicitamente para estabelecer o plano no qual as primitivas bidimensionais são desenhadas.

e) O conjunto padrão deve tratar os seguintes atributos das primitivas: intensidade, largura de pontos e linhas, e estrutura das linhas (pontilhadas, tracejadas, etc.).

f) Um desenho relativo no programa de aplicação não precisa necessariamente se tornar um desenho relativo no código processador de vídeo, e vice-versa.

2.5 O Sistema de Computação Gráfica (SICOG)

O Sistema de Computação Gráfica (SICOG) é um projeto atualmente em desenvolvimento no Curso de Pós-Graduação em Ciência da Computação. Como pretende-se ligar o gerador de elipses resultante do presente trabalho ao SICOG, vai-se descrever brevemente este sistema, a fim de caracterizar melhor os objetivos e determinações do projeto.

O SICOG utiliza um minicomputador como hospedeiro com seus recursos típicos e recursos específicos para interação gráfica. Estes últimos são físicos, integrados num Dispositivo de Exibição Gráfica - DEG II, e programados, compostos por um conjunto de *pacotes* gráficos.

2.5.1 Recursos físicos: Dispositivo de Exibição Gráfica II (DEG II)

Basicamente, o Dispositivo de Exibição Gráfica II corresponde ao que foi definido anteriormente como processador de exibição. O DEG II executa programas armazenados no arquivo de exibição, obtendo como resultado uma imagem na tela. Se esta imagem é volátil, há necessidade de ser executado um procedimento sucessivo de re-exibição a fim de garantir uma observação contínua ao usuário.

Portanto o arquivo de exibição e os programas de usuário estão integrados ao computador hospedeiro. O arquivo de exibição é acessado pelo processador apenas sob forma de leitura; a carga e modificação de programas nele armazenados são executadas pelo computador hospedeiro, que também se encarrega da modificação de outros circuitos operacionais necessários ao processo interativo.

A execução do programa de exibição pelo processador e a carga ou modificação de novos programas ou segmentos do mesmo pelo computador hospedeiro não podem ser atividades simultâneas, pois não é possível prever qual seria a imagem obtida no vídeo. Como solução a este problema, só são permitidas ações do computador durante os intervalos entre execuções consecutivas do programa. Assim, durante estes intervalos os circuitos operacionais e o arquivo de exibição passam ao controle do computador hospedeiro, e são reassumidos pelo DEG, após a execução das modificações.

A comunicação entre o hospedeiro e o DEG é feita através de interfaces contendo as informações controladoras e os dados.

O sentido de comunicação é ilustrado pelo diagrama em blocos da figura 2.8.

O Dispositivo de Exibição Gráfica II compõe-se basicamente dos seguintes setores: registrador luminoso, tabuleiro e exibição.

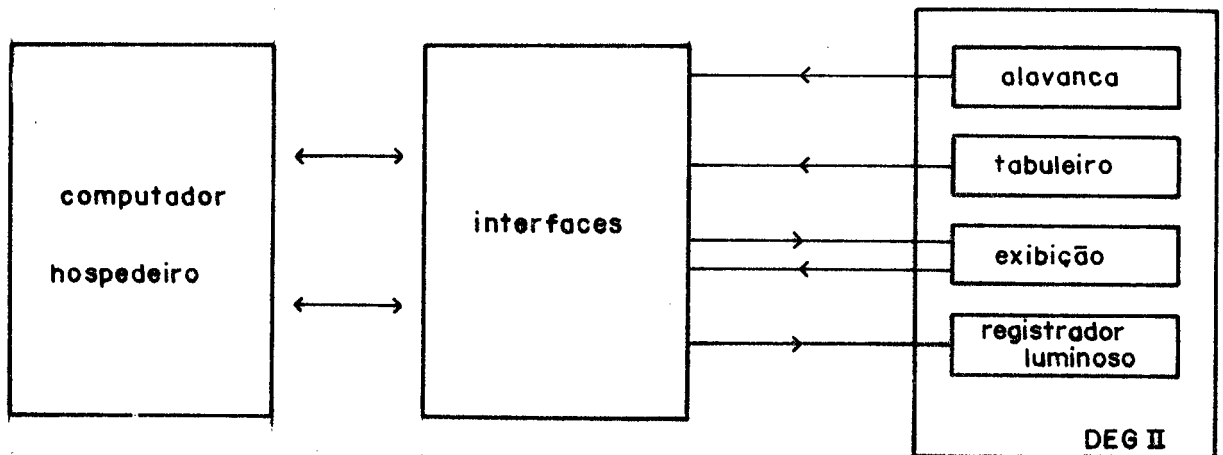


Fig.2.8: Comunicação entre o computador hospedeiro e o DEG II.

O registrador luminoso é um conjunto de oito "leds", os quais fornecem informações binárias para orientação do usuário do sistema.

O tabuleiro compreende um conjunto de teclas, através das quais o usuário se comunica com o computador para desencadear rotinas previamente programadas pelo usuário ou do sistema.

A exibição atua na construção de imagens, através da composição de primitivas no vídeo ou em um traçador gráfico ("plotter"). As imagens a serem geradas se constituem no programa de exibição armazenado no arquivo de exibição sob a forma de um conjunto de instruções de baixo nível. A unidade de controle gerencia estas atividades de execução do programa e atende às solicitações do computador hospedeiro. As demais atividades de decodificação, preparação e execução das instruções constituintes do arquivo de exibição são executadas pelas seguintes unidades do setor de exibição:

- a) Conversão digital-analógica e saída
- b) Gerador de primitivas
- c) Registradores e aritmética de primitivas
- d) Registrador de aparência

- e) Cursor
- f) Identificação de entidades gráficas.

As unidades do setor de exibição interligam-se de acordo com o esquema mostrado na figura 2.9.

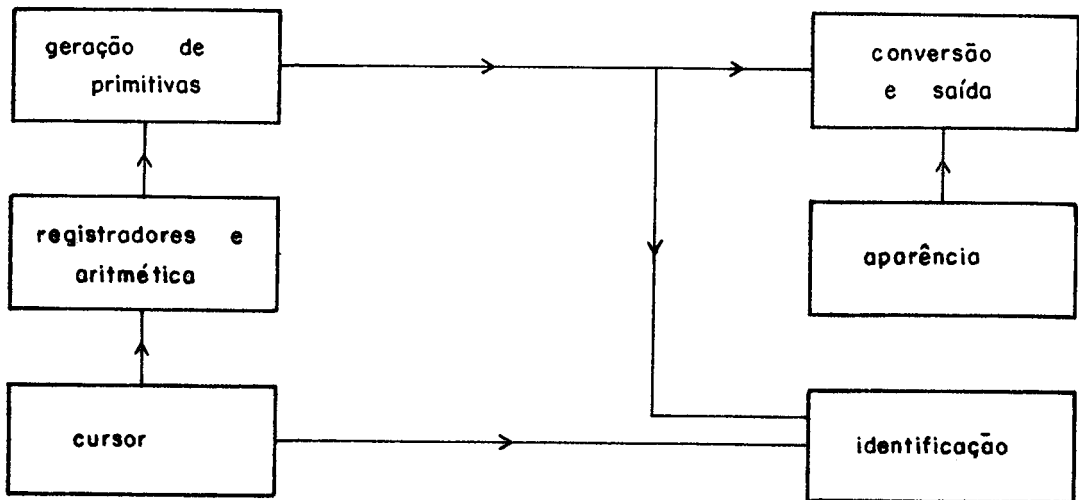


Fig.2.9: Setor de exibição: componentes.

A unidade de conversão digital-analógica gera ten sões analógicas para alimentação dos circuitos de deflexão do tubo de raios catódicos ou circuitos de um traçador gráfico. Recebe dados provenientes do gerador de primitivas, sob a forma de informações binárias de 12 bits. O tubo utilizado é do tipo 613 Storage Display (Tektronix), que opera com imagem armazenada e/ou volátil. Ainda não foi concluída a ligação do traçador gráfico.

A unidade gerador de primitivas entrega aos circuitos de conversão digital-analógica dados binários corres pondentes a cada ponto dos elementos gráficos constituintes da imagem. No Dispositivo de Exibição Gráfica original foram implementadas as primitivas ponto e vetor. Neste projeto foi programado o acréscimo das primitivas caracter e arco. O vetor constitui-se em um segmento de reta cujas ori gem e extremidade são especificadas, e os pontos inter mediários são determinados por interpolação, por ação do gera dor. O caracter permite a exibição de tipos alfa-numéricos

cuja descrição está armazenada em uma memória permanente acessada pelo gerador. O arco permite a construção de um arco de circunferência ou elipse, com origem, extremidade e sentido especificados.

O conjunto de registradores e aritmética de primitivas especifica os parâmetros necessários ao funcionamento do gerador de primitivas. Executa os tratamentos aritméticos prévio e posterior à atualização dos registradores. Os registradores são: Base, que especifica, em coordenadas de tela, a origem da entidade gráfica na qual está contida a primitiva a ser gerada; Origem, o qual especifica a origem relativa da primitiva a ser exibida, dentro da entidade; Extremidade, que contém a extremidade relativa da primitiva a ser exibida; e Interpolação, o qual contém os pontos intermediários durante a geração de primitivas. As interconexões entre estes registradores e unidade aritmética são mostradas na figura 2.10. Esta unidade também poderá efetuar modificações aritméticas nos parâmetros durante a decodificação de instruções do programa de vídeo, se isto for necessário.

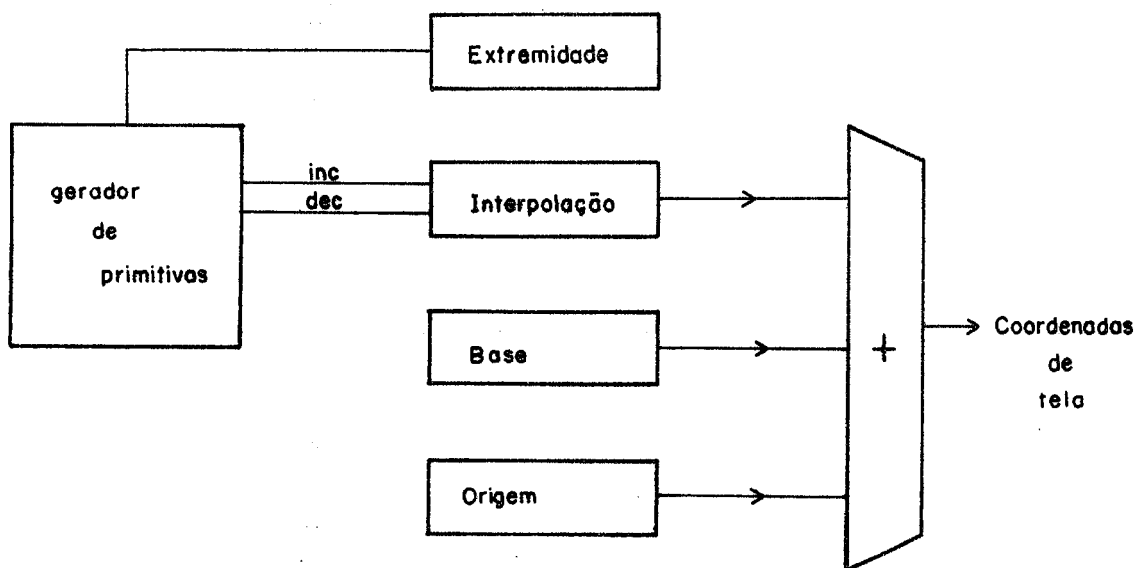


Fig.2.10: Aritmética de primitivas.

O registrador de aparência contém informações sobre as propriedades e modo construtivo dos elementos de imagem. Sua atuação ocorre sobre o gerador de primitivas, alterando informações a serem entregues às unidades de conversão digital-analógica e saída ou para a identificação. Para uma dada entidade gráfica, os dados de aparência são uniformes para todos os elementos; não sendo especificados, adota-se a mesma informação de aparência da entidade imediatamente superior.

O cursor permite ao usuário o posicionamento ou a indicação de elementos na tela. Consiste de um par de registradores aos quais está associada uma alavanca e um cursor visível na tela. O usuário atua sobre a alavanca através de movimentos giratórios em dois eixos perpendiculares, provocando deslocamentos correspondentes no cursor visível, ou em qualquer outra entidade gráfica volátil cuja base esteja associada ao registrador cursor.

A identificação de elementos gráficos contém circuitos que testam a distância entre o cursor e cada ponto de todas as primitivas e registradores descritores. Assim é executado o reconhecimento de elementos gráficos em exibição e apontados pelo usuário, dentro de certa proximidade. O procedimento consiste em verificar ponto por ponto, através do exame de todas as primitivas, se o cursor está em sua vizinhança, gerando o descritor correspondente à entidade apontada pelo usuário, quando forem satisfeitas as exigências de proximidade.

2.5.2 Recursos programados

Estão sendo desenvolvidos recursos programados cujo objetivo é facilitar a comunicação entre o usuário e o sistema, considerando os aspectos interação, armazenamento e utilização por programas analíticos.

Quanto a interação, houve preocupação em definir

uma forma de estruturação das figuras de acordo com a maneira intuitiva do usuário encará-la, tornando-as composições de segmentos significativos. A fim de facilitar a manipulação de figuras, foi desenvolvido um repertório de procedimentos interativos *clássicos*, que permitem a construção simples e operação ampla de figuras.

Quanto ao segundo aspecto, foi proposta uma estrutura de armazenamento de dados que permite a especificação de aspectos gráficos, topológicos e analíticos das figuras, introduzidas pelo usuário durante a construção. Também foram programadas rotinas de conversão das informações armazenadas em programas executáveis pelo processador de exibição.

A utilização por programas analíticos diversos, desenvolvidos pelo usuário, a partir das informações armazenadas, com o estabelecimento de condições básicas para a construção de interfaces entre aqueles dois níveis.

2.6 Considerações finais

Neste capítulo, através da descrição de sistemas gráficos e suas características, procurou-se deixar transparecer a conveniência de utilização de maior quantidade de recursos por "hardware", como forma de otimizar o desempenho de sistemas computacionais gráficos interativos. A criação de novas imagens e a execução de modificações sobre figuras em exibição constituem-se em operações que podem ser tanto mais eficientes quanto melhores forem os recursos físicos e programados disponíveis.

A disponibilidade de um conjunto poderoso de primitivas reflete sobre todas as etapas de processamento de imagens. As simplificações iniciam-se na fase de programação e estendem-se através das etapas de transformações, composição do arquivo de exibição e geração da imagem, propriamente dita; e se referem a características de tempo de exe-

cução, espaço de memória ocupado e estruturas de dados.

Assim sendo, em aplicações onde dispõe-se de um número razoável de figuras compostas por arcos ou segmentos de arcos (circulares e elípticos), a disponibilidade destes recursos em "hardware" significa economia considerável em espaço de memória e tempo de execução. Deve-se ressaltar novamente que este recurso dispensa procedimentos de decomposição dos arcos em pequenos vetores, aproximando a figura real.

Assim, com base nestas colocações, passa-se agora ao estudo da geração da primitiva *ellipse*, objetivo principal deste trabalho. Para maiores informações sobre aplicações específicas e "software" para sistemas gráficos, aconselha-se a leitura de obras citadas na bibliografia (/GIL 78;/NEW 79/, entre outras).



3. A ELIPSE E SEUS ASPECTOS CONSTRUTIVOS

3.1 Considerações iniciais

Neste capítulo inicialmente são revisados alguns conceitos básicos relacionados com a definição e características de elipses, a fim de estabelecer uma terminologia comum.

A seguir, mostra-se diversos métodos construtivos a partir dos quais pode-se obter desenhos de arcos elípticos. Além da descrição do procedimento utilizado, inclui-se a análise de cada um dos métodos, considerando-se suas características de precisão e facilidade de execução.

3.2 A elipse

A elipse é uma curva fechada, plana, gerada por um ponto em movimento tal que a soma de suas distâncias a dois *pontos focais* fixos é constante /SMI 43/. Os pontos focais situam-se sobre o maior diâmetro da elipse e são equidistantes do centro; na figura 3.1 estão designados como F_1 e F_2 .

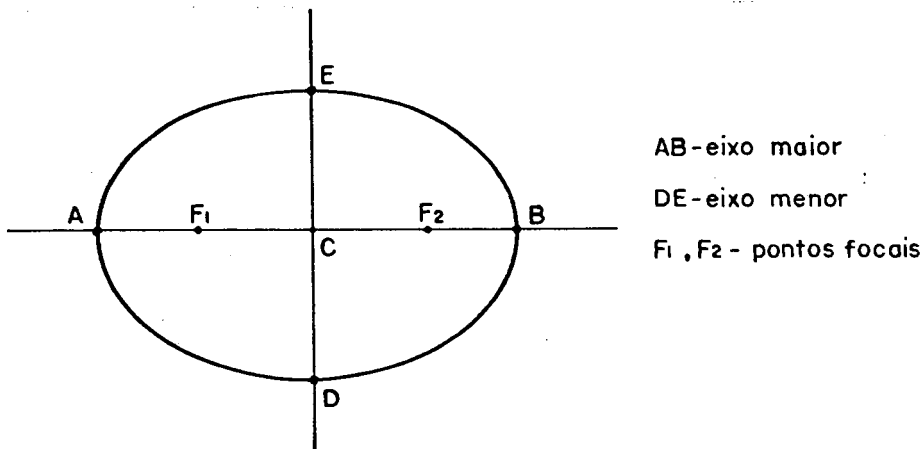


Fig.3.1: A elipse e seus pontos focais. A soma das distâncias F_1P e PF_2 é constante, independente da posição de P sobre a curva.

A elipse é simétrica com relação:

- a) a linha determinada pelos pontos focais, coincidente com o maior diâmetro (segmento \overline{AB});
- b) a bissetriz à linha determinada pelos pontos focais (menor diâmetro, segmento \overline{DE});
- c) ao ponto C, denominado centro da elipse.

Qualquer segmento de reta que passa pelo ponto central C, e cujas extremidades estão sobre a elipse é chamado diâmetro da elipse. Os dois diâmetros de maior interesse são aqueles já definidos como linhas de simetria em a) e b), e recebem as denominações de *eixo maior* e *eixo menor*, respectivamente. Assim, o segmento \overline{AB} constitui-se no maior entre todos os diâmetros da elipse e o segmento \overline{DE} é o menor dentre os demais diâmetros da elipse. Logo,

$$\overline{AB} > \overline{DE}.$$

As extremidades do eixo maior, A e B, são nomeadas *vértices* da elipse.

Os segmentos que partem do centro em direção aos vértices, \overline{CA} e \overline{CB} , cujo comprimento portanto é igual a metade do eixo maior, são chamados *semi-eixo maior*. Analogamente, os segmentos \overline{CE} e \overline{CD} recebem a designação *semi-eixo menor*.

Uma elipse, centrada na origem, cujo eixo maior estende-se sobre o eixo x (ou eixo y, dependendo dos coeficientes de x e y) é representada pela equação de segundo grau em duas variáveis, da forma:

$$Mx^2 + Ny^2 + R = 0$$

onde M e N têm o mesmo sinal e R tem sinal contrário a M e N.

O valor numérico de M é menor do que o de N, se o eixo maior situa-se sobre a coordenada xx' ; se o eixo maior situa-se sobre a coordenada yy' , então o valor numérico de M é maior do que o de N.

Outra representação matemática da elipse pode ser obtida através de equações paramétricas. Para uma elipse, centrada na origem, tem-se:

$$\begin{aligned}x &= \overline{CA} \cos\theta = a \cos\theta \\y &= \overline{CD} \sin\theta = b \sin\theta\end{aligned}$$

onde a é o semi-eixo maior e
 b é o semi-eixo menor.

A variável " a " corresponde à raiz quadrada do valor de N e a variável " b " é obtida a partir da raiz quadrada de M.

Pode-se ter uma idéia do formato básico de uma elipse através do coeficiente de excentricidade da mesma. Este coeficiente é um valor contido no intervalo aberto entre 0 e 1, constituindo-se na relação entre a metade da distância focal e o valor do eixo maior. Denominando-se " e " o coeficiente de excentricidade,

$$e = \frac{f}{a}$$

onde f é a distância de um dos focos ao centro da elipse.

Sendo $f = \sqrt{a^2 - b^2}$, " e " pode ser expresso apenas em função dos valores dos eixos. Então:

$$e = \frac{\sqrt{a^2 - b^2}}{a} \quad \text{ou} \quad e = \frac{\sqrt{\overline{CA}^2 - \overline{CD}^2}}{\overline{CA}}$$

Para elipses arredondadas, portanto cujo formato aproxima-se de uma circunferência, o coeficiente de excen-

tricidade tende a zero, enquanto que elipses achatadas têm coeficientes tendendo à unidade, pois o eixo maior tem valor sensivelmente superior ao do eixo menor. Exemplos destas relações são mostradas na figura 3.2.

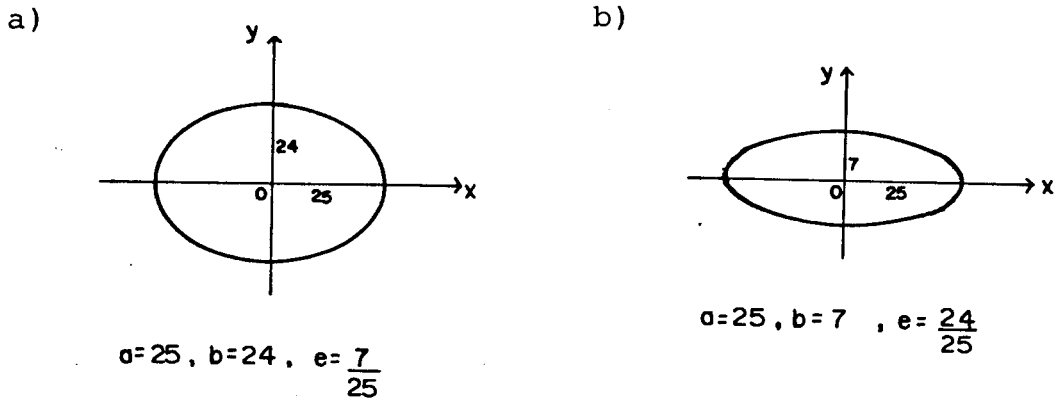


Fig.3.2: Aspecto gráfico da elipse e seu coeficiente de excentricidade. a) elipse pouco excêntrica, $e=0,28$; b) elipse muito excêntrica, $e=0,96$.

3.3 Comprimento do arco de elipse

O comprimento de um arco elíptico, E , pode ser determinado a partir das equações paramétricas da elipse, considerando-se o arco composto de inúmeros segmentos de comprimento tendendo a zero.

As equações paramétricas são:

$$x = a \operatorname{sen} \theta$$

$$y = b \operatorname{cos} \theta, \text{ sendo } a > b.$$

Para uma elipse completa, o intervalo de integração se estende de 0 a 2π . Então o comprimento E será dado por:

$$\begin{aligned}
E &= \int_0^{2\pi} \sqrt{a^2 \operatorname{sen}^2 \theta + b^2 \operatorname{cos}^2 \theta} \, d\theta \\
&= 4 \int_0^{\pi/2} \sqrt{a^2 \operatorname{sen}^2 \theta + b^2 \operatorname{cos}^2 \theta} \, d\theta \\
&= 4 \int_0^{\pi/2} \sqrt{a^2 (1 - \operatorname{cos}^2 \theta) + b^2 \operatorname{cos}^2 \theta} \, d\theta \\
&= 4 \int_0^{\pi/2} \sqrt{a^2 - a^2 \operatorname{cos}^2 \theta + b^2 \operatorname{cos}^2 \theta} \, d\theta \\
&= 4 \int_0^{\pi/2} \sqrt{a^2 - (a^2 - b^2) \operatorname{cos}^2 \theta} \, d\theta \\
&= 4a \int_0^{\pi/2} \sqrt{1 - \frac{a^2 - b^2}{a^2} \operatorname{cos}^2 \theta} \, d\theta \\
&= 4a \int_0^{\pi/2} \sqrt{1 - k^2 \operatorname{cos}^2 \theta} \, d\theta \\
&\text{onde } k = \frac{\sqrt{a^2 - b^2}}{a} < 1
\end{aligned}$$

Esta integral não pode ser expressa através de funções elementares /PIS sd/; é possível avaliá-la apenas por métodos de aproximação, como a regra de Simpson, por exemplo.

Através da regra de Simpson, conhecendo-se os eixos maior e menor, calcula-se inicialmente o valor de "k". Então divide-se o intervalo de integração em "n" partes e o somatório dos valores das funções nestas regiões corresponde ao valor aproximado da integral.

3.4 Métodos construtivos

Nesta secção foram reunidos diversos métodos através dos quais pode-se traçar elipses, segundo /SMI 43/ e

/SHU 56/. A escolha de um destes métodos para a construção de um arco elíptico é dependente do tipo de facilidades disponíveis e da aplicação a qual se destina, determinante em geral das características e exigências mínimas.

Para o trabalho aqui abordado, o objetivo básico constitui-se na análise dos métodos, a fim de extrair um algoritmo para o cálculo de pontos da elipse, considerando-se:

- a) a facilidade posterior de implementação por "hardware";
- b) a velocidade de execução (tempo para o cálculo de cada novo ponto);
- c) precisão possível.

Por isso, após a explicação de cada um dos métodos, comenta-se suas potencialidades sob o ponto de vista dos aspectos relacionados acima.

3.4.1 Método de compasso manual

O conhecimento dos valores dos eixos maior e menor da elipse possibilita a utilização deste método. Inicialmente marca-se, em um filete rígido, as distâncias iguais aos semi-eixos maior (\overline{AC}) e menor (\overline{EC}). Estes pontos são assinalados na tira através das minúsculas correspondentes. Ajusta-se o filete de tal forma que os pontos "a" e "e" localizem-se sobre as linhas dos diâmetros menor e maior, respectivamente. Assim o ponto "e" determina o primeiro ponto da elipse. O movimento gradual da tira, mantendo-se "a" e "e" sobre as linhas especificadas, fornece o lugar geométrico dos demais pontos. O método é ilustrado na figura 3.3.

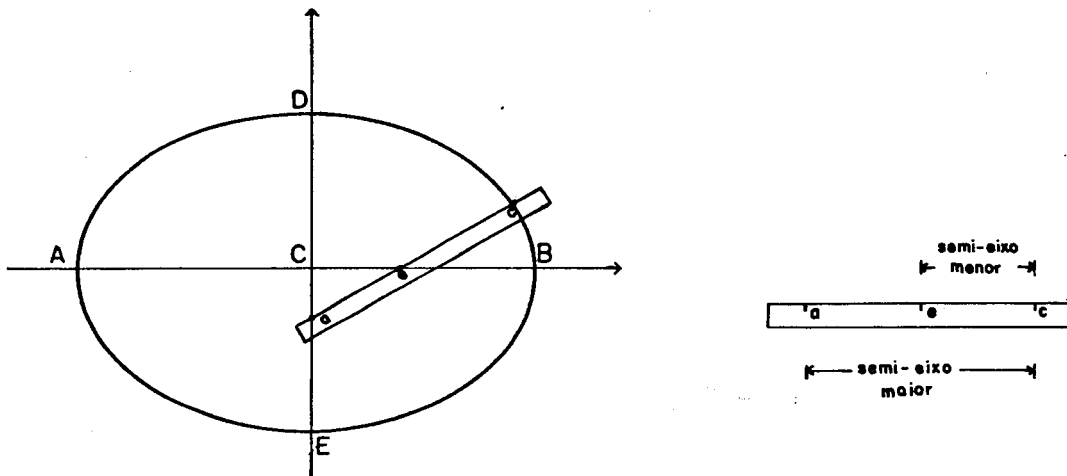


Fig.3.3: Método do compasso manual.

Este procedimento para determinação de pontos da curva requer cuidados consideráveis, se resultados razoavelmente precisos forem desejáveis. Portanto há restrições quanto ao conjunto de possíveis aplicações.

Pode-se empregar uma variação deste método sempre que os valores dos eixos maior e menor forem aproximadamente iguais. Neste caso, a marcação do filete é feita sem a superposição dos tamanhos dos eixos. Marca-se os comprimentos dos semi-eixos menor (DE) e maior (AB) justapostos. Para a execução do traçado, ajusta-se o ponto "d" sobre o prolongamento do eixo maior e o ponto "b" sobre o prolongamento do eixo menor. A posição coincidente de "a" e "e" corresponde a um ponto da elipse. O movimento do filete, mantendo-se "d" e "b" sobre os prolongamentos dos eixos, fornece o lugar geométrico dos demais pontos da elipse (ver figura 3.4).

Esta forma de geração de elipses não é uma boa alternativa, visto que emprega auxiliares mecânicos para efetuar o desenho.

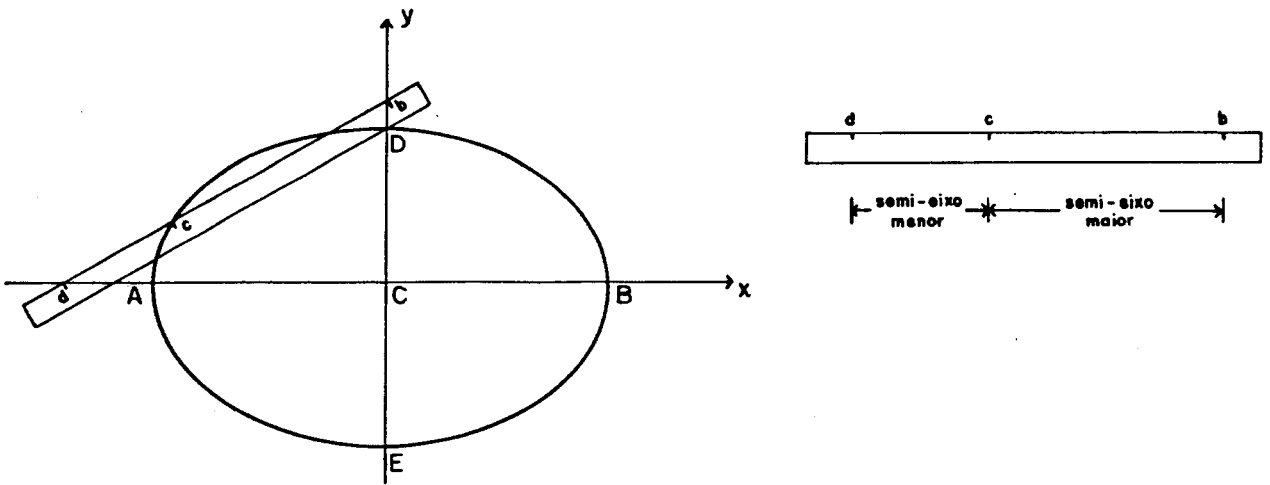


Fig.3.4: Variação do método de compasso manual, para eixos aproximadamente iguais.

A precisão dos pontos da curva pode ser melhorada se este procedimento for traduzido para uma terminologia matemática, transformando-se a obtenção do lugar geométrico dos pontos em cálculos numéricos. A mudança de posição da tira, com a manutenção dos pontos sobre os eixos maior e menor, implica basicamente em variações do ângulo, formado pela tira e eixo maior. O conhecimento deste ângulo (ou de suas variações) possibilita o cálculo da posição do ponto da elipse.

Entretanto este não é um problema cuja solução pode ser obtida rapidamente. É necessário efetuar o cálculo de equação de segundo grau, divisões e multiplicações, seqüencialmente. Portanto tem como desvantagens o tempo de execução e a grande quantidade de componentes para sua implementação.

3.4.2 Método do paralelogramo

É baseado em uma propriedade dos diâmetros conjugados de uma elipse. Qualquer diâmetro da elipse constitui-se em um elemento do par conjugado, e é paralelo à tangente à curva nas extremidades do outro. Para qualquer par de

diâmetros conjugados, estas tangentes formam um paralelogramo, como pode ser visto na figura 3.5.

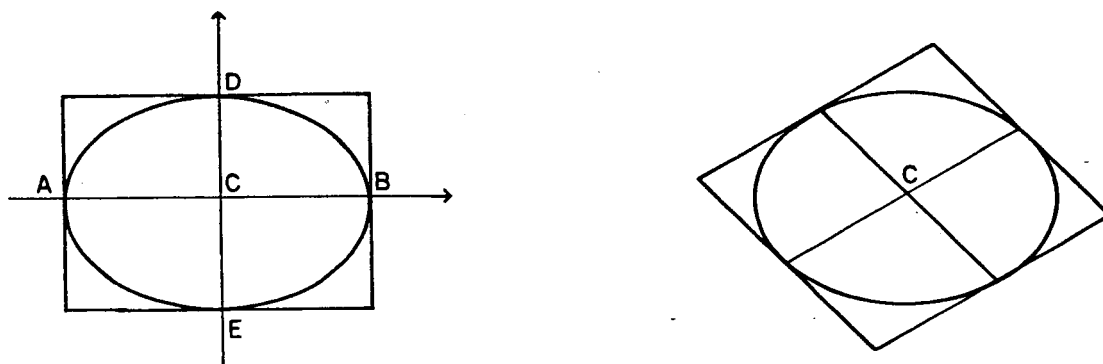


Fig.3.5: Diâmetros conjugados e suas tangentes.

O método desenvolve-se a partir da determinação de um par de diâmetros conjugados e respectivas tangentes à curva nas extremidades (paralelogramo). Divide-se um dos diâmetros conjugados em um número de partes iguais; a seguir, divide-se os lados do paralelogramo paralelos ao outro diâmetro conjugado no mesmo número de partes iguais. Numera-se ambos os conjuntos destas divisões, a partir das extremidades do diâmetro inicialmente considerado. Para completar, desenha-se linhas radiais a estas divisões numeradas, a partir de ambas extremidades do segundo conjugado. As intersecções entre as linhas radiais correspondentes a divisões de mesma ordem determinam pontos da elipse. O método é ilustrado na figura 3.6.

Sem dúvida, este é um método bastante apropriado do ponto de vista geométrico. Todavia não é de realização trivial por computador. O cálculo de cada ponto exige a avaliação prévia das coordenadas dos pontos assinalados sobre os diâmetros conjugados, o estabelecimento de equações de reta passando pelos pontos anteriormente determinados, e finalmente o cálculo do ponto de intersecção entre as retas – resolução de um sistema de primeiro grau, envolvendo duas subtrações, uma divisão, uma multiplicação e uma soma.

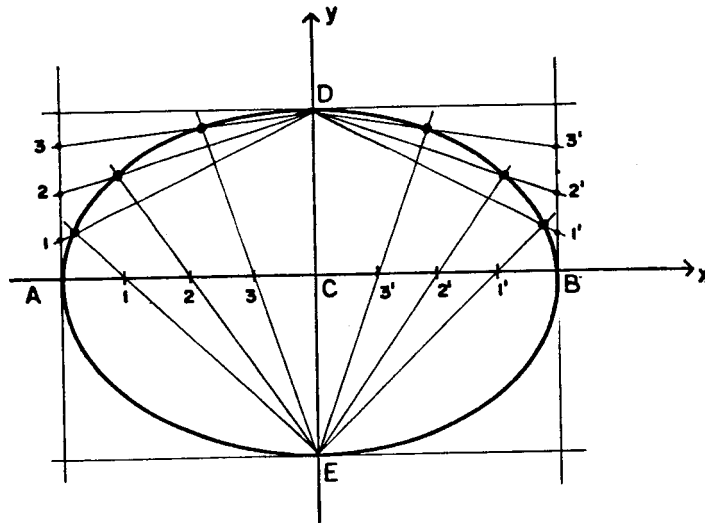


Fig.3.6: Método do paralelogramo. \overline{AB} e \overline{BE} são diâmetros conjugados.

Estes procedimentos, embora matematicamente simples, têm execução razoavelmente complexa por "hardware". A quantidade e o tipo de componentes necessários, e a velocidade resultante dificilmente conseguem justificar a aplicação deste método.

3.4.3 Métodos circulares

Se um par de diâmetros conjugados é conhecido, a elipse pode ser traçada através da utilização de construções baseadas em formas circulares, por diferentes métodos. Serão abordados aqui dois destes métodos; os demais constituem-se fundamentalmente em variações destes.

Dados dois diâmetros conjugados quaisquer, \overline{AB} e \overline{DE} , constrói-se um círculo cujo diâmetro é \overline{AB} . Desenha-se um diâmetro \overline{XY} no círculo e algumas cordas (\overline{RS} , \overline{TU} , etc.) perpendiculares a \overline{AB} . A seguir, desenha-se linhas paralelas a \overline{XD} passando pelas extremidades das cordas, e linhas paralelas a \overline{DE} passando pelos pontos de intersecção das cordas com o diâmetro \overline{AB} . A intersecção destas paralelas a \overline{XD} e \overline{DE}

são pontos da elipse. Um exemplo de elipse construída por este método é mostrado na fig. 3.7.

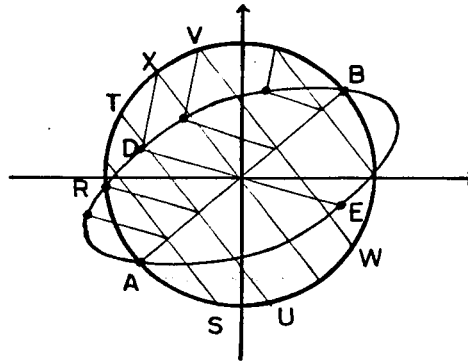


Fig.3.7: Método para construção de elipses, empregando um círculo e um conjunto de cordas deste.

Neste método é necessário gerar inicialmente um círculo cujo diâmetro é igual ao maior diâmetro conjugado da elipse. Após, para cada ponto devem ser estabelecidas equações de reta correspondentes a uma corda do círculo, outra paralela ao diâmetro conjugado, passando pelo ponto de intersecção da corda com \overline{AB} , e uma terceira paralela a uma reta determinada (\overline{XD}), passando pelo ponto de intersecção da corda com a circunferência. O ponto de intersecção entre estas paralelas é o ponto calculado.

A complexidade de geração do círculo deve ser estudada e o estabelecimento das equações de reta neste caso pode ser razoavelmente simples, após a geração das iniciais, pois trata-se de paralelas. O coeficiente angular mantém-se constante. Mas faz-se necessário o cálculo de três pontos de intersecção, implicando na resolução de três sistemas de equações. A complexidade do "hardware" necessário para execução desta atividade e a lentidão do processo global - as atividades não podem ser paralelizadas pois dependem entre si - desaconselham sua aplicação.

Outro método, enquadrado entre os circulares, pode ser empregado quando o par de diâmetros conjugados é compos

to pelos eixos maior e menor da elipse. Utiliza-se dois círculos cujos pontos centrais são comuns, coincidentes com o centro da elipse. Os diâmetros dos círculos são respectivamente iguais aos eixos da elipse a ser construída. Desenha-se linhas radiais ao centro, cortando ambos os círculos. Traça-se linhas paralelas ao diâmetro maior, passando pelos pontos de intersecção das radiais com o círculo menor, e paralelas ao diâmetro menor, através de pontos de intersecção das radiais com o círculo maior. As intersecções destas linhas constituem-se em pontos da elipse, como pode ser visto na figura 3.8.

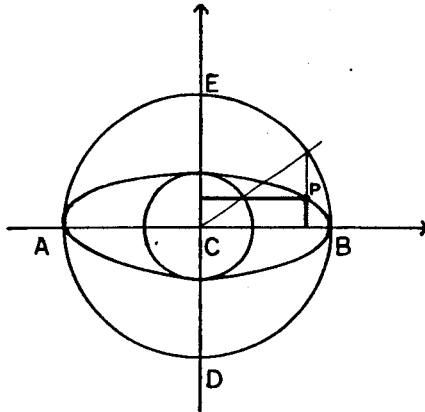


Fig.3.8: Método construtivo, baseado na utilização de dois círculos.

O mesmo método também pode ser aplicado se for conhecido um dos eixos da elipse e um ponto da curva. Traça-se a mediatriz ao eixo conhecido, e a seguir um círculo centrado no ponto de cruzamento do eixo dado com a mediatriz, e raio igual ao semi-eixo conhecido. Traça-se linhas paralelas aos eixos, passando pelo ponto da curva conhecido. A intersecção de uma das paralelas com o círculo determina o posicionamento de uma radial ao círculo. O ponto de intersecção da radial com a outra paralela identifica o raio do outro círculo. A partir desta fase, prossegue-se de acordo com o método dos dois círculos.

O conhecimento de um dos eixos da elipse e um ponto da curva exige passos intermediários os quais condu-

zem ao procedimento baseado no conhecimento dos dois eixos da elipse, empregando dois círculos. Portanto exige adaptações apenas na fase inicial, merecendo estudos, quanto a sua conveniência, dependentes da aplicação. Portanto a análise será feita apenas a partir do instante em que se conhece os dois eixos.

Para a geração de cada ponto é necessário estabelecer uma equação de reta (radial) e a partir da localização dos pontos de intersecção desta com cada um dos círculos são determinadas retas paralelas aos eixos. As maiores dificuldades deste método relacionam-se com a geração dos círculos e a resolução de dois sistemas de equações para determinar os pontos de intersecção. Entretanto, empregando-se elementos de trigonometria, pode-se verificar a correspondência direta das coordenadas do ponto em questão com valores proporcionais a senos e cossenos, relacionados com os círculos básicos (ver figura 3.9). Esta propriedade permite a redução do problema à geração de círculos, desde que os valores de senos e cossenos sejam disponíveis como variáveis intermediárias ou produtos na geração. Senos e cossenos são calculáveis por soma de séries, e esta técnica é de realização computacional simples; logo, pode-se considerar a possibilidade de utilização deste método.

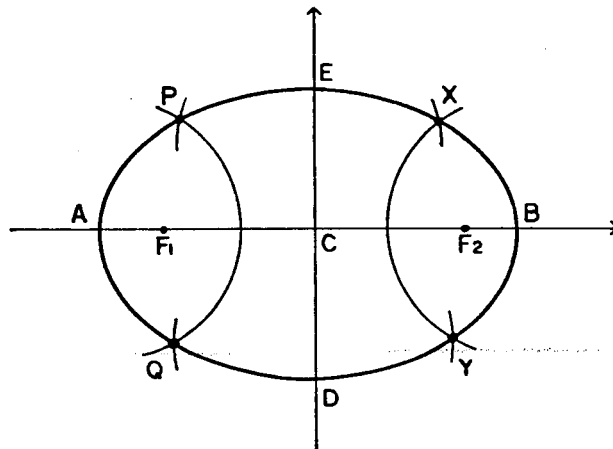


Fig.3.9: O ponto da elipse tem correspondência com pontos proporcionais a senos e cossenos. O círculo desenhado acima é de raio unitário.

3.4.4 Método mecânico

Conhecidos os focos e um dos eixos de uma elipse, é possível traçar-se a curva através de um método prático.

Marca-se sobre uma superfície plana a posição dos dois focos e a extremidade do semi-eixo conhecido. Em seguida, coloca-se nestes pontos percevejos ou alfinetes, ao redor dos quais é atada firmemente uma linha fina inextensível. Retirando-se o marcador da extremidade de semi-eixo, posiciona-se um lápis pela parte interna da linha e, mantendo-a sempre esticada, percorre-se o papel com a ponta do lápis. Ao encontrar-se novamente o início da linha traçada, estará concluída a elipse. O método é ilustrado na figura 3.10.

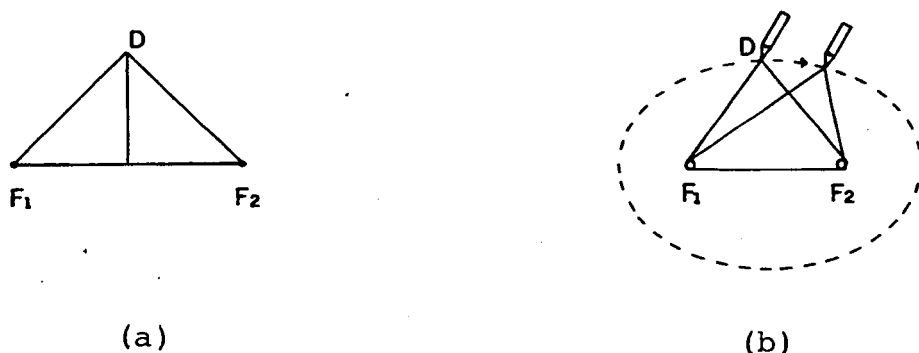


Fig.3.10: Método mecânico. a) Ajuste da linha em função dos pontos conhecidos; b) traço da elipse.

Este procedimento não é viável para a aplicação em vista, pois tem características puramente mecânicas. Poderia ser, assim como o método de compasso manual, traduzido em termos de equações matemáticas, mas isto implicaria na resolução de um sistema de equações do segundo grau. Não é, portanto, uma solução satisfatória.

3.4.5 Método de arcos circulares

Pode ser empregado quando são conhecidos os eixos (\overline{AB} e \overline{DE}) e os focos (F_1 e F_2) da elipse.

Marca-se sobre o semi-eixo menor, \overline{AC} , um ponto qualquer, G . Traçam-se dois arcos com raio \overline{AG} , um com centro em $F_1(1)$, e o outro com centro em $F_2(2)$. A seguir, desenha-se mais dois arcos, de raio \overline{GB} ; um centrado em F_1 , o qual cortará o arco 2 em dois pontos, X e Y , e o outro centrado em F_2 , cortando o arco 1 também em dois pontos, P e Q (ver figura 3.11).

O procedimento é repetido para cada ponto marcado sobre o segmento \overline{AC} . Quanto maior o número de pontos assinalados, mais precisa e perfeita será a elipse desenhada.

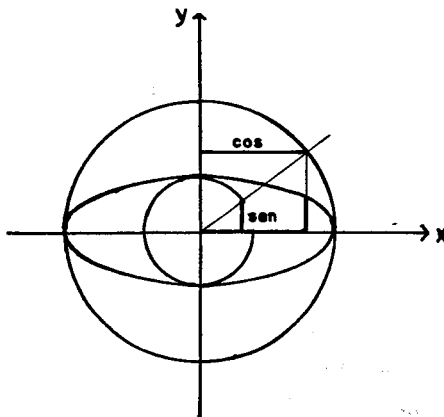


Fig.3.11: Método de arcos circulares. Cada ponto marcado sobre \overline{AC} , resulta em quatro pontos da elipse.

A resolução de intersecção entre arcos de circunferências é a característica básica deste método. Inicialmente é necessário estabelecer as equações das circunferências e após, verificar os pontos onde os arcos se interceptam, definindo pontos da elipse.

A detecção dos pontos de intersecção envolve o emprego de sistemas de equações, necessitando a execução de uma série de operações aritméticas, demoradas e de certa complexidade sob o aspecto de implementação.

3.5 Comentários finais

Pode-se distinguir dois objetivos básicos e formas correspondentes para a obtenção de arcos geométricos em geral, e de elipses, no caso particular aqui tratado. No primeiro, o objetivo é a determinação precisa do lugar geométrico de uma curva, com vistas a alguma aplicação matemática, por exemplo. Neste caso, é conveniente a utilização das equações matemáticas da curva, para o cálculo de cada ponto. No segundo caso, deseja-se desenhar a curva, da forma melhor possível, mas sem exigir obrigatoriamente características de precisão excelentes. Pequenos erros tornam-se imperceptíveis à percepção visual humana.

A forma matemática, embora ofereça melhores resultados, é complexa para implementação em "hardware". Os métodos geométricos podem oferecer resultados satisfatórios para a aplicação gráfica: sua escolha depende das condições de adaptação à estrutura computacional.

Através de uma análise preliminar sobre as formas construtivas estudadas, aquela que emprega dois círculos como base para a elipse parece mais simples e rápida. Entretanto não se efetuou a análise da geração de círculos, a fim de verificar o nível de complexidade na implementação, necessário a um bom desempenho. Este assunto é desenvolvido no próximo capítulo.

4. ALGORITMO - ESCOLHA E ANÁLISE

4.1 Considerações iniciais

No capítulo anterior foram apresentados métodos construtivos utilizados na geometria para desenhar elipses, verificando-se sua eventual adaptação a geração computacional destas formas.

A partir das considerações e comentários sobre cada uma das técnicas, a escolha preliminar recaiu sobre um dos métodos circulares: aquele embasado na construção de duas circunferências cujos raios são respectivamente iguais aos semi-eixos da elipse.

Mas a decisão final é dependente do estudo de uma maneira viável de geração de círculos por "hardware", e este se constitui em objetivo principal do presente capítulo.

Determinado o procedimento de geração de círculos, deve-se fazer as adaptações necessárias, a fim de garantir o seu enquadramento como parte do algoritmo completo de geração de elipses. As características de erro inerente à técnica escolhida também são analisadas no final do capítulo.

4.2 Correlação entre os procedimentos matemático e geométrico

A construção de elipses através do método circular, aplicado para o traçado gráfico, foi abordada na seção 3.4.3, do capítulo anterior.

Matematicamente, o traçado da elipse a partir do método circular, baseado na construção de duas circunferências, pode ser mostrado com a utilização das equações paramétricas destas geometrias.

Denominando-se \overline{CD} o valor do semi-eixo menor, ao qual corresponde o raio da circunferência menor, e \overline{CA} o valor do semi-eixo maior, ao qual corresponde o raio da circunferência maior (ver figura 4.1), tem-se as seguintes equações paramétricas:

a) circunferência menor, centrada na origem:

$$Px1 = \overline{CD} \cos\theta$$

$$Py1 = \overline{CD} \text{ sen}\theta$$

b) circunferência maior, centrada na origem:

$$Px2 = \overline{CA} \cos\theta$$

$$Py2 = \overline{CA} \text{ sen}\theta$$

c) elipse, centrada na origem:

$$Pxe = \overline{CA} \cos\theta$$

$$Pye = \overline{CD} \text{ sen}\theta$$

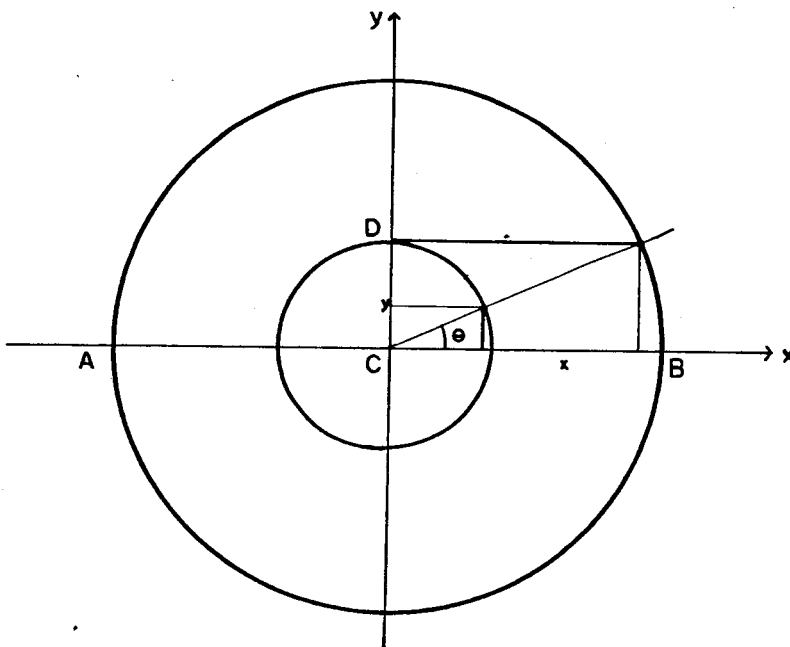


Fig.4.1: A proporcionalidade entre as funções trigonométricas $\text{sen}\theta$ e $\cos\theta$ e as coordenadas do ponto correspondente.

Através das equações e da ilustração pode-se verificar a relação direta entre o valor das coordenadas x e

y, correspondentes a intersecção da radial com os círculos maior e menor, e o valor das coordenadas de localização do ponto calculado da elipse. Entretanto esta relação só se verifica se forem considerados pontos da circunferência correspondentes ao mesmo ângulo (daí a radial partindo do centro comum). Portanto a obtenção de cada ponto está relacionada com a geração simultânea das circunferências, e deve-se ter como parâmetro comum de controle um coeficiente angular.

Assim o problema pode ser solucionado com a utilização de um par de geradores de círculos cujos raios correspondem aos eixos maior e menor da elipse. Deve-se ter acesso aos valores de cosseno e seno, respectivamente, multiplicados pelo raio, a fim de compor cada par de coordenadas determinantes dos pontos da elipse, como é indicado no diagrama em blocos da figura 4.2. O controle dos geradores está associado a variações angulares.

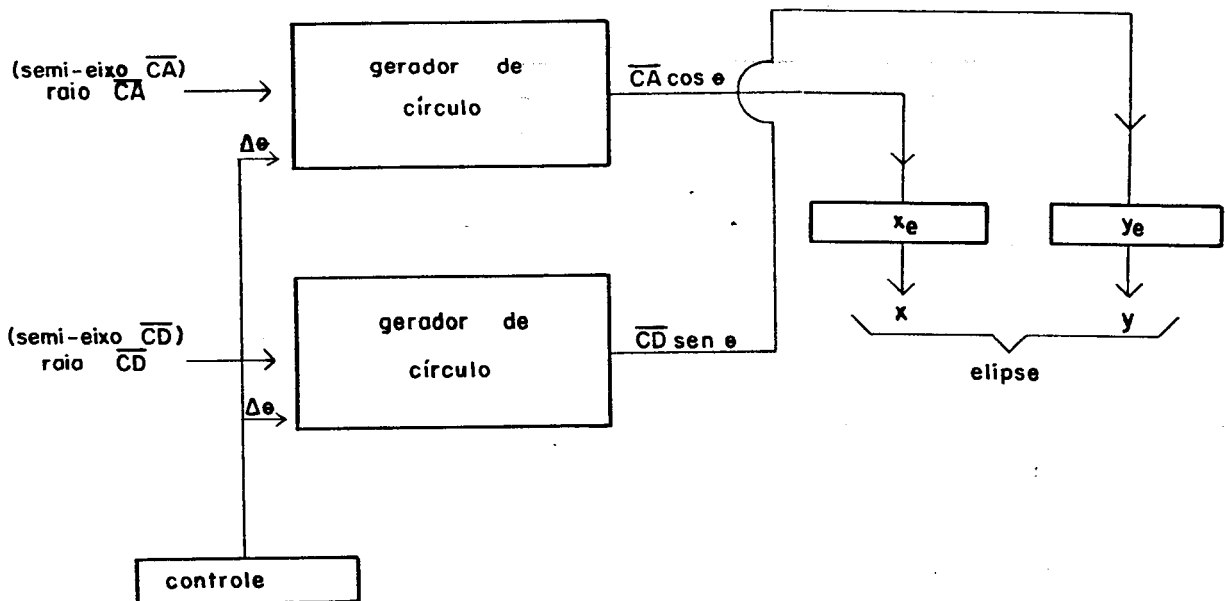


Fig.4.2: Diagrama em blocos da estrutura global para geração das elipses.

Pode-se perceber, portanto, a correlação entre o procedimento matemático, embasado em equações paramétricas, e o método circular, usado no desenho geométrico para

determinação de uma elipse.

4.3 Geração de circunferências

A partir destes dados iniciais, o problema agora centraliza-se na procura de um método de geração de círculos, comandada por informações ou variáveis associadas a posição angular.

Em grande parte dos sistemas gráficos tradicionais de alto desempenho era usada geração analógica de vetores e círculos. As desvantagens destes geradores estão associadas aos circuitos bastante complexos, os quais necessitam de ajustes individuais, e a sensibilidade às influências do desgaste por tempo e à temperatura.

A utilização de geradores binários evita estes problemas, e a escolha de uma configuração adequada permite atingir velocidades próximas àquelas obtidas com geradores analógicos. Os *degraus* nas curvas calculadas são inconvenientes, mas podem ter seus efeitos minimizados se for empregado um número de bits suficientemente grande para a codificação das grandezas envolvidas.

A seguir são abordados alguns dos métodos usados para a geração binária de arcos circulares.

4.3.1 Método linear incremental

É um método simples; usa somente operações elementares como soma e subtração, podendo por isto ser aplicado em computadores pequenos, terminais programáveis ou implementações diretas de "hardware", onde são desejáveis velocidade e capacidade /BRE 77/.

Pressupõe-se o emprego de dispositivos capazes de executar qualquer um dos oito movimentos mostrados na fi

gura 4.3, mediante a aplicação de um pulso adequado. O ponto de partida é o ponto central na malha, e o deslocamento é feito para um dos oito pontos adjacentes, não sendo uniforme, portanto, em módulo. As direções de movimento podem ser paralelas aos eixos coordenados ou sobre as bissetrizes a estes eixos, resultando deslocamentos a 0° , 45° , 90° , 135° , 180° , 225° (ou -135°), 270° (ou -90°) e 315° (ou -45°).

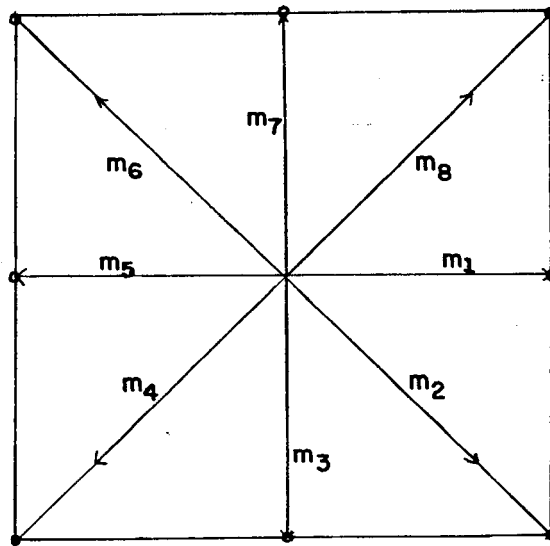


Fig.4.3: Direção e sentidos possíveis para deslocamento no método linear incremental.

Este movimento incremental é executado sobre pontos pré-determinados na malha, e conseqüentemente corresponde a coordenadas inteiras no vídeo. Supõe-se o círculo a ser traçado, como centrado na origem de um sistema de coordenadas retangular, cujas unidades são as mesmas do dispositivo de exibição.

A cada movimento, o algoritmo escolhe um ponto de forma a minimizar a diferença absoluta entre R^2 , onde R é o raio do círculo a ser desenhado, e o quadrado do raio para o ponto escolhido. Logo, em cada momento é determinada qual a opção na malha que mais se aproxima da posição do ponto real.

O algoritmo será explicado para o movimento, no

sentido horário, de $(0,R)$ a $(R,0)$ através do primeiro quadrante (ver figura 4.4). Neste trecho, a representação do arco de circunferência é dada por:

$$X^2 + Y^2 = R^2, \text{ onde}$$

$X \geq 0$ e corresponde ao valor da abcissa

$Y \geq 0$ e corresponde ao valor da ordenada

$R \geq 1$ e é inteiro.

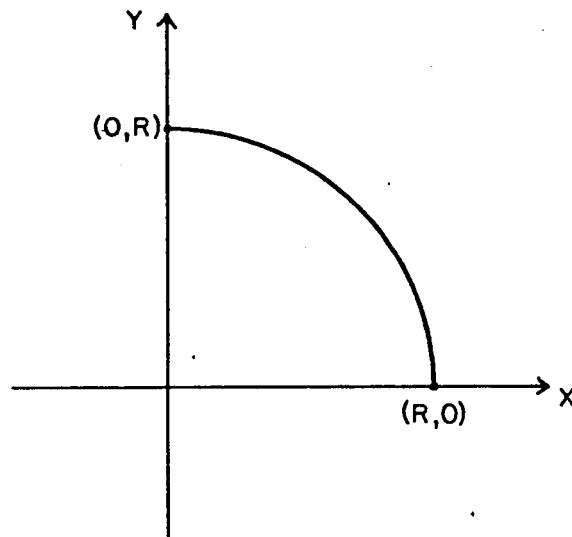


Fig.4.4: Arco de circunferência no primeiro quadrante.

Para um arco circular no primeiro quadrante, "y" é uma função monotonamente decrescente de "x". O movimento no sentido horário neste quadrante pode ser, por conseguinte, executado através de uma seqüência de ações envolvendo exclusivamente m_1 , m_2 e m_3 .

Sendo P_i um ponto qualquer localizado sobre o arco referido, cujas coordenadas são X_i e Y_i , o próximo movimento será, dependendo da posição do próximo ponto real, um dos seguintes:

- a) m_1 , em 0° , com destino (X_i+1, Y_i)
- b) m_2 , em -45° (ou 315°), com destino (X_i+1, Y_i-1)
- c) m_3 , em -90° (ou 270°), com destino (X_i, Y_i-1) .

A minimização da diferença absoluta entre R^2 e os quadrados das raízes de cada uma das três alternativas possíveis é obtida através da avaliação das diferenças, determinando o movimento a ser executado. As relações usadas no caso particular aqui abordado são dadas abaixo:

- a) $[(X_i+1)^2 + Y_i^2] - R^2$ determina o movimento m_1 ,
- b) $[(X_i+1)^2 + (Y_i-1)^2] - R^2$ determina o movimento m_2 ,
- c) $[X_i^2 + (Y_i-1)^2] - R^2$ determina o movimento m_3 .

Todavia esta avaliação das diferenças deve ser executada cuidadosamente, pois há cinco possibilidades de intersecção do círculo com as linhas coordenadas X_i+1 e Y_i-1 , as quais necessitam ser consideradas quando é feita a seleção de movimento do ponto $P(X_i, Y_i)$. Estas possibilidades são mostradas na figura 4.5. Este comportamento determina fatores adicionais a serem considerados no algoritmo como será visto a seguir.

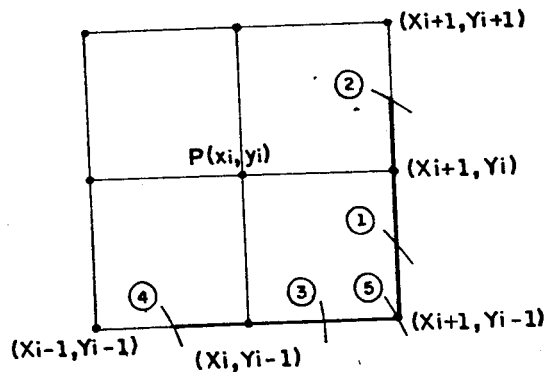


Fig.4.5: Possíveis intersecções do arco calculado com as linhas destino da malha.

Devido ao número de caminhos alternativos, ao invés da avaliação direta das diferenças foi desenvolvido um algoritmo alternativo que considera apenas dois pontos em cada passo. Inicialmente é observado o sinal da diferença entre R^2 e o quadrado do raio para o ponto diagonal adjacen

te (X_i+1, Y_i-1) , isto é,

$$\Delta_i = \{ [(X_i+1)^2 + (Y_i-1)^2] - R^2 \}.$$

Se $\Delta_i=0$, então (X_i+1, Y_i-1) é o ponto do círculo verdadeiro e o movimento deve ser m_2 .

Se $\Delta_i>0$, então (X_i+1, Y_i-1) é externo ao círculo verdadeiro. O círculo verdadeiro passa entre os pontos (X_i+1, Y_i-1) e (X_i, Y_i-1) , a semelhança do caso 3, ou entre os pontos (X_i, Y_i-1) e (X_i-1, Y_i-1) , ilustrado pelo caso 4, da figura 4.5. Para esta segunda situação, incluída no caso 4, o movimento a executar é sempre m_3 (no exemplo). Para o caso 3, é necessário efetuar um teste complementar para verificar o grau de aproximação de X_i ou X_i+1 , determinando a direção do movimento: m_2 ou m_3 . Este teste é efetuado agora considerando-se apenas o trecho entre X_i e X_i+1 , sobre a linha Y_i-1 , e a posição do ponto real. A avaliação fundamenta-se na avaliação da diferença:

$$\delta = | [(X_i+1)^2 + (Y_i-1)^2] - R^2 | - | [X_i^2 + (Y_i-1)^2] - R^2 |.$$

Sendo $\delta \leq 0$, o movimento a ser executado é m_2 , se $\delta > 0$, implica no movimento m_3 (ver figura 4.6).

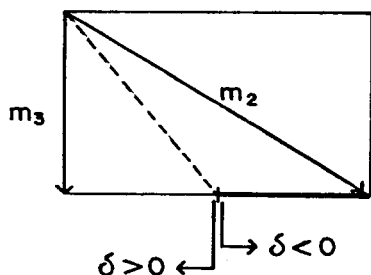


Fig.4.6: A decisão entre dois movimentos é dependente do sinal de δ .

Se $\Delta_i < 0$, então (X_i+1, Y_i-1) é interno ao círculo verdadeiro, enquadrando-se nos casos 1 ou 2. Se o círculo

verdadeiro passa entre os pontos (X_i+1, Y) e (X_i+1, Y_i-1) , trata-se do caso 1; mas se os limites do trecho são (X_i+1, Y_i+1) e (X_i+1, Y_i) , então a situação é do tipo 2, resultando no movimento m_1 . No caso 1, analogamente ao caso 3, é necessário executar um teste complementar a fim de determinar o enquadramento nos movimentos m_1 ou m_2 . O teste baseia-se no valor da diferença:

$$\delta = \left| [(X_i+1)^2 + Y_1^2] - R^2 \right| - \left| [(X_i+1)^2 + (Y_i-1)^2] - R^2 \right|.$$

Se $\delta \leq 0$, indica a proximidade do ponto real a (X_i+1, Y_i) e o movimento executado deverá ser m_1 . Caso contrário, $\delta > 0$, o movimento é m_2 .

Estas expressões apresentadas definem o movimento inicial. A partir do estabelecimento dessas fórmulas iniciais é possível se obter as relações de recorrência as quais habilitam o cálculo dos próximos movimentos, empregando-se expressões mais simples. A observação das expansões

$$(X_i+1)^2 = X_i^2 + 2X_i + 1 \text{ e}$$

$$(Y_i-1)^2 = Y_i^2 - 2Y_i + 1, \text{ conduz facilmente a}$$

estas expressões, por substituição quando deduz-se o valor de Δ_i , como mostrado nos casos abordados a seguir.

a) Para o movimento m_1 , $\Delta_i < 0$ e $\delta \geq 0$. De acordo com a figura 4.5, as coordenadas do novo ponto são:

$$X_{i+1} = X_i + 1 \text{ e}$$

$$Y_{i+1} = Y_i.$$

A diferença Δ_{i+1} será dada por:

$$\begin{aligned}
\Delta_{i+1} &= [(X_{i+1}+1)^2 + (Y_{i+1})^2] - R^2 = \\
&= [X_{i+1}^2 + 2X_{i+1} + 1 + Y_{i+1}^2] - R^2 = \\
&= [(X_i+1)^2 + 2X_{i+1} + 1 + Y_{i+1}^2] - R^2 = \\
&= [X_i^2 + 2X_i + 1 + 2X_{i+1} + 1 + Y_{i+1}^2] - R^2 = \\
&= X_i^2 + 2X_i + 1 + Y_i^2 + 2X_{i+1} + 1 - R^2 = \\
&= \Delta_i + 2X_{i+1} + 1
\end{aligned}$$

Reunindo, as relações de recorrência para m_1 são dadas por:

$$X_{i+1} = X_i + 1$$

$$Y_{i+1} = Y_i$$

$$\Delta_{i+1} = \Delta_i + 2X_{i+1} + 1$$

Para os movimentos m_2 e m_3 , as relações são deduzidas de forma análoga, apresentando-se aqui apenas as expressões finais.

b) Para o movimento m_2 ($\Delta_i \leq 0$ e $\delta > 0$, ou $\Delta_i \geq 0$ e $\delta \leq 0$):

$$X_{i+1} = X_i + 1$$

$$Y_{i+1} = Y_i - 1$$

$$\Delta_{i+1} = \Delta_i + 2X_{i+1} - 2Y_{i+1} + 2$$

c) Para o movimento m_3 ($\Delta_i > 0$ e $\delta > 0$):

$$X_{i+1} = X_i$$

$$Y_{i+1} = Y_i - 1$$

$$\Delta_{i+1} = \Delta_i - 2Y_{i+1} + 1$$

Voltando ao exemplo introduzido, o círculo foi iniciado em $X_0=0$ e $Y_0=R$, e seguindo o sentido horário, o arco neste quadrante estará completo quando $Y_i=0$ ou $Y_i < 1/2$ eventualmente, se for utilizado algum método de arredondamento. Para prosseguir através de outros quadrantes faz-se necessária nova especificação dos movimentos possíveis (m_3 , m_4 e m_5 para o quarto quadrante, por exemplo), a reinicialização do algoritmo e sua repetição com a mesma lógica anterior até completar o círculo. A reinicialização do algoritmo consiste em carregar os registradores correspondentes às coordenadas do ponto inicial (X_0, Y_0) e da diferença inicial, Δ_0 .

Este é o algoritmo básico para a resolução do problema de geração de circunferências através do método incremental linear. Algumas adaptações fazem-se necessárias quando o raio do arco a ser traçado ou seus pontos centrais não são números inteiros. A precisão obtida é dependente das dimensões da malha escolhida. Quanto menor a malha, melhores serão os resultados e menos perceptível o efeito *escada*.

Para o cálculo de cada ponto são empregadas essencialmente expressões envolvendo somas e subtrações, as quais, em princípio, simplificam o "hardware". Mas, apesar da simplicidade, o processo para obtenção de cada novo ponto não é muito rápido pois envolve um conjunto de operações seqüenciais: determinação da direção básica, análise do caso e cálculo do novo par de coordenadas através de operações aritméticas e de teste.

Entretanto o problema mais sério decorrente deste

método é a dificuldade que se teria em relação ao controle para gerar dois círculos de raios diferentes, simultaneamente, com o mesmo número de pontos. Isto traz um aumento significativo de complexidade à unidade controladora do sistema, pois provavelmente envolveria algum mecanismo de estabelecimento de proporcionalidade inversa entre o raio e o padrão da malha. Por isto, em princípio, esta não é uma boa opção para o caso aqui considerado.

4.3.2 Interpolação

Entende-se por interpolação o processo de ajuste de uma forma geométrica, no caso um arco circular, entre dois pontos. Este método permite a geração de movimentos ou traçados a partir da transferência e/ou armazenamento de pequena quantidade de informações.

Alguns algoritmos de interpolação têm sido desenvolvidos com base em "rate multipliers". Entretanto a exatidão de interpolação é sensível a qualquer mudança abrupta na saída dos multiplicadores.

Este algoritmo aqui apresentado /PEA 72/, todavia, fornece características ótimas de erro: o erro entre a posição calculada e a posição real nunca é maior do que uma unidade. O erro não é acumulado, permanecendo apenas como função de um avanço.

O procedimento será explicado com base no traçado de um arco circular centrado na origem, situado no primeiro quadrante. Para adaptação da técnica a outros quadrantes manipula-se adequadamente os bits de sinal, considerando-se cada um dos eixos.

As mudanças de um ponto absoluto a outro podem ser manipuladas pelo interpolador sob a forma de deslocamentos. Também podem ser incluídos contadores que mantêm a posição absoluta do ponto interpolado em relação a cada

eixo. Estes contadores são incrementados ou decrementados a cada vez que um ponto é deslocado uma unidade ao longo do eixo correspondente. Torna-se possível também executar saltos para uma nova posição utilizando-se as capacidades de carga paralela e inicialização dos contadores.

A equação de um círculo centrado na origem é dada por:

$$X^2 + Y^2 = R^2.$$

O algoritmo de interpolação emprega uma *função erro*, $F(X,Y)$, definida por:

$$F(X,Y) = X^2 + Y^2 - R^2.$$

O cálculo desta função permite avaliar a posição relativa do ponto calculado com relação ao ponto contido no arco real, a partir do sinal da função $F(X,Y)$. Tem-se as seguintes situações:

- a) $F(X,Y) > 0$, corresponde a pontos externos ao arco real;
- b) $F(X,Y) = 0$, corresponde a pontos situados sobre o arco;
- c) $F(X,Y) < 0$, corresponde a pontos internos ao arco.

Estimar o valor de $F(X,Y)$ para cada ponto pode parecer complexa, se for tomada como base a expressão dada acima. Entretanto, para cada ponto, pode-se calcular apenas a variação da função erro em relação ao valor anterior, pois:

$$F_{i+1} = F_i + \Delta F_i$$

$$F(X_{i+1}; Y_{i+1}) = \Delta F(X_i, Y_i) + F(X_i, Y_i)$$

O valor inicial de $F(X,Y)$ na origem é zero.

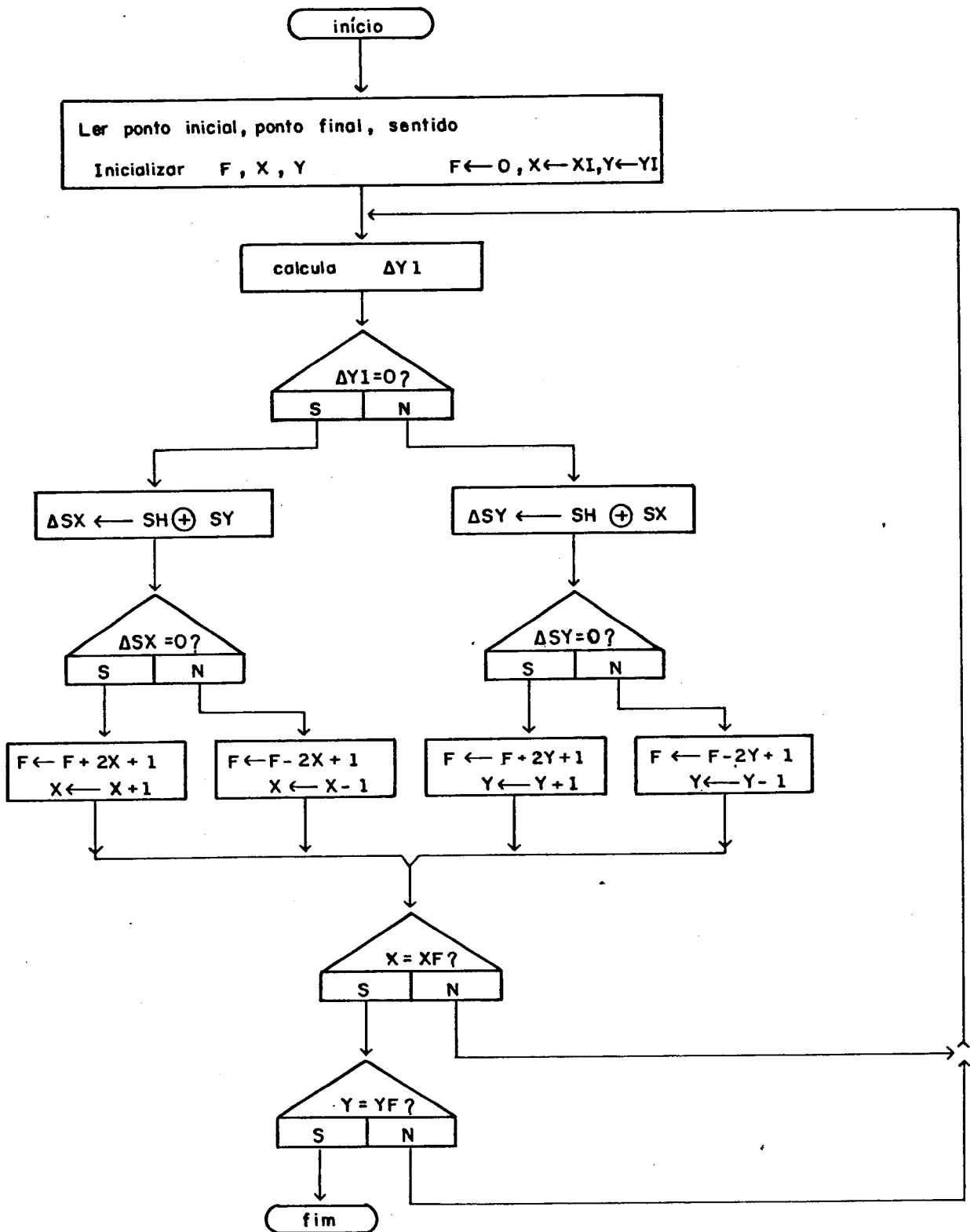


Fig.4.7: Fluxograma correspondente ao procedimento de interpolação.

Particularizando-se para o caso do arco circular, o cálculo incremental da função erro é dado por:

$$\begin{aligned} F(X_{i+1}, Y_{i+1}) &= (X_i + \Delta X)^2 + (Y_i + \Delta Y)^2 - R^2 \\ &= X_i^2 + 2X_i \Delta X + \Delta X^2 + Y_i^2 + 2Y_i \Delta Y + \Delta Y^2 - R^2 \end{aligned}$$

Como os avanços ocorrem apenas em uma das direções, X ou Y, o valor incremental de $F(X, Y)$ pode ser simplificado, de acordo com um dos seguintes casos:

a) Para $\Delta X=0$ e $\Delta Y=\pm 1$:

$$F(X_{i+1}, Y_{i+1}) = F(X_i, Y_i) + 2Y_i \Delta Y + 1$$

b) Para $\Delta Y=0$ e $\Delta X=\pm 1$:

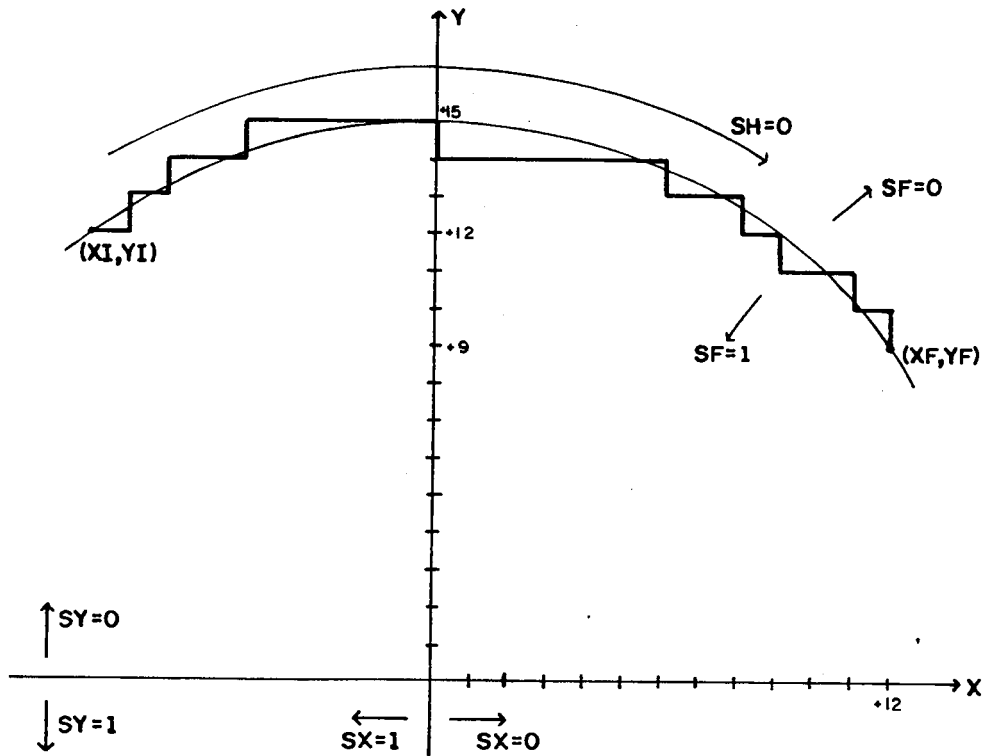
$$F(X_{i+1}, Y_{i+1}) = F(X_i, Y_i) + 2X_i \Delta X + 1$$

A implementação destas funções pode ser executada com o emprego de somadores e subtratores, em conjunto com atividades de deslocamento para se realizar as multiplicações por 2. O interpolador é carregado inicialmente com o valor das coordenadas do ponto inicial do arco (X_I, Y_I) , com as coordenadas do ponto final (X_F, Y_F) e com uma variável lógica indicando o sentido de traçado do arco, horário (SH) ou anti-horário (\overline{SH}).

O valor dos deslocamentos ΔX e ΔY é dependente de SH, dos sinais de X, Y e da função erro $F(X, Y)$. O algoritmo completo é mostrado através do fluxograma da figura 4.7.

Todavia esta técnica garante apenas o erro máximo de uma unidade de deslocamento: não assegura o melhor posicionamento para cada ponto calculado. Na figura 4.8, são mostrados dois arcos de circunferência; um é resultante da aplicação do algoritmo descrito, e o outro corresponde a escolha dos melhores pontos do reticulado para o desenho do arco circular, isto é, o desenho é composto pelos pontos do reticulado mais próximos do ponto real.

(a)



(b)

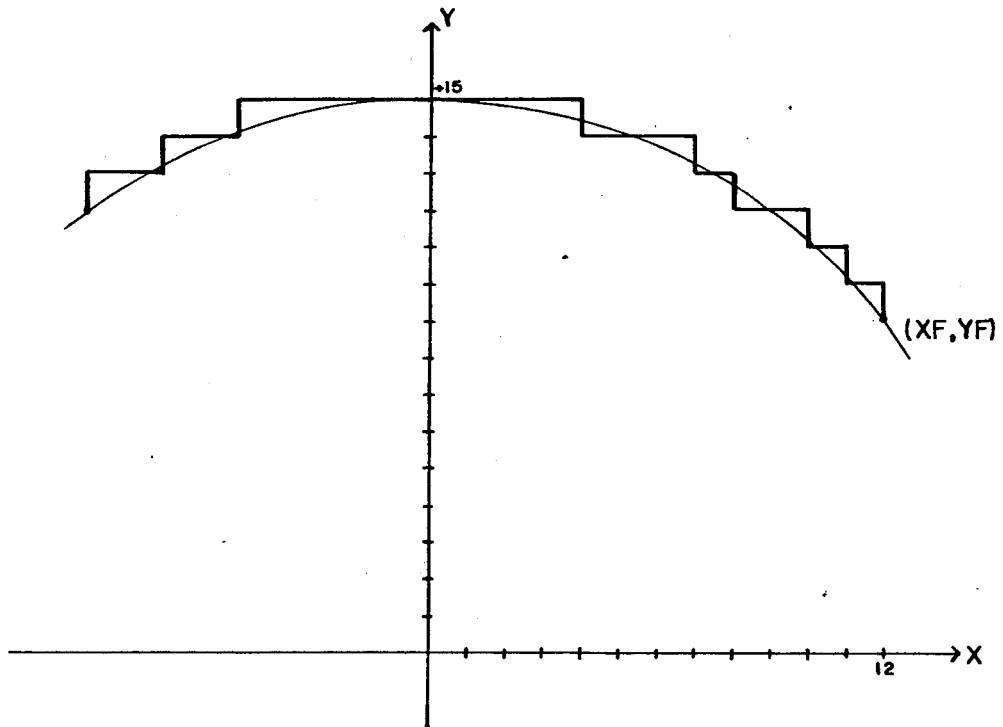


Fig.4.8: Traçado de circunferências por interpolação.
 a) Arco calculado através do algoritmo de interpolação descrito, com erro máximo de uma unidade;
 b) Arco correspondente à escolha dos pontos do reticulado mais próximos do ponto real.

O maior inconveniente para a aplicação desta técnica é que esta, à semelhança da anterior, desenvolve-se sobre um reticulado, com unidades de deslocamento pré-definidas, sem possibilidade de controle por coeficiente angular. Assim a geração simultânea de circunferências de raios diferentes necessitaria de um controle extremamente complexo. Este algoritmo portanto não é apropriado para o caso em estudo.

4.3.3 Técnica com analisador diferencial digital (ADD)

Qualquer curva bidimensional pode ser representada no plano xy por equações do tipo:

$$\begin{aligned}x &= x(t) \\ y &= y(t)\end{aligned}$$

O parâmetro t varia ao longo da curva e, uma vez que deve ser gerado um movimento acompanhando a curva, é natural identificar t com a variável *tempo*. Diferenciando-se essas equações, obtêm-se componentes vetoriais de velocidade tangencial:

$$\begin{aligned}dx &= \frac{dx}{dt} dt = v_x dt \\ dy &= \frac{dy}{dt} dt = v_y dt\end{aligned}$$

As variações dx e dy podem ser aproximadas, de forma geral, por comandos incrementais em uma unidade operacional. Mas neste caso, os resultados obtidos serão valores aproximados, introduzindo-se erros sistemáticos. Dependendo do tipo de aplicação a qual se destina o sistema, estes resultados serão aceitáveis.

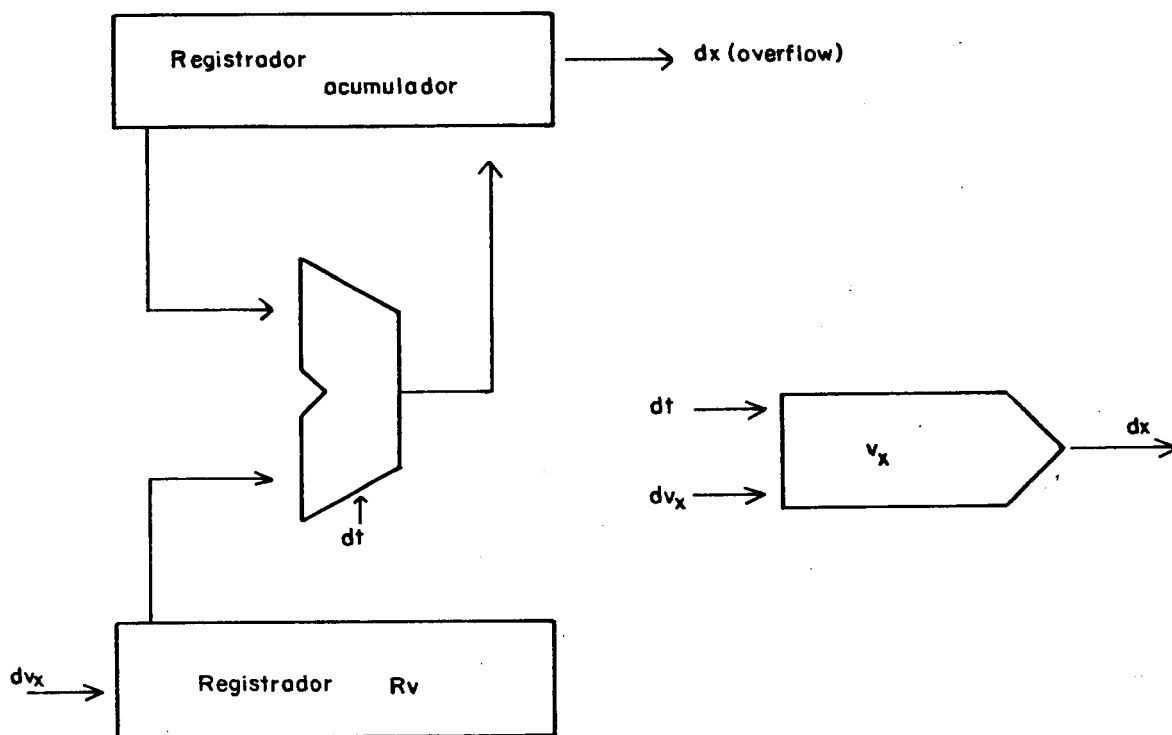
Uma implementação simples e prática desta idéia é obtida com o emprego de analisadores diferenciais digitais (ADD). Um analisador diferencial digital pode ser descrito como um conjunto de integradores, onde cada um destes ele-

mentos é um dispositivo incremental cujo princípio de operação baseia-se na idéia de que os sistemas físicos mudam de uma pequena quantidade em um pequeno intervalo de tempo /SIZ 68/.

O integrador digital pode então ser visto como um conjunto de registradores e um somador, onde são acumuladas repetidamente determinadas quantidades, executando essencialmente um mecanismo de integração, conforme é mostrado na figura 4.9. A velocidade v_x é armazenada no registrador R_v , incrementado ou decrementado de acordo com o controle efetuado pelo sinal dv_x . O registrador acumulador soma ao seu conteúdo repetidamente o valor constante no registrador da velocidade, o qual é interpretado como um valor fracionário, cujo peso é dependente do número de bits dos registradores. A soma do número de frações correspondente à capacidade do conjunto de registradores perfaz um ciclo de integração. Sua ocorrência é indicada pelo sinal de excesso (em inglês, overflow), dx , no registrador acumulador produzindo a saída incremental desejada. Deve-se ressaltar que os sinais de controle nas entradas e saídas do integrador são ternárias, assumindo os valores +1, -1 ou 0/DAN 70/. Portanto pode-se concluir que os valores armazenados em R_0 são valores inteiros, e os de registradores acumuladores compõem a parte fracionária daqueles no decorrer do mecanismo de integração.

Naturalmente sendo este um processo de integração digital, as grandezas envolvidas não variam de forma contínua, os incrementos e decrementos têm valores mínimos dependentes do número de bits utilizados. O processo, portanto, não consiste exatamente na execução de uma integral, mas trata-se de uma aproximação através de soma de série. Entretanto como aqui no texto tem-se referido de forma geral ao processo como uma *integração*, a exemplo de quantidade expressiva da bibliografia consultada, manter-se-á uniformidade em relação a simbologia. Logo, as variações são representadas através de diferenciais (dx , dt , etc.) atuando como entradas ou saídas de blocos integradores. O erro no

qual se incorre através desta aproximação é estudado em seção à parte, 4.4.3.



Um analisador diferencial digital, em sua estrutura geral, é composto por diversos integradores, de tal forma que a saída indicadora de excesso de um atua como entrada de controle dv_x para o outro. A multiplicação destes blocos devidamente interconectados possibilita traçar curvas de maior grau. Teoricamente, esta capacidade de extensão é infinita. Quando o integrando é constante, a estrutura assume uma configuração particular substituindo-se o somador e o registrador acumulador por um "rate multiplier" binário. Este dispositivo efetua a soma dos pulsos de entrada multiplicados pelo integrando, e produz sinais de saída a cada ocorrência de excesso.

Para o caso particular de um círculo centrado na

origem, de raio r , tem-se como equações paramétricas:

$$x = r \cos wt$$

$y = r \sin wt$, que diferenciadas assumem a seguinte forma:

$$dx = -rw \sin wt dt, \text{ logo } v_x = -rw \sin wt$$

$$dy = rw \cos wt dt, \text{ logo } v_y = rw \cos wt$$

As entradas dos blocos integradores, dv_x e dv_y , são obtidas através de suas expressões matemáticas, correspondentes a segunda derivada de x e y :

$$dv_x = rw^2 \cos wt dt = -wdy$$

$$dv_y = rw^2 \sin wt dt = wdx$$

Com estas expressões é possível montar a estrutura básica do ADD para execução de formas circulares. O diagrama em blocos da mesma pode ser visto na figura 4.10.

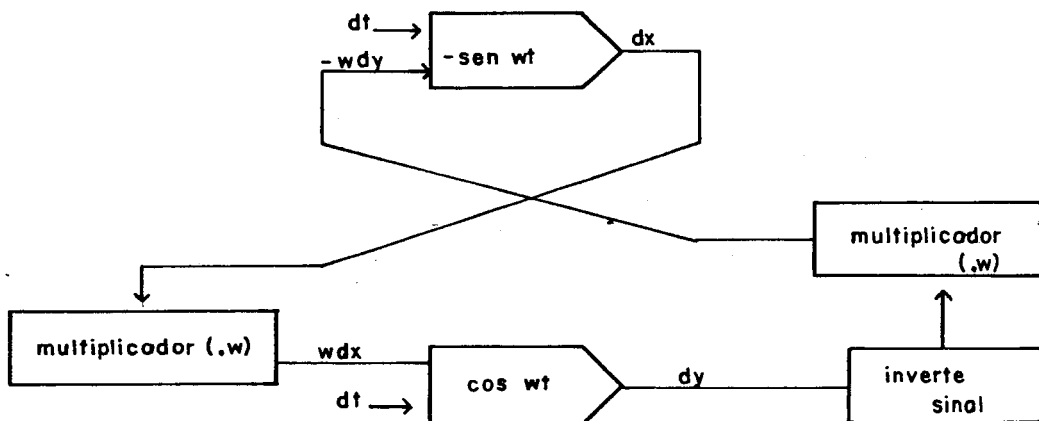


Fig.4.10: Estrutura básica de um analisador diferencial digital para o cálculo de formas circulares.

Se o valor de " w " for feito igual a " $1/r$ ", a velocidade de saída será dependente exclusivamente de " dt ", e independente do raio. É possível e conveniente tornar os multiplicadores parte dos integradores propriamente ditos, constituindo-se em um bloco implícito na construção. Esta

técnica será explicada e justificada na secção 4.4.

A tabela 4.1 mostra uma seqüência de valores obtidos com um conjunto de ADDs, semelhante ao da figura 4.10, com integração retangular, simultânea, com 4 bits.

Tabela 4.1: Seqüência de valores obtidos em um ADD por integração retangular

Tempo	x	Rx	-wy	dx	y	Ry	wx	dy
0	10	0	0	0	0	0	1	+1
1	10	0	-0,1	0	1	0	1	+1
2	10	-0,1	-0,2	0	2	0	1	+1
3	10	-0,3	-0,3	0	3	0	1	+1
4	10	-0,6	-0,4	0	4	0	1	+1
5	10	0	-0,5	-1	5	0	1	+1
6	9	-0,5	-0,6	0	6	0	0,9	+1
7	9	-0,1	-0,7	-1	7	0,9	0,9	0
8	8	-0,8	-0,7	0	7	0,8	0,8	+1
9	8	-0,5	-0,8	-1	8	0,6	0,8	+1
10	7	-0,3	-0,9	-1	9	0,3	0,7	+1

Mais exemplos de tabulações, com maior número de bits e com variações da forma de integração constam do apêndice A1.

A introdução de erro em ADDs resulta do fato de que a operação realmente efetuada não produz uma integral, mas uma soma de série. Dependendo do número de termos considerados desta série, o círculo, no caso, pode degenerar rapidamente em uma espiral logarítmica. Fórmulas construtivas alternativas, emprego de métodos como a integração trapezoidal e/ou a reinicialização dos registradores em cada quadrante contribuem significativamente para minimizar esta degeneração, sem tornar o algoritmo demasiadamente complexo. Além disto, deve-se enfatizar que a magnitude dos erros diminui rapidamente com o aumento da resolução nos cálculos (emprego de registradores com maior número de bits). A ado-

ção da hipótese de que o traçado de elipses ou círculos por mais de uma volta não é de interesse também simplifica o problema, e é perfeitamente viável.

Então este método é, em princípio, aplicável a resolução do problema proposto. O número de pontos calculados e o ajuste de velocidade independentes do raio são características interessantes, a fim de que seja possível a combinação entre pontos de circunferências de raios diversos. Entretanto esta não é uma boa opção para dispositivos de saída gráfica, pois produz intensidades de traço diferentes em círculos ou elipses de raios ou eixos diferentes. Deve ser estudada uma forma alternativa para solucionar o problema. Também é conveniente a realização de uma pesquisa mais aprofundada sobre os valores do erro. Estes assuntos são desenvolvidos em detalhe na próxima secção.

4.4 Analizador diferencial digital (método escolhido)

4.4.1 Análise preliminar

Dentre os métodos apresentados, aquele que pareceu mais simples e cuja estrutura aproxima-se de forma mais natural à implementação por "hardware" é o baseado em analisadores diferenciais digitais.

Para o método construtivo escolhido (circular, com a geração dos dois círculos) o analisador diferencial digital é extremamente vantajoso, pois resolve o problema diretamente a partir das equações paramétricas das geometrias, não sendo necessárias operações adicionais de transformação dos resultados. Esta técnica pode ser aplicada com a mesma eficiência ao desenho de outras secções cônicas que gozem da mesma propriedade.

Na secção anterior, o cálculo das coordenadas x e y , correspondentes ao arco circular, apoiou-se sobre variações "w.dt". Sabe-se que este produto pode ser represen-

tado por variações angulares ($d\theta$), e as equações paramétricas do círculo se tornam:

$$\begin{aligned}x &= r \cos \theta, \quad dx = -r \sin \theta \, d\theta \quad \text{e} \\y &= r \sin \theta, \quad dy = r \cos \theta \, d\theta.\end{aligned}$$

Estas expressões tornam perfeitamente identificável a possibilidade do estabelecimento de uma correspondência direta entre os ângulos de geração de arcos de circunferência cujos raios são diferentes. Existe um termo variável comum, $d\theta$, através do qual pode-se controlar a geração simultânea dos arcos.

Em analisadores diferenciais digitais, o tempo ou o número de ciclos necessários ao cálculo dos pontos componentes de um arco e a resolução angular obtida são dependentes do número de bits do conjunto de registradores. Isto ocorre pois a variação angular é de apenas um bit por ciclo. Desta forma é necessário realizar um número de variações correspondentes a uma volta completa, que é igual a capacidade total do registrador. A resolução, portanto, é de uma parte em 2^n , onde n é o número de bits do registrador.

Para o cálculo de um arco circular, empregando-se a configuração sugerida na figura 4.10, o número de ciclos ou pulsos necessários ao traçado (n_p) correspondente a 360° é dado por:

$$n_p = 2\pi \times 2^n, \quad \text{onde } n = \text{número de bits dos registradores.}$$

A resolução angular $\Delta\theta$, ou seja, o valor da variação angular a cada avanço é dado por:

$$\Delta\theta = \frac{360^\circ}{2\pi \times 2^n} \quad (\text{em graus}) \quad \text{ou}$$

$$\Delta\theta = \frac{1}{2^n} \quad (\text{radianos}).$$

Utilizando-se registradores de 8 bits, o número de ciclos requeridos para a conclusão do cálculo é de aproximadamente 1608. A resolução angular é da ordem de $0,223^\circ$ ou 0,0039 radianos.

Modificando-se a capacidade de representação para 12 bits, o tempo necessário ao cálculo aumenta significativamente, pois a dependência é exponencial. Neste caso, precisa-se de 25.737 pulsos e a resolução angular obtida é da ordem de 0,0139.

Pode-se verificar a inconveniência do aumento excessivo do número de bits se o tempo de traçado de arco for o parâmetro analisado. Além disto, a resolução angular muito pequena não é, em geral, observável na maior parte dos dispositivos de saída gráfica.

Para atividades de representação gráfica, o vídeo pode ser visto como composto de uma matriz de pontos, sendo "i" unidades na direção "x" e "j" unidades na direção "y". Se as dimensões das geometrias exibidas nesta tela são avaliadas em número de pontos, então a representação dos elementos componentes opera apenas no conjunto dos inteiros, o que simplifica o controle dos registradores operacionais. Como informação ao vídeo, interessam apenas os valores dos registradores dos integrandos, desprezando-se o conteúdo dos acumuladores, os quais detêm a parte fracionária. Será visto posteriormente que a preocupação com esta parte fracionária pode diminuir o erro de truncamento, e isto é feito de forma simples.

4.4.2 Circunferências com raio não unitário

Modificando-se a estrutura de interligação de analisadores diferenciais digitais para geração de circunferências anteriormente apresentada (figura 4.10) para outra adaptada a variações angulares, obtém-se o diagrama em blocos da figura 4.11.

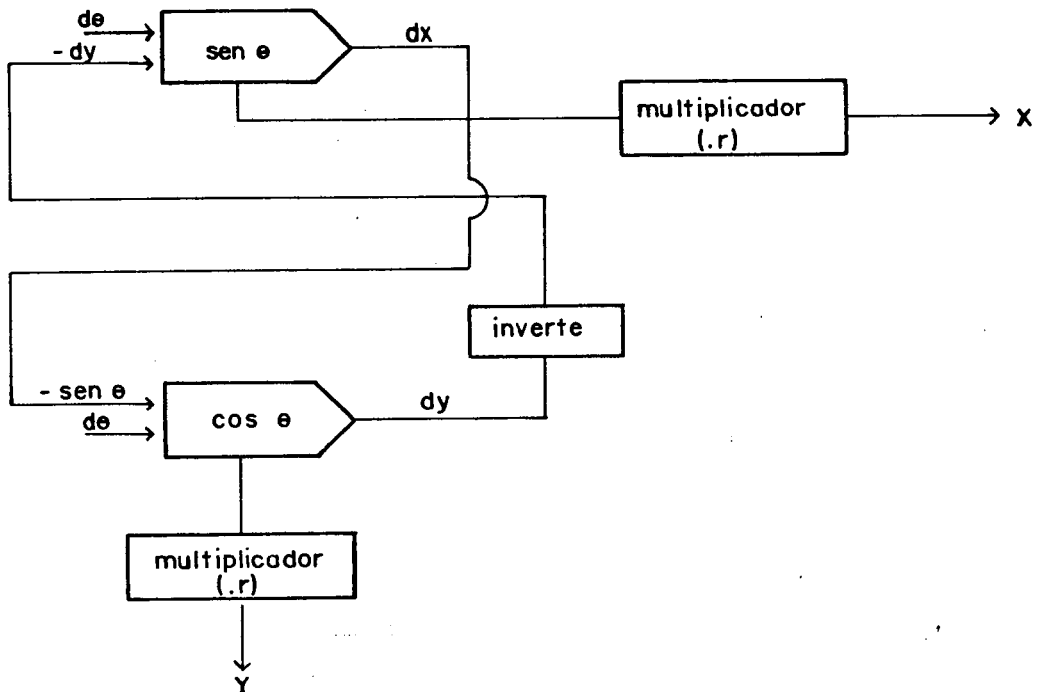


Fig.4.11: Diagrama em blocos da estrutura para geração de circunferências, controlada por variações angulares.

Basicamente tem-se dois blocos integradores, um cujos valores correspondem a senos e o outro a cossenos. Estas saídas são devidamente multiplicadas pelo raio do círculo, produzindo as coordenadas X e Y. As funções seno e cosseno variam inversamente: enquanto uma cresce a outra decresce, e esta é a razão para a existência do bloco inversor.

Para a geração de circunferências cujo raio não é unitário, a necessidade dos blocos multiplicadores na saída é uma inconveniência para a implementação em "hardware". Isto significa um aumento no tempo de cálculo de cada ponto e na complexidade do circuito empregado. Por estes motivos torna-se desejável o enquadramento destes blocos como partes integrantes dos ADDs. A estrutura do analisador permite a realização deste objetivo de forma trivial. Basicamente a mudança recai sobre a forma de carga de dados e interpretação dos resultados, como será visto a seguir.

Na estrutura tradicional mostrada na figura 4.11, os registradores correspondentes ao ponto atual são carregados durante a fase inicial (de programação) com valores equivalentes a seno e cosseno. Iniciando-se a partir de $\theta=0^\circ$, por exemplo, o registrador de seno recebe o valor "zero" e o de cosseno recebe o valor correspondente a "um" (todos os seus bits são iguais a "1"). A modificação destes valores no decorrer dos diversos ciclos corresponde aos valores trigonométricos proporcionais às variações angulares sofridas.

Os conceitos acima expostos podem ser expressos através de uma forma matemática bastante simples. Uma das funções cuja magnitude deseja-se calcular é dada por:

$$x = \cos \theta$$

Diferenciando-se esta equação obtêm-se:

$$dx = - \operatorname{sen} \theta \, d\theta$$

Assumindo-se que as variações angulares são infinitamente pequenas, o valor de X pode ser calculado através da integração sobre o intervalo correspondente à curva:

$$x = - \int_{\theta_0}^{\theta} \operatorname{sen} \theta \, d\theta$$

Entretanto em aplicações cuja resolução baseia-se em valores discretos, como é o caso de computadores digitais, e a resolução está limitada por um número finito, o cálculo de x ocorre através da soma destes valores:

$$x = - \sum \operatorname{sen} \theta \, d\theta$$

Certamente a exatidão do resultado obtido no processo somatório é dependente da magnitude das variações da variável de *integração*. Valores tendendo a zero conduzem a menor erro na saída.

Para a função $y = \text{sen}\theta$, pode-se efetuar considerações análogas sobre a forma de obtenção dos novos valores, chegando-se a expressão:

$$y = \text{cos}\theta \, d\theta$$

Se em lugar da carga inicial dos valores de seno e cosseno a operação for inicializada com estes valores multiplicados pelo raio, ou seja, a carga corresponder às próprias coordenadas do ponto inicial (supondo-se circunferência centrada na origem), as expressões assumem o seguinte aspecto:

$$\begin{aligned} x &= r \text{cos}\theta \\ dx &= -r \text{sen}\theta \, d\theta \\ x &\approx -\int r \text{sen}\theta \, d\theta = -r \int \text{sen}\theta \, d\theta \end{aligned}$$

Analogamente, para y :

$$\begin{aligned} y &= r \text{sen}\theta \\ dy &= r \text{cos}\theta \, d\theta \\ y &\approx \int r \text{cos}\theta \, d\theta = r \int \text{cos}\theta \, d\theta \end{aligned}$$

Portanto, os valores calculados serão proporcionais ao raio r , considerando-se apenas as saídas, os multiplicadores podem ser externos ou internos aos ADDs. Então, através da carga adequada dos registradores, pode-se tornar a atividade de multiplicação intrínseca à estrutura convencional do ADD (ver figura 4.12).

Próximo a $\theta=0^\circ$, a taxa de mudanças dos valores no registrador de senos é muito alta, as variações ocorrem rapidamente, enquanto que a taxa de mudanças em cosseno é pequena. Este comportamento pode ser facilmente verificado lembrando-se que as variações da função zero são determinadas pela saída de *excesso* do acumulador de cossenos (o valor de cosseno próximo a 0° é alto) e as variações correspondentes da função cosseno resultam de sinais de *excesso*

obtidos na saída do acumulador de senos (cujos valores são pequenos, próximo a 0°).

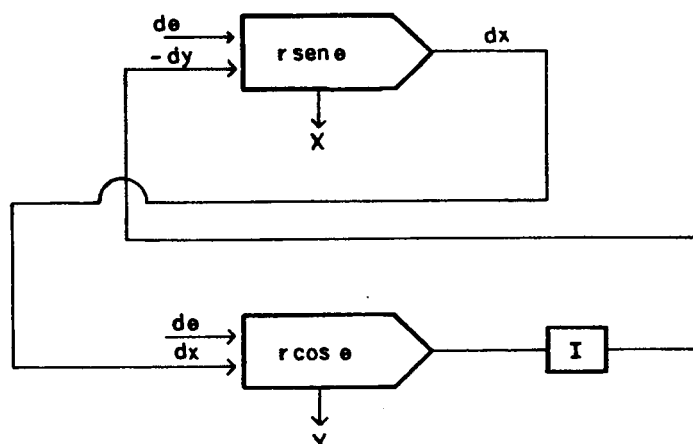


Fig.4.12: Par de ADDs para geração de circunferências, com multiplicação implícita.

A 90° , a função cosseno atinge o valor zero e passa a assumir valores negativos, crescendo negativamente. O valor de seno decresce, mas ainda é positivo no segundo quadrante. Em um sistema composto por ADDs as operações não se baseiam em valores absolutos, mas nas variações destes valores. Também neste sistema gerador de senóides e cossenóides, interessam apenas os valores em módulo destas funções e não o sinal associado às mesmas, de forma direta, para o cálculo. Assim, internamente, opera-se apenas com valores positivos em qualquer quadrante, como é mostrado no gráfico representativo das funções calculadas (figura 4.13). A conversão para o valor final, em sinal e magnitude pode ser feita com o emprego de lógica combinacional na saída.

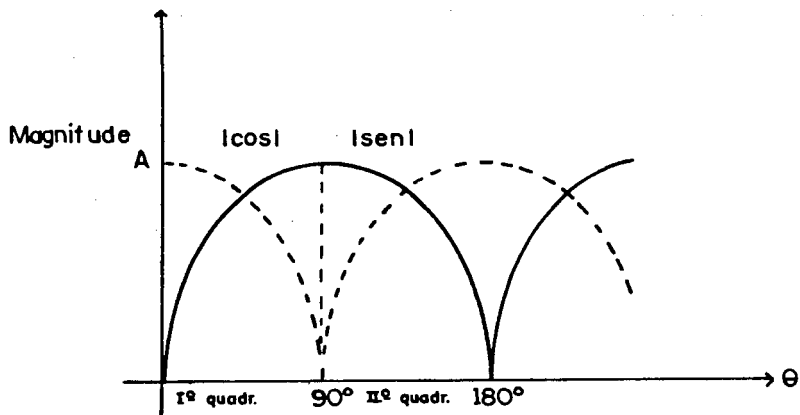


Fig.4.13: Valores calculados no ADD.

4.5 Controle de velocidades

No sistema gerador gráfico, as primitivas são produzidas localmente no terminal. No caso da utilização de analisadores diferenciais digitais, a geração de uma função em particular ocorre como resultado da programação do ADD através de comandos de entrada. Dependendo da lógica de controle do sistema, entre os sinais pode-se ter especificação de informações sobre tamanho, excentricidade de curvas, ou outras. A saída do analisador é composta por um conjunto de valores (X, Y) , os quais são transformados da forma digital para analógica por conversores apropriados, a fim de compor as tensões de deflexão dos feixes X e Y.

É importante ressaltar que, uma vez inicializado o ADD, este começa a gerar a curva especificada, enviando dados ao vídeo, não necessitando informações externas até a conclusão do desenho do segmento. Esta característica produz como resultado positivo a baixa taxa de transferência de dados ao terminal.

O problema surge, entretanto, devido ao fato de que no ADD convencional o tempo para a geração de uma forma geométrica é constante, independente do seu comprimento. Por

tanto a velocidade de escrita varia com o comprimento da linha, resultando em uma variação de brilho do feixe na tela para diferentes comprimentos. Este efeito precisa ser compensado por um controle de intensidade do feixe na saída: não existindo este controle no equipamento é conveniente a adaptação dos circuitos geradores mudando suas características de tempo constante para velocidade constante (ou taxa constante) conforme foi explanado no capítulo 2.

Na geração de pontos em taxa constante, o tempo necessário à escrita de um segmento é proporcional ao seu comprimento. A velocidade de escrita constante garante o brilho uniforme do traçado.

Uma forma natural e bastante usada para resolver este problema é fazer com que o segmento seja resultado da reunião de um número de pontos ou vetores proporcional ao seu comprimento. De forma geral, métodos aproximados já satisfazem, visto que o olho humano não percebe variações pequenas de intensidade. Deve-se garantir também que os pontos ou vetores componentes da linha a ser traçada sejam de dimensões inferiores a dos pontos visíveis na tela: deste modo o segmento será exibido como uma linha contínua. Esta condição é satisfeita se a menor variação de X ou Y for menor do que uma unidade de varredura.

No caso do analisador diferencial digital convencional, o número de pontos calculados é proporcional a 2^n , onde "n" é o número de bits dos registradores, empregando-se valores de variação unitários, conforme foi explicado na secção 4.4. Logo, um meio evidente para a obtenção de velocidades diferentes para comprimentos diversos de arcos é o estabelecimento de uma relação entre o número de bits dos registradores e o comprimento do arco a ser calculado.

A aplicação da idéia explanada acima no caso de geração de arcos elípticos não é imediata, devido a dificuldade para fixação de uma fórmula representativa do perímetro de uma elipse, conforme foi visto no capítulo 3, na

secção 3.3. Como alternativa pode-se estudar a viabilidade da aplicação de métodos aproximados, ou no estabelecimento de faixas de velocidades, por exemplo, associados a parâmetros da elipse.

O método aqui proposto enquadra-se neste caso de seleção de tempo de geração do segmento de arco de acordo com o tamanho do eixo maior. Esta idéia é fundamentada na própria estrutura do analisador diferencial digital: se forem empregados registradores com número variável de bits, o número de incrementos necessários para completar a operação será variável. Desta forma, considerando-se apenas os bits significativos nos registradores do ADD, pode-se diminuir o número de incrementos para valores de menor magnitude.

Esta é uma técnica simples para a resolução e a implementação do sistema, se comparada a uma de velocidade perfeitamente constante. Mas é necessário verificar a validade do enquadramento de uma larga faixa de comprimentos de segmentos de arcos elípticos, sob o mesmo tempo de geração.

Para um eixo maior, cuja magnitude é representada em binário através de n bits, há duas situações limites, ilustradas na figura 4.14:

a) uma elipse cujo coeficiente de excentricidade tende a zero, isto é uma elipse quase circular. O comprimento do arco desta pode ser aproximado através da fórmula adotada para avaliar o perímetro de um círculo:

$$\ell_1 \approx 2\pi \frac{\ell}{2} = 2\pi (2^n - 1)/2 = (2^n - 1)\pi$$

b) uma elipse cujo coeficiente de excentricidade tende a 1, produzindo uma elipse muito alargada. Considerando-se o eixo menor muito próximo de zero, é possível aproximar o comprimento do arco a segmentos de reta. Para o mesmo valor de eixo maior, o comprimento do arco neste caso é dado por $\ell_2 \approx 2e = 2(2^n - 1)$. Entretanto, nesta condição o pior caso corresponde ao menor eixo, representado pelo mesmo número de bits, o qual será:

$$l_2 \approx 2e = 2(2^n/2) = 2^n$$

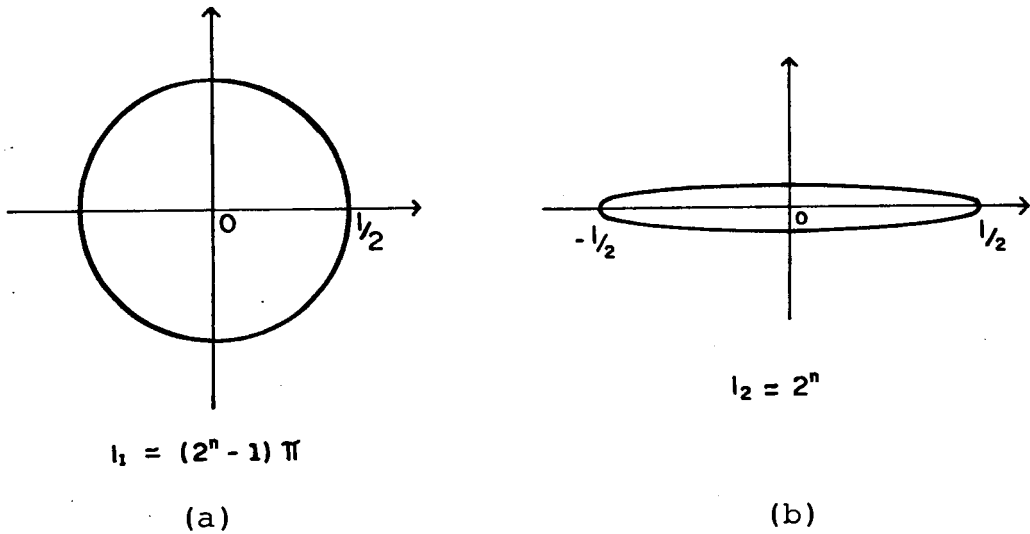


Fig.4.14: Cálculo aproximado do perímetro de uma elipse. a) elipse pouco excêntrica, o comprimento tende a igualar-se ao de uma circunferência; b) elipse muito excêntrica, o comprimento aproxima-se ao de segmentos de reta.

A diferença de brilho no traçado dos arcos está relacionada com as características de armazenamento do vídeo e com a percepção visual humana, procurando-se manter imagens cuja intensidade é razoavelmente uniforme. O coeficiente l_1/l_2 tende a π , a medida que n cresce. Logo, no pior caso, desenha-se arcos diferentes em velocidades cuja relação é da ordem de aproximadamente 3. Do ponto de vista de armazenamento, este coeficiente é aceitável para a maior parte dos vídeos /LAS 78/. Quanto a percepção visual, segundo Weber/RUC 66/, pode-se estabelecer um coeficiente de variação mínima (j.n.d. - just noticeable difference) a partir do qual constata-se diferenças de intensidade. Através de experimentação prática, chegou-se a conclusão de que para esta situação (observador x vídeo) corresponde um coeficiente da ordem de 4 unidades em variações do feixe eletrônico. Portanto, superior ao quociente l_1/l_2 .

Portanto, é necessário, durante a fase de programação do ADD, executar o ajuste do número de bits a serem e

fetivamente usados durante a operação. Essencialmente o método acelera a atualização dos novos valores no ADD, diminuindo o tempo de permanência repetida sobre cada um dos pontos. Deve-se ter apenas o cuidado de enquadrar os conjuntos de segmentos em faixas correspondentes a utilização de um número de bits tal que não se diminua com isto a acuidade dos cálculos (resolução) produzindo um efeito *escada* na saída.

A solução adotada não apresenta os problemas focalizados acima. Para a geração de uma elipse cujos eixos maior e menor tem valores de 30 e 10, respectivamente, por exemplo, necessita-se de 5 bits para representação binária dos valores. Usando-se registradores de 5 bits internamente no ADD, são necessários 200 ciclos para o cálculo dos pontos que compõem uma circunferência completa. Neste caso, a variação angular é da ordem de:

$$\Delta\theta = \frac{360}{2\pi \times 2^5} \approx 1,8^\circ$$

A geração da circunferência maior, correspondente ao eixo maior da elipse, corresponde a um arco cujo comprimento é de $2\pi r$ unidades. No exemplo, $2\pi r = 2\pi \times 30 = 188,4$, então 188 unidades. Isto significa que se tem no máximo 188 pontos diferentes para a representação do arco completo. Portanto, se o número de ciclos é suficiente para o cálculo dos pontos diversos, não ocorre o efeito escada. Os excedentes seriam pontos intermediários, que no sistema em questão constituem-se em pontos superpostos aos já calculados. A utilização de registradores com um número maior de bits causa apenas o cálculo de maior número de pontos excedentes neste caso.

4.6 Erros no analisador diferencial digital

O processo básico de integração utilizada e descrito anteriormente, permite a verificação imediata de que

a integração digital não pode ser exata. As quantidades digitais são discretas em amplitude e na variável de integração, portanto não podem representar com precisão variáveis contínuas. Entretanto, pode-se melhorar a precisão do processo, de acordo com a necessidade, fazendo o tamanho das variações de amplitude suficientemente pequeno ou aumentando a taxa de pontos calculados por segmento de curva.

Os erros ocorridos durante a atividade de integração digital podem ser classificados em dois grupos: erros de arredondamento e erros de truncamento.

Os erros de arredondamento são resultado da característica de variação das quantidades digitais em montantes discretos, isto é, são causados pois os integradores utilizam registradores de comprimento finito. De modo geral são minimizados pelo aumento do número de bits dos registradores, e considerando-se os resultados apenas a partir dos bits mais significativos.

Os erros de truncamento são devidos às variações das quantidades em intervalos discretos de tempo, isto é, pelo fato de que a fórmula de integração considera apenas um número finito de termos. Estes erros podem ser reduzidos efetuando-se as operações em avanços menores ou usando uma fórmula de integração de ordem mais elevada (com maior número de termos)/McC 75/.

Assim, se o analisador diferencial digital é empregado para a geração de uma determinada função, a partir de uma dada condição inicial, um aumento na variável independente seguida de uma redução igual resulta em uma pequena mudança residual no valor da função. Isto significa que não é possível retornar ao valor a partir do qual se iniciou, e entradas oscilatórias podem causar desvios progressivos em valores de funções, dependendo do tipo de integração usada. Isto ficará mais claro ao final desta secção.

As características de erro (ou a função correspondente) variam de acordo com a estrutura de interconexão

dos analisadores diferenciais /SIZ 68/. Para a aplicação aqui estudada, deve-se verificar a função erro para a estrutura de geração de senos e cossenos, em particular. É para este tipo de funções que o estudo a seguir será dirigido.

O gerador de senos e cossenos pode ser esquematizado de forma extremamente simplificada através de um conjunto de quatro registradores interligados conforme vê-se na figura 4.15.

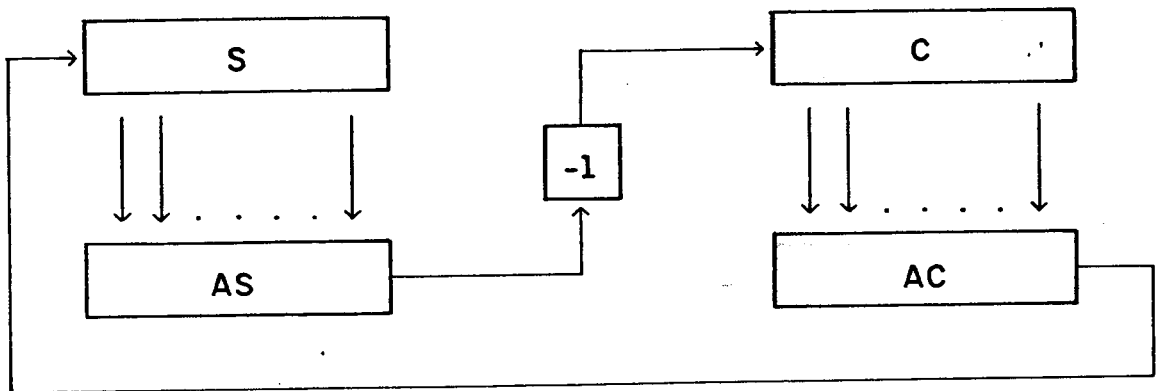


Fig.4.15: Diagrama em blocos simplificado para geração de senos e cossenos. Os somadores estão implícitos e os incrementos são unitários.

Os registradores S e C armazenam os valores de seno e cosseno, respectivamente e AS e AC correspondem aos acumuladores dos valores de seno e cosseno. As variações produzidas em S e C são unitárias e as equações incrementais correspondentes são dadas por:

$$d(\text{sen}\theta) = \text{cos}\theta \, d\theta$$

$$d(\text{cos}\theta) = -\text{sen}\theta \, d\theta$$

Como a geração das funções envolve dois integrado

res, é necessário definir uma relação de ordem, no tempo, para a operação destes ADDs: seqüencial ou simultânea. As operações diferenciais resultantes para cada um dos dois casos são diferentes e portanto resultarão em análises diferentes.

4.6.1 Operação seqüencial

Indica-se os conteúdos atuais dos registradores e acumuladores através da utilização do índice "i". Tem-se então S_i , C_i , AS_i e AC_i e incrementos positivos da variável independente. A última ação realizada foi o incremento no registrador de cosseno tornando-o C_i . No próximo ciclo, tem-se o seguinte conjunto de operações:

a) C_i é somado à AC_i , que se torna AC_{i+1} , produzindo um incremento, o qual é somado a S_i , que passa a S_{i+1} , de acordo com a equação:

$$S_{i+1} = S_i + \frac{1}{M}(C_i + AC_i - AC_{i+1}) \quad (1)$$

onde M é o número de unidades correspondente a capacidade dos registradores acumuladores (AC+AS), isto é, a adição de M unidades aos registradores acumuladores provoca a ocorrência de *excesso* em uma unidade.

b) O novo valor de S, S_{i+1} , é adicionado a AS_i , mudando-o para AS_{i+1} , e produzindo um incremento (cujo sinal é trocado) o qual é somado à C_i . Ter-se-á, então, C_{i+1} , cuja equação é dada por:

$$C_{i+1} = C_i - \frac{1}{M}(S_{i+1} + AS_i - AS_{i+1}) \quad (2)$$

Sendo X_i a variável independente (correspondente a entrada de tempo ou ângulo, neste caso) e Y_i a amplitude da função neste instante, tem-se:

$$X_i = S_i + \frac{1}{M} AC_i \quad (3)$$

$$Y_i = C_i - \frac{1}{M} AS_i$$

Através de substituições das equações (3) em (1) e (2), válidas para o caso seqüencial, obtém-se:

$$X_{i+1} - X_i - \frac{1}{M} Y_i = \frac{1}{M^2} AS_i \quad (4)$$

$$Y_{i+1} - Y_i + \frac{1}{M} X_{i+1} = \frac{1}{M^2} AC_{i+1}$$

A solução destas equações pode ser obtida por intermédio de *funções forçadas* (do inglês, forcing functions), as quais podem ser resolvidas por uma integral particular e uma função complementar. A integral particular é qualquer solução particular obtível por inspeção ou algum método sistemático como a variação de parâmetros. As funções complementares são um conjunto de soluções lineares independentes das equações homogêneas, obtidas através do zeramento das funções forçadas. A solução geral é então a soma da integral particular e algum múltiplo da função complementar. As condições iniciais são satisfeitas pelo ajustamento dos coeficientes das funções complementares.

As equações homogêneas a resolver são:

$$X_{i+1} - X_i - \frac{1}{M} Y_i = 0 \quad (5)$$

$$Y_{i+1} - Y_i - \frac{1}{M} X_{i+1} = 0$$

Por substituição direta pode ser verificado que a solução destas equações é:

$$\begin{aligned} X_i &= K \operatorname{sen}(i\alpha + \emptyset) \\ Y_i &= K \cos\left[\left(i + \frac{1}{2}\right)\alpha + \emptyset\right] \end{aligned} \quad (6)$$

onde K e \emptyset são constantes arbitrárias e

$$\text{sen} \frac{1}{2} \alpha = \frac{1}{2M}$$

A solução geral é dada por:

$$X_i = K \text{ sen}(i\alpha + \emptyset) + \xi_i$$

$$Y_i = K \text{ cos}[(i + \frac{1}{2})\alpha + \emptyset] + \eta_i, \text{ considerando-se}$$

$X_i = \eta_i$ e $Y_i = \xi_i$ as componentes da integral particular da solução.

A solução particular pode ser obtida convenientemente pelo método da variação de parâmetros, resultando as expressões:

$$\xi_i = \frac{1}{M^2 \text{ cos} \frac{1}{2} \alpha} \sum_{n=0}^{i-1} [AS_n \text{ cos}(i-n-\frac{1}{2})\alpha - AC_{n+1} \text{ sen}(i-n-1)\alpha] \quad (8)$$

$$\eta_i = \frac{1}{M^2 \text{ cos} \frac{1}{2} \alpha} \sum_{n=0}^{i-1} [-AS_n \text{ sen}(i-n)\alpha + AC_{n+1} \text{ cos}(i-n-\frac{1}{2})\alpha]$$

Assim, as expressões gerais para valores armazenados nos registradores SENO e COSSENO são:

$$S_i = K \text{ sen}(i\alpha + \emptyset) + \xi_i - \frac{1}{M} AC_i \quad (9)$$

$$C_i = K \text{ cos}[(i + \frac{1}{2})\alpha + \emptyset] + \eta_i + \frac{1}{M} AS_i$$

A fim de mostrar os tipos de erros que aparecem, vai-se considerar a ocorrência de N ciclos iniciando-se das condições iniciais:

$$S_0 = k \text{ sen} \varphi \quad \text{e} \quad C_0 = k \text{ cos} \varphi.$$

Inicialmente $\xi_0 = \eta_0 = 0$, e as constantes arbi-

trárias podem ser determinadas através das equações (9), por substituição.

Após N ciclos, a solução é dada em uma forma semelhante a das equações (9), eliminando-se as constantes arbitrárias k e φ e substituindo i por N :

$$S_N = k[\sin(\varphi + N\alpha) + \sin \varphi \sin N\alpha \sin \frac{1}{2}\alpha] + \\ + \frac{1}{M}(AC_0 \cos N\alpha - AS_0 \sin N\alpha) + \xi_N - \frac{1}{M} AC_N \quad (10)$$

$$C_N = k[\cos(\varphi + N\alpha) - \cos \varphi \sin N\alpha \sin \frac{1}{2}\alpha] - \\ - \frac{1}{M}(AC_0 \cos N\alpha + AS_0 \sin N\alpha) - \eta_N + \frac{1}{M} AS_N$$

A fim de se determinar agora o tipo de erros que surgiram no processamento, compara-se as expressões (10), obtidas com base em condições reais, com as expressões correspondentes a saídas ideais:

$$S_N = k \sin\left(\varphi + \frac{N}{M}\right)$$

$$C_N = k \cos\left(\varphi + \frac{N}{M}\right)$$

Tem-se:

a) uma mudança nas escalas da entrada da variável independente, devido a ter-se considerado seno $\frac{1}{2}\alpha = \frac{1}{2}M$ em lugar de $\alpha = 1/M$, como em procedimentos de escalamento normais. Este erro é da ordem de $1/M^3$ e pode conduzir a um desvio de fase de uma unidade ou de fração de unidade, em M^2 ciclos.

b) os termos de truncamento $k \sin \varphi \sin N\alpha \sin \frac{1}{2}\alpha$ e $k \cos \varphi \sin N\alpha \sin \frac{1}{2}\alpha$, os quais devem-se ao tamanho finito dos avanços. Estes erros são sinusoidais e podem ter amplitudes de até uma unidade.

c) Os termos envolvendo AS_0 e AC_0 que são devidos ao valor inicial dos números contidos nos acumuladores. São também sinusoidais e tem amplitudes de uma ou duas unidades.

d) Os termos cumulativos de arredondamento ξ_n e η_n podem ser substituídos por seu valor médio, $M/2$. Fazendo esta substituição e somando a série trigonométrica resultante obtém-se as seguintes expressões:

$$\xi_N = \frac{1}{2} (1 - \cos N\alpha + \sin N\alpha)$$

$\eta_N = \frac{1}{2} (-1 + \cos N\alpha + \sin N\alpha)$, as quais são sinusoidais.

e) Os termos normais de arredondamento $-(1/M)AC_N$ e $(1/M)AS_N$ os quais são resultado de se ignorar as metades menos significativas dos números de dupla precisão X'_N e Y'_N .

Portanto, no cálculo de seno/cosseno através do modo seqüencial com uma entrada angular monotonamente crescente, todos os erros são sinusoidais ou limitados. Assim, para estas condições não haverá tendência de afastamento sistemático da função de seus valores corretos. Pode-se, entretanto, ter em um instante um erro de até uma ou duas unidades.

Pode-se ainda provar que a inicialização dos registradores acumuladores com metade de seu valor faz com que as componentes de erro c) e d) cancelem-se e um resultado mais preciso é obtido /SIZ 68/. Restam, então, somente os erros de truncamento e de arredondamento simples.

4.6.2 Operação simultânea

Para operação simultânea o procedimento é diferente pois todas as adições de Y aos acumuladores ocorrem antes dos incrementos serem adicionados aos registradores Y (seno e cosseno). Assim, o ciclo de operações se torna:

a) C_i é somado a AC_i mudando-o para AC_{i+1} e é

produzido um incremento que muda S_i para S_{i+1} como na equação abaixo (já apresentada):

$$S_{i+1} - S_i = \frac{1}{M}(AC_i + C_i + AC_{i+1})$$

b) Simultaneamente o valor anterior de S , S_i , é somado a AS_i para produzir um incremento que muda C_i para C_{i+1} , de acordo com a equação:

$$C_{i+1} - C_i = -\frac{1}{M}(AS_i + S_i + AS_{i+1})$$

Aplicando a mesma substituição do caso anterior para as variáveis X e Y , são obtidas as seguintes equações:

$$X_{i+1} - X_i - \frac{1}{M} Y_i = \frac{1}{M^2} AS_i$$

$$Y_{i+1} - Y_i + \frac{1}{M} X_i = \frac{1}{M^2} AC_i$$

A solução das equações homogêneas é dada por:

$$X_i = k^i \operatorname{sen} i\alpha$$

$$Y_i = k^i \operatorname{cos} i\alpha$$

$$\text{onde } k^2 = 1 + 1/M^2 \text{ e}$$

$$\operatorname{tan}\alpha = 1/M.$$

Portanto, mesmo para movimentos na mesma direção, a operação simultânea dos integradores fornece um fator exponencialmente crescente à solução sinusoidal. Portanto, são obtidos desvios para a operação simultânea mesmo sob circunstâncias que seriam livres deste problema na operação seqüencial.

Assim, o tipo de organização simultânea de analisadores diferenciais digitais dá origem a erros maiores do que no caso seqüencial e é necessário maior cuidado no projeto destas máquinas simultâneas, a fim de minimizar os er-

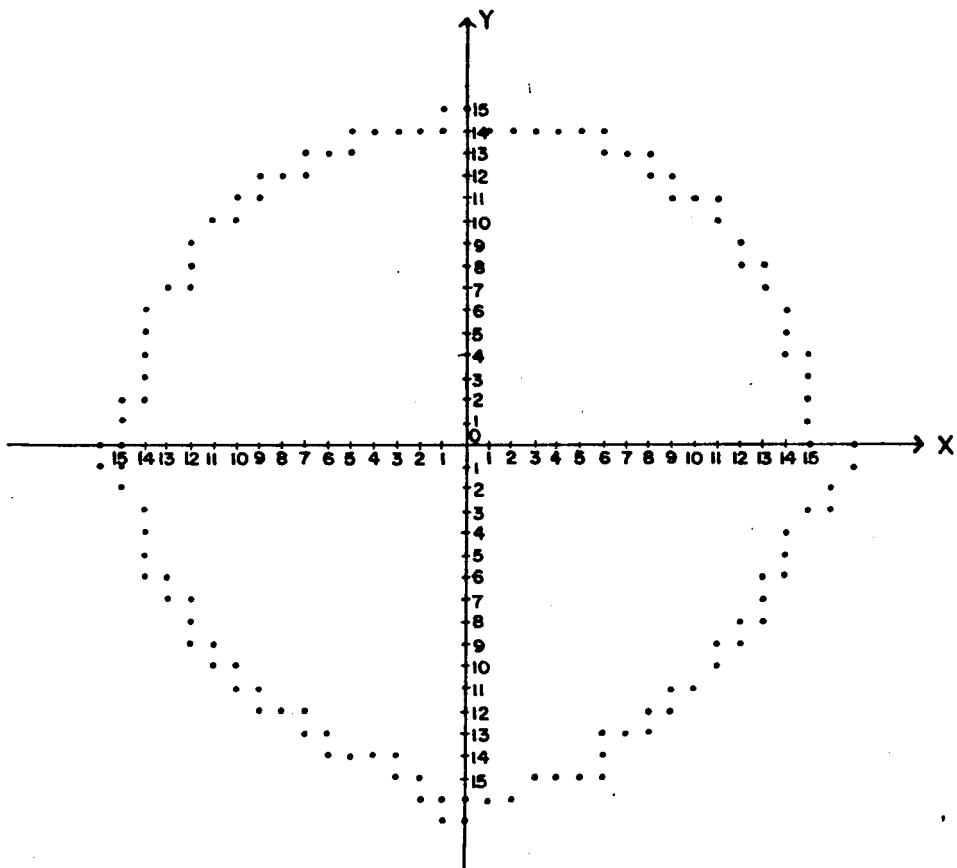


Fig.4.16: Resultado da simulação com operação simultânea dos ADDs.

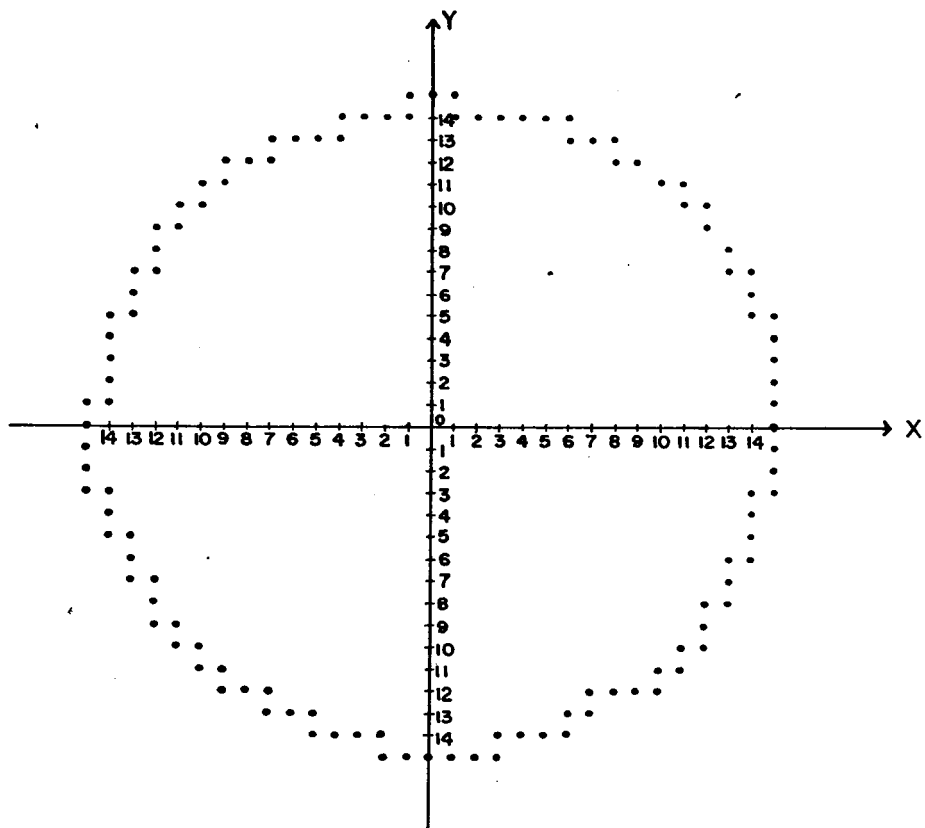


Fig.4.17: Resultado da simulação com operação seqüencial dos ADDs.

ros. Também é de grande importância a escolha da lei de integração a ser empregada, visto que este pode ser um fator de grande importância nos resultados obtidos. Como foi visto, sua influência é direta sobre os erros de truncamento.

No caso a ser aqui implementado optou-se pelo analisador seqüencial devido às suas vantagens sobre o modelo simultâneo, sendo que todas as demais características, de tempo de execução e construtivas, satisfazem os requisitos iniciais.

4.7 Simulação

Foram realizadas simulações a fim de verificar a qualidade dos resultados obtidos empregando-se diferentes implementações de analisadores diferenciais digitais.

Confirmando os comentários sobre as condições de erro da secção anterior, obteve-se melhores resultados com o modelo de analisador seqüencial se comparado à configuração simultânea, baseada na integração de Euler. Neste segundo modelo faz-se necessária a reinicialização dos registradores acumuladores ao início de cada quadrante a fim de não *espiralar* a circunferência obtida. Pode-se melhorar um pouco os resultados aplicando-se o método de integração de Adams/McG 70/, mas há aumento significativo na complexidade do projeto resultante.

Os programas usados para a simulação dos modelos de analisador seqüencial e simultâneo (com integração de Euler) e respectivos resultados são apresentados no Apêndice A1. Nas figuras 4.16 e 4.17 são mostrados gráficos dos resultados de duas simulações. Na figura 4.16, tem-se uma circunferência calculada com o emprego de operação simultânea, sem reinicialização a cada quadrante e com registradores acumuladores inicializados com seu valor médio. Na figura 4.17, somente muda o tipo de operação: seqüencial. As demais condições de contorno permanecem inalteradas.

4.8 Comentários finais

Como proposição básica deste capítulo tinha-se a escolha e análise do método de geração de circunferências. Com base em aspectos construtivos da curva e condições de contorno (como o controle por variação angular, por exemplo), concluiu-se pela conveniência de utilização de analisadores diferenciais digitais devidamente interconectados.

Suas características inerentes de erro não cumulativo e a possibilidade de controle da velocidade de geração tornam o dispositivo viável para aplicações em terminais de vídeo.

Portanto resta agora estudar detalhadamente as características de implementação da técnica por "hardware".

5. ARQUITETURA DA MÁQUINA

5.1 Considerações iniciais

O sistema empregado para o cálculo dos diversos pontos componentes da elipse pode ser visto como composto de dois blocos básicos: as unidades operacional e controladora.

A parte operacional é formada fundamentalmente por dois geradores de circunferências, controlados por variações angulares. Além destes tem-se mais alguns circuitos para tratamento e testes de dados.

A parte controladora faz a comunicação do gerador com o controlador de exibição e gerencia as ações a serem executadas na unidade operacional, determinadas por uma seqüência de passos previamente definida e em função de resultados de testes.

Inicialmente, entretanto vai-se abordar a forma de comunicação existente entre o sistema gráfico e a unidade geradora de elipses, quais os sinais e informações recebidos e enviados. Isto possibilita um melhor entendimento do tipo de ações que devem ser tomadas na geração de elipses.

A seguir, então, são detalhadas as unidades operacional e controladora.

Os esquemas elétricos, diagramas de estado e tempos obtidos são mostrados no apêndice A2.

5.2 Atividades de comunicação

As atividades de comunicação do analisador diferencial digital são, em sua maior parte, relacionadas com a fase de inicialização e o envio de dados calculados. Isto

se deve ao fato do projeto basear-se na utilização de analisadores diferenciais digitais pois, uma vez que os ADDs são inicializados e começam a geração de uma curva especificada em particular, o sistema de geração segue sem buscar novos dados, não requerendo entradas até completar o desenho daquele segmento. Portanto tem-se uma pequena taxa de dados trocada com o terminal e um pequeno espaço de memória ocupado para o traçado de cada segmento.

De forma geral, o tipo e o sentido de troca de informações entre o sistema gráfico global e o gerador de elipses pode ser esquematizado pelo diagrama em blocos mostrado na figura 5.1. Os sinais e respectivos mnemônicos estão reunidos na tabela 5.1.

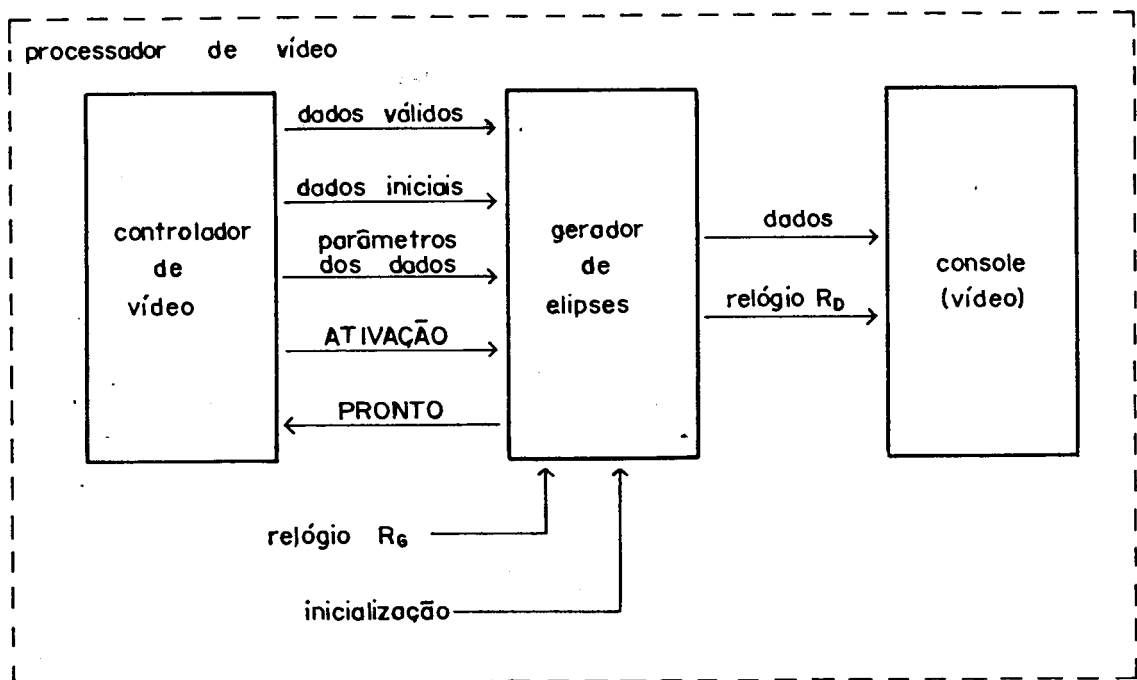


Fig.5.1: Comunicação entre o gerador de elipses e os demais dispositivos do processador.

O circuito gerador de elipses (denominado doravante apenas por *gerador*) recebe um relógio externo R_G , que comanda a temporização de suas atividades internas.

Um sinal de *inicialização* zera os registradores

internos e posiciona as máquinas de estado do controle em seus estados iniciais. Então o gerador torna o sinal de PRONTO ativo indicando ao controlador que está apto a receber novos dados.

Enquanto não há dados calculados, a linha de dados do gerador para o console é mantida em estado de alta impedância, e o relógio R_D não é ativado.

Quando o gerador vai ser efetivamente empregado para o cálculo dos pontos componentes de uma elipse, são usadas as demais linhas, do controlador para o gerador.

Tabela 5.1: Sinais de comunicação do gerador com os demais componentes do processador

MNEMÔNICO	NOME DO SINAL	FUNÇÃO
R_G	relógio geral	temporização geral de atividades no gerador
R_D	relógio dos dados	indica a existência de dados válidos para o vídeo
INIC	inicialização	zera os registradores internos e conduz as máquinas de estado ao estado inicial
PR	pronto	indica que o gerador espera dados e comando para geração de segmentos
DI	dados iniciais	dados a serem carregados nos registradores no início do cálculo de um segmento
DV	dados válidos	indica que o valor contido nas linhas DI é válido
PD	parâmetros dos dados	determina qual é a informação contida nas linhas DI
AT	ativação	indica ao gerador que deve ser iniciado o processo de geração do segmento
DA	dados	linhas de dados correspondentes aos valores calculados no gerador, enviados ao vídeo

Os valores iniciais dos registradores S e C, os valores dos eixos maior e menor e as coordenadas do ponto final são transmitidos ao gerador através das linhas de dados (do controlador para o gerador). O tipo de parâmetro fornecido é indicado pelas linhas *parâmetros de dados* e a sua carga nos registradores internos é efetuada por ação de um pulso na linha *dados válidos*.

O sinal de *ATIVACÃO* indica ao gerador que já foi efetuada a carga inicial e deve ser gerada uma elipse ou segmento elíptico com os dados fornecidos. Durante todo o processo de cálculo a linha de *PRONTO* mantém-se inativa. À medida que novos dados são calculados, estes são enviados ao vídeo, e sua validade é indicada através do sinal R_D .

Os dados são gerados em sincronismo com o sinal relógio R_G . R_D é, portanto, também síncrono com R_G , e está relacionado de acordo com a expressão:

$$R_D = \frac{R_G}{n}$$

onde n corresponde ao número de ciclos de máquina internos, necessários ao cálculo de um ponto. No caso, $n = 8$.

Ao final do cálculo de um segmento, o sinal de *PRONTO* torna-se novamente ativo e o gerador espera a reinitialização.

5.3 Unidade operacional

Fundamentalmente tem-se, na unidade operacional, dois circuitos geradores de circunferência compostos de analisadores diferenciais digitais convenientemente ligados, e circuitos deslocadores.

Os circuitos geradores de circunferência são idênticos e um fornece o valor correspondente à coordenada X do

ponto da elipse e outro, o valor correspondente à coordena da Y. Os valores de carga iniciais é que são diferentes para os dois circuitos.

Os circuitos deslocadores são empregados para a determinação do valor real dos pontos calculados, pois internamente os circuitos geradores operam com valores corrigidos, a fim de manter a velocidade constante.

5.3.1 Circuitos geradores de circunferências

A estrutura e o funcionamento destes circuitos são baseados no princípio de funcionamento dos analisadores diferenciais digitais interligados para geração de senos e cossenos, como é mostrado na figura 5.2.

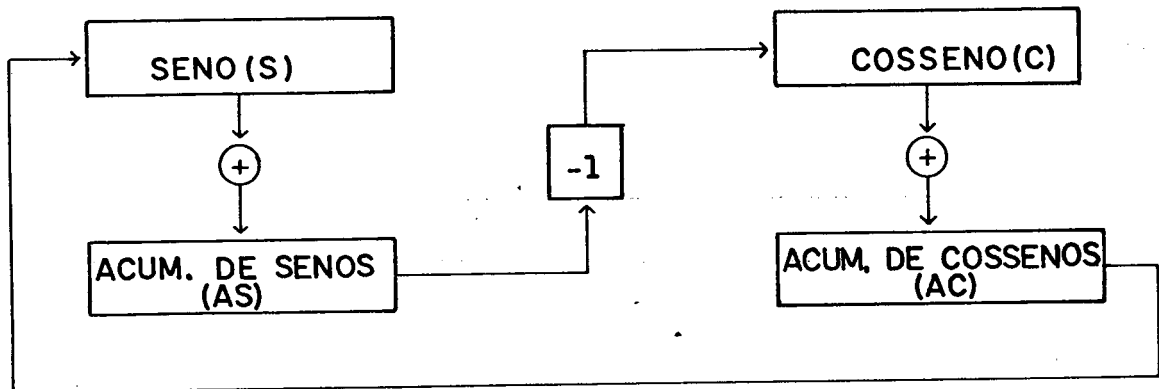


Fig.5.2: Estrutura básica para geração de circunferências.

Aqui, entretanto, os incrementos já não são mais unitários; os registradores de seno e cosseno não armazenam mais valores máximos iguais à unidade e não funcionam mais como simples contadores, mas operam com números inteiros, correspondentes às coordenadas, e armazenam valores resultantes da soma algébrica de seu conteúdo com o coeficiente de variação correlacionado. Isto é uma consequência da adoção de faixas para velocidades de geração dependentes do número de bits efetivamente considerados nos registradores. A redução do número de bits é simulada com o deslocamento

do conteúdo dos registradores de coordenadas para os bits mais significativos e o emprego de coeficientes de variação proporcionais ao número de deslocamentos, acelerando a ocorrência de *excessos* (ver secção 4.5).

Portanto os valores de variação podem mudar para arcos definidos diferentes, e são dependentes do número de bits significativos correspondentes à dimensão do eixo maior da elipse. Em cada quadrante, também o sentido de variação dos valores das coordenadas pode ser positivo ou negativo. Pode-se, neste caso, estabelecer um controle para determinar o tipo de operação a ser executada a cada ciclo, soma ou subtração, ou atualizar os conteúdos correspondentes às variações no início de cada quadrante. Optou-se pelo segundo método pois este diminui o número de testes a cada ciclo, agilizando o processo.

A fim de efetuar as ações descritas acima, foi necessário acrescentar-se registradores para o armazenamento dos valores correspondentes às variações dos registradores de coordenadas e unidades aritméticas para obtenção dos valores das variações em complemento de dois e efetivação das somas algébricas.

Como forma de reduzir o volume de componentes empregados usou-se uma única unidade aritmética, que recebe ora como entradas os valores correspondentes ao comportamento da senóide, ora os da cossenóide, de acordo com o controle dos multiplexadores acrescentados para determinação das entradas.

A arquitetura básica do circuito gerador correspondente à circunferência de maior raio é mostrada na figura 5.3.

Tem-se um multiplexador (MPX1) para selecionar o valor a ser carregado em qualquer um dos registradores: pode ser um valor externo, para a carga dos valores iniciais de S e C recebidos pelo sistema, ou o resultado de uma operação executada na unidade aritmética.

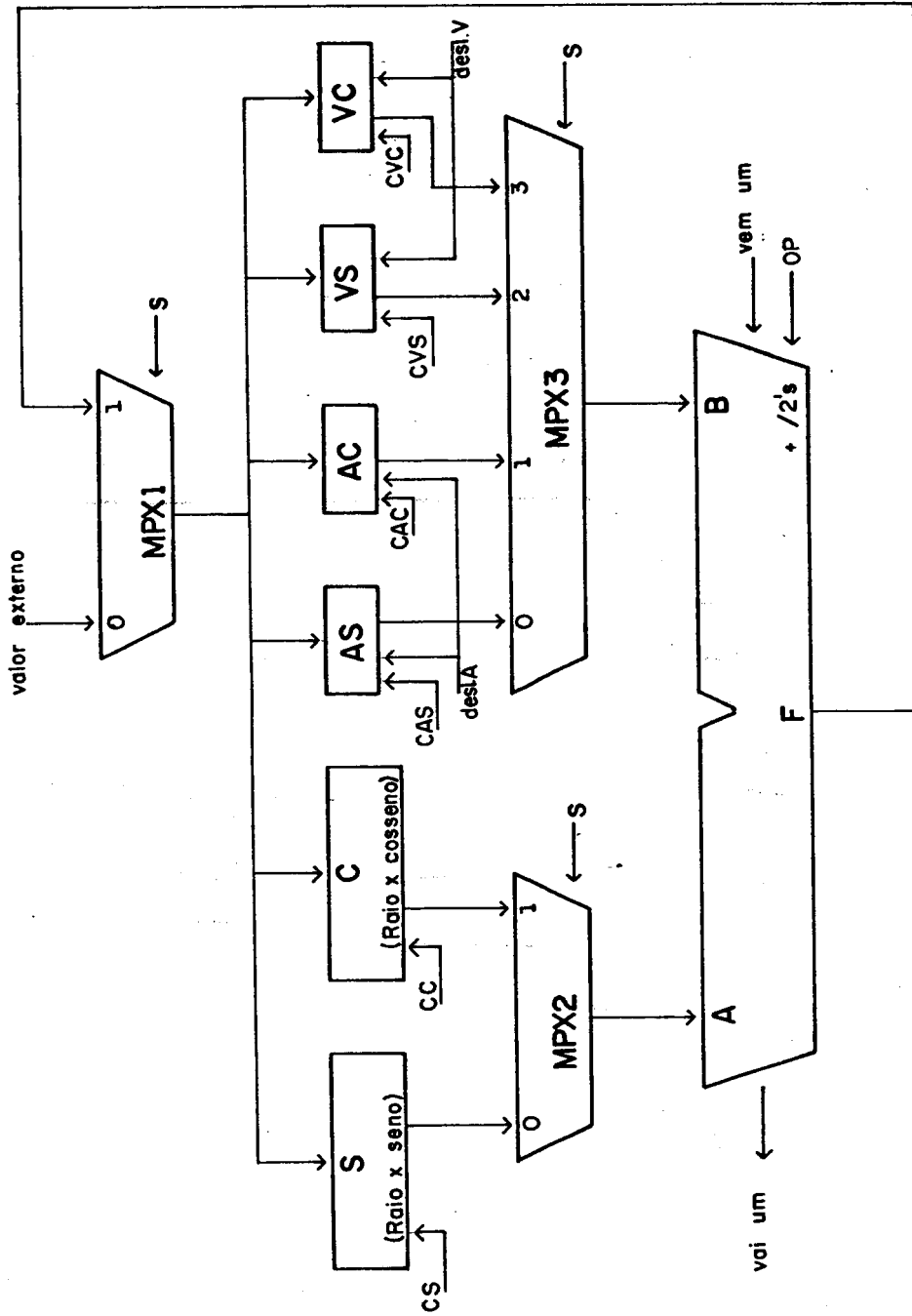


Fig.5.3: Arquitetura básica do circuito gerador de circunferência.

Os registradores S e C funcionam apenas como células de armazenamento, necessitando de deslocamento unidirecional, a fim de reposicionar seus conteúdos na fase de inicialização de acordo com o número de bits.

Os acumuladores AS e AC, em princípio, funcionariam também apenas como elementos armazenadores das somas de seus conteúdos com S e C respectivamente. Entretanto devem ser inicializados com seus valores médios. A fim de não aumentar os componentes utilizados solucionou-se este problema empregando um registrador deslocador o qual é zerado inicialmente, seguindo-se um deslocamento à direita, com a manutenção da entrada serial em "1". Este conjunto de procedimentos fornece como resultado o valor desejado: o bit mais significativo em "1" e os demais em "0".

Os registradores de variação VS e VC devem ser carregados com os valores numéricos a serem usados como coeficientes de variação de S e C. O método adotado é semelhante àquele empregado para a carga inicial dos acumuladores, com a diferença de que neste caso seguem-se "n" deslocamentos, onde "n" é o número de bits significativos do eixo maior. Deste procedimento resultam os diferentes coeficientes de variação, para faixas de velocidades diversas. Portanto, para uma elipse cujo valor do eixo maior é expresso em número igual ao de bits usados nos registradores, o coeficiente de variação será unitário.

Para a seleção da entrada A da unidade aritmética tem-se um multiplexador (MPX2) que escolhe entre os valores provenientes dos registradores S ou C.

A seleção da entrada B é executada através de um multiplexador de 4 entradas, provenientes dos acumuladores (AS e AC) e dos registradores de variação (VS e VC). Isto é possível pois no método de operação seqüencial do analisador diferencial digital ora as operações ocorrem entre o registrador S e acumulador AS ou registrador de variação VS, ou com o registrador C e seus correspondentes. Além

disto, existindo sempre esta correspondência é possível empregar a mesma entrada de controle de MPX2 como uma das entradas de controle de MPX3, aquela que determina entradas pares ou ímpares, de acordo com a figura.

A unidade aritmética deve ter capacidade de executar somas com números em complemento de 2, e realizar a operação de complementação (2's) de valores em uma de suas entradas.

Portanto com este conjunto de elementos interligados na forma indicada no desenho e com as características descritas anteriormente pode-se fazer as inicializações previstas e operá-los realizando as ações que serão descritas com maiores detalhes na seção dedicada a unidade controladora.

5.3.2 Circuito deslocador

O circuito deslocador constitui-se apenas de dois registradores com alguma lógica combinacional associada usada em momentos diferentes para atividades sobre dados diversos.

Na fase de inicialização (de preparação) para o cálculo de pontos de uma elipse, os registradores são usados para carga dos valores dos eixos da elipse. Estes valores são deslocados neste circuito, no sentido de *perda* de seus bits menos significativos inicialmente (com a entrada serial em *zero*), até que o valor resultante no registrador seja zero. Isto permite a contagem do número de bits significativos para expressão do tamanho do eixo maior. Portanto os circuitos combinacionais associados são os necessários neste momento para o teste de *zero*.

Durante os ciclos para o cálculo de novos pontos, este mesmo conjunto de registradores é empregado para obtenção dos valores das coordenadas, a partir dos valores

deslocados disponíveis agora nos registradores S e C dos circuitos geradores de circunferências. A mesma lógica de teste de *zero* é utilizada neste momento para verificar se está ocorrendo uma mudança de quadrante (seno ou cosseno igual a zero). Ainda o conteúdo destes registradores deve ser comparado ao valor das coordenadas de *ponto final* a fim de verificar se a operação deve ser concluída.

Os valores carregados a cada ciclo neste par de registradores deslocadores é correspondente às coordenadas de cada ponto calculado, isto é, faz-se a carga do registrador S do circuito gerador da circunferência de menor raio em um dos registradores (COORDY) e a carga do registrador C do circuito gerador da circunferência de maior raio em outro dos registradores (COORDX). Assim, após os devidos deslocamentos, o conteúdo disponível é exatamente o par de coordenadas do ponto calculado. Este conjunto de valores é carregado em um par de registradores de saída, tornando-se disponíveis ao usuário.

5.3.3 Comentário sobre o projeto do ADD

Nesta seção sobre a unidade operacional, ainda cabe justificar o porquê do projeto de um analisador diferencial digital com circuitos SSI e MSI e a não-utilização de um circuito comercial para esta finalidade.

Embora alguns fabricantes de semi-condutores ofereçam a possibilidade de se utilizar um ADD em uma pastilha, estes são projetados para geração específica de senos e cossenos. Provavelmente devido as suas limitações em número de pinos, não se dispõe da capacidade de inicialização dos registradores de SENO e COSSENO com qualquer valor. E esta é uma característica de particular importância em aplicações gráficas, a fim de se desfrutar da flexibilidade total da geração de funções pelo analisador diferencial digital.

Esta, então, constituiu-se na principal razão para implementação do ADD através de circuitos comerciais. Além desta, foram obtidas outras vantagens adicionais e possibilidades diversas de utilização, como o controle de velocidade variável, por exemplo.

5.3.4 Capacidade de representação

Todos os registradores da unidade operacional e demais elementos usados no tratamento de dados foram dimensionados para valores cuja magnitude pode ser expressa em até 12 bits. Um bit adicional é usado para representação dos sinais.

5.4 Unidade controladora

A parte controladora, além da comunicação com o sistema, supervisiona e comanda as ações de inicialização e cálculo de pontos para o traçado de segmentos elípticos. As atividades realizadas pela unidade controladora podem ser divididas em três fases: inicialização, ciclo para cálculo de pontos e finalização. As ações de comunicação do gerador com o sistema são parte da fase de inicialização e serão abordadas desta forma.

Para o controle de cada uma destas fases, de inicialização, ciclo para cálculo de pontos e finalização, tem-se uma máquina de estados e pequenos circuitos de teste.

Os circuitos e controle nas diversas fases serão abordados a seguir.

5.4.1 Inicialização

Nesta fase de inicialização, além do ajuste das diversas máquinas de controle em seus estados iniciais, faz-

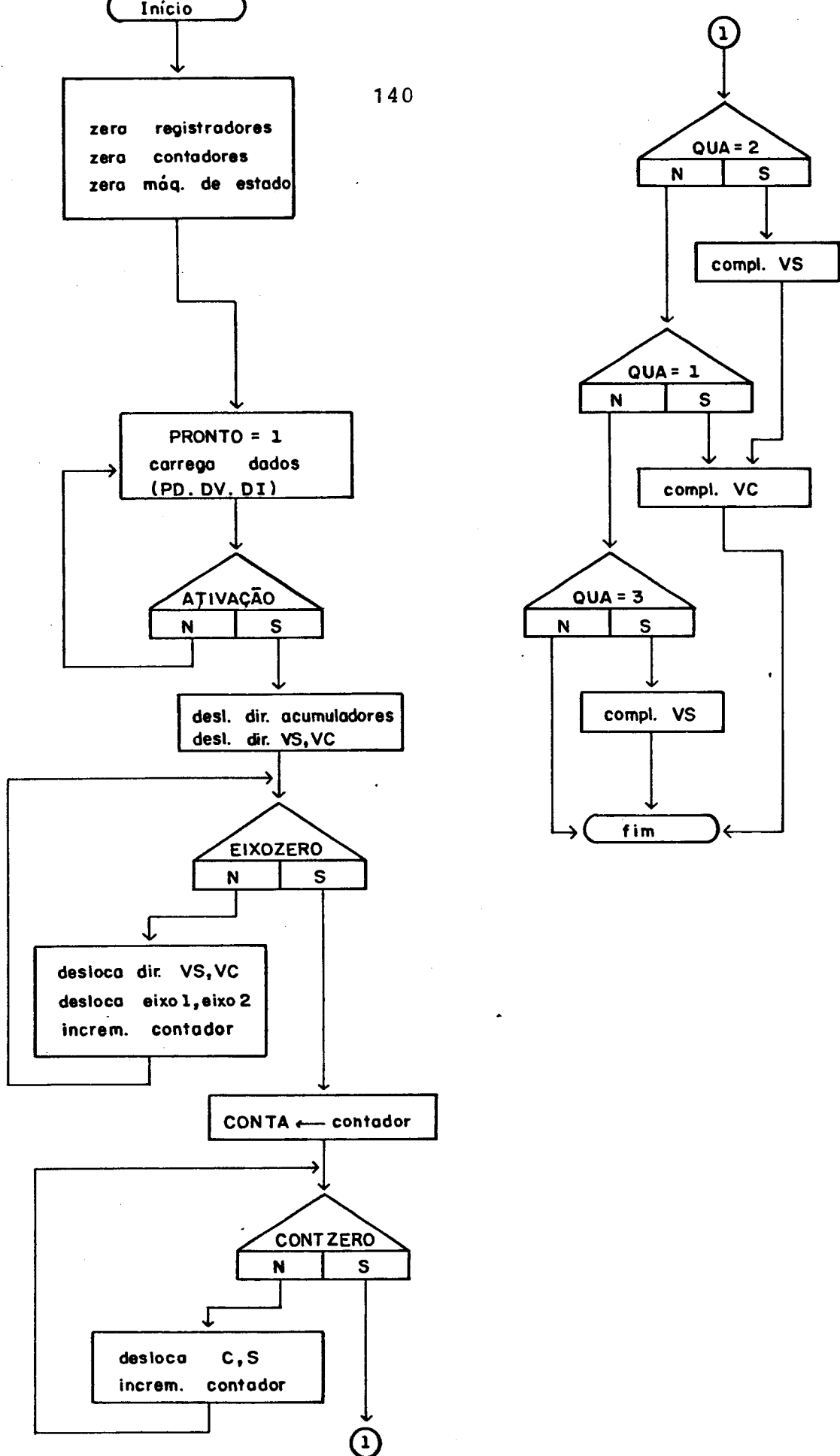


Fig.5.4: Fluxograma da fase de inicialização.

-se a preparação dos elementos operacionais, para o início do ciclo de cálculo dos pontos.

Estas atividades são representadas pelo fluxograma apresentado na figura 5.4 e descritas a seguir.

O sinal de *LIGA* para o gerador zera todos os registradores internos e máquinas de controle. Portanto, neste momento também a lógica de controle correspondente à fase de inicialização encontra-se em seu estado inicial. O sinal de inicialização (*INIC*) recebido em qualquer momento também conduz o dispositivo a esta situação.

A seguir o gerador ativa o sinal *PRONTO* (*PR*) indicando que espera dados. Desde este momento até o recebimento de um comando para processamento (*AT*), o gerador está apto a receber os dados iniciais para carga de alguns de seus registradores internos. A identificação do dado recebido é fornecida através das três linhas de *Parâmetros dos Dados* (PD_n) e sua validade pelo sinal *Dados Válidos* (*DV*). O tipo de dados a serem recebidos estão especificados na tabela 5.2.

Tabela 5.2: Parâmetros dos dados: tipo e código

Parâmetros dos dados			Informação nas linhas de DI (Dados Iniciais)
PD_2	PD_1	PD_0	
0	0	0	Valor do eixo maior
0	0	1	Valor do eixo menor
0	1	0	Seno x semi-eixo menor
0	1	1	Cosseno x semi-eixo menor
1	1	0	Seno x semi-eixo maior
1	1	1	Cosseno x semi-eixo maior
1	0	1	Ponto final - coordenada X
1	0	0	Ponto final - coordenada Y

Os valores dos eixos são carregados nos registradores do circuito deslocador a fim de se poder determinar

o número de bits a serem efetivamente usados nos registradores da unidade operacional.

Os valores trigonométricos correspondentes ao ponto inicial são carregados nos registradores S e C dos circuitos geradores de circunferências, onde serão mais tarde apropriados para operação.

As coordenadas X e Y localizadoras do ponto final são carregadas nos registradores PFX e PFY e servem, durante o processo de cálculo, para determinar o prosseguimento das atividades.

Quando é concluída a atividade de carga dos dados iniciais, o controlador indica ao gerador que este deve iniciar o processo interno para o cálculo do segmento determinado, através do sinal de ATIVAÇÃO (AT). É a subida deste sinal que determina a mudança de condição (de colóquio para processamento). Logo que é detectado o sinal de ATIVAÇÃO, o gerador desativa a linha de PRONTO.

É efetuado um deslocamento no conteúdo dos acumuladores, com a entrada serial dos mesmos em "1", a fim de *carregar* nestes registradores o seu valor médio inicial. Técnica similar é empregada nos registradores de variação, mas estes ainda terão seus conteúdos modificados em função do número de bits a serem efetivamente considerados.

Então inicia-se o ciclo de verificação do número de bits significativos do eixo maior. Estes bits são contados através de um procedimento de *deslocamento e contagem*, ao mesmo tempo que divide-se o conteúdo dos registradores de variação. O final deste ciclo é determinado pelo sinal de EIXOZERO. O conteúdo do contador corresponde ao número de bits significativos do eixo maior, e é armazenado em CONTA. Este número agora serve para o posicionamento dos valores constantes em S e C, valores que passam a ocupar apenas os bits mais significativos dos registradores S e C, através de deslocamentos controlados pelo valor complementar daquele armazenado em contador. Maiores detalhes sobre o circui-

to de contador são fornecidos na subsecção 5.3.1.1.

Esta fase é completada com o teste de quadrante, a partir do qual determina-se o sentido de variação dos vetores das coordenadas, ou seja, o sinal dos conteúdos contidos nos registradores de variação (VS e VC). Este teste é efetuado pelo circuito de *determinação de quadrante*, explicado na subsecção 5.4.1.2.

5.4.1.1 Circuito de contador

Este circuito está centralizado sobre um contador de módulo 12, e é empregado para o controle do número de deslocamentos a serem executados em diversos registradores, durante as fases de inicialização e ciclo para cálculo de pontos.

No princípio, este circuito atua durante a determinação do número de bits significativos do eixo maior. Este valor é memorizado no registrador CONTA, associado ao contador-base. O complemento deste valor inicial serve para posicionar o conteúdo contido nos registradores S e C das duas unidades geradoras de circunferências nas posições correspondentes aos bits mais significativos.

Durante a fase de ciclo para cálculo de pontos, aquele conteúdo armazenado em CONTA, durante a inicialização, serve para reposicionar os valores de coordenadas calculados nos registradores S e C nos bits correspondentes ao seu peso real.

O circuito de contador é mostrado na figura 5.5.

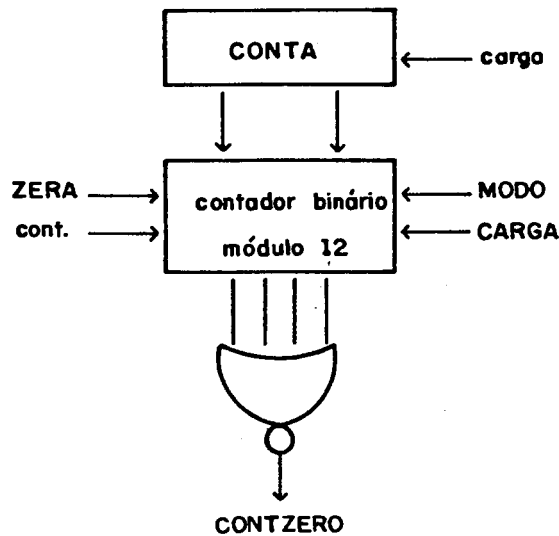


Fig.5.5: Circuito de contador.

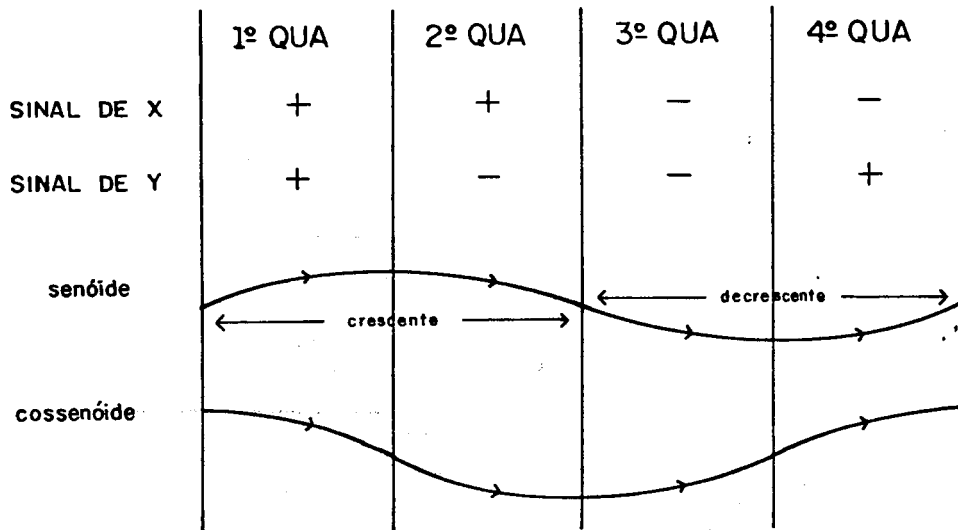
5.4.1.2 Determinação de quadrante

A determinação do quadrante a partir do qual se vai iniciar ou se está executando o cálculo do segmento é necessário pois o sentido de variação de senóides e cossenpoides é definido por este parâmetro.

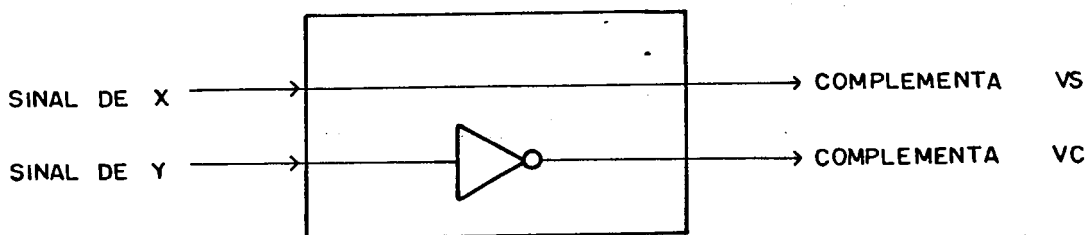
As senóides são crescentes no primeiro e quarto quadrantes e decrescentes no segundo e terceiro quadrantes. As cossenóides são crescentes no terceiro e quarto e decrescentes no primeiro e segundo quadrantes. Sendo crescentes, os registradores de variação correspondentes a estas curvas têm sinal positivo, e sendo decrescentes deve-se ter valores negativos nos registradores de variação correspondentes. Isto é obtido através da operação de complemento de dois.

O circuito de determinação de quadrante é apenas um bloco combinacional o qual, ao invés de fornecer um par de linhas binárias correspondentes ao número do quadrante, fornece como saídas duas linhas indicando se deve ser executada a complementação ou não. Uma linha está relacionada com os registradores de variação de seno, e a outra, com os registradores de variação de cosseno.

O diagrama lógico do circuito é muito simples, pois por simples observação pode-se constatar que a senóide é decrescente exatamente nos quadrantes onde o sinal da coordenada X é negativo, e a cossenóide é decrescente nos quadrantes em que a coordenada Y é positiva. Assim obtém-se o circuito combinacional mostrado na figura 5.6.



(a)



(b)

Fig.5.6: Determinação do sentido de variação em cada quadrante. a) Sinal das coordenadas nos diferentes quadrantes e variação das curvas senóide e cossenóide. b) Determinação da mudança de sinal dos registradores de variação.

5.4.2 Ciclo para o cálculo de pontos

Esta fase é executada durante o processo de cálculo tantas vezes quantos forem os pontos calculados para o segmento. Durante esta fase existem duas máquinas operando simultaneamente, uma calculando novos valores e a outra ajustando os valores calculados, a fim de fornecê-los ao vídeo.

Esta fase é iniciada no momento em que se conclui a fase de inicialização. Os registradores estão devidamente carregados e prontos para o cálculo de pontos do segmento definido. A máquina de controle sai do seu estado de espera e dá início às operações. Esta seqüência de operações é mostrada nos fluxogramas da figura 5.7.

O funcionamento das duas máquinas, de cálculo propriamente dito e de ajuste, está baseado em uma arquitetura pipeline. O processo de ajuste das coordenadas de um ponto é executado simultaneamente a testes de final de quadrante e ao início do cálculo de um novo ponto. A máquina seqüencial usada para as atividades de ajuste trabalha com o dobro da freqüência da máquina de cálculo propriamente dita, o que a torna bastante crítica em termos de implementação.

5.4.2.1 O cálculo dos novos pontos

Esta fase de cálculo de novos pontos se compõe de dois conjuntos básicos de atividades: a atualização dos registradores S e C, e testes para determinação de mudança de quadrante.

Como o método de implementação do analisador diferencial digital escolhido foi o seqüencial, então a sucessão de operação ocorre através dos seguintes passos:

a) soma-se o conteúdo de C ao acumulador respectivo. Se esta soma produz um incremento, o valor de S muda

em uma unidade de variação;

b) soma-se o conteúdo de S ao acumulador respectivo. Se esta soma produz um incremento, o valor de C muda em uma unidade de variação.

Neste momento o ajuste do ponto anterior já foi concluído. Este resultado é testado a fim de se verificar se é o ponto final. Se for, o processamento passa a fase de conclusão. Se não for o ponto final, segue-se operando com este novo ponto que vinha sendo calculado.

Os conteúdos de registradores S e C recém-atualizados dos geradores de circunferências (S de um e C de outro) são transferidos aos registradores de coordenadas para operação do circuito de ajuste. Ainda este mesmo conteúdo S e C são testados para detectar a ocorrência de uma mudança de quadrante. Se um destes valores é zero, tem-se uma mudança de quadrante, e é necessário complementar um dos registradores de variação e um dos flip-flops armazenadores de sinal das coordenadas. Estes flip-flops, além de atuarem como dados para o teste de quadrante, servem como saída para o vídeo, junto com o valor das coordenadas.

5.4.2.2 Ajuste de valores calculados

O circuito de ajuste simplesmente posiciona o conteúdo dos registradores correspondente às coordenadas do ponto calculado, de acordo com os deslocamentos feitos inicialmente para uniformização da velocidade de geração dos segmentos.

Portanto a atividade do circuito de ajuste consiste apenas em efetuar o mesmo número de deslocamentos anteriormente executados para posicionar os valores nos bits mais significativos. Agora os deslocamentos são em sentido contrário, e devolvem o conteúdo a posição de ajuste à direita.

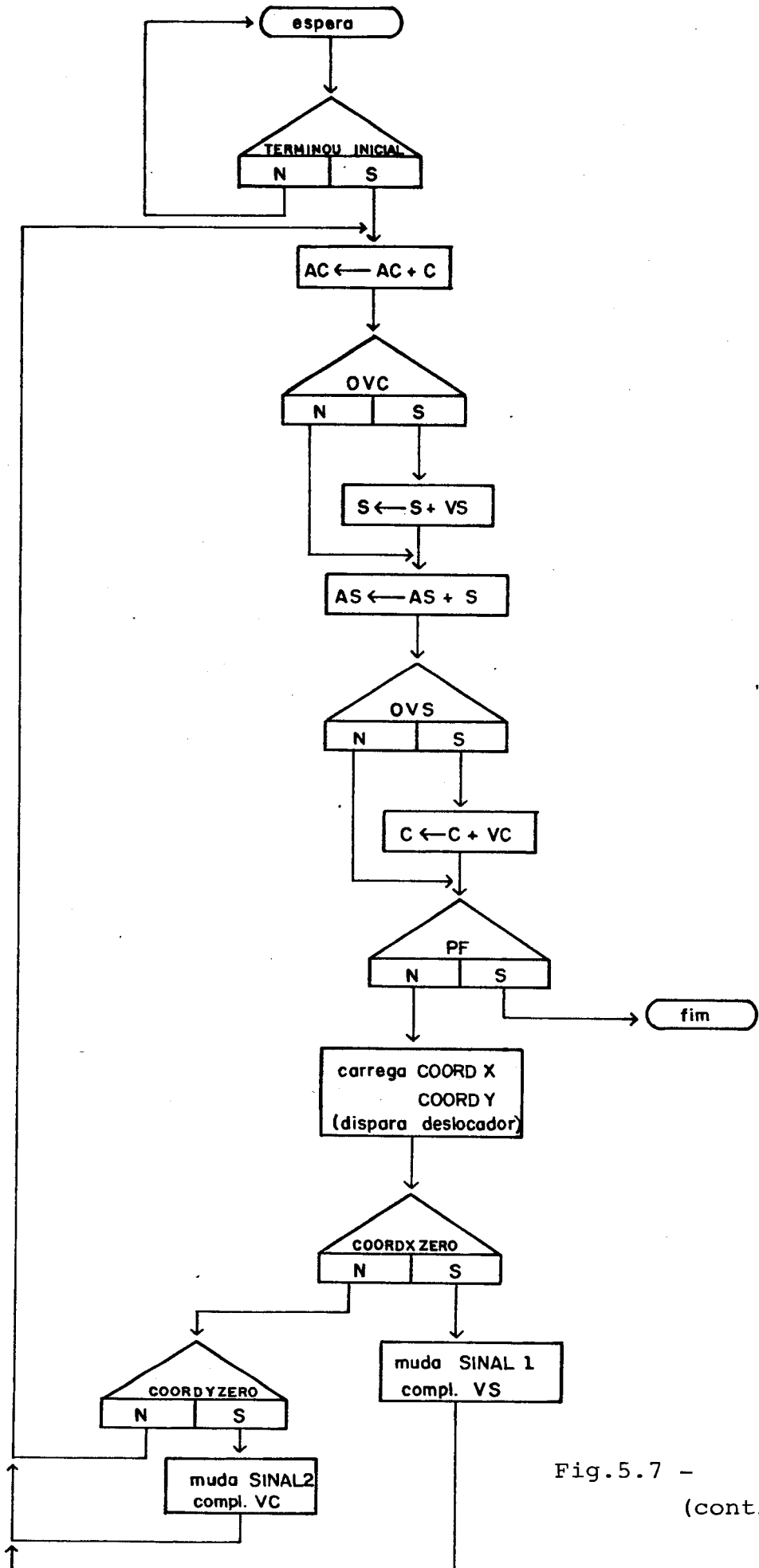


Fig.5.7 -
(continua)

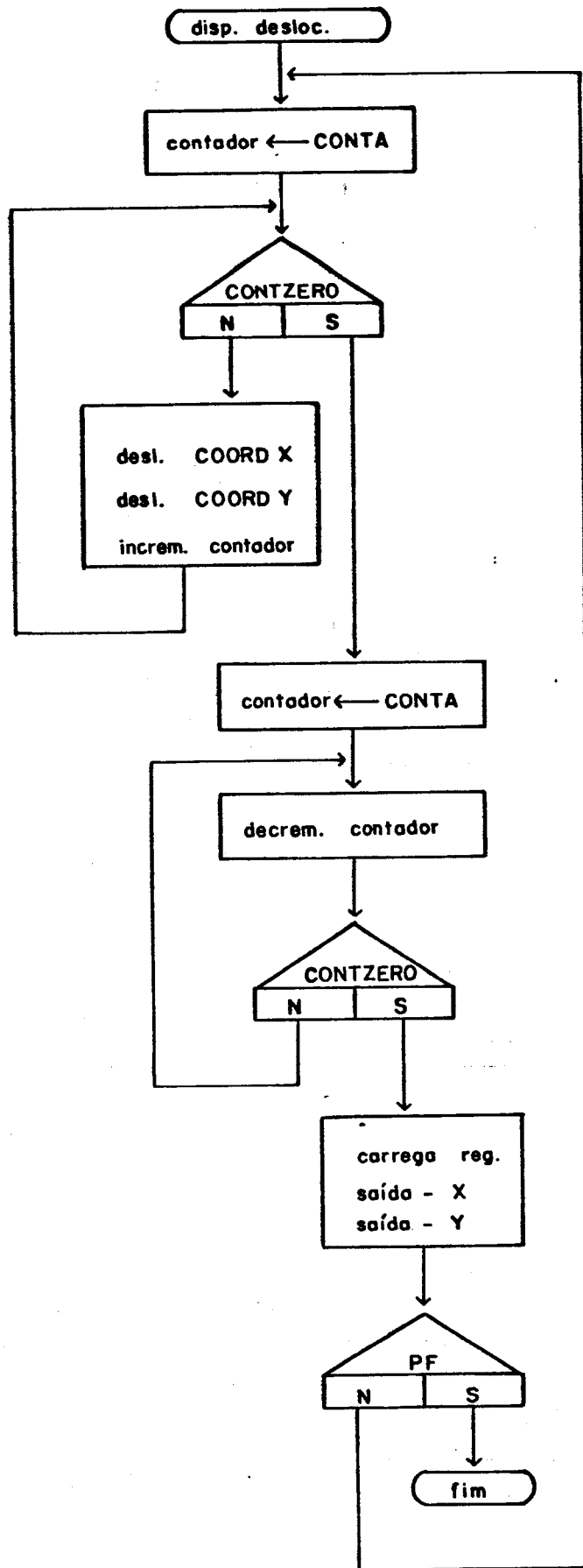


Fig.5.7: Fluxograma do ciclo para cálculo de pontos - ciclo do deslocador.

O ciclo seguinte de contagem complementar serve apenas para manter o número de estados constante para quaisquer valores de eixos.

Os valores finais são carregados nos registradores de saída e dependendo do resultado do teste de *ponto final*, a máquina retoma a execução do ciclo ou ativa a fase de conclusão.

O circuito de teste de ponto final consiste em uma lógica combinacional simples que compara o conteúdo dos registradores das coordenadas de ponto final, carregados durante a fase de inicialização e fornecidas pelo usuário, com o conteúdo dos registradores de coordenadas calculadas (COORDX e COORDY). Se todos os bits forem iguais, o sinal PONTO FINAL (PF) torna-se válido. O diagrama lógico do circuito pode ser visto na figura 5.8.

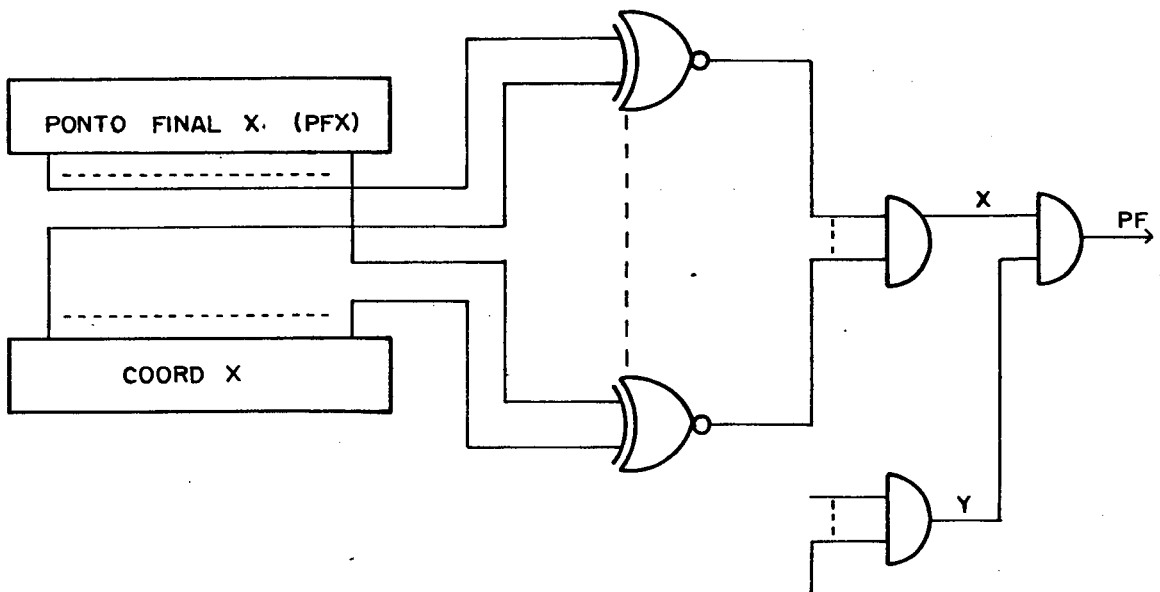


Fig.5.8: Circuito para detecção de ponto final.

A validade dos conteúdos armazenados nos registradores de saída deve ser indicada com o auxílio do sinal de relógio R_D (relógio dos dados). Como as linhas de dados são comuns aos dois registradores, correspondentes às coordena-

X e Y, as saídas dos mesmos são habilitadas em tempos diferentes. O primeiro pulso de R_D corresponde à validade do valor da coordenada X do ponto calculado e o segundo pulso de R_D , à validade do valor da coordenada Y. Pode-se fornecer adicionalmente um sinal destinado a auxiliar na distinção destes valores: XAT, assume o valor "1" quando tem-se X nas linhas de dados, e "0" se é Y o valor nas linhas de dados (ver figura 5.9).

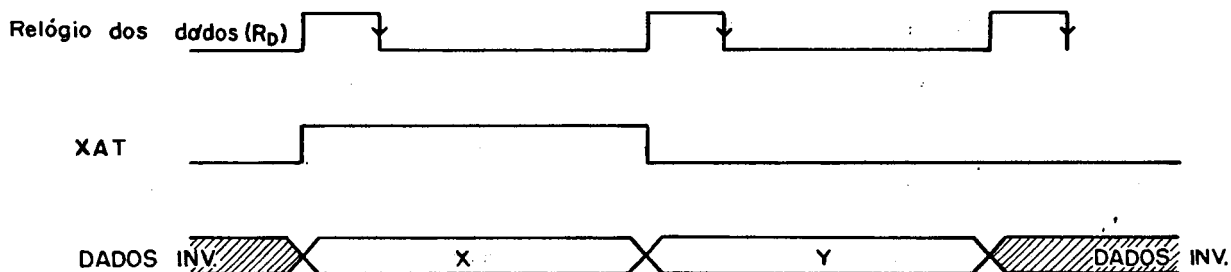


Fig.5.9: Diagrama de tempos para os sinais R_D e XAT e linhas de dados.

5.4.3 Fase de conclusão

No momento em que é detectado o sinal de PONTO FINAL o último ponto calculado ainda não foi enviado ao vídeo. Portanto deve-se executar esta atividade e encerrar o processamento tornando novamente válido o sinal de PRONTO.

Logo a fase de conclusão consiste em um ciclo adicional de validação dos conteúdos armazenados nos registradores de saída, seguido da atualização do sinal PRONTO.

5.5 Comentários finais

Neste capítulo foi apresentada a concepção final do gerador de elipses, implementada com circuitos comerciais padronizados. A unidade de controle pode ser reduzida em número de componentes se forem empregadas técnicas de microprogramação ou circuitos semi-padronizados, como arran-

jos lógicos programáveis, por exemplo. Entretanto pode-se perder velocidade com estas modificações.

A unidade operacional aqui apresentada serve de base para o projeto do circuito integrado apresentado no próximo capítulo.

6. TÉCNICAS DE INTEGRAÇÃO

6.1 Considerações iniciais

Neste capítulo reuniu-se todas as informações relacionadas com a integração de parte do projeto realizado.

Tanto os conceitos como o projeto desenvolvido são abordados em nível básico pois este é um trabalho introdutório na área de concepção de microcircuitos e existe pouca bibliografia com esta finalidade, e infelizmente, pouco concentrada.

Parte-se das especificações originais do projeto, e após uma descrição das características tecnológicas e elétricas da lógica escolhida, faz-se a descrição do projeto de integração propriamente dito. Muitas das técnicas e idéias aqui incluídas são resultado de discussões informais e/ou obtidas em situações experimentais.

6.2 Especificação do circuito e escolha da tecnologia

Através do projeto apresentado no capítulo anterior é efetuado o cálculo de um ponto da elipse a cada 1 ou 2 μ s, em média. As limitações para este tempo estão relacionadas principalmente com o tipo de componentes utilizados na unidade operacional e suas características. Outros fatores são o algoritmo escolhido, a arquitetura da máquina projetada, etc.

A adoção de uma estrutura microprogramada para a unidade de controle certamente diminuiria a quantidade de componentes utilizados, mas é mais crítica quanto aos aspectos de rapidez de execução. Por isto foram escolhidas máquinas de estado, na medida do possível em estrutura "pipeline", complementadas quando necessário com componentes rápidos (TTL SCHOTTKY). Desta forma, as restrições passam a

ser devidas à unidade operacional.

Devido ao tipo de circuitos comerciais disponíveis e suas características, a unidade projetada utiliza, em sua maior parte, componentes de média integração. Além destes não serem suficientemente rápidos, existe uma grande redução na velocidade devido a necessidade de linhas de interconexão entre os elementos componentes. Então a solução ideal seria dividir a unidade operacional em seus dois blocos básicos (geradores de circunferências), pois estes são controlados quase independentemente e integram cada uma destas partes. Desta forma a unidade operacional ficaria reduzida a dois circuitos em larga escala de integração, seguramente mais velozes do que a estrutura anterior. A execução desta idéia, entretanto, foi colocada em questão devido a dois fatores:

- a) tempo disponível para a realização do projeto,
- b) limitações tecnológicas, no estágio atual de desenvolvimento dos processos nos laboratórios brasileiros (problema de área disponível na pastilha versus densidade de integração).

Existe uma regra prática através da qual calcula-se que uma pessoa pode projetar cerca de mil elementos por ano, entre portas lógicas e linhas de codificação /BUF 80/. Embora esta estimativa tenha sido feita com base em tecnologia MOS, pode ser parcialmente transferida para o caso aqui em discussão.

O projeto de toda uma unidade geradora de circunferências, portanto, abrangendo cerca de 1300 transistores seria impraticável devido aos prazos disponíveis para a realização do trabalho.

Também a área ocupada por estes transistores e suas interconexões representaria um problema a quem processasse a pastilha, por razões tecnológicas.

A solução foi tirar proveito das características

modulares do projeto e executá-lo em frações, que pudessem ser reunidas de acordo com as necessidades do usuário.

Dentre as possibilidades de fabricação de circuitos integrados no país, aquela que pareceu mais concreta foi a oferecida pela Divisão de Circuitos Integrados Bipolares do LME-EPUSP.

Este grupo vem há algum tempo desenvolvendo alguns recursos para simplificar o projeto de circuitos integrados. Além destes recursos, foram oferecidas algumas vantagens adicionais, podendo-se ao todo dispor de:

- a) facilidades para fabricação de máscaras;
- b) facilidades para fabricação de circuitos integrados;
- c) alguns programas associados a uma estrutura de PAC (Projeto Auxiliado por Computador) particularmente úteis no projeto de máscaras;
- d) a tecnologia I²L;
- e) um circuito padrão (termo que será utilizado em substituição as versões americanas "master slice" ou "gate-array"), ou semi-padronizado.

As facilidades associadas contribuíram significativamente na escolha da tecnologia para implementação do gerador de circunferência. Particularmente nesta tecnologia, o circuito padrão permite realizar circuitos de aplicação específica com o projeto da difusão de fósforo, empregadas para a realização dos emissores de transistores NPN de interfaceamento, dos coletores dos transistores NPN das células I²L ou das difusões de passagem. Estes detalhes ficarão mais evidentes, ao leitor não especializado, depois do exame minucioso do tipo de circuitos I²L e de sua seqüência de fabricação. Mas antes disto, serão tratados alguns aspectos sobre estilo e etapas de projeto.

6.2.1 Estilo e técnicas de projeto

A escolha do estilo de projeto a ser adotado é resultante basicamente de um compromisso entre o tempo de projeto e outras variáveis técnicas, que passarão a ser atributos do CI, tais como:

- função executada
- velocidade
- tamanho
- potência.

Do ponto de vista comercial, ainda há outros fatores a considerar:

- necessidade
- custo
- disponibilidade
- modularidade.

Podem ser diversos os meios através dos quais obtêm-se como produto final circuitos integrados. As variáveis e fatores citados acima, são dependentes destes meios, os quais são aqui classificados em três grupos:

- circuitos integrados sob encomenda - são projetados e produzidos para uma aplicação específica, têm usualmente o valor técnico mais alto e o valor comercial mais baixo. Frequentemente o projeto durará alguns anos.

- circuitos integrados padronizados - diferem daqueles *sob encomenda* pelo número de aplicações as quais servem, são geralmente superdimensionados e a maior parte dos usuários nunca utilizam algumas de suas funções. Seu valor técnico é alto, geralmente.

- circuitos integrados semi-padronizados - são pré-projetados em sua maior parte, necessitando de poucas operações que irão definir a aplicação a que se destina. Têm como principal vantagem a rapidez de projeto.

O projeto de circuitos monolíticos ou semi-padro-

nizados, em larga escala de integração, usa uma pastilha de silício parcialmente pré-fabricada, a qual é então concluída através da aplicação de um ou mais padrões especiais de máscaras, definindo sua função. Esta técnica reduz significativamente o custo de projeto, ferramentas e o tempo requerido para a fabricação do protótipo, se comparados com os necessários ao desenvolvimento de circuitos integrados convencionais sob encomenda. Do ponto de vista econômico, esta técnica é particularmente vantajosa no desenvolvimento e produção de pequenas quantidades de CIs.

A tecnologia I²L tem sido bastante empregada neste tipo de aplicação devido às suas características inerentes de "layout" e facilidades de interconexão. Além destas, com extrema facilidade é possível estender a programação de máscaras a outros níveis além da interconexão metálica, o que significa a possibilidade de programação das entradas e saídas das células, além da introdução de mais um nível de interconexão (pontes).

6.2.2 Ciclo de projeto de circuitos digitais semi-padronezados

O ciclo de projeto, empregando-se circuitos semi-padronezados, é menor do que aquele necessário à execução da atividade em circuitos sob encomenda. Muitas vezes esta opção também é empregada para o projeto inicial e após, a partir de sua otimização, é desenhado um novo conjunto de máscaras para fabricação sob encomenda.

Basicamente pode-se dividir o desenvolvimento de um circuito integrado I²L semi-padronezados em seis etapas básicas:

a) Revisão da exeqüibilidade e conversão lógica. Iniciando-se com o diagrama lógico do projetista (preferencialmente reduzido a nível de "flip-flop" e portas lógicas, o primeiro passo é revisar detalhadamente as considerações do

sistema com relação ao número total de portas, necessidades de E/S, velocidades de operação, etc., a fim de garantir a praticabilidade de integração e escolher o circuito cujo arranjo de portas é o mais econômico. Se estes requisitos foram atingidos, deve ser efetuada a conversão do diagrama lógico em portas I²L. Neste momento, uma simulação por computador do diagrama lógico pode ser realizada, se houver dúvidas a serem sanadas.

b) Rascunho da disposição dos componentes. Dispondo-se do circuito a nível de portas I²L, é possível realizar a disposição dos componentes nos arranjos de portas pré-definidos. Devem ser utilizados símbolos diversos convencionados para representação de entradas e saídas das portas, interconexões e pontes. Também devem ser projetadas as interconexões nas interfaces de entrada e saída, de acordo com sua função.

c) Geração da arte final das máscaras por computador. No caso de se dispor de um sistema de geração de máscaras por computador, é necessário dar entrada aos dados obtidos, correspondentes a programação das máscaras projetada segundo o meio disponível: digitalizador, codificação, etc. Nesta fase é de grande interesse a disponibilidade de programas verificadores de regras de projeto. Após efetuadas todas as correções e acertados detalhes finais, passa-se a fase seguinte.

d) Fabricação da máscara. A partir da informação armazenada no computador são cortadas as máscaras restantes (metalização, abertura de contatos e difusão N⁺) as quais servirão à conclusão das pastilhas pré-fabricadas.

e) Processamento final das pastilhas pré-fabricadas. As pastilhas I²L pré-fabricadas contêm camadas até a difusão de base do tipo P. As restantes são agora acrescentadas, a partir das máscaras geradas nas etapas anteriores.

f) As pastilhas, após concluídas, são avaliadas;

mais tarde são encapsuladas, testadas eletricamente e despachadas como protótipos. O tipo e quantidade de testes efetuados com os protótipos dependem das necessidades e exigências específicas do projetista.

Na figura 6.1, é apresentado um fluxograma-resumo da seqüência de passos associados com um programa típico de desenvolvimento de circuitos integrados semi-padronizados, em I²L.

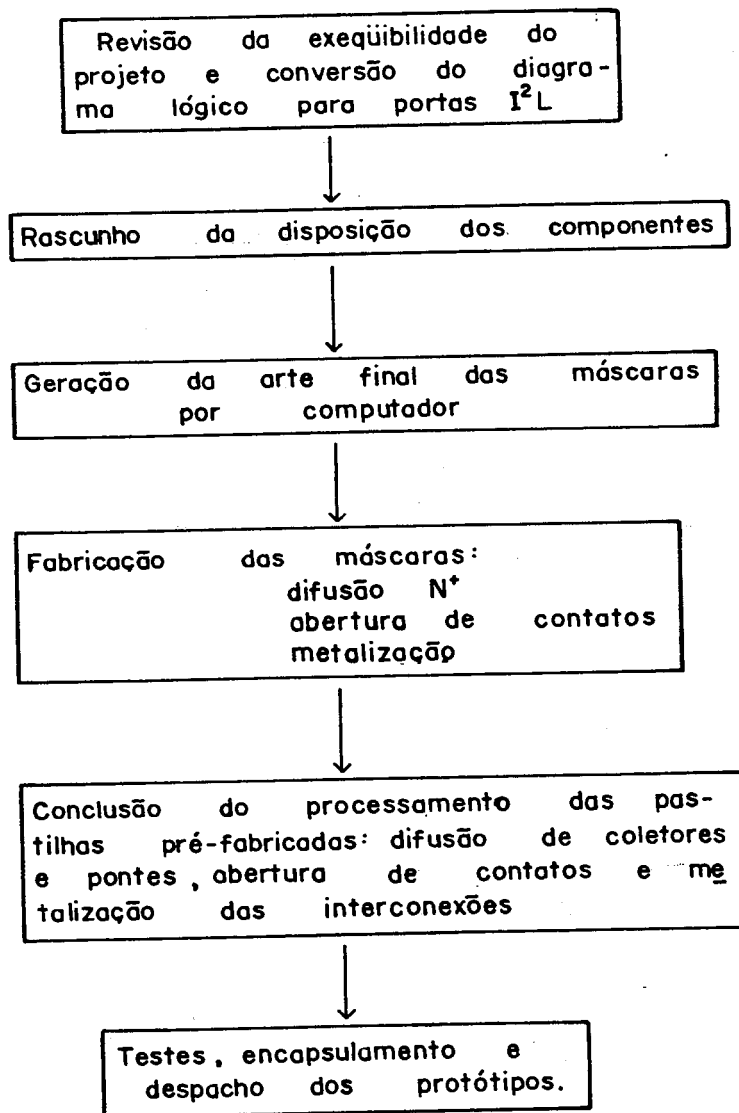


Fig.6.1: Fluxograma das atividades de projeto de CIs semi-padronizados.

6.3 Descrição geral da tecnologia I²L

Esta forma, relativamente recente, de construção de circuitos integrados bipolares mostra grande eficiência na utilização de área, quando são reunidos apenas os circuitos lógicos, pois não requer isolamento entre os elementos da mesma porta lógica, utiliza a mesma região semi-condutora como parte de dois ou mais dispositivos e não utiliza resistores de carga e fontes de corrente dos dispositivos digitais.

Entre outras características, podem ser citadas como de grande valia seu baixo produto velocidade-potência, e a possibilidade de processamento econômico, pois são necessárias apenas cinco máscaras para circuitos digitais, na sua versão mais simples.

Uma das variantes tecnológicas realiza ilhas N isoladas por difusão P e camadas enterradas N⁺ dopadas com arsênico. Essa tecnologia clássica permite a realização de circuitos analógico-digitais ou de interfaces I²L/TTL e TTL/I²L.

O elemento lógico fundamental é composto por dois transistores, como é mostrado na figura 6.2.

O emissor do PNP está ligado à tensão de alimentação, deixando a junção E-B (emissor-base) do transistor diretamente polarizada. O sinal de entrada da porta é aplicado na base do NPN e a saída é constituída pelos coletores do mesmo transistor.

A fonte de corrente I_B poderia ser constituída por um resistor ligado à fonte de tensão positiva. Entretanto, uma solução mais atraente é, sem dúvida, o transistor PNP já citado pois, como mostra a figura 6.3, para sua realização é necessária apenas mais uma área difundida P_1 .

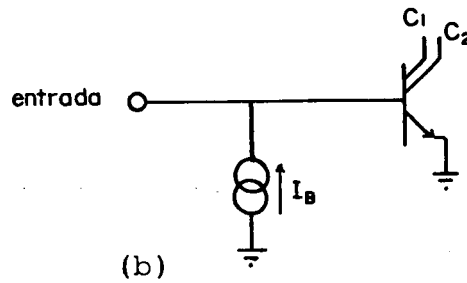
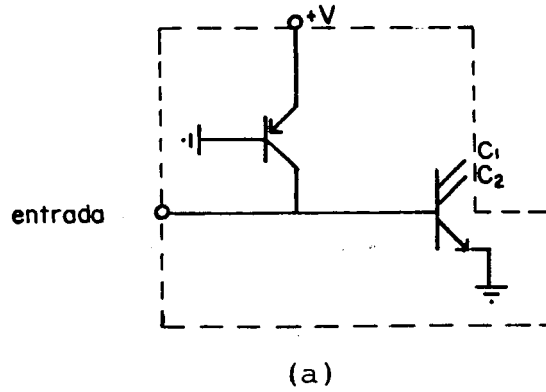


Fig.6.2: Célula básica I²L. a) A célula é composta por um transistor NPN multicoletor cuja corrente é fornecida por um transistor PNP lateral. b) Representação equivalente da célula.

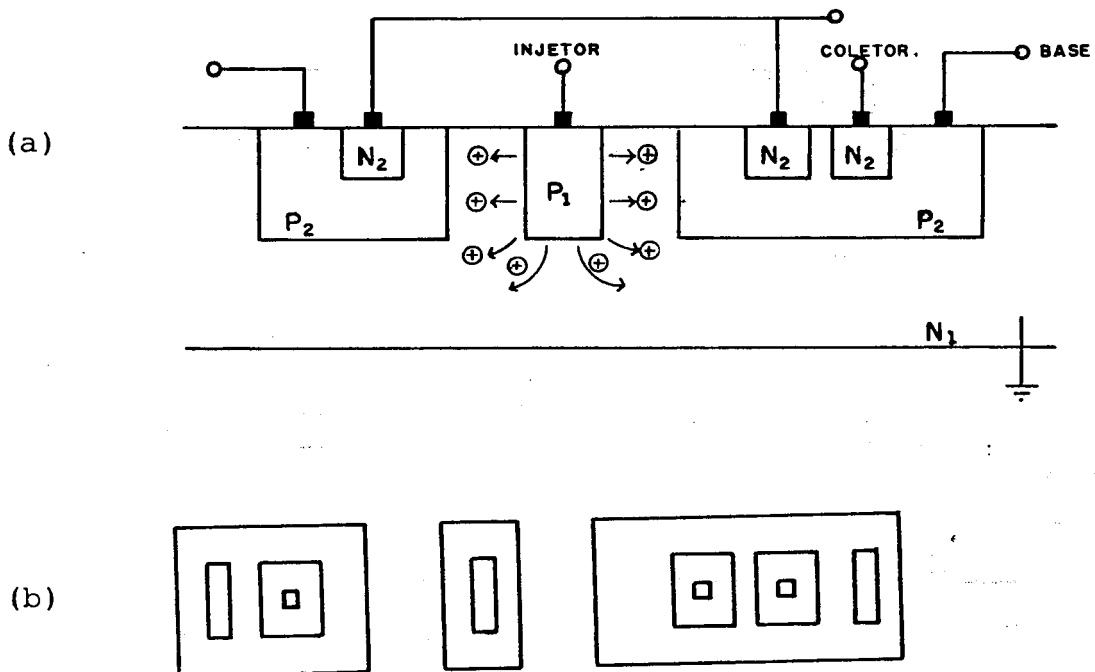


Fig.6.3: Integração da célula básica I²L. a) Perfil simplificado; b) Vista superior correspondente.

Facilmente pode-se verificar, através da figura 6.3, a alta densidade de integração obtida na tecnologia I²L, pois os transistores PNP e NPN são *fundidos* em um único dispositivo. Neste, a camada epitaxial de tipo N constitui simultaneamente a base do transistor PNP e o emissor do NPN, enquanto a difusão P compõe, ao mesmo tempo, as regiões de base do NPN e de coletor do PNP, eliminando a necessidade de interconexões metálicas.

Devido aos aspectos construtivos anteriormente expostos, conclui-se que todos os injetores podem operar em paralelo. Desta forma, toda a corrente de injetor necessária na pastilha pode ser fornecida por um único resistor externo conectado através de um terminal do circuito integrado, ou por um resistor implementado internamente por uma difusão N, usada para os coletores do NPN.

O valor do resistor irá determinar o valor da corrente injetada, uma vez que a tensão no injetor é constante ($\approx 0,85V$), influenciando sobre os valores de velocidade e potência dissipada no circuito.

6.4 Funcionamento de uma porta I²L

Será utilizada uma cadeia de inversores para explicar o funcionamento elétrico de dispositivos em I²L, mostrada na figura 6.4.

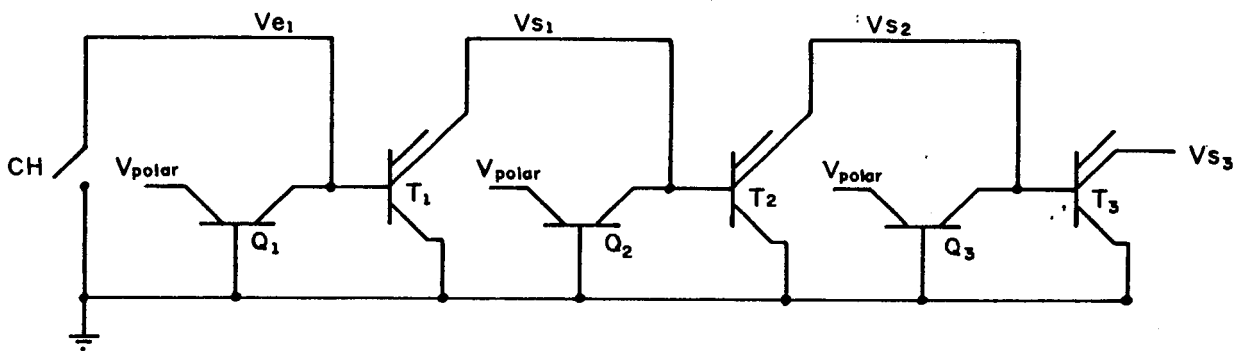
- a) Primeira hipótese: T_1 bloqueado, T_2 saturado, nível lógico "1" em V_{S1} .

Se o potencial de entrada V_e aplicado sobre a base de T_1 é nulo (a chave CH está fechada, portanto a base T_1 está aterrada), o transistor T_1 está bloqueado ($I_{C1}=0$) e a corrente de injeção fornecida por Q_2 alimenta a base de T_2 , que satura. O coletor de T_2 canaliza então a totalidade de corrente de injeção do transistor Q_3 . A base de T_3 não recebe portanto nenhuma corrente de polarização ($I_{B3}=0$), e

o transistor fica bloqueado. O ponto de funcionamento será determinado pela intersecção *A* das características $I_B(V_{B_E})$ do transistor T_2 e $I_C(V_{C_B})$ do transistor Q_2 , pois $(I_B)_{T_2} = (I_C)_{Q_2}$.

O nível lógico correspondente será dado por:

$$V_A = V_{\text{polar}} - V_{CE_{\text{sat PNP}}} \approx 0,65V$$



T_1, T_2, T_3 - transistores NPN
 Q_1, Q_2, Q_3 - transistores PNP

Fig.6.4: Cadeia de inversores I^2L . A chave CH determina o nível de tensão na entrada.

A característica correspondente e a configuração do circuito na situação hipotética formulada são mostrados na figura 6.5.

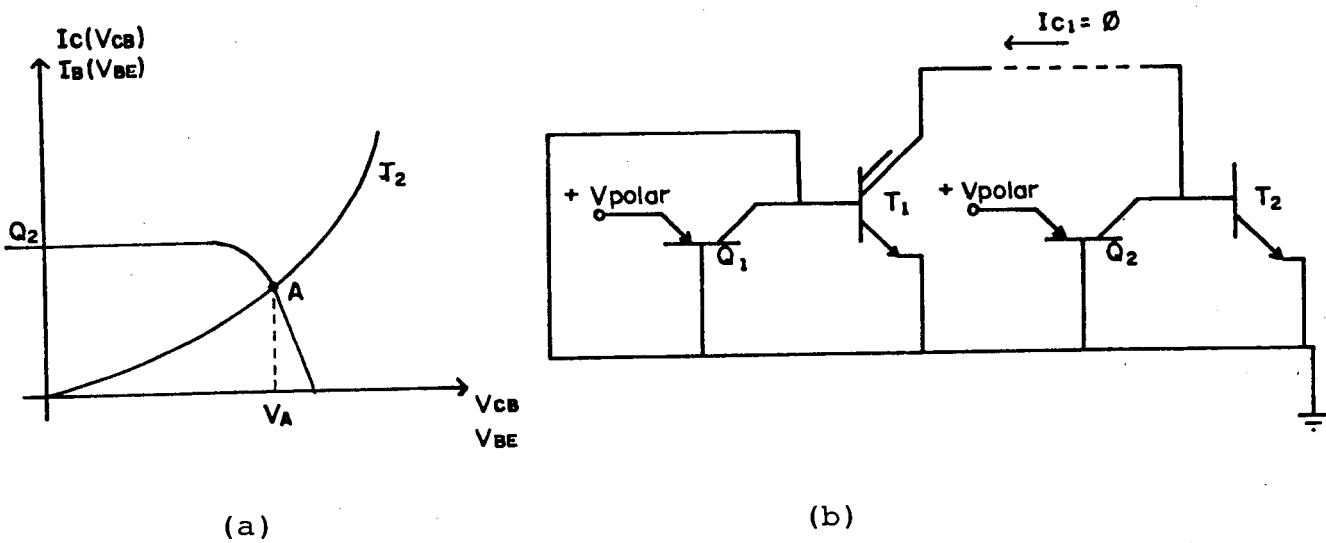


Fig.6.5: Hipótese: tensão de entrada em nível "1".
 a) Característica tensão x corrente. b) Configuração particular do circuito para entrada em nível "1".

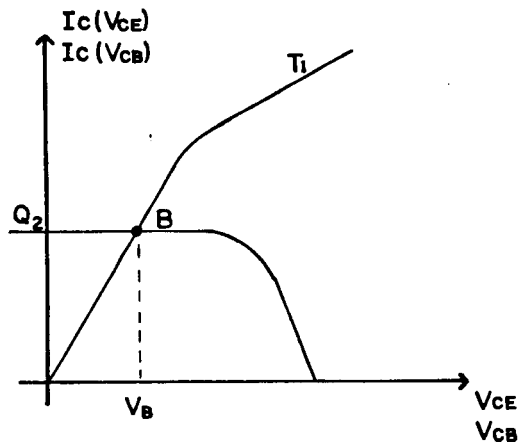
b) Segunda hipótese: T_1 saturado, T_2 bloqueado, nível lógico "0" em V_{S1}

Supondo-se a manutenção da base de T_2 flutuante (a chave CH aberta), o transistor Q_1 alimenta a base de T_1 que passa a saturação. O coletor de T_1 desvia a corrente de injeção fornecida por Q_2 e deste modo as cargas se acumulam na base de T_2 , o qual fica bloqueado, enquanto T_3 fica saturado.

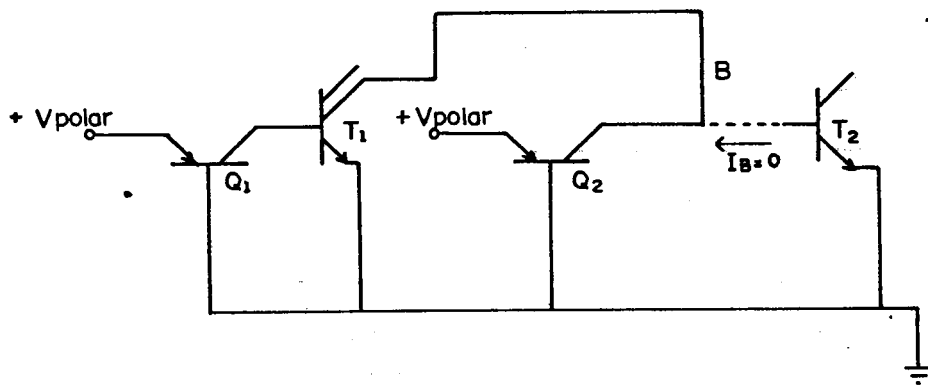
O ponto de funcionamento será determinado pela intersecção B das características $I_C(V_{CE})$ do transistor T_1 e $I_C(V_{CB})$ do transistor Q_2 pois $(I_C)_{T_1} = (I_C)_{Q_2}$.

O nível lógico V_B correspondente será da ordem de 10 a 30 mV (tensão de saturação do transistor T_1).

A característica e circuito associados a situação são mostrados na figura 6.6.



(a)



(b)

Fig.6.6: Hipótese: tensão de entrada em nível "0".
 a) Característica tensão x corrente. b) Configuração do circuito para entrada em nível "0".

Para cada estado, há sempre transistores PNP e NPN da estrutura à injeção, os quais estão em regime saturado. A lógica I^2L é, portanto, uma lógica saturada. A característica de transferência $V_s \times V_e$ pode ser vista na figura 6.7.

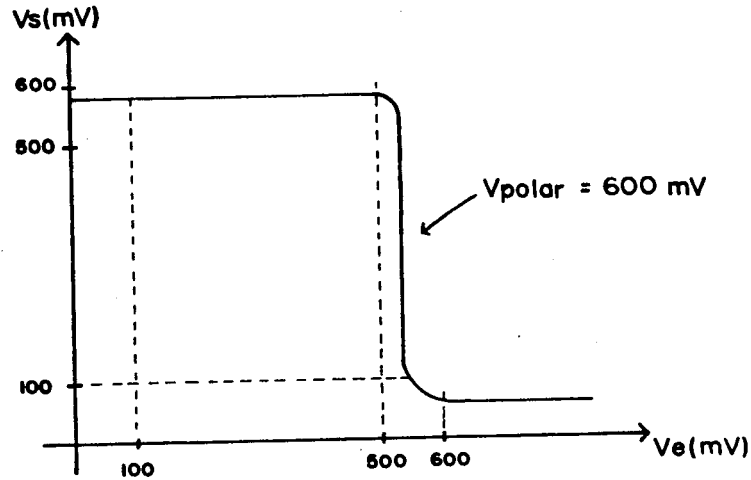


Fig.6.7: Curva de transferência para uma porta I^2L .

Internamente ao circuito I^2L , os níveis de tensão situam-se entre 0,7 e 0,1V. A tensão mais alta é medida na base quando todos os coletores conectados àquela base não estão conduzindo. O nível mais baixo é a tensão de coletor ou de qualquer base a ele ligada, quando o transistor está conduzindo. Portanto a mudança de tensões correspondentes a diferentes níveis lógicos é da ordem de 0,6V. As correntes drenadas pelos transistores situam-se na faixa de 1 a $10\mu A$.

Os sinais de saída, obtidos nos coletores dos circuitos lógicos e não conectados a uma base devem ser ligados a uma fonte de tensão através de um resistor externo. Níveis elétricos de saída de ordem de 10V podem ser obtidos, desde que haja um interfaceamento adequado entre o circuito e sua carga externa.

As funções lógicas são resultantes da interconexão adequada das células básicas I^2L . Para exemplificar, a implementação da função lógica "NOR" (OU negado) é mostrada na figura 6.8.

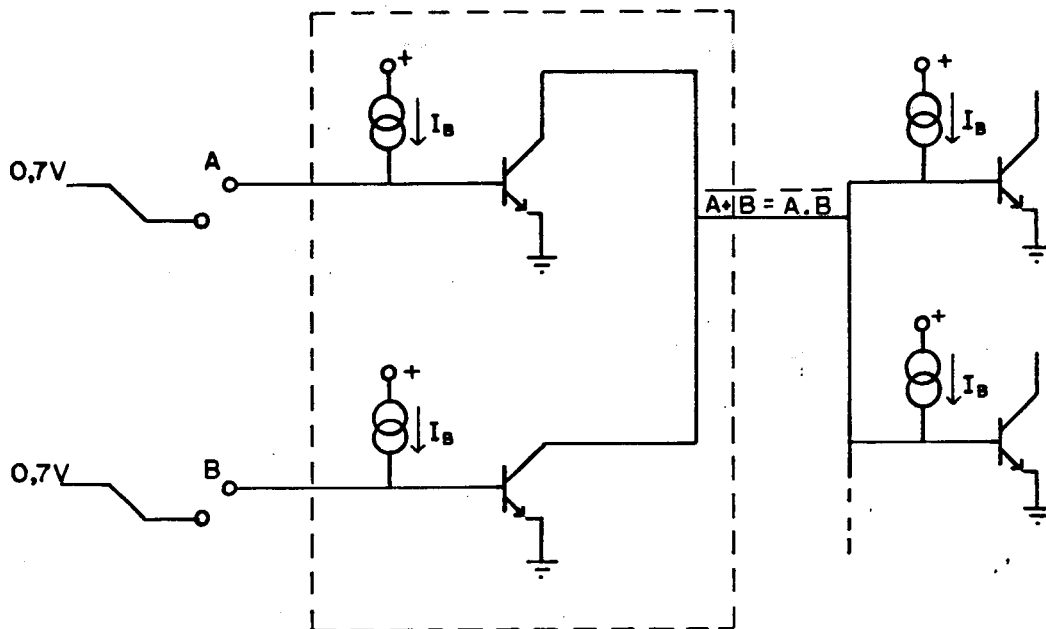


Fig.6.8: Implementação da função lógica NOR em I²L.

6.5 Seqüência tecnológica de fabricação

A descrição da tecnologia aqui constante limita-se àquela usada na fabricação de circuitos padrão, atualmente disponível no LME/EPUSP, pois o estudo detalhado de variantes tecnológicas não é de interesse para este trabalho.

A figura 6.9 mostra esquematicamente as estruturas verticais (perfis de difusão) e horizontais (regras de projeto) da tecnologia em questão.

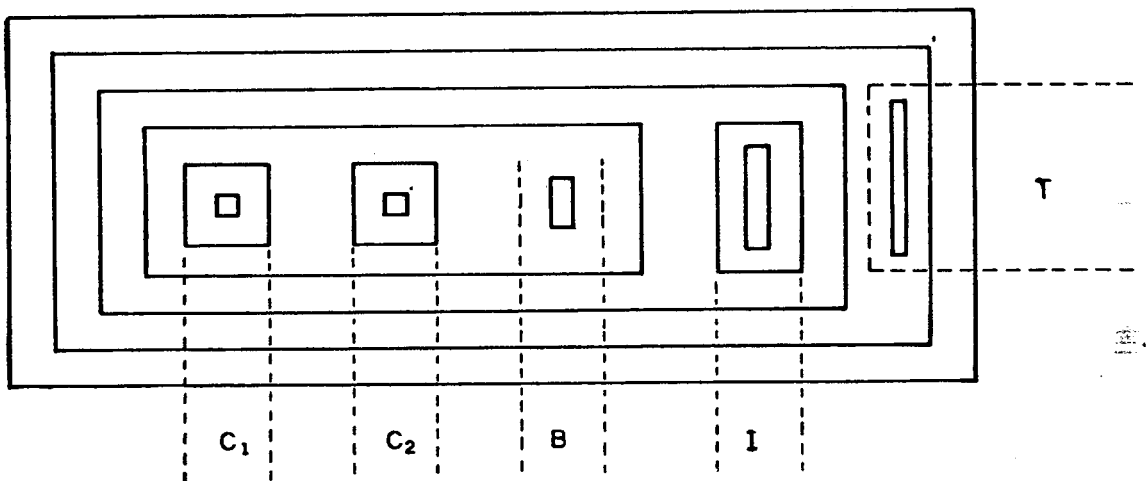
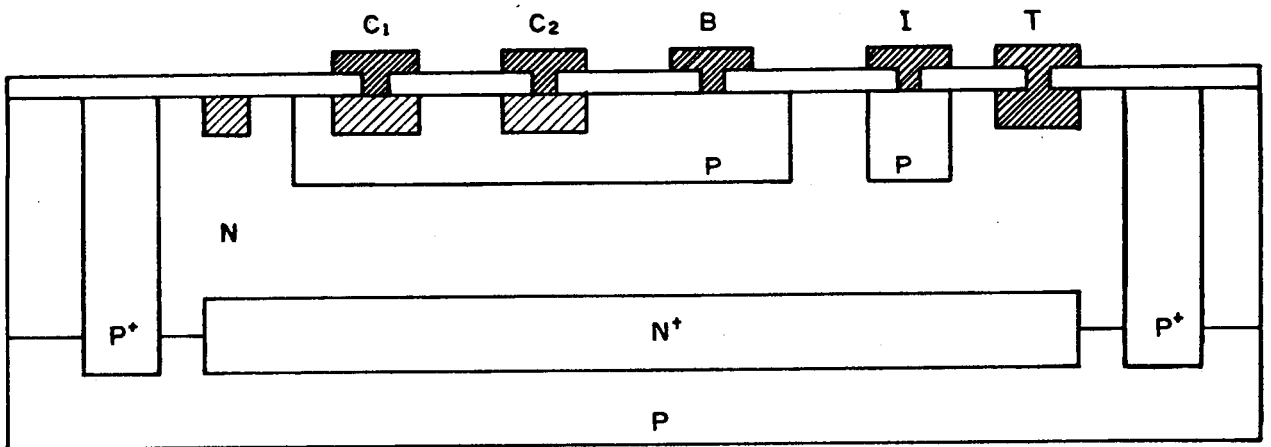


Fig.6.9: Estrutura I²L. a) Perfil de difusão. b) Regras de projeto.

6.5.1 Seqüência de fabricação

O conhecimento mais detalhado da seqüência de fabricação facilita o entendimento do grau de liberdade oferecido ao projetista de circuito usuário de uma configuração padrão. Com esta finalidade são incluídas neste capítulo algumas informações sobre o assunto.

O texto é acompanhado por uma representação es-

quemática evolutiva do processamento mostrado através do conjunto de ilustrações da figura 6.10.

A fabricação dos circuitos I²L é feita a partir de uma lâmina tipo P (figura 6.10a) de alta resistividade (10 a 15Ωcm), limpa e oxidada (figura 6.10b), a qual atuará como delimitadora para as áreas difundidas de camada enterrada (figura 6.10c). O próximo passo consiste em depositar uma camada de silicato de arsênico (figura 6.10d), que será usada como fonte de impurezas na fase de difusão de arsênico (figura 6.10e). Realizada a difusão, a lâmina é totalmente desoxidada (figura 6.10f) e faz-se o crescimento da camada epitaxial (figura 6.10g). Então novamente a lâmina é oxidada e fotogravada (figura 6.10h) para delimitação das áreas de isolamento. A etapa seguinte consiste na difusão de átomos de boro, chamada *isolação* (figura 6.10i), ao fim da qual a lâmina encontra-se oxidada outra vez e pode ser fotogravada (figura 6.10j) para remoção do óxido nas áreas de difusão P, geralmente chamada de base e realizada com átomos de boro (figura 6.10 l).

Esta figura, 6.10 l, corresponde a estrutura pré-difundida do circuito padrão. Deve-se observar a lâmina totalmente coberta por SiO₂. A fabricação não está concluída. Mas agora, a continuação do processo corresponde às atividades necessárias à fabricação de circuitos destinados a aplicações em particular, como o gerador de circunferência, por exemplo.

Em seguimento às etapas anteriores, após projetado o circuito, é executada a difusão de átomos de fósforo (figura 6.10m) seguida de nova fotogração para definir as áreas de contatos metal-silício.

Uma vez demarcados os contatos, é evaporada e fotogravada uma camada de alumínio para interligação interna dos dispositivos da pastilha. Após o recozimento dos contatos, é depositada e fotogravada a camada protetora constituída de SiO₂, dopada com fósforo.

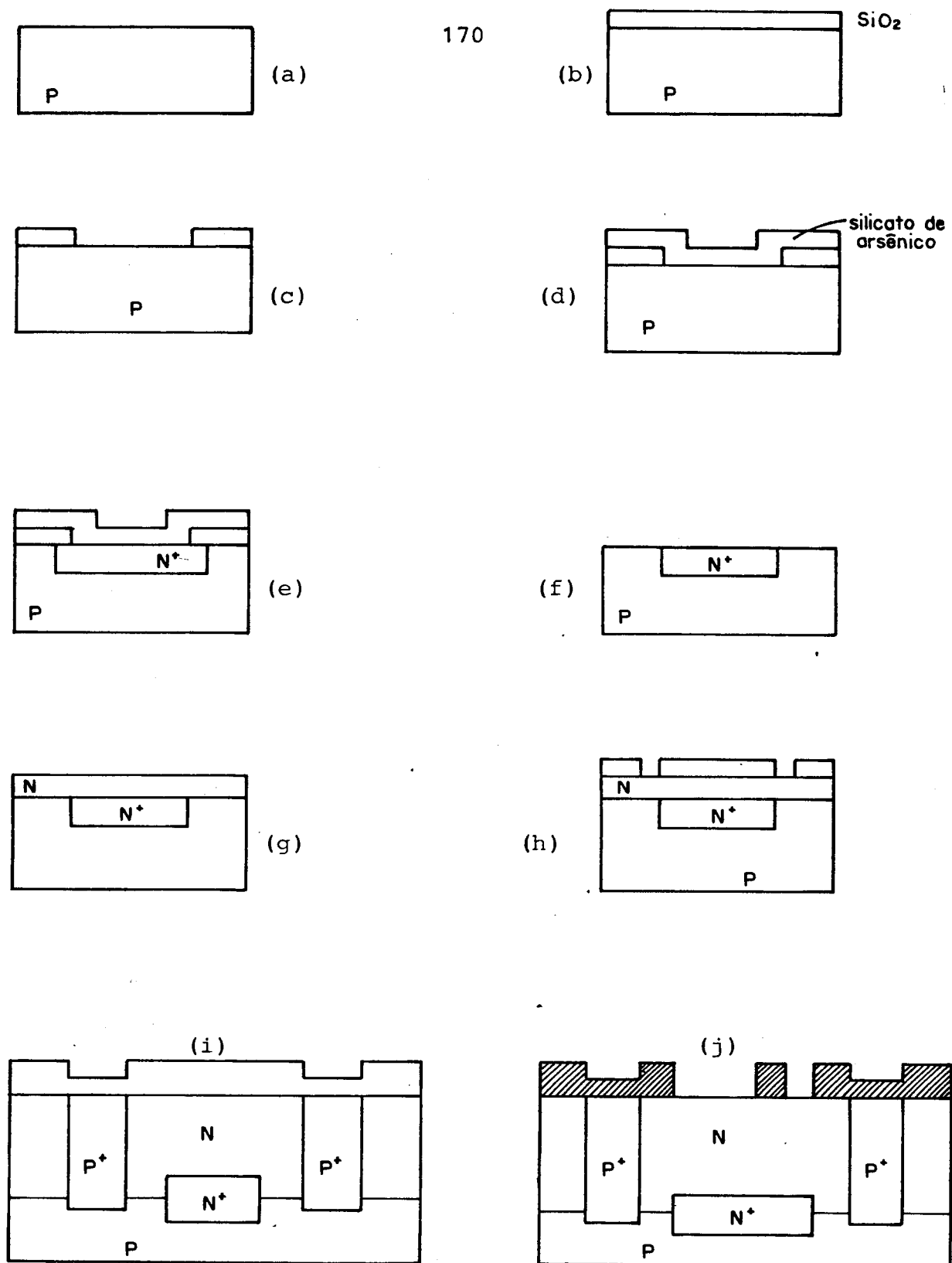
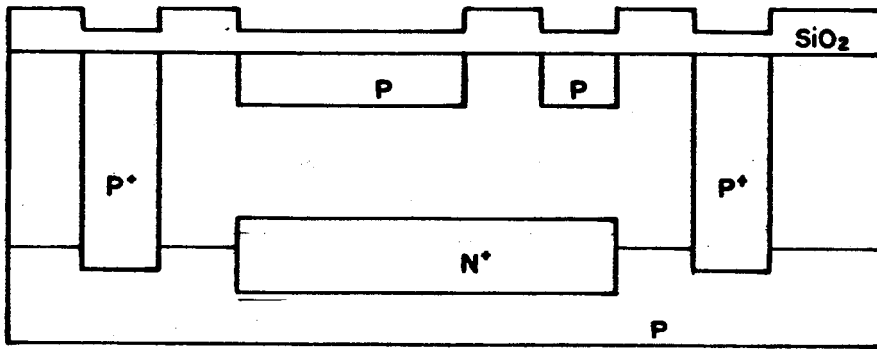
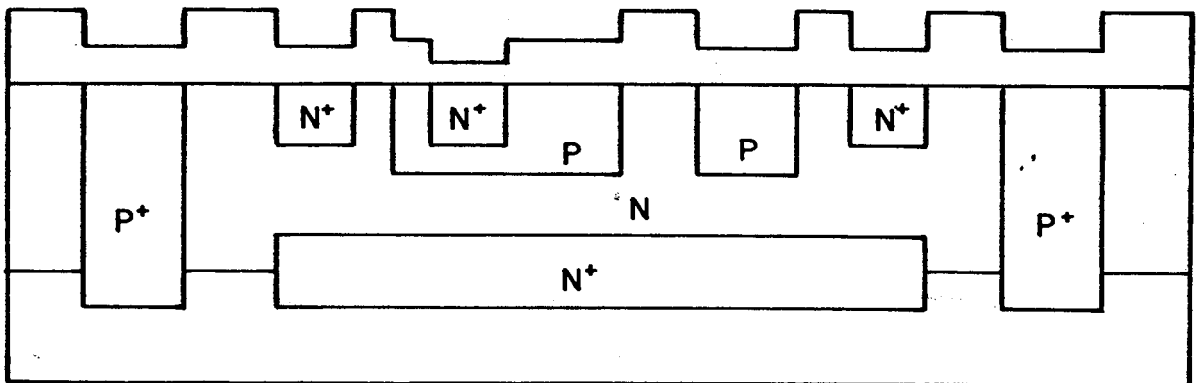


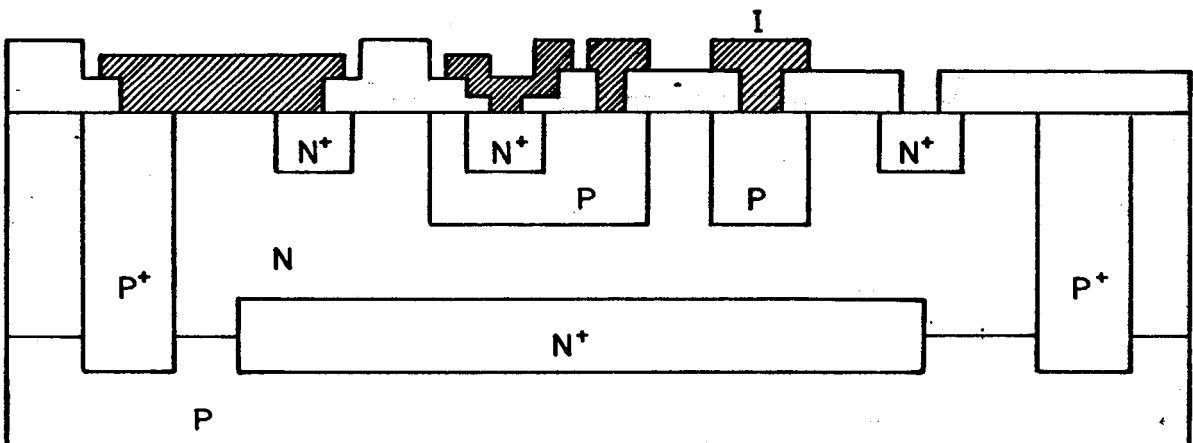
Fig.6.10: Etapas de fabricação de circuitos I²L. a) lâmina inicial; b) oxidação; c) delimitação da camada enterrada; d) deposição de Silicato de arsênico; e) difusão de arsênico; f) desoxidação; g) crescimento epitaxial; h) oxidação e fotogração; i) difusão de boro; j) oxidação; (continua)



(l)



(m)



(n)

Fig.6.10: (continuação): Etapas de fabricação de circuitos I²L. l) remoção de óxido nas áreas de difusão; m) difusão de fósforo; n) fotogração p/contatos.

6.5.2 Dispositivos realizáveis

A tecnologia descrita permite a realização simultânea de:

- a) transistores NPN
- b) transistores PNP laterais
- c) resistores difundidos
- d) pontes difundidas.

Além destes, outros dispositivos podem ser fabricados, mas não serão detalhados neste trabalho pois não foram utilizados no circuito. Entre eles, podem ser citados o transistor PNP substrato e o capacitor MOS.

Nas próximas subsecções serão apresentados apenas a estrutura vertical, ou perfil de difusão, de cada um dos dispositivos usados.

6.5.2.1 Transistor NPN

O transistor NPN é realizado com a seguinte sequência de processamento:

- a) difusão N^+ de arsênico
- b) camada epitaxial N
- c) difusão P de boro
- d) difusão N^+ de fósforo
- e) abertura de contato e metalização.

A estrutura vertical correspondente é ilustrada através da figura 6.11.

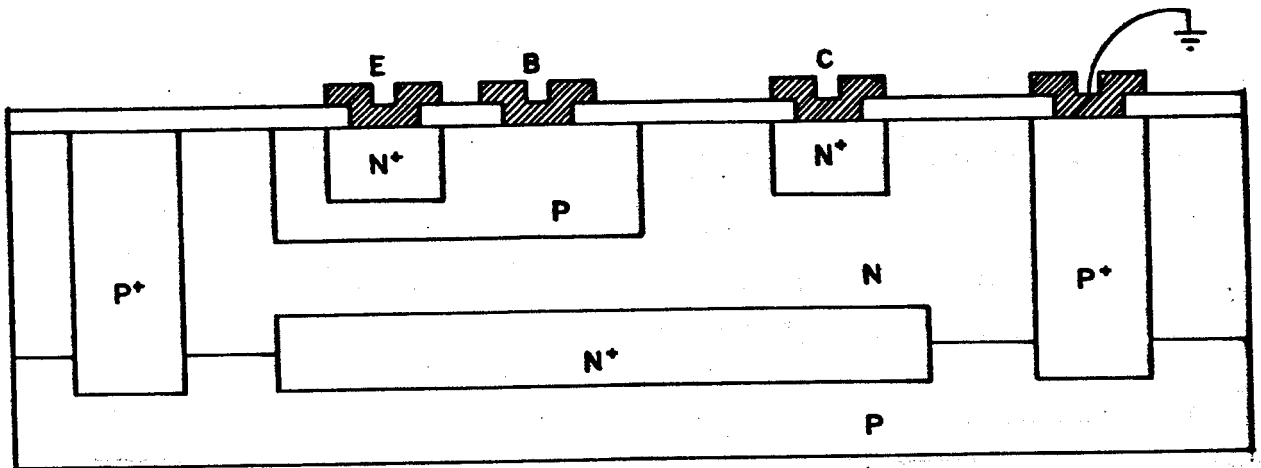


Fig.6.11: Perfil de um transistor NPN.

6.5.2.2 Transistor PNP lateral

O transistor PNP lateral é realizado com uma única difusão N^+ . As etapas compreendidas no processo são as seguintes:

- difusão N^+ de arsênio
- camada epitaxial
- difusão P de boro
- abertura de contato e metalização.

O perfil equivalente é mostrado na figura 6.12.

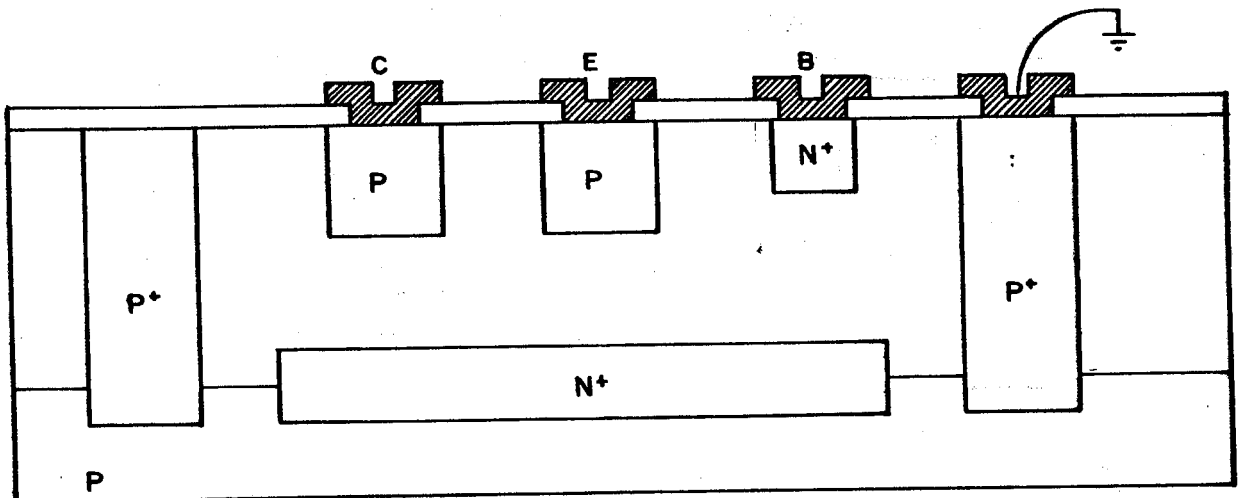


Fig.6.12: Perfil de um transistor PNP lateral.

6.5.2.3 Resistor difundido

O resistor difundido é efetuado com a mesma sequência tecnológica do transistor PNP, ou seja:

- a) difusão N^+ de arsênico
- b) camada epitaxial
- c) difusão P de boro
- d) abertura de contato e metalização.

A estrutura vertical é mostrada na figura 6.13.

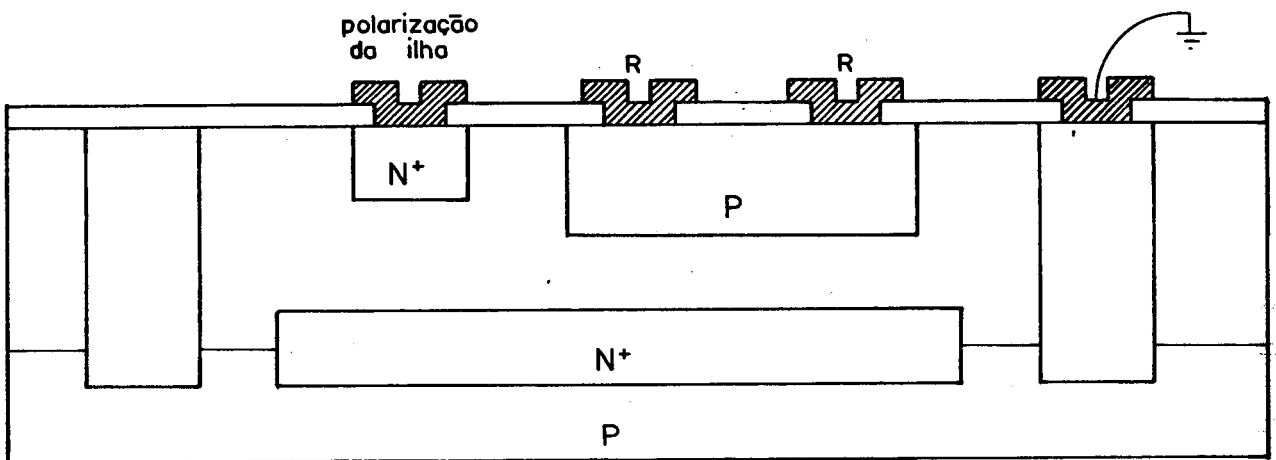


Fig.6.13: Estrutura vertical de um resistor difundido.

Este resistor também pode ser incluído em uma ilha N, desde que se tome o cuidado de polarizar sempre a junção PN reversamente.

6.5.2.4 Ponte difundida

As pontes podem ser classificadas como resistores de baixo valor pois são difundidas com fósforo. Esta difusão N^+ pode ser realizada sobre uma difusão P de base ou P^+ de isolamento.

A diferença fundamental entre os dois tipos de pontes está associada à tensão de ruptura da junção N^+P uti

lizada. Se uma difusão P de base é empregada, procura-se deixar esta difusão no mesmo potencial da ilha N que a contém.

O perfil característico de uma ponte difundida é mostrado na figura 6.14.

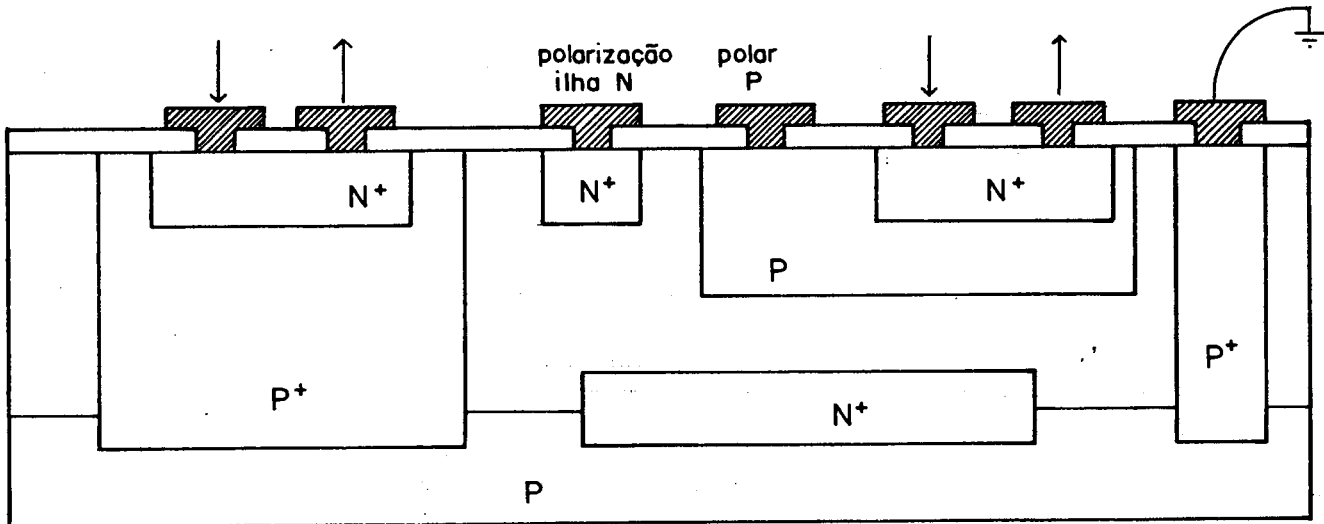


Fig.6.14: Perfil de uma ponte difundida.

6.6 Regras de projeto

As regras de projeto caracterizam a estrutura horizontal dos dispositivos, ou seja, as máscaras.

Há um conjunto de dimensões mínimas que devem ser observadas a fim de garantir o funcionamento dos dispositivos, e respeitar as condições de resolução e alinhamento obtidas nas várias etapas de processamento das pastilhas, até o momento.

A medida de resolução mínima possível será simbolizada pela letra grega λ e as dimensões das geometrias serão dadas por um conjunto composto por este valor e seus múltiplos.

6.6.1 Entradas e saídas da porta I²L

A interligação entre as diversas entradas e saídas das portas I²L é efetuada por metalizações ligadas às bases e coletores do I²L através de contatos, caracterizados a seguir.

A fim de colaborar para a obtenção de uma estrutura regular de interconexão e distribuição dos elementos componentes da porta I²L, pode-se imaginar a porta como decomposta em células regulares, de mesmo tamanho ($8\lambda \times 8\lambda$). Cada célula de $8 \times 8\lambda^2$ representa uma célula de entrada ou saída. Uma porta lógica decomposta em cinco células é mostrada na figura 6.15.

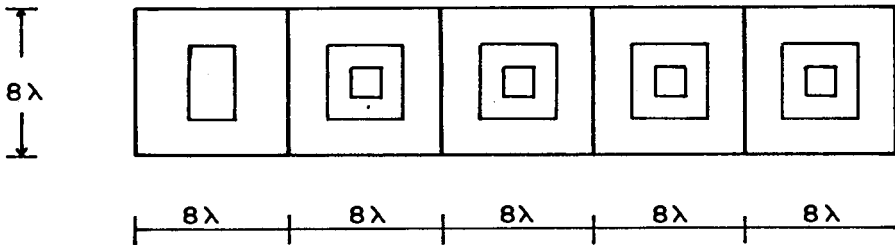


Fig.6.15: Inversor decomposto em células básicas de entrada ou saída.

a) Entrada: contato de base do NPN

O contato metalização-difusão tem dimensões mínimas de $5 \times 10 \mu\text{m}$, como pode ser visto na figura 6.16.

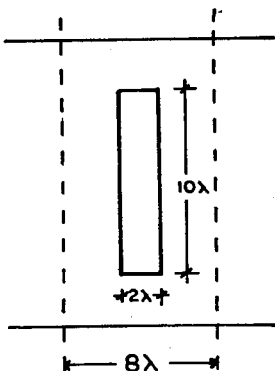


Fig.6.16: Dimensões do contato de entrada.

b) Saída: Coletor do NPN

O coletor do transistor NPN, de $4 \times 4\lambda^2$, está centrado na célula, permitindo uma separação mínima de 4λ entre dois coletores vizinhos. O contato de coletor é de $2 \times 2\lambda^2$, centrado na célula. Resulta na geometria desenhada na figura 6.17.

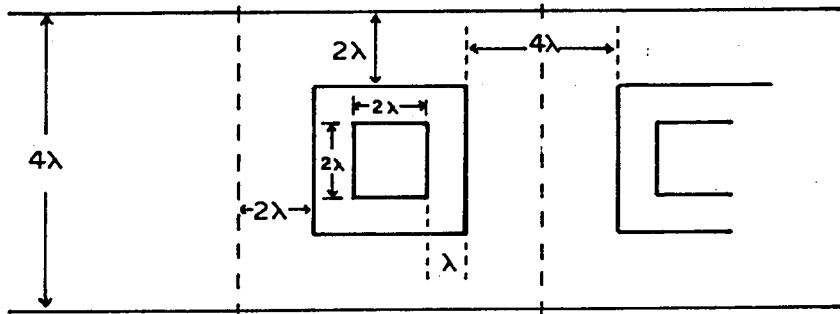


Fig.6.17: Dimensões de coletor e contato de coletor, para saída.

6.6.2 Transistor PNP - injetor de corrente

É recomendável a utilização de um injetor cujo comprimento corresponda à largura do NPN, a fim de evitar perdas de corrente. A estrutura aconselhada e um contra-exemplo são ilustrados através da figura 6.18.

Como o transistor PNP é lateral, a corrente injetada na base do NPN é a mesma nos dois casos ilustrados. A corrente injetada depende essencialmente da área da máscara.

A largura da tira de metal sobre o injetor é equivalente a 8λ . Para que se mantenha a separação mínima anteriormente definida, a célula do injetor contém a extremidade da base do NPN, de largura 2λ (figura 6.19).

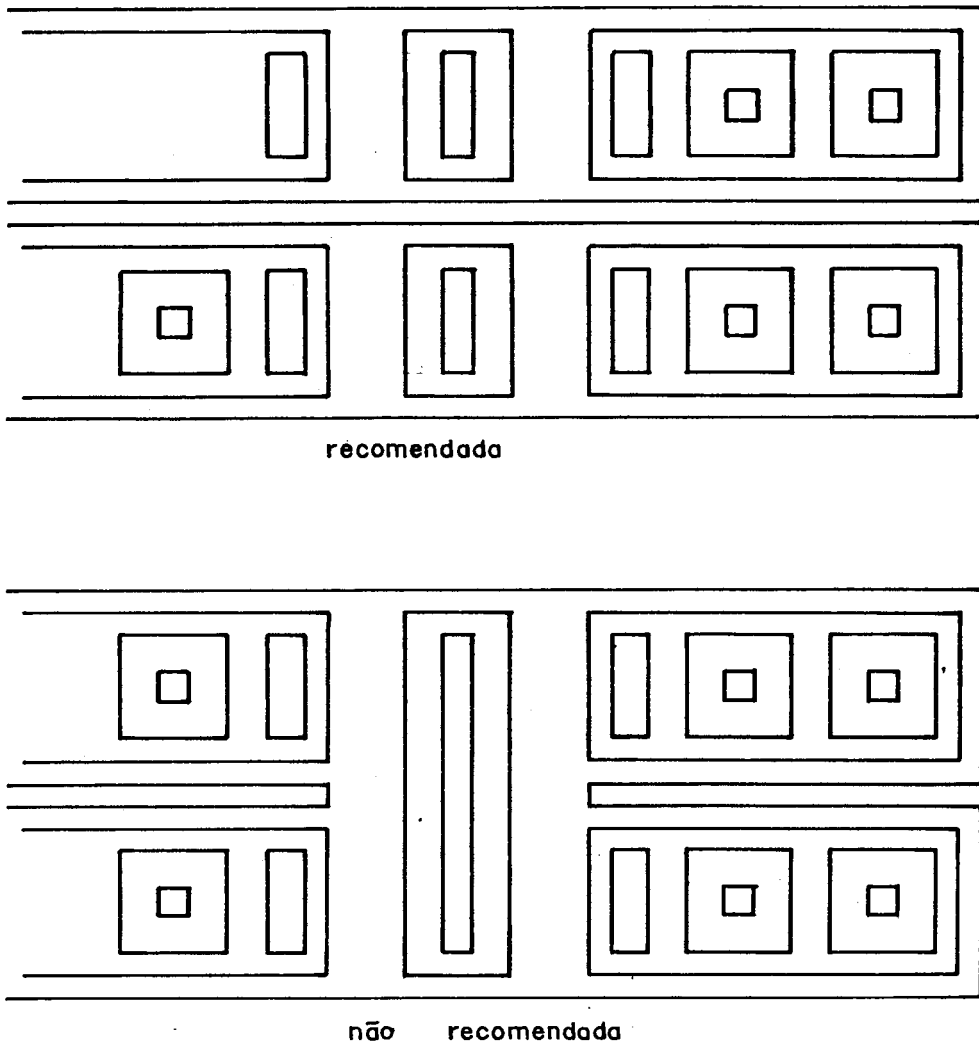


Fig.6.18: Dimensões do injetor. a) Configuração aconselhada; b) Configuração não aconselhada, pois introduz perdas de corrente.

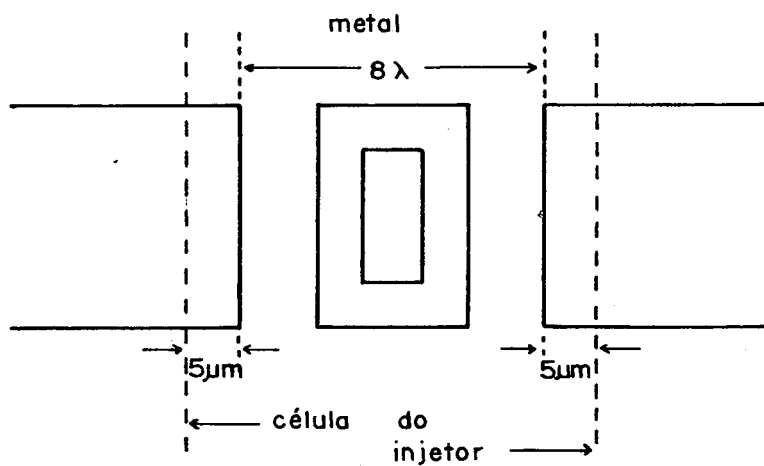


Fig.6.19: Dimensões mínimas para a tira de metal sobre o injetor.

6.6.3 Isolação das células I²L (N⁺)

A isolação das células I²L é feita por difusão de emissor ou coletor, com o emprego de um colar N⁺, de largura 4λ , separada da difusão de base (P) por λ . A localização da região e suas respectivas dimensões compõem a figura 6.20.

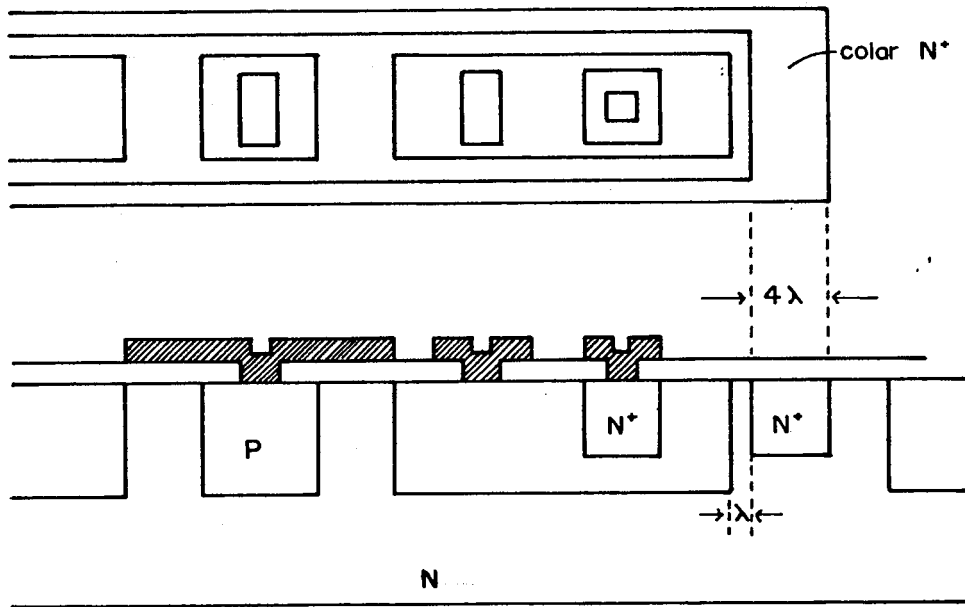


Fig.6.20: Dimensões do colar de isolação.

6.6.4 Difusões de passagem (N⁺)

As difusões de passagem (pontes) servem como um segundo nível de interconexão, pois são isoladas da metalização através de uma camada de óxido.

Devem ter largura mínima igual a 4λ , e estar separadas por distância mínima de igual valor, conforme vê-se na figura 6.21.

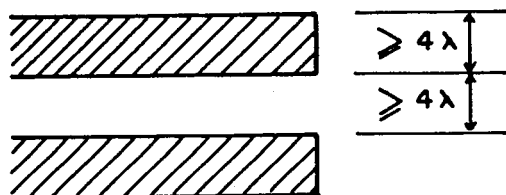


Fig.6.21: Largura e separação mínimas para linhas de metal.

A abertura de contatos estabelecendo ligações entre as difusões N^+ e as metalizações obedece as dimensões indicadas na figura 6.22.

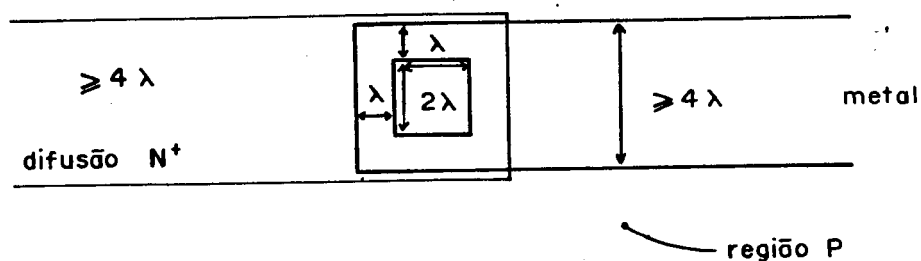


Fig.6.22: Dimensões das aberturas de contatos para ligações ponte-metalização.

A passagem de metalizações sobre as difusões de passagem ocorre respeitando-se as medidas anteriormente relacionadas, referentes a linhas do metal, conforme pode ser visto na figura 6.23, através de ilustração de caráter topológico e do perfil resultante.

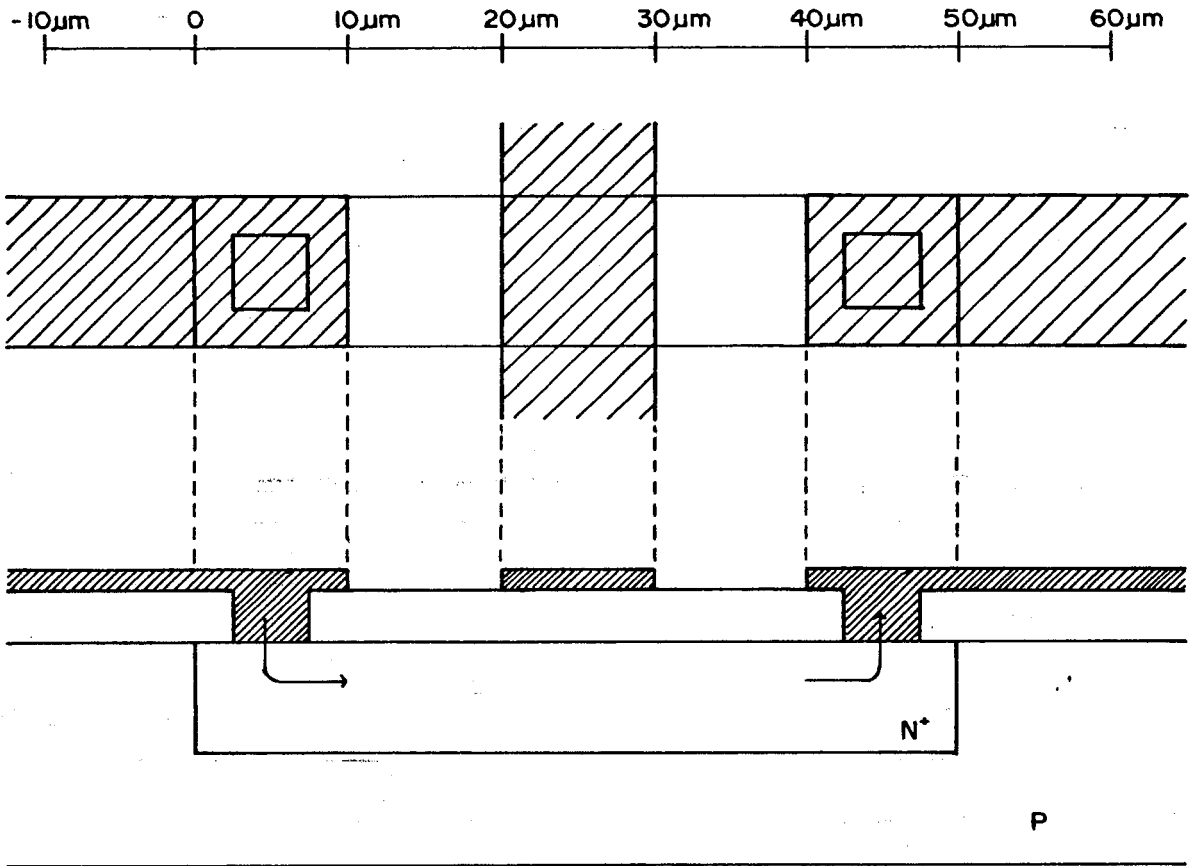


Fig.6.23: Passagem de metalizações sobre pontes.

6.6.5 Interconexões metálicas

As linhas de metal devem ter largura mínima igual a 4λ e separação entre si de igual ordem (figura 6.24).

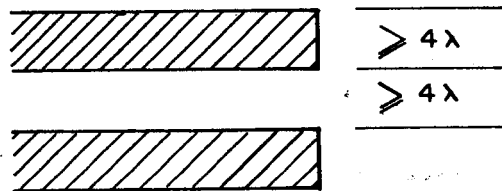


Fig.6.24: Largura e separação mínimas para linhas de alumínio.

Para $\lambda=2,5\mu\text{m}$, teremos largura e separação mínimas de $10\mu\text{m}$ durante o projeto das máscaras, o que ocasiona como resultado na pastilha, valores de

largura mínima = $8,5\mu\text{m}$

separação mínima = $11,5\mu\text{m}$

O valor típico de "overetch" é da ordem de $0,75\mu\text{m}$ neste caso (ver figura 6.25).

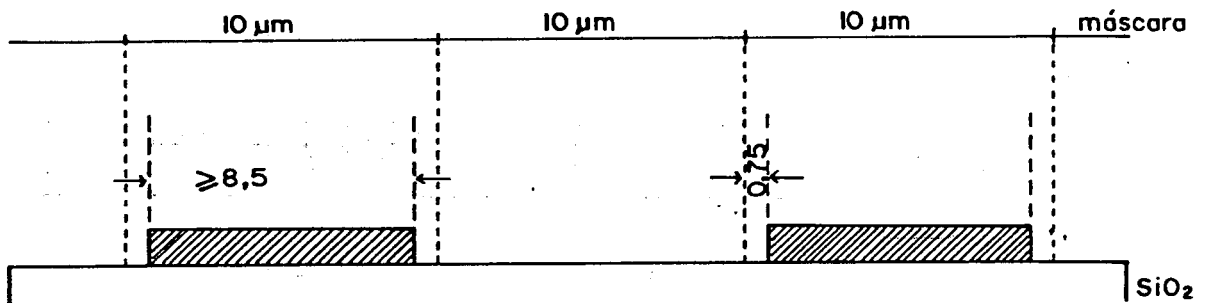


Fig.6.25: Exemplo das medidas práticas finais, para tecnologia de 10μ .

Este exemplo mostra as diferenças nas dimensões geométricas em fase de projeto das obtidas na fabricação. Por isto, no momento em que se opera no limite da tecnologia é preciso manipular dois tipos de dados geométricos:

- dimensões na máscara para a fabricação
- dimensões reais do dispositivo, para simulação elétrica durante a fase de projeto.

6.7 Avaliação do comportamento elétrico dos circuitos I^2L

Uma propriedade interessante e única em I^2L , é que dispositivos na mesma pastilha podem operar em velocidades diversas, se a disposição física dos inversores for variada. Quanto mais próximo está o coletor da base, menor é a resistência de base, e portanto maior é a densidade de corrente. A densidade de corrente está diretamente associada

a velocidade de chaveamento de cada coletor. Assim sendo, se a região de base localiza-se perpendicularmente ao injetor, os coletores operarão em velocidades diferentes (ver figura 6.26).

A fim de obter-se a mesma velocidade de chaveamento para todos os coletores, deve-se posicionar os coletores paralelamente ao injetor, pois deste modo receberão quantidades iguais de corrente. Esta organização, entretanto, provoca a diminuição da densidade de *empacotamento*. Deve-se estabelecer um compromisso entre a importância das duas condições.

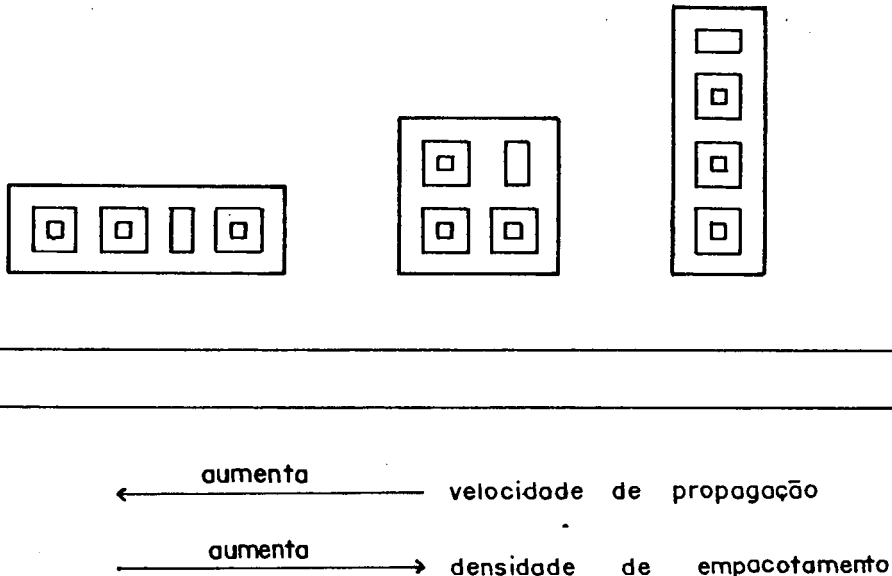


Fig.6.26: A diferença posicional dos coletores em relação ao injetor lhes confere velocidades diversas. Coletores próximos ao injetor chaveiam mais rapidamente do que os coletores afastados.

Como exemplo, no gráfico da figura 6.27, pode-se verificar os valores dos tempos de atraso em função da potência dissipada por porta, no caso de células com sete coletores em linha. Estas células são alimentadas através de sua extremidade, situação que corresponde à melhor densidade de integração.

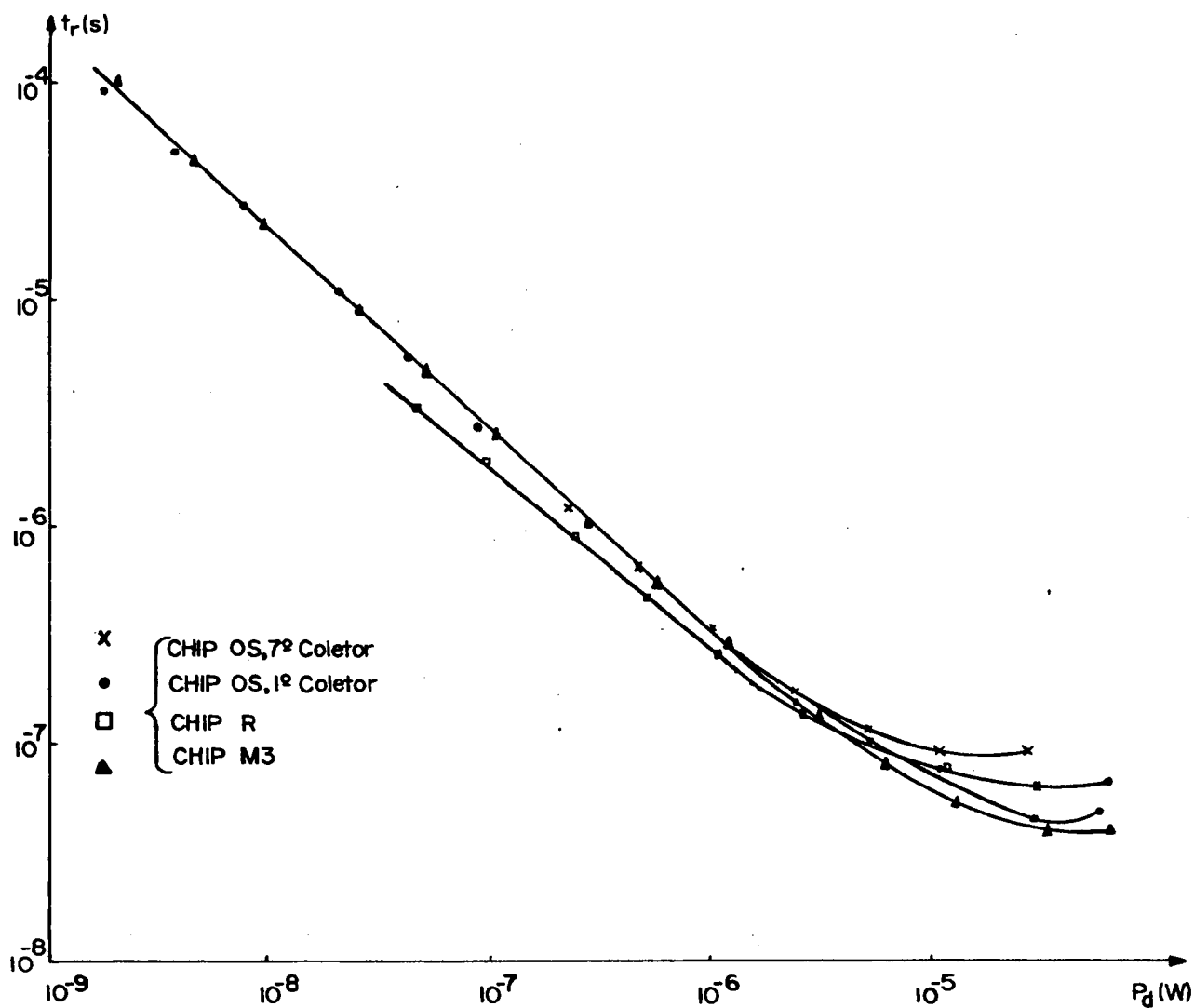


Fig.6.27: Tempo de retardo versus potência dissipada por inversor. Os circuitos utilizados para efetuar as medidas foram osciladores em anel com diferente número de estágios e pastilhas diversas /HEN sd/.

Este comportamento pode ser simulado com o programa SPICE II, implantado no computador B6700 da USP. Este programa é usado basicamente para simulação elétrica dos circuitos de aplicação geral, compostos por transistores, resistores, fontes de tensão e corrente, etc. O simulador dispõe de modelos internos para dispositivos semicondutores, e o usuário especifica apenas os valores dos parâmetros pertinentes ao modelo. Maiores detalhes sobre as faci-

lidades e utilização deste programa podem ser verificadas no próprio manual /NAG 72/.

Na figura 6.28, encontra-se o modelo completo do inversor I²L, usado para a simulação.

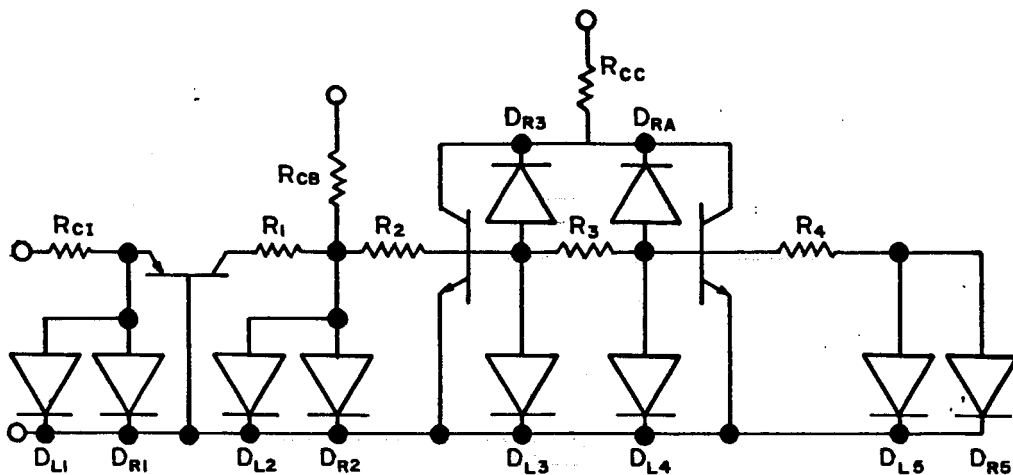


Fig.6.28: Modelo completo do inversor I²L.

Para a avaliação da parte capacitiva das interconexões deve ser estabelecido um modelo elétrico equivalente adicional.

Comumente utiliza-se o alumínio como material para execução da metalização. Suas características são:

- . resistividade $\rho = 2,7 \cdot 10^{-6} \text{ } \Omega\text{cm}$
- . espessura típica $\text{esp} = 1 \mu\text{m}$

A resistência de folha R_{\square} é dada por $R_{\square} = \rho/\text{esp}$; para os valores dados acima calcula-se $0,027 \Omega$.

O cálculo da capacitância das linhas de metal para a terra deve considerar duas situações diversas: a) passagem sobre uma difusão N⁺, coberta por um óxido de espessura vizinha $1750 \text{ } \text{Å}$; b) sobre a difusão P, nas regiões de interconexão, coberta por um óxido de $3000 \text{ } \text{Å}$, ambas ilustradas pela figura 6.29.

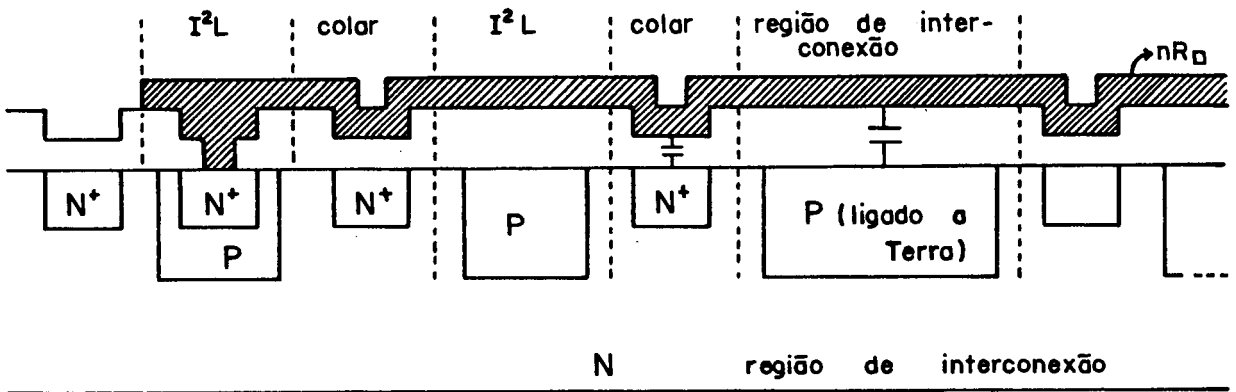


Fig.6.29: Perfil considerado para o cálculo de capacitâncias.

Para o cálculo das características da ponte N^+ de vem ser consideradas duas resistências de contato (R_C), uma capacitância de junção, n quadrados de difusão (nR), conforme mostrado na figura 6.30.

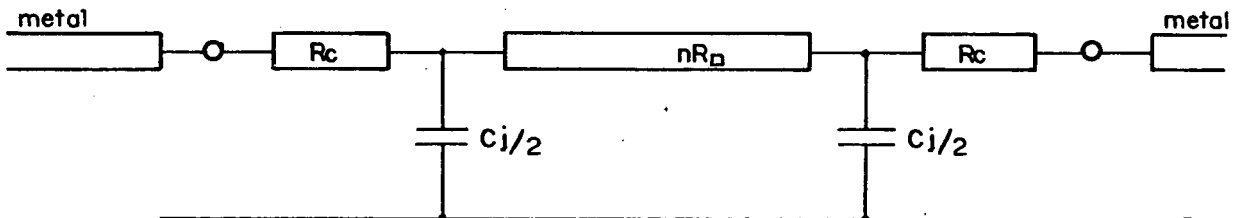


Fig.6.30: Parâmetros considerados no cálculo das características da parte N^+ .

O dopante utilizado na fabricação desta camada é o fósforo. Sua espessura é da ordem de $1\mu\text{m}$, e a resistência de folha (R_\square) tem valor de $7\Omega/\square$.

A capacitância da difusão por unidade de área é a mesma da junção coletor-base do NPN da célula I^2L , ou, no caso do transistor convencional, da junção emissor-base.

6.8 Circuito padrão

6.8.1 Estrutura do circuito padrão

O circuito padrão escolhido tem características definidas e projetadas de acordo com estudos efetuados no Laboratório de Microeletrônica - EPUSP, as quais passamos a descrever nesta secção.

6.8.1.1 Tecnologia

A tecnologia empregada na fabricação dos circuitos é I²L integrada, já descrita na secção 6.5.2. Algumas camadas são pré-fixadas e outras são disponíveis ao usuário para programação dependente da organização escolhida e de acordo com a seguinte relação:

Camada enterrada - pré-fixada
Isolação - pré-fixada
Base - pré-fixada
Difusão N⁺ - sob demanda
Contato - sob demanda
Metalização - sob demanda
Passivação - pré-fixada

6.8.1.2 Organização geral

Internamente o circuito padrão pode ser subdividido em duas partes:

- matriz de portas lógicas, na parte interna;
- interfaces de entrada e saída, na periferia.

A disposição física geral destas regiões pode ser vista na figura 6.31.

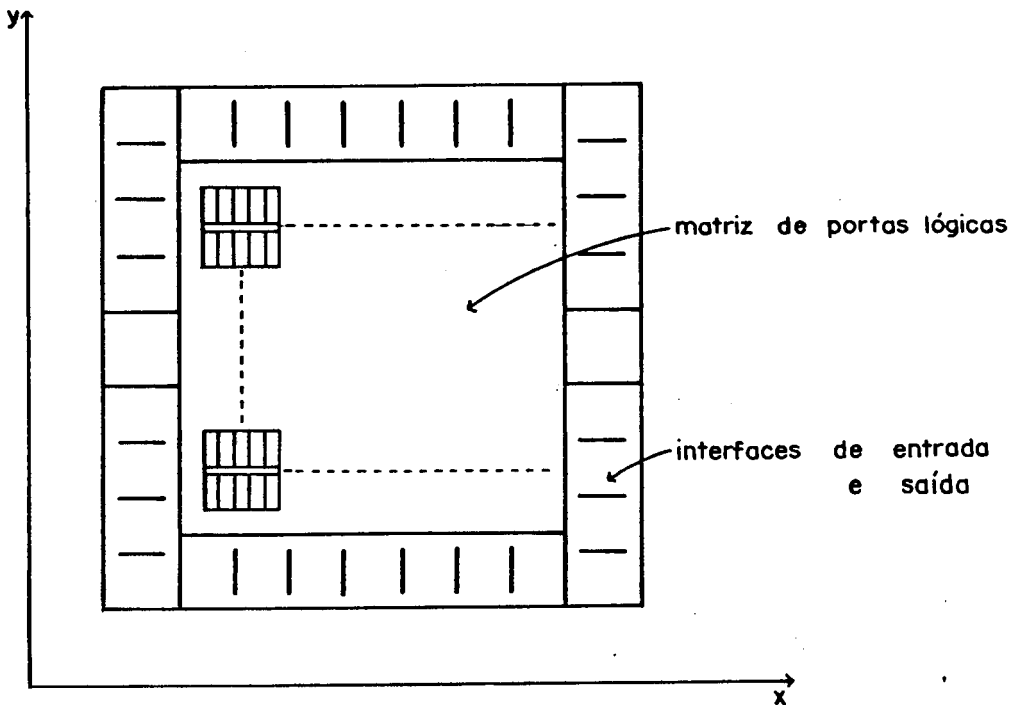


Fig.6.31: Organização estrutural básica do circuito padrão.

6.8.1.3 Matriz de portas lógicas

A matriz de portas lógicas pode ser dividida em 42 blocos distribuídos em sete linhas e seis colunas; cada bloco (figura 6.32) tem dois conjuntos de cinco portas ordenadas em coluna. Estes conjuntos compartilham o mesmo injetor. Ao todo, são 420 portas. Cada porta lógica tem espaço para abertura de uma entrada e até quatro saídas.

Dentro de cada conjunto, há espaço para uma linha de metal, entre duas células. Entre blocos há espaço para cinco linhas de metal, tanto entre as linhas como entre as colunas da matriz (figura 6.33).

As difusões N^+ podem ser efetuadas entre blocos, havendo espaço para três tiras de difusão, nas direções de linhas e colunas.

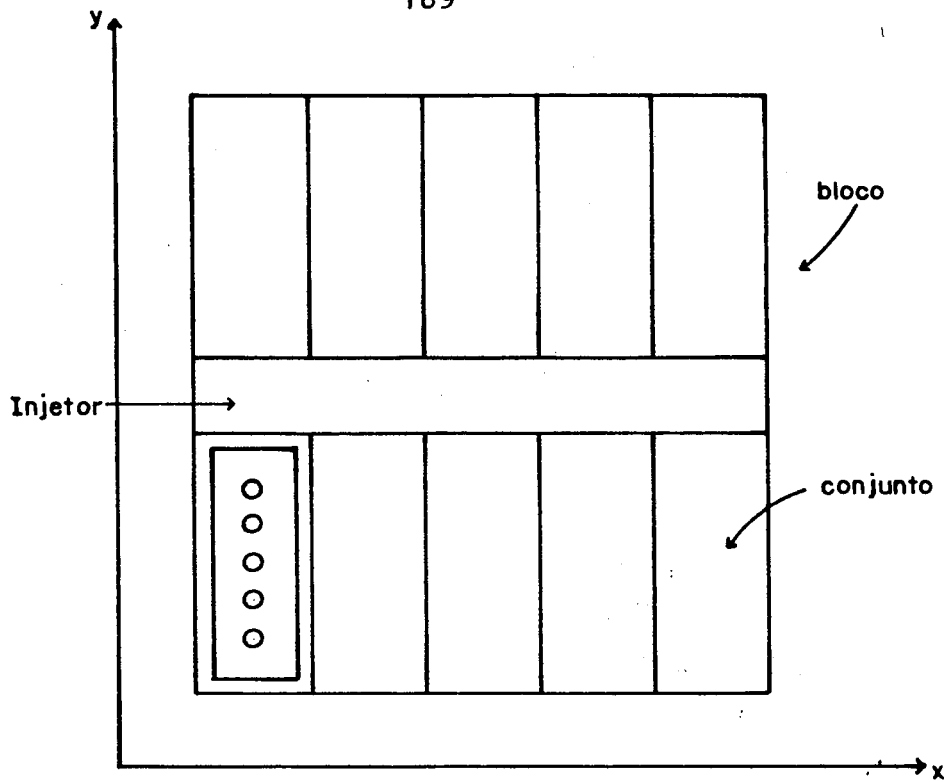


Fig.6.32: Bloco com dez portas I²L. Os pontos assinalam as possíveis posições de entradas e saídas.

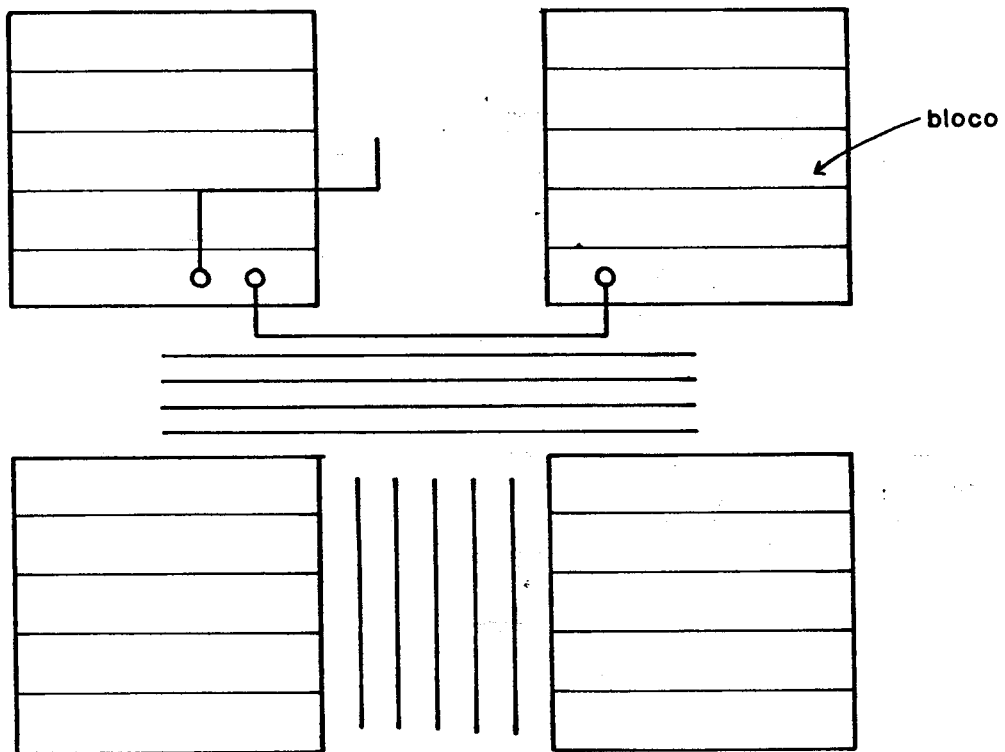


Fig.6.33: Linhas de metalização entre blocos.

6.8.1.4 Interfaces de entrada e saída

São ao todo 32 pontos de ligação com terminais de entrada ou saída. Dois destes são reservados para a alimentação: VCC e terra. Os outros trinta interfaces são programáveis através da metalização, podendo transformar níveis:

- a) TTL para I²L, para entrada de sinais;
- b) I²L para TTL, para saída de sinais.

Ainda pode-se dispor de saídas em três estados, empregando-se algumas portas para a parte lógica. Esta versão, entretanto, utiliza mais de um interface para sua implementação.

Na figura 6.34, é mostrada a estrutura pré-fixada para programação de interfaces.

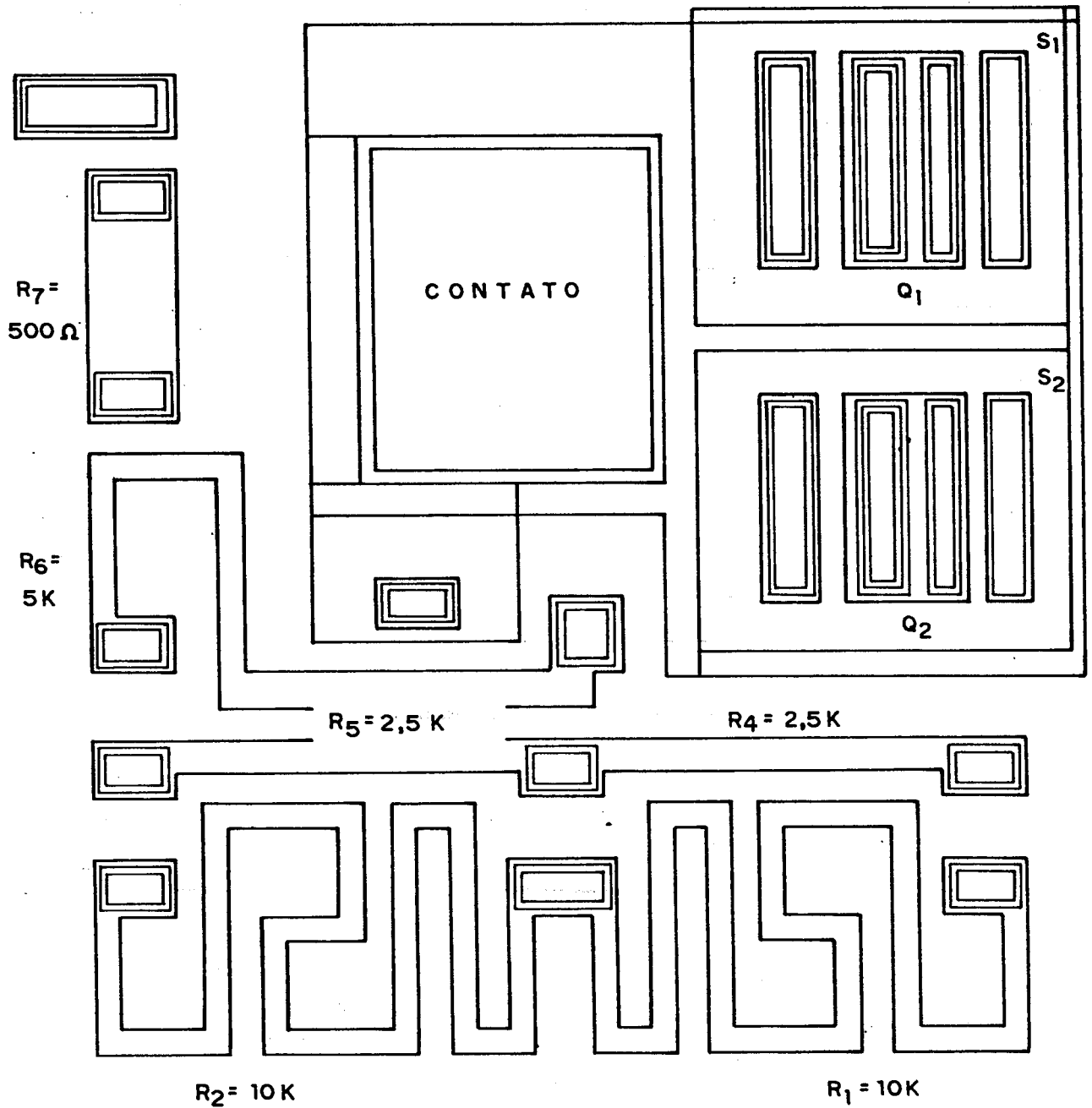


Fig.6.34: Estrutura pré-fixada para programação de interfaces I²L.

6.8.2 Projetando a partir do circuito padrão

Considerando-se inicialmente a parte interna da pastilha, ou seja as matrizes de portas lógicas, sabe-se que cada porta pode ter uma entrada e até quatro saídas. A posição destas, entrada e saídas, é programável: a máscara de difusão de coletor do tipo N define as posições de saída e as máscaras de contatos abrem os contatos de entrada e saída, onde se faz necessário. Da mesma forma, é possível controlar a abertura de contato apenas nos injetores correspondentes às células utilizadas.

Uma terceira máscara é aplicada para formar as interconexões metálicas entre as portas e condução de alimentação.

A difusão tipo N que determina as posições de saída das portas é usada também na composição de caminhos de baixa resistividade entre as células de portas. As áreas entre as células podem acomodar, cada uma, três caminhos paralelos nas direções horizontal ou vertical, conforme pode ser visto na figura 6.35.

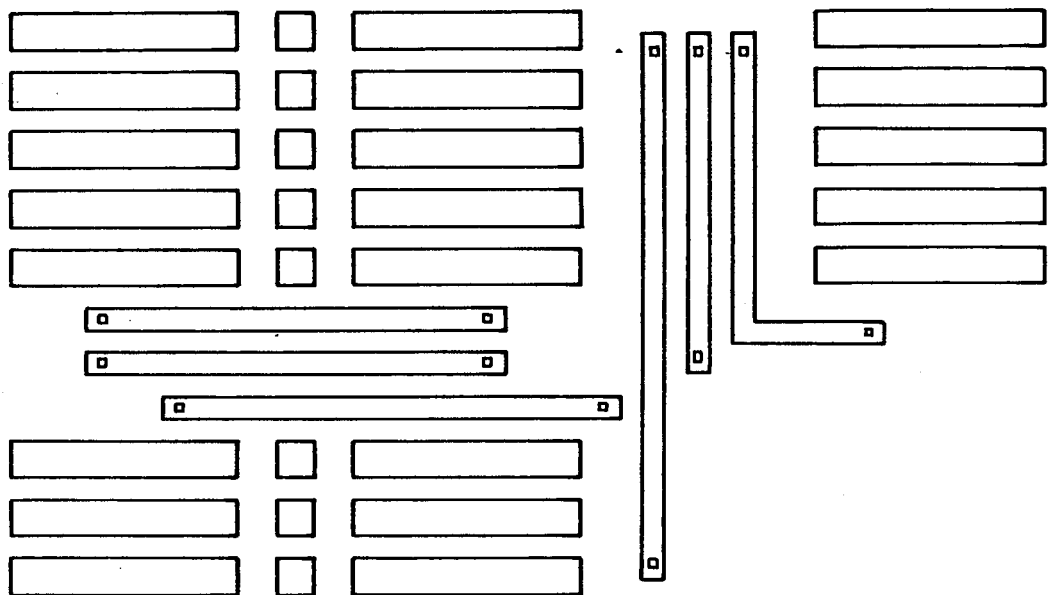


Fig.6.35: Localização das pontes no circuito padrão.

Uma vez que esta difusão do tipo N é programável, a posição e o comprimento de cada caminho podem ser projetados, a fim de atingir as exigências de interconexão. Este método fornece ao projetista condições e vantagens de caminhos de interconexão em níveis múltiplos, possibilitando a utilização de aproximadamente 80% das portas lógicas disponíveis em uma disposição típica de lógica randômica/EXA 79/.

A entrada e a saída de sinais na pastilha é realizada através dos interfaces existentes na periferia da mesma. A metalização adequada determina a função do interface: entrada ou saída (normal ou em três estados), os quais são ilustrados pela figura 6.36.

Para concluir as ligações com o meio externo basta programar as ligações dos interfaces de alimentação e ligar os contatos terra da periferia do circuito.

Além das regras anteriormente descritas, há algumas considerações de ordem prática a serem feitas, resultantes de experiência no projeto de circuitos-padrão, ou de experimentação em laboratório.

São elas:

a) A parte externa da matriz de portas I²L (margens) comporta até sete tiras de metalização e até seis tiras de difusão N⁺.

b) A abertura de contatos nos injetores pode ser feita sob demanda. Neste caso, somente deve-se realizar a abertura onde há portas sendo utilizadas. Sendo a abertura pré-definida, é conveniente que seja efetuado o desvio das tiras de metalização onde as portas não estão sendo usadas.

c) Um sinal originado em um coletor I²L pode alimentar até três bases. Havendo necessidade de ultrapassar este número convém utilizar um segundo coletor.

d) Um sinal proveniente de um dos pinos de entrada pode alimentar até seis bases, ou seja, seis entradas de portas I²L.

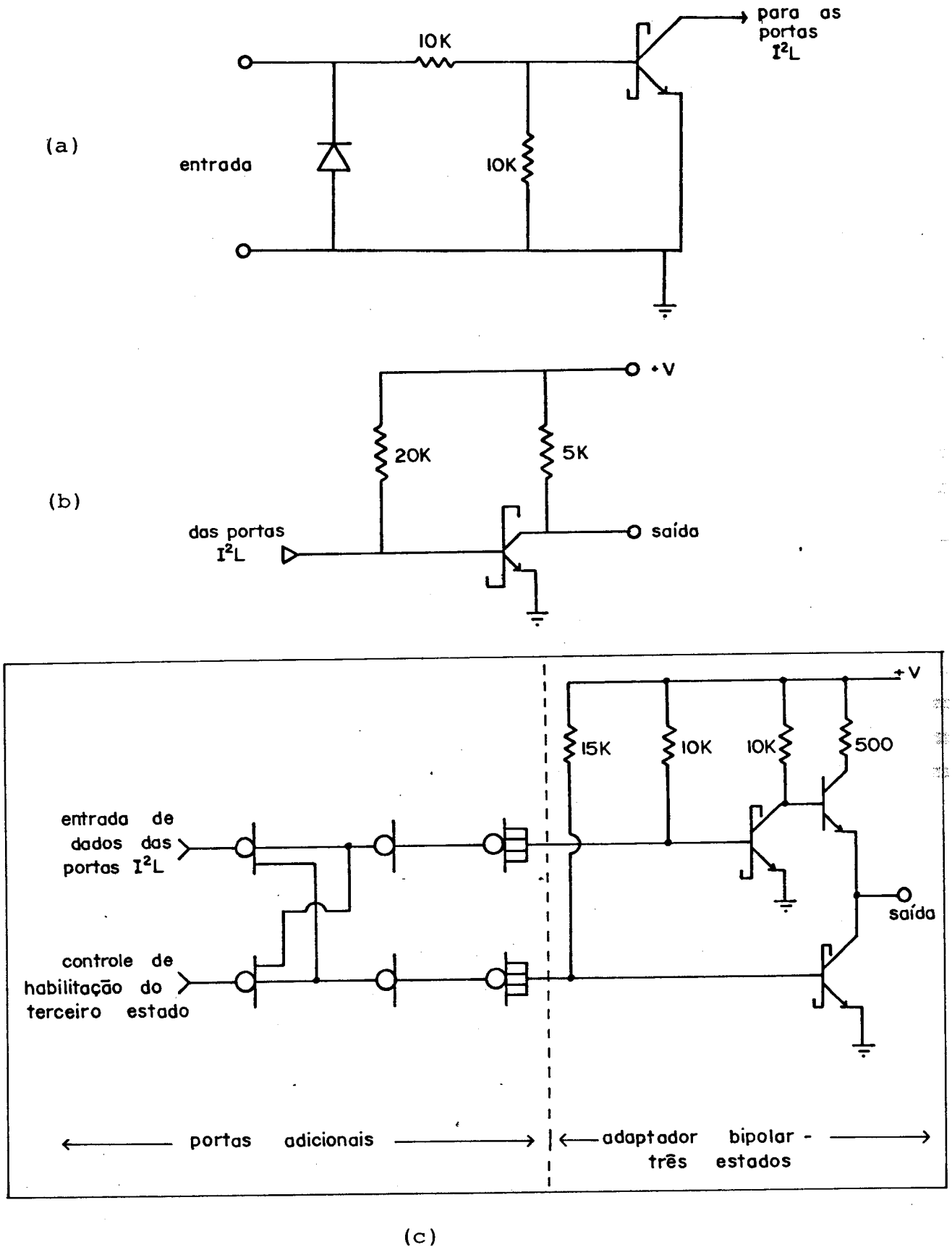


Fig.6.36: Circuitos de interfaceamento. a) entrada (TTL/I²L); b) saída comum (I²L/TTL); c) saída em três estados.

e) É interessante que todos (ou a maior parte dos) os contatos de terra periféricos à matriz de portas lógicas sejam ligados ao plano de terra.

f) Não há muitas limitações ao comprimento de pontes executadas com difusões N^+ , pois a perda é de aproximadamente 20Ω por cada $20\mu\text{m}$. Como a resistência máxima possível para não alterar significativamente o sinal é de aproximadamente $4K$, conclui-se que o comprimento da ponte pode ser da ordem de até 4 mm , medida que ultrapassa o comprimento interno da pastilha.

g) As perdas nos contatos são desprezíveis.

h) A largura das tiras de alimentação deve ser no mínimo de $20\mu\text{m}$.

i) As interfaces de entrada e saída são inversoras:

$$I^2L \rightarrow \overline{TTL}$$

$$TTL \rightarrow \overline{I^2L}$$

Em caso de se necessitar do sinal não negado, é preciso invertê-lo antes da saída, ou na entrada.

6.9 Projeto do gerador de circunferências

6.9.1 Especificações iniciais

Após definida a estrutura fracionária (ou em frações; em inglês "bit-slice") do circuito a ser projetado e a utilização do circuito padrão como base para o projeto, restou definir a que número de bits corresponderia cada módulo.

O limite superior está relacionado com a capacidade do circuito padrão (420 transistores) e o número de interfaces de entrada e saída do mesmo (32, considerando-se os disponíveis para a alimentação). Em função destas considerações e dos estudos relatados a seguir, definiu-se a estrutura em frações de 2 bits. Certamente com esta configura

ção reduzida perde-se bastante em velocidade. Entretanto, considerando-se o projeto do ponto de vista de protótipo, é perfeitamente válido pois:

a) pode ser facilmente ampliado para maior número de bits, assim que se dispuser de condições tecnológicas de processamento mais avançadas;

b) quanto ao desenvolvimento, exige a adoção dos mesmos procedimentos básicos de elaboração, análise e testes necessários à condução de um projeto análogo, de maior porte.

6.9.2 Arquitetura geral

A arquitetura geral do gerador de circunferência, em dois bits, a ser implementada pode ser vista na figura 6.37. É a mesma arquitetura básica do bloco operacional já apresentada, com pequenas diferenças resultantes da forma de agrupamento e do tipo de sinais que devem ser agora recebidos e fornecidos por este bloco. Deve-se ressaltar que, sendo esta uma estrutura em frações, além dos sinais trocados com a unidade controladora, devem estar disponíveis informações aos blocos vizinhos, a fim de ser efetuado o cascadeamento das unidades.

Devido a quantidade de sinais a serem enviados aos demais elementos cascadeados e a limitação quanto ao número de pinos disponíveis, foi necessário codificar alguns sinais, para entrada no CI. São sinais indicadores de carga e deslocamento dos registradores.

Os pinos disponíveis foram utilizados para os seguintes sinais:

$\overline{C0}, \overline{C1}$ e $\overline{C2}$ - controle de carga dos registradores e "flip-flops".

$\overline{S1}$ - controle de seleção das entradas do multiplexador MPX1 (seleciona entrada externa ou saída da ULA para carga nos registradores).

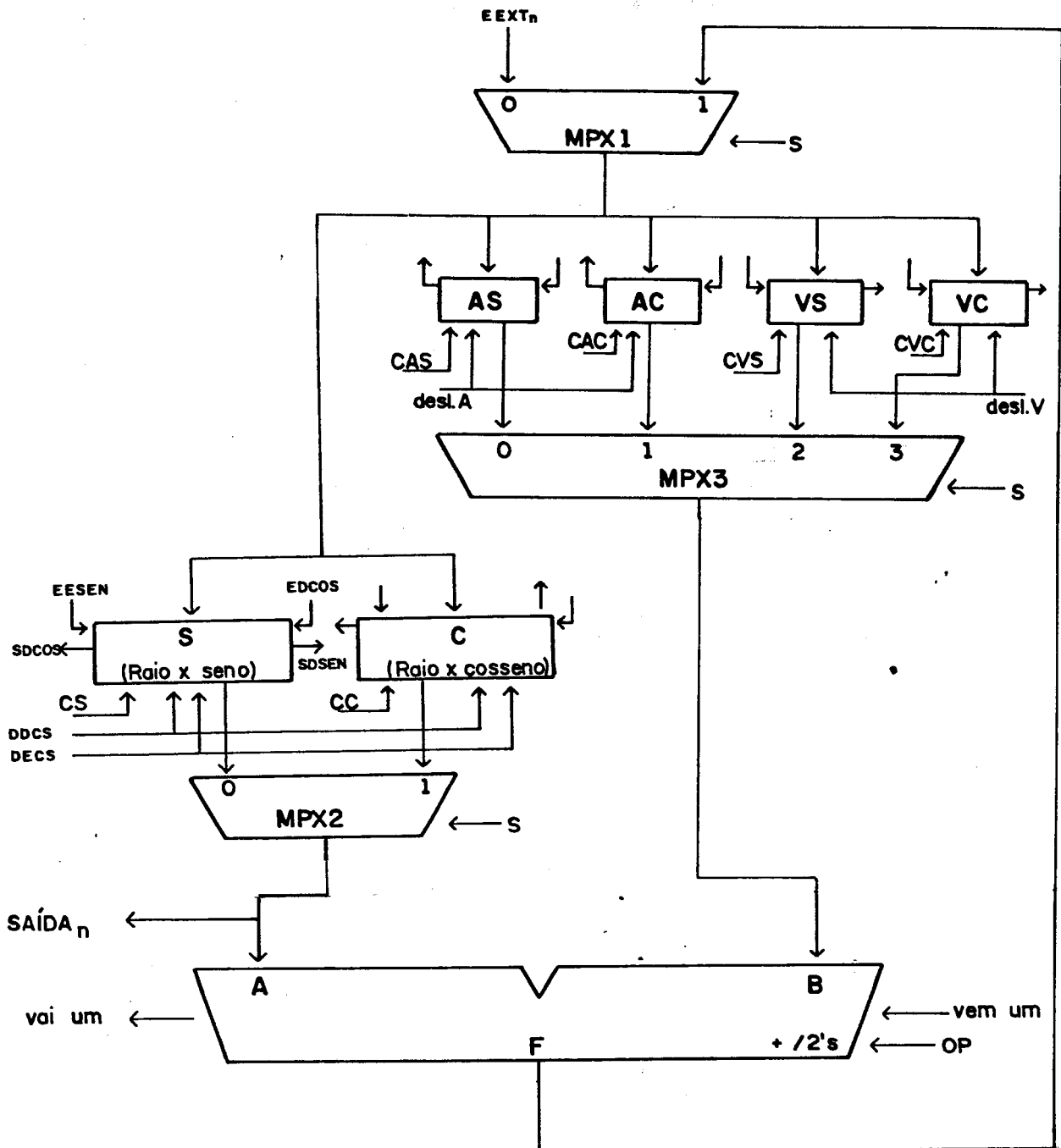


Fig.3.7: Arquitetura do gerador de circunferências em dois bits.

$\overline{S2}$ e $\overline{S3}$ - controle de seleção do multiplexador MPX3 (selecionam entre valores dos acumuladores ou registradores de variação para a entrada B da ULA). $\overline{S2}$ também atua na seleção das entradas do MPX2 (determinação da saída ou entrada A da ULA, entre SENO ou COSSENO).

- CKG - relógio geral da unidade.
- *EEXT₀ - bit de entrada externa, menos significativo.
- *EEXT₁ - bit de entrada externa, mais significativo.
- EDCOS - entrada serial para deslocamento à direita, no registrador COSSENO, (C).
- SDCOS - saída serial para deslocamento à direita, no registrador COSSENO.
- EECOS - entrada serial para deslocamento à esquerda, no registrador COSSENO.
- SECOS - entrada serial para deslocamento à esquerda, no registrador COSSENO.
- EDSEN - entrada serial para deslocamento à direita, no registrador SENOS, (S).
- SDSEN - saída serial para deslocamento à direita, no registrador SENOS.
- EESEN - entrada serial para deslocamento à esquerda, no registrador SENOS.
- SESEN - saída serial para deslocamento à esquerda, no registrador SENOS.
- OVC - indica a ocorrência de "overflow" no registrador acumulador de cossenos (AC).
- OVS - indica a ocorrência de "overflow" no registrador acumulador de senos (AS).
- EVCOS - entrada serial do registrador de variação de cossenos (VC).
- SVCOS - saída serial do registrador VC.
- EVSEN - entrada serial do registrador de variação de senos (VS).
- SVSEN - saída serial do registrador VS.
- $\overline{D0}, \overline{D1}$ - controle de deslocamento dos registradores S, C, VS e VC.
- *SAÍDA₀ - bit de saída menos significativo.
- *SAÍDA₁ - bit de saída mais significativo.
- OP - controle de operação da unidade lógica aritmética (seleciona entre operação de soma A+B, ou complemento de B).
- VEM UM - bit de *vem um* da ULA.
- VAI UM - bit de *vai um* da ULA.

Os dois pinos restantes são utilizados para alimentação, V_{CC} e massa.

Há algumas observações, com relação a lista de sinais apresentada:

a) os sinais podem ser classificados quanto ao seu número, em dois grupos: fixo ou variável. No grupo "fixo" incluem-se todos aqueles cuja quantidade independe do número de bits do módulo; no grupo variável estão os demais, ou seja, aqueles que variam com o número de bits do módulo. Na lista de sinais, foram assinalados com um asterisco (*) todos os componentes do grupo variável. Desta forma é possível estabelecer uma relação que fornece o número de pinos necessário, para a ampliação do número de bits do módulo:

$$NP = 28 + 2n,$$

onde NP = número de pinos

n = número de bits do módulo.

b) Os sinais de controle de carga, $\overline{C0}$, $\overline{C1}$ e $\overline{C2}$, correspondem a codificação da tabela 6.1.

Tabela 6.1: Codificação dos sinais de controle de carga

C2	C1	C0	
0	0	0	não efetua carga
0	0	1	carga de AS (CAS)
0	1	0	carga de AC (CAC)
0	1	1	carga de VS (CVS)
1	0	0	carga de VC (CVC)
1	0	1	carga de C (CC)
1	1	0	carga de S (CS)
1	1	1	(não utilizado)

c) Os sinais de controle de deslocamento, $\overline{D0}$ e $\overline{D1}$, correspondem a codificação expressa na tabela 6.2.

Tabela 6.2: Codificação dos sinais de deslocamento

D1	D0	
0	0	não desloca
0	1	desloca à esquerda C e S (DECS)
1	0	desloca à direita VS e VC (DDV)
1	1	desloca à direita C e S (DDCS)

d) O sinal de seleção $\overline{S2}$ foi utilizado para dois multiplexadores pois existe uma certa dependência entre suas atividades: selecionam simultaneamente sempre registradores dos grupos "SENO" (SENO, VS ou AS) ou "COSSENO" (COSSENO, VC ou AC).

e) Para o teste de *excesso* dos acumuladores, de seno e cosseno, são testados somente os sinais do módulo correspondente aos bits mais significativos.

f) O pino de *vem um* do módulo menos significativo deve receber o mesmo sinal de OP (OP=0 para soma e OP=1, para complemento de B). Os demais módulos recebem a saída *vai um* do módulo imediatamente inferior.

g) O valor do sinal $\overline{S1}$ corresponde a seguinte seleção:

- Se $\overline{S1} = 1$, a entrada externa é habilitada;
- Se $\overline{S1} = 0$, a saída da ULA é habilitada.

h) O valor do par de sinais $\overline{S2} \overline{S3}$ indica como entrada B para a unidade lógico-aritmética os seguintes registradores:

- Se $\overline{S2} \overline{S3}=00$, o valor de AS é transferido à ULA;
- Se $\overline{S2} \overline{S3}=01$, o valor de AC é transferido à ULA;
- Se $\overline{S2} \overline{S3}=10$, o valor de VS é transferido à ULA;
- Se $\overline{S2} \overline{S3}=11$, o valor de VC é transferido à ULA.

6.9.3 Organização interna do circuito integrado

A meta básica, durante o estudo da disposição dos diversos blocos componentes do circuito, é a redução da quantidade de interconexões e a minimização das distâncias entre blocos interligados. Devido a estrutura pré-definida do circuito padrão, há limitações quanto ao número máximo de metalizações e difusões possíveis, em ambas direções, horizontal e vertical. Convém salientar que este número não é muito grande.

A partir do conhecimento do número aproximado de transistores empregados em cada bloco e das entradas e saídas de cada um destes blocos é possível então verificar-se a viabilidade da organização interna em estudo.

Após a análise de algumas alternativas chegou-se a disposição básica ilustrada pela figura 6.38.

Os maiores fluxos de sinais (proporcionais ao número de bits) são representados por linhas largas hachuradas. Os demais, ainda significativos, estão representados por linhas simples. Além destas, há outras conexões entre blocos, em menor quantidade, que foram aqui desconsideradas.

Não devem ser esquecidas ainda as ligações aos pinos, que levam ao posicionamento periférico dos blocos que as possuem em maior número.

Uma vez que no esquema proposto não apresenta grandes densidades locais de interconexões e possui um número médio de linhas nos fluxos maiores, é possível considerá-lo como realizável.

Assim, é necessário estudar detalhadamente cada um dos blocos, para então, através de sua composição, obter o esquema.

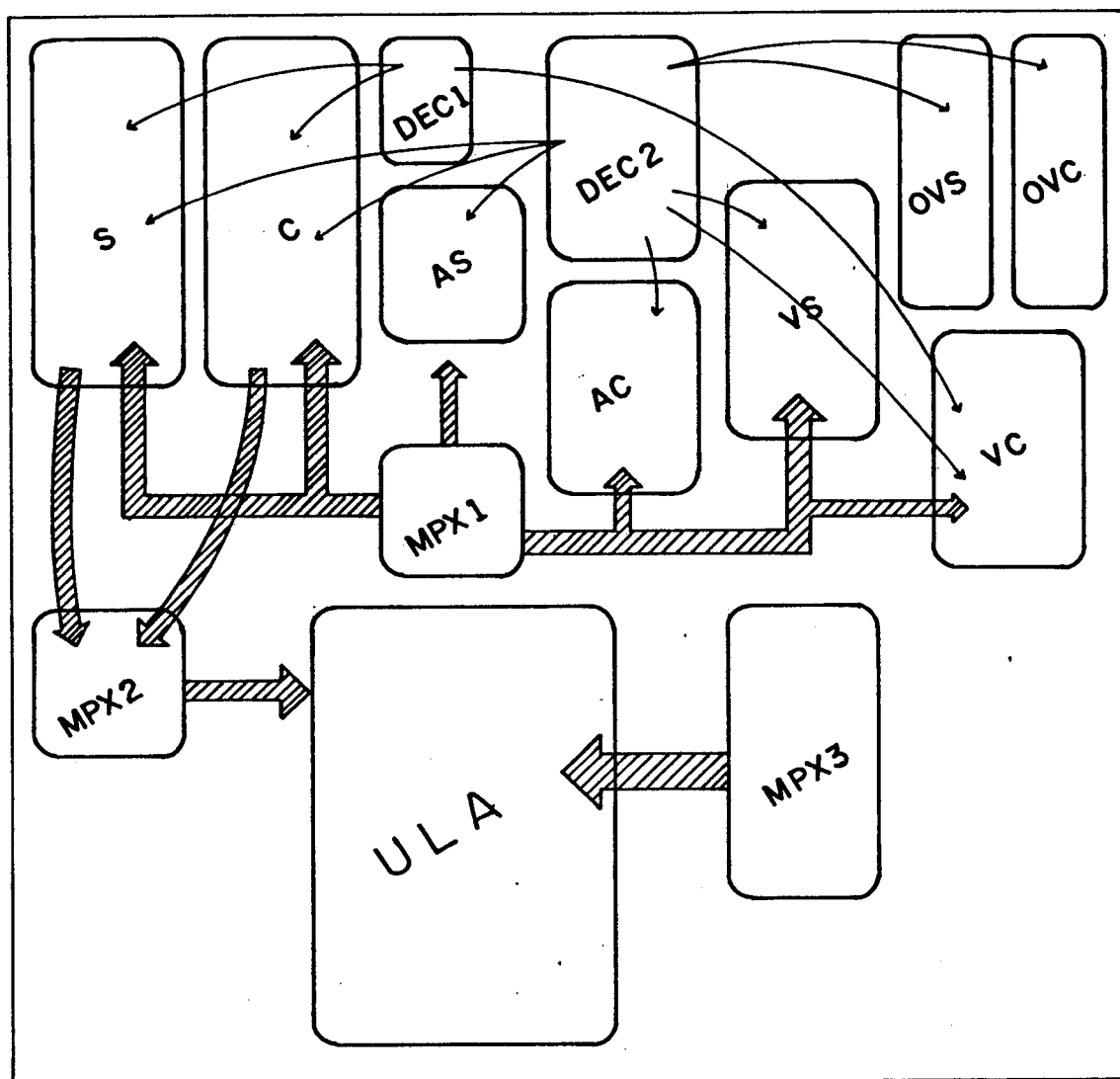


Fig.6.38: Disposição dos blocos componentes no inte_ grado.

6.9.4 Descrição dos blocos componentes

A seguir são descritos, em detalhe, os blocos componentes. Todos aqueles cujos princípios de funcionamento e construtivo são análogos foram reunidos. São eles:

- registradores de seno e cosseno (S e C)
- registradores acumuladores de senos e cossenos (AS, AC)

- registradores de variação de seno e de cosseno (VS e VC)
- unidade lógica e aritmética (ULA)
- decodificador de sinais de carga
- decodificador de deslocamento
- multiplexador 2x1 (MPX1, MPX2)
- multiplexador 4x1 (MPX3)
- indicadores de ocorrência de *excesso*.

6.9.4.1 Registradores de seno e cosseno

São registradores deslocadores bidirecionais. Cada um destes compõe-se basicamente de dois "flip-flops" do tipo D aos quais está associada lógica de controle das entradas e do relógio. O pulso de relógio só é recebido quando há atividade de carga ou deslocamento. O controle de entradas seleciona entre entrada paralela, serial para deslocamento à esquerda ou serial para deslocamento à direita. O circuito lógico correspondente é mostrado na figura 6.39 e a denominação dos sinais em cada registrador é indicada na tabela 6.3.

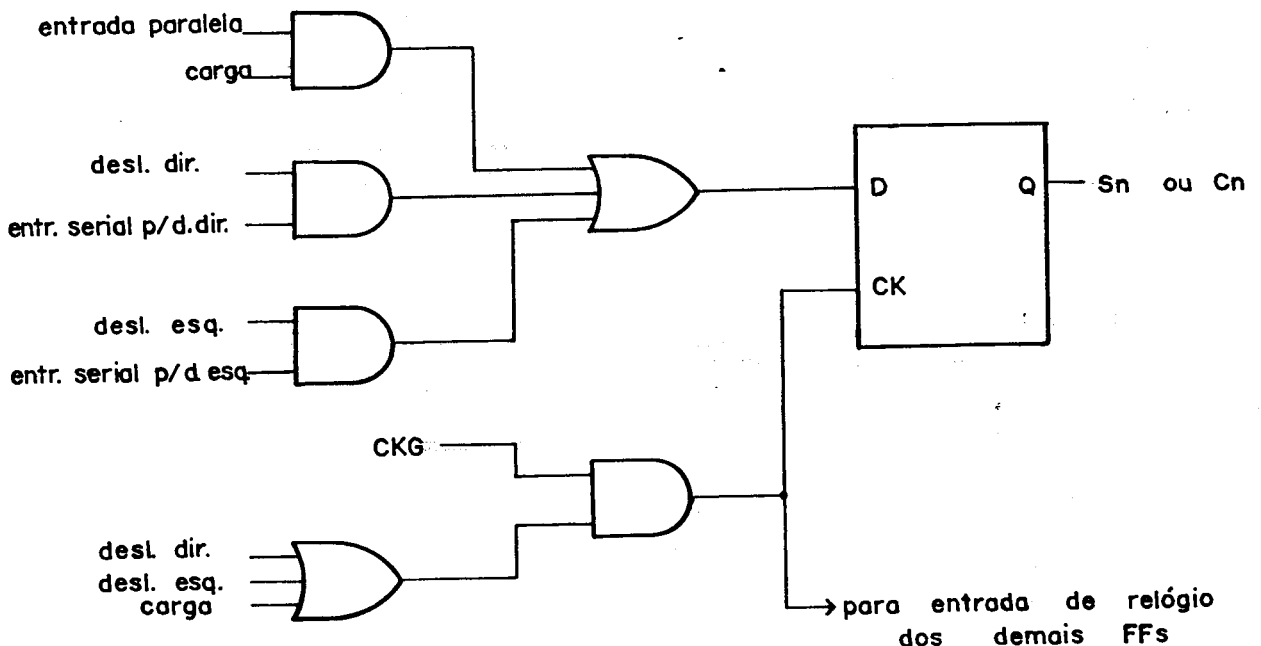


Fig.6.39: Circuito lógico para os registradores S ou C (1 bit).

Tabela 6.3: Nomes dos sinais em cada um dos registradores S ou C

SINAIS	SENO	COSSENO
carga	CS	CC
desl.à direita	DDCS	DDCS
desl.à esquerda	DECS	DECS
entr.serial p/d.direita	EDSEN ou S_{n+1}	EDCOS ou C_{n+1}
entr.serial p/d.esq.	EESEN ou S_{n-1}	EECOS ou C_{n-1}

6.9.4.2 Registradores acumuladores de seno e cosseno

São empregados unicamente para o armazenamento da soma da série de SENOS ou COSSENOS. Compostos de "flip-flops" tipo D, sem controle específico de entrada (possuem só entrada paralela) e recebem o pulso de relógio apenas quando ocorre carga. O circuito lógico correspondente é mostrado na figura 6.40.

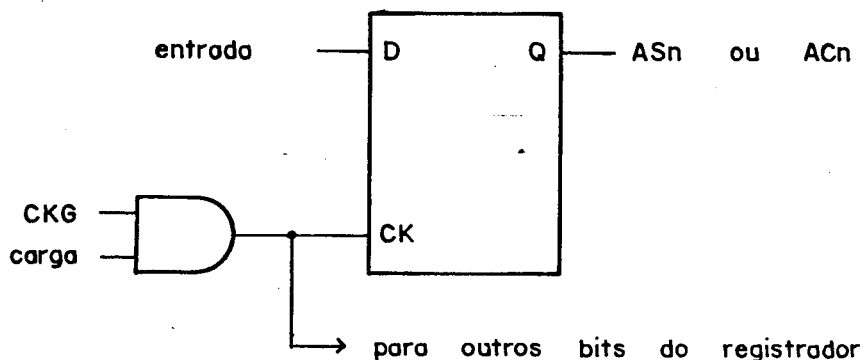


Fig.6.40: Circuito lógico para acumuladores. O sinal de carga é CAS para AS e CAC para AC,

6.9.4.3 Registradores de variação de seno e cosseno

São registradores deslocadores, providos de controle de entrada e de habilitação dos pulsos de relógio. O controle de entradas seleciona entre entrada paralela ou

entrada serial, quando é executado deslocamento. A entrada de relógio é habilitada sempre que ocorre carga ou deslocamento. O circuito lógico equivalente é mostrado na figura 6.41, e os sinais estão indicados na tabela 6.4.

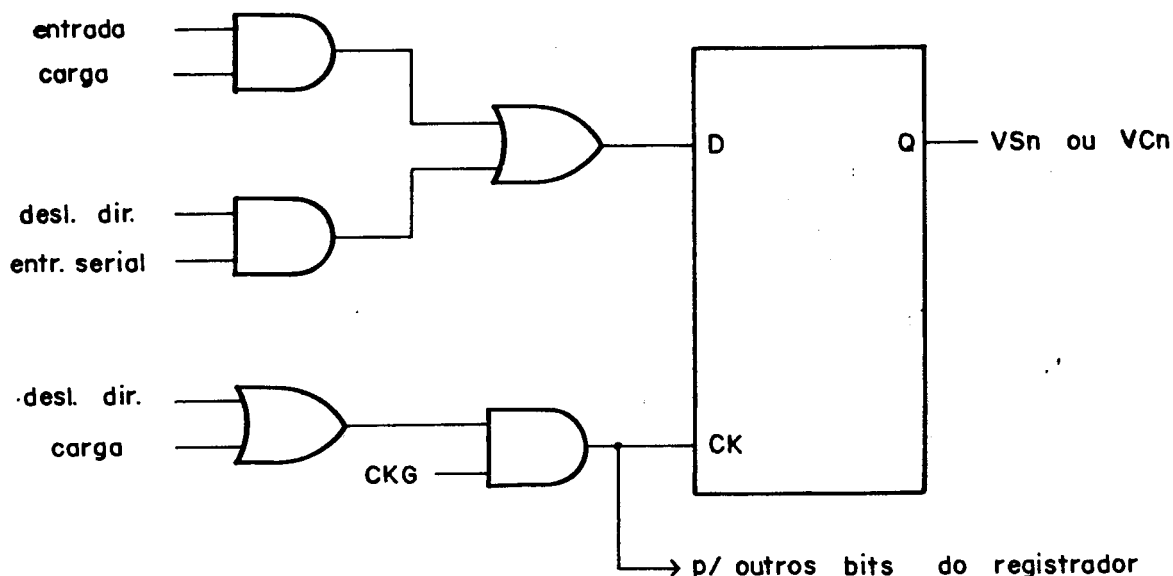


Fig.6.41: Circuito lógico para registrador de variação

Tabela 6.4: Especificação dos sinais usados nos registradores de variação

SINAL	VS	VC
carga	CVS	CVC
desl. dir.	DDV	DDV
entr. serial	EVSEN ou VS_{n+1}	EVCOS ou VC_{n+1}

6.9.4.4 Unidade lógica e aritmética

Esta unidade tem apenas uma operação lógica e uma operação aritmética. São elas: complemento de 2 de B e soma

A+B. Recebe como entradas o sinal OP, que efetua o controle do tipo de operação a ser realizada, e o sinal *vem um* corresponde a um excesso ocorrido no módulo anterior ou a soma +1 para o cumprimento da complementação. Apresenta como saídas, o resultado da operação e a indicação de ocorrência de *vai um*, para o módulo seguinte.

Para cada bit é composta dos circuitos mostrados na figura 6.42.

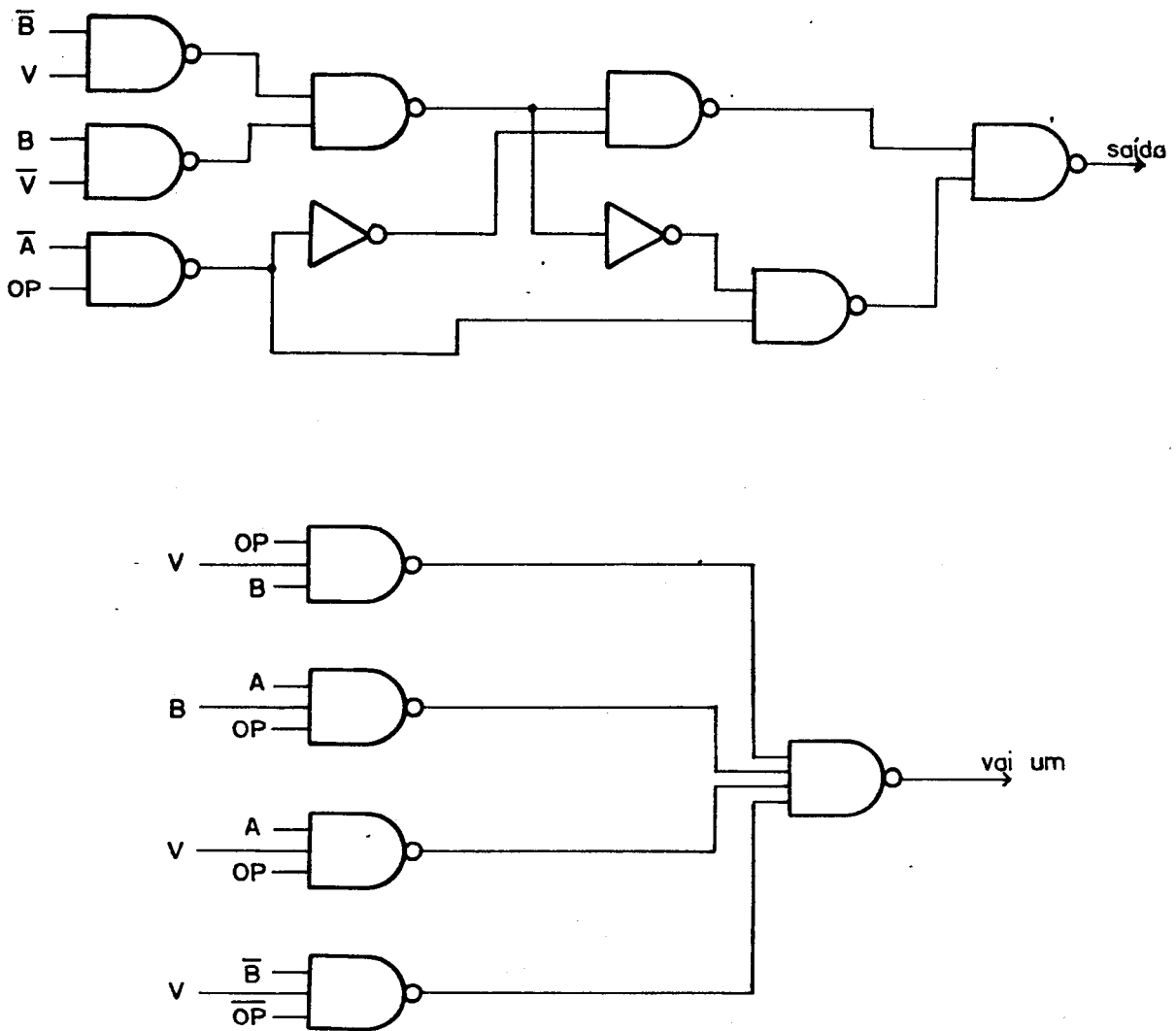


Fig.6.42: Circuito lógico da ULA para 1 bit.

6.9.4.5 Decodificador de sinais de carga

Recebe os sinais $\overline{C2}$, $\overline{C1}$ e $\overline{C0}$ e fornece os sinais de carga a todos os registradores e "flip-flops". É um decodificador de 3 para 8. Das 8 saídas, 6 são sinais de carga propriamente ditos, CS, CC, CVS, CVC, CAS e CAC, uma é empregada para indicação de que não há sinal de carga e a outra não é utilizada. Não possui controle de inibição: está sempre habilitado.

O diagrama lógico é ilustrado pela figura 6.43.

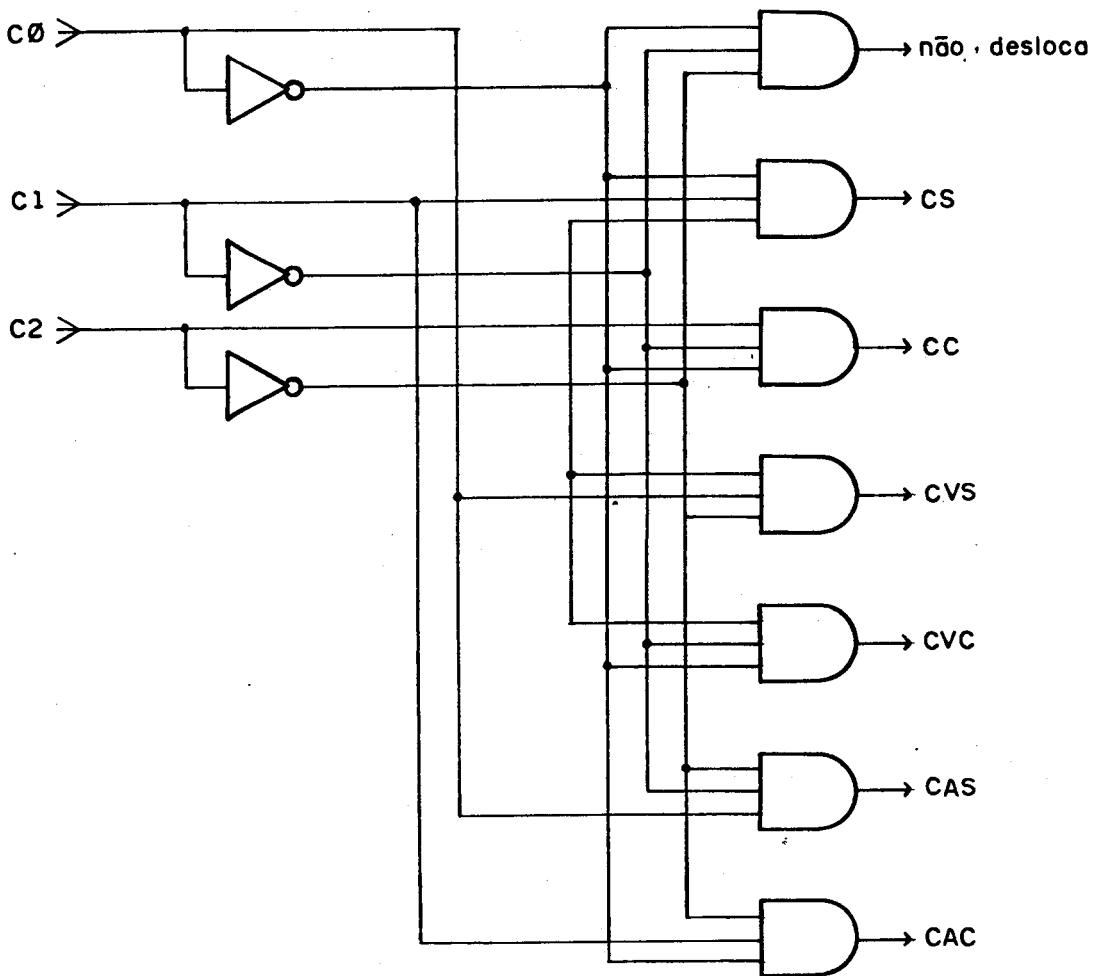


Fig.6.43: Circuito lógico do decodificador de sinais de carga.

6.9.4.6 Decodificador de deslocamento

É um decodificador de 2 para 4, cujas entradas são $\overline{D1}$ e $\overline{D0}$, indica o tipo de atividade de deslocamento a ser realizada. Destas 4 saídas, três indicam funções de deslocamento propriamente ditas, DDCS, DECS e DDV e uma é empregada como opção de não deslocamento. Está sempre habilitada. O diagrama lógico é mostrado na figura 6.44.

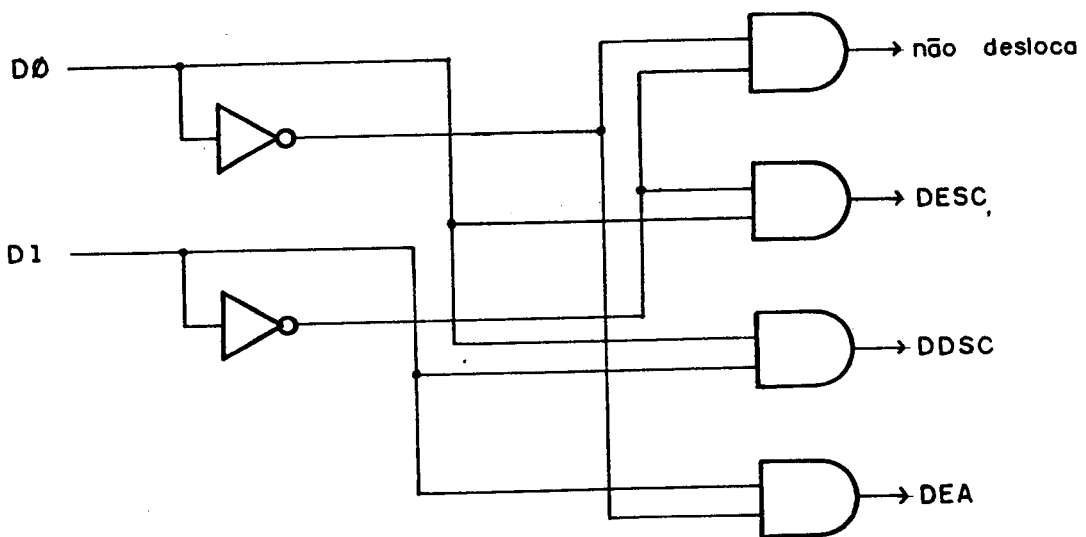


Fig.6.44: Circuito lógico do decodificador de deslocamento.

6.9.4.7 Seletores de 2 para 1

São dois os seletores de duas entradas. Funcionalmente são idênticos. O seletor MPX1 recebe como entrada a saída da unidade lógica aritmética ou dados externos, conforme o valor do sinal $\overline{S1}$ (1 ou \emptyset , respectivamente), determinando qual destes conjuntos será carregado no registrador ativado.

O seletor MPX2 determina a entrada A da unidade lógica aritmética ou o valor de saída externa, através do valor de $\overline{S2}$. Se $\overline{S2}$ for zero, a entrada selecionada é o valor do registrador SENO, para $\overline{S2}$ igual a "um", a entrada se

leccionada é o conteúdo do registrador COSSENO.

A estrutura básica dos seletores corresponde ao circuito desenhado na figura 6.45, e a origem dos sinais nas entradas é indicada na tabela 6.5.

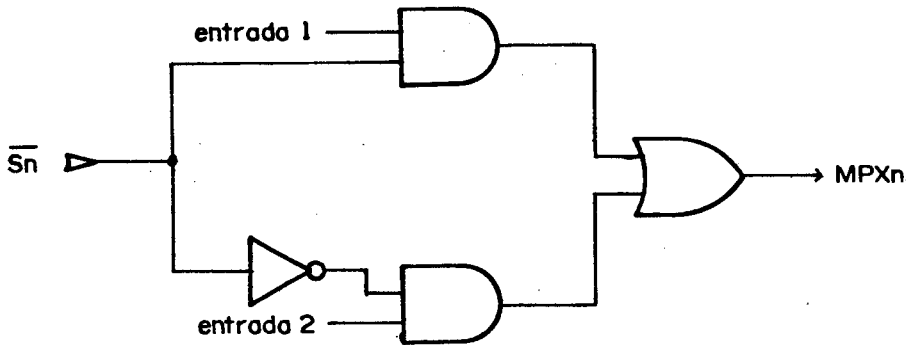


Fig.6.45: Circuito lógico para seletor 2 x 1.

Tabela 6.5: Origem dos sinais nas entradas dos seletores

SINAL	MPX1	MPX2
entrada 1	EEXT _n	SEN _n
entrada 2	ULA _n	COS _n
$\overline{S_n}$	$\overline{S1}$	$\overline{S2}$

6.9.4.8 Seletor de 4 para 1

Possui estrutura semelhante aos seletores recém-descritos, com a diferença do número de entradas, e consequente aumento do número de sinais de controle.

Seleciona entre os conteúdos dos registradores acumuladores de SENO e COSSENO e os registradores de variação VSEN e VCOS, através dos valores de $\overline{S2}$ e $\overline{S3}$ (00, 01, 10 e 11, respectivamente), determinando a entrada B da unidade

lógica e aritmética.

O circuito básico empregado, para cada bit, é mostrado na figura 6.46.

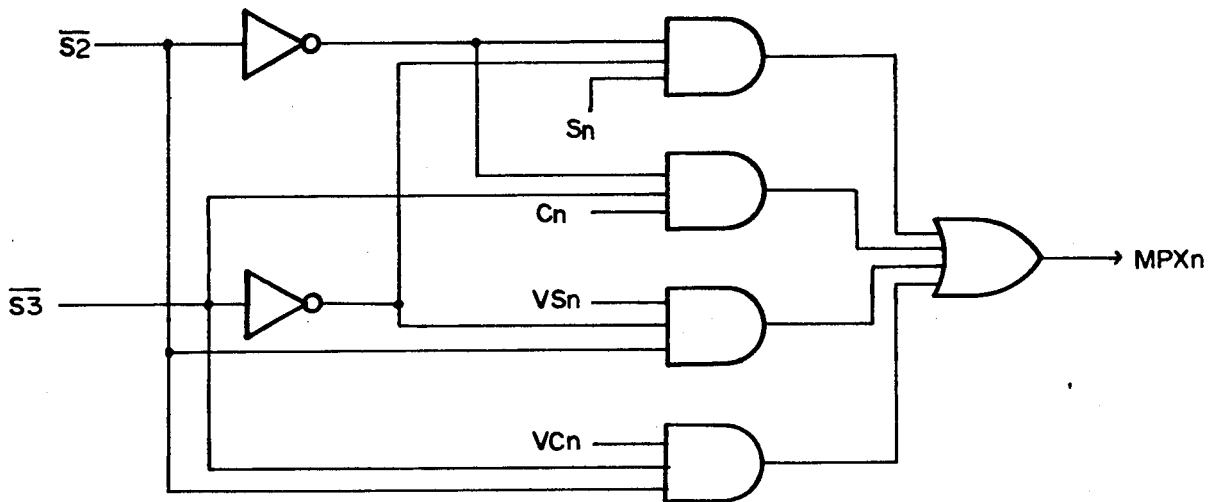


Fig.6.46: Diagrama lógico para seletor 4 x 1.

6.9.4.9 Indicadores da ocorrência de *excesso*

São "flip-flops" do tipo D que recebem a saída de *vai um* da unidade lógica e aritmética quando são acumulados os valores de SENOS ou COSSENOS. A indicação real de *excesso* é dada apenas pelo valor armazenado no módulo mais significativo e só este deve ser testado.

A entrada de dados, portanto, corresponde a saída de *vai um* da ULA e a entrada de relógio é a mesma da carga dos acumuladores AS e AC, sincronizada com o relógio geral do sistema, como pode ser visto na figura 6.47.

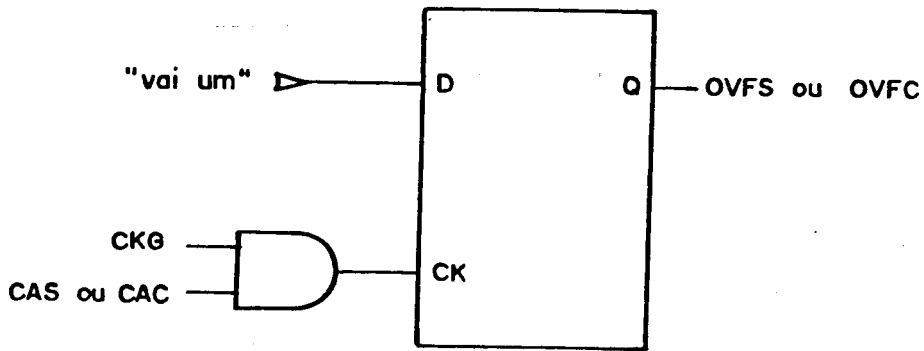


Fig.6.47: Diagrama lógico do indicador de ocorrência de *excesso*.

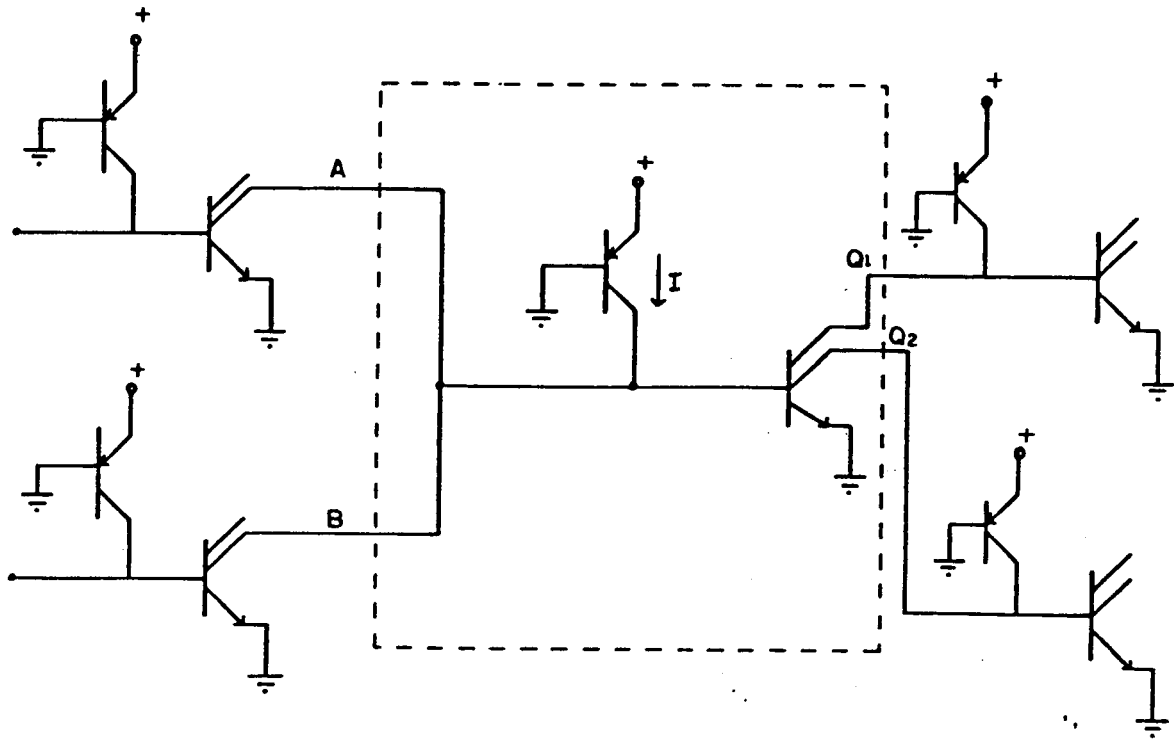
6.9.5 A estrutura dos blocos a nível de transistores

Cada um dos elementos componentes dos blocos aqui caracterizados descrito através de portas lógicas e a partir destas, obtém-se a configuração a nível de transistores.

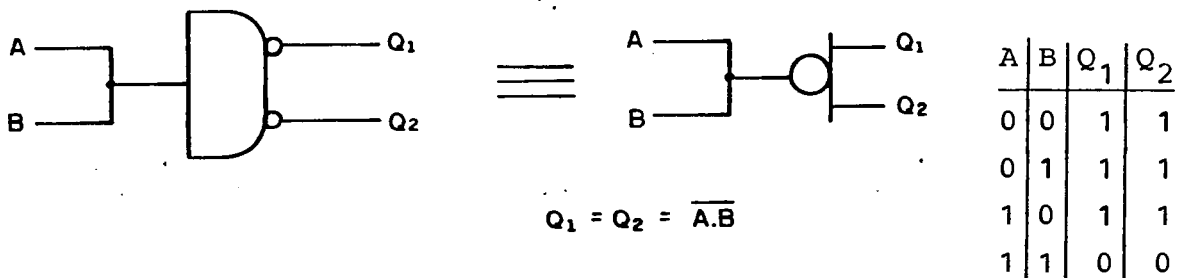
É indicado que esta descrição a nível de portas lógicas seja realizada da forma mais próxima possível da versão final, isto é, empregando-se um esquema lógico volta do para a tecnologia a ser usada.

Na maior parte das tecnologias convencionais, é permitido utilizar uma saída como sinal para diversas entradas de portas lógicas. Em circuitos I²L, entretanto, aplica-se a regra oposta: saídas de portas lógicas diversas podem ser ligadas a uma única entrada. É possível estabelecer um paralelo entre esta regra e a definição de lógica de coletor aberto em lógica TTL.

Considerando-se esta diferença básica, é conveniente utilizar uma representação de portas lógicas I²L que mostre uma única entrada e a possibilidade de saídas múltiplas, como é mostrado na figura 6.48.



(a)



(b)

Fig.6.48: Simbologia de portas lógicas: a porta lógica (inversor) indicada no quadrado tracejado (a) é representada através das simbologias mostradas em (b).

Devido a facilidade de projeto e de conversão dos modelos lógicos convencionais para lógica I²L a representação dos circuitos lógicos I²L foi efetuada empregando-se o NAND de múltiplas saídas como porta básica. Este sistema facilita enormemente o trabalho posterior pois cada porta lógica NAND pode ser visualizada diretamente como um transistor NPN multicoletor, a cuja base está associado uma fonte de corrente (transistor PNP).

As etapas empregadas para obtenção do circuito elétrico de um "flip-flop" do tipo D, sensível à subida, são mostradas na figura 6.49. Os demais circuitos componentes dos blocos registradores, seletores, decodificadores e ULA são apresentados no Apêndice A3.

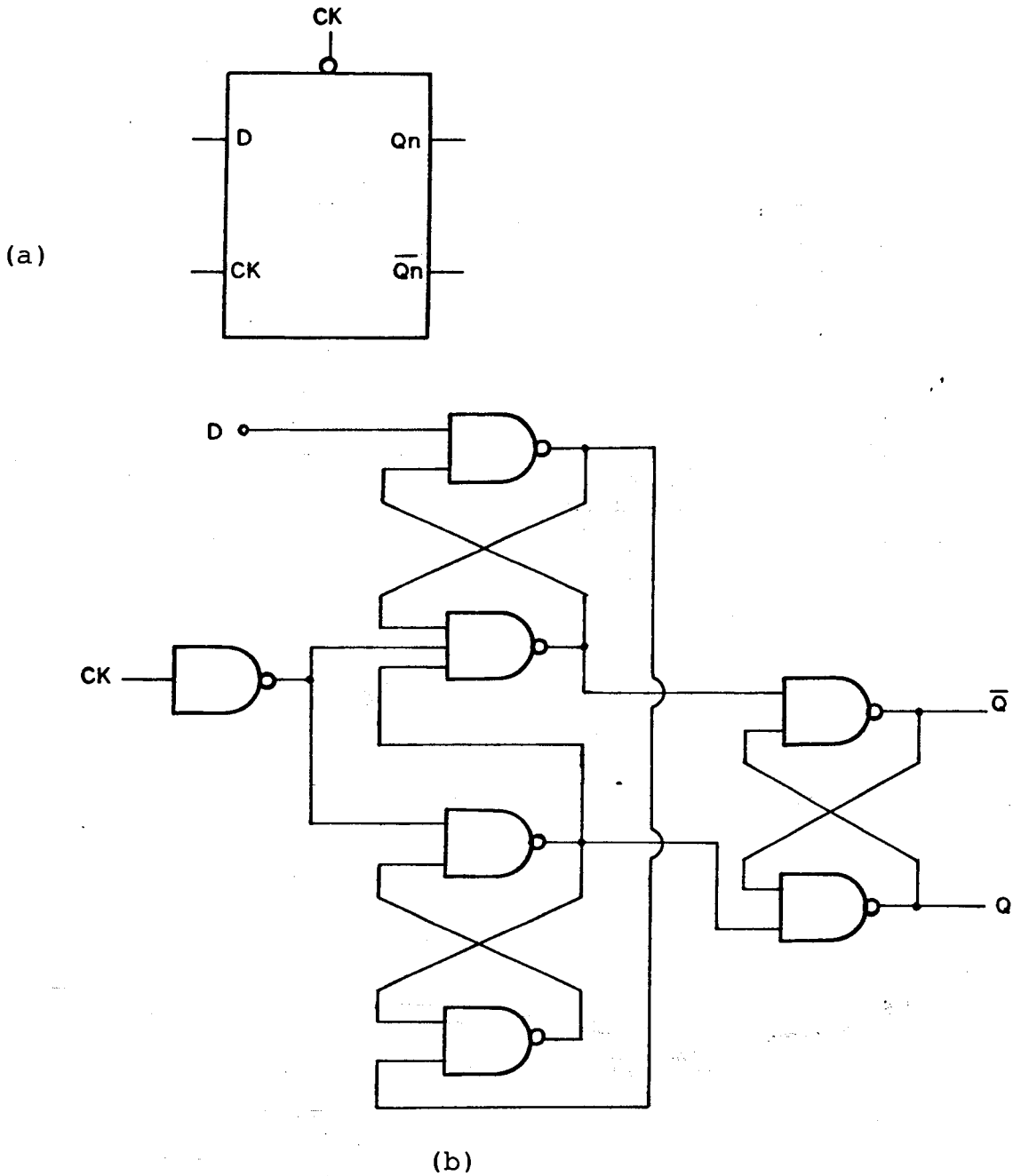


Fig.6.49: Conversão da simbologia através das diversas etapas. a) Representação em bloco lógico; b) Representação lógica convencional; (continua)

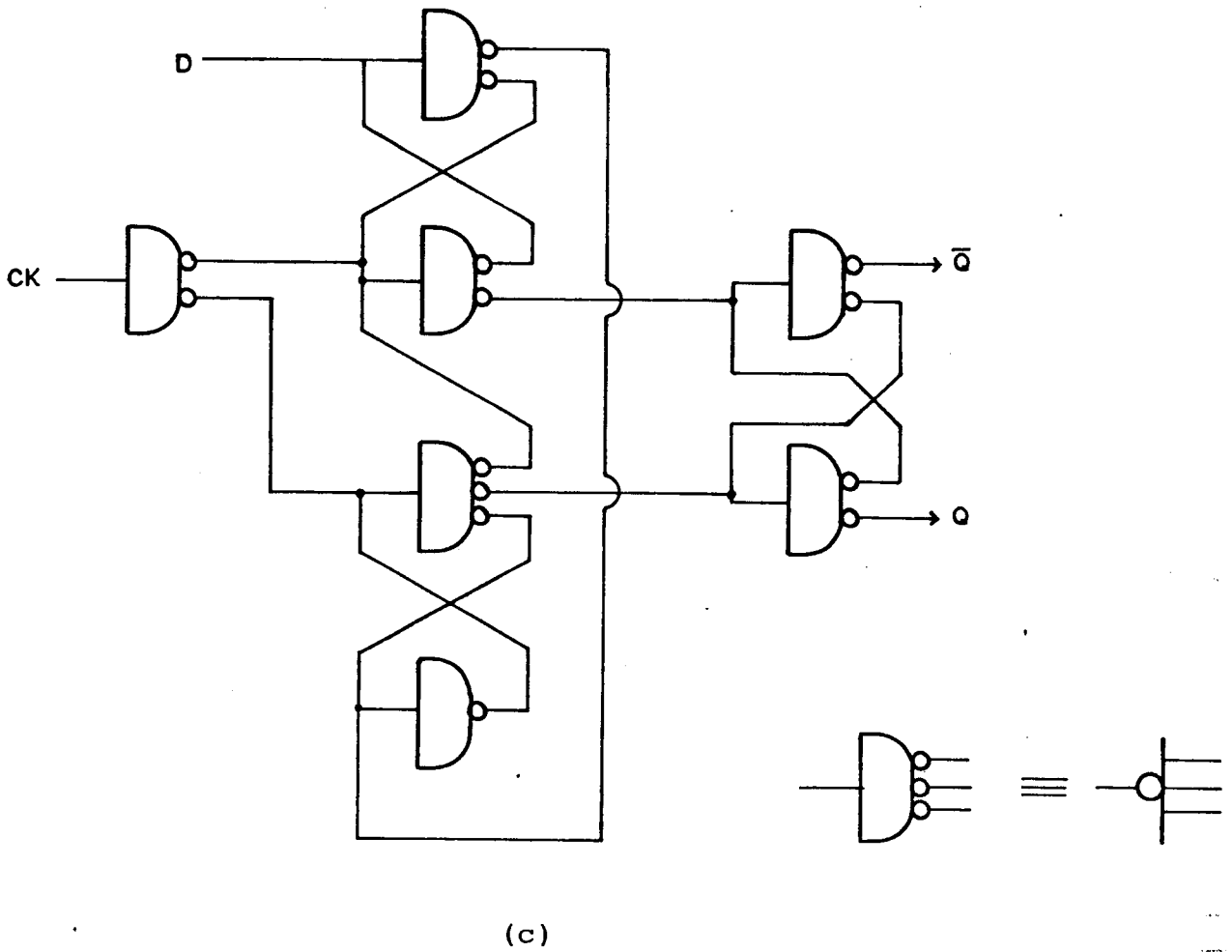


Fig.6.49: (Contituação) Conversão da simbologia através das diversas etapas. c) Representação em lógica I²L; (continua)

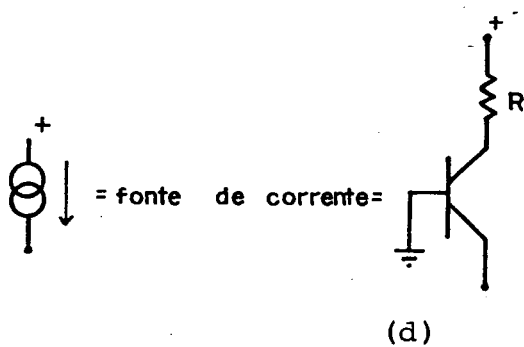
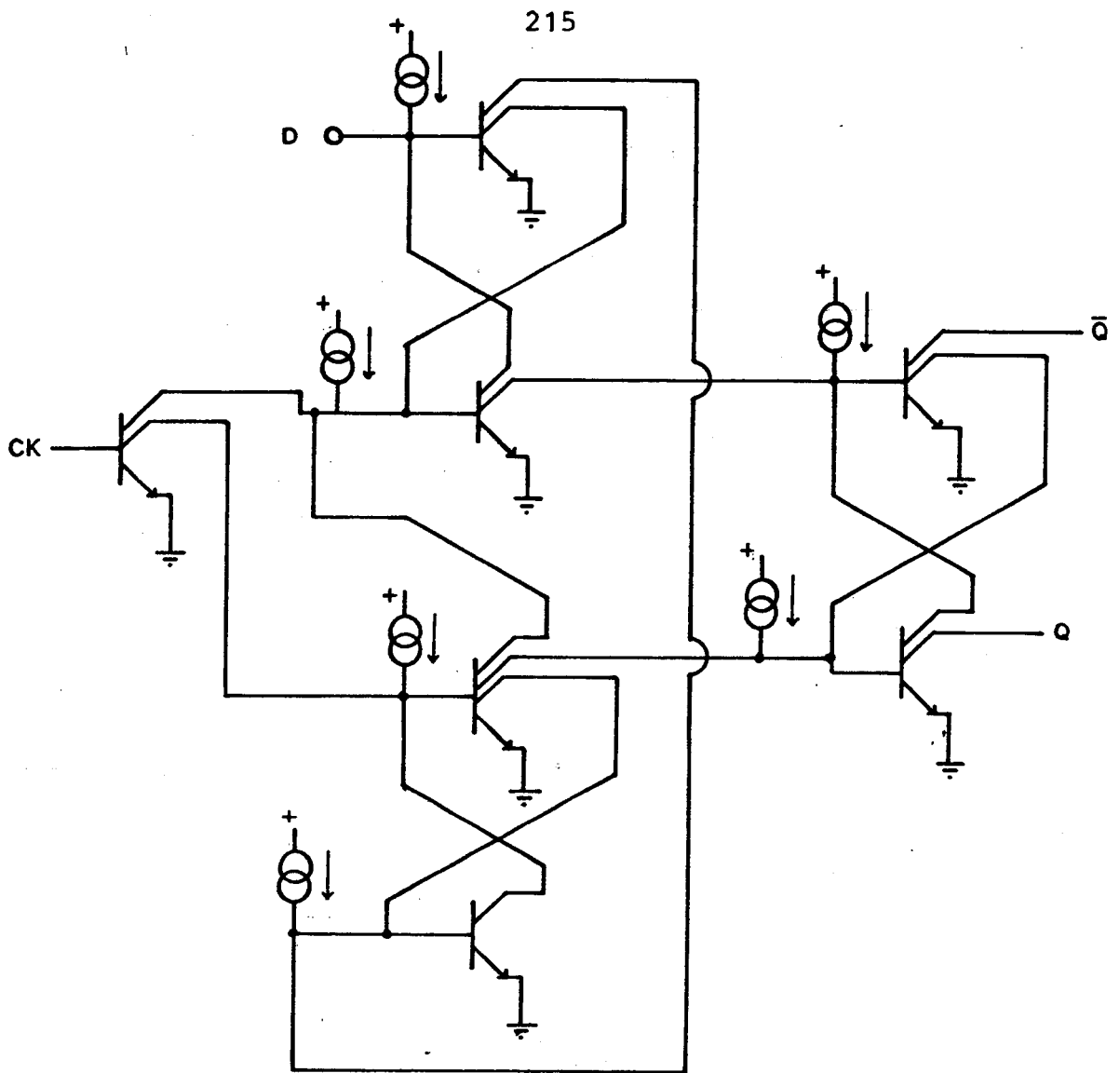


Fig.6.49: (Continuação) Conversão da simbologia através das diversas etapas. d) Representação a nível elétrico.

A disposição dos transistores no projeto interno dos blocos deve ser feita tomando-se por base a disposição estrutural do circuito padrão.

Pode-se verificar facilmente a conveniência da utilização de transistores (ou portas) pertencentes a uma mesma coluna. Ligações efetuadas entre diferentes colunas de um mesmo conjunto (cada 10 transistores) exigem a confecção de pontes sob a metalização de condução da corrente de injetor, ou o desvio dessa metalização, inconveniente na maior parte dos casos, devido ao espaço ocupado (a largura da linha de metalização no injetor é o dobro da largura em interconexões comuns — ver figura 6.50).

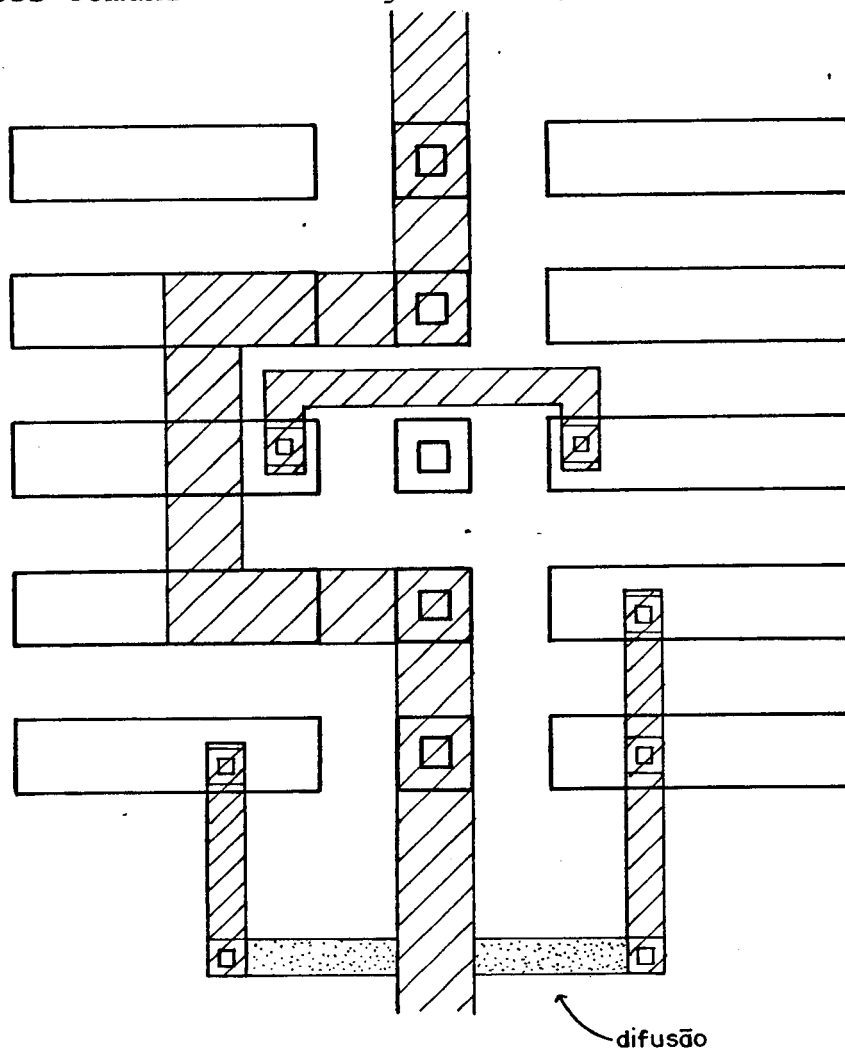
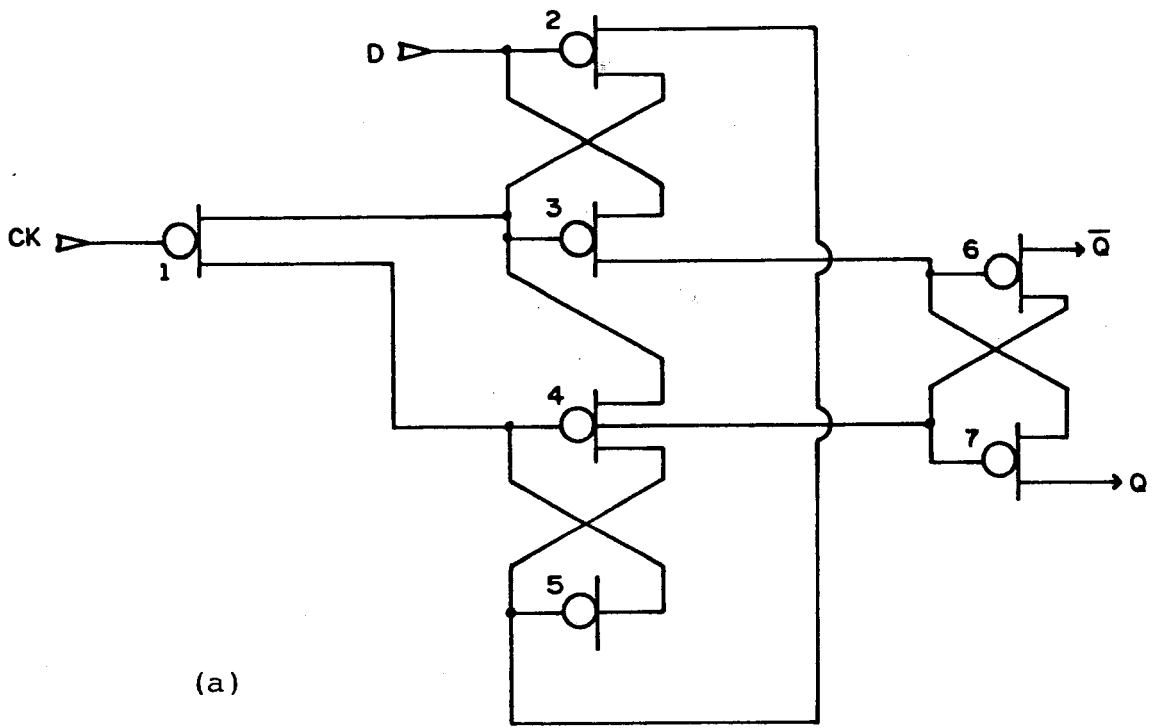
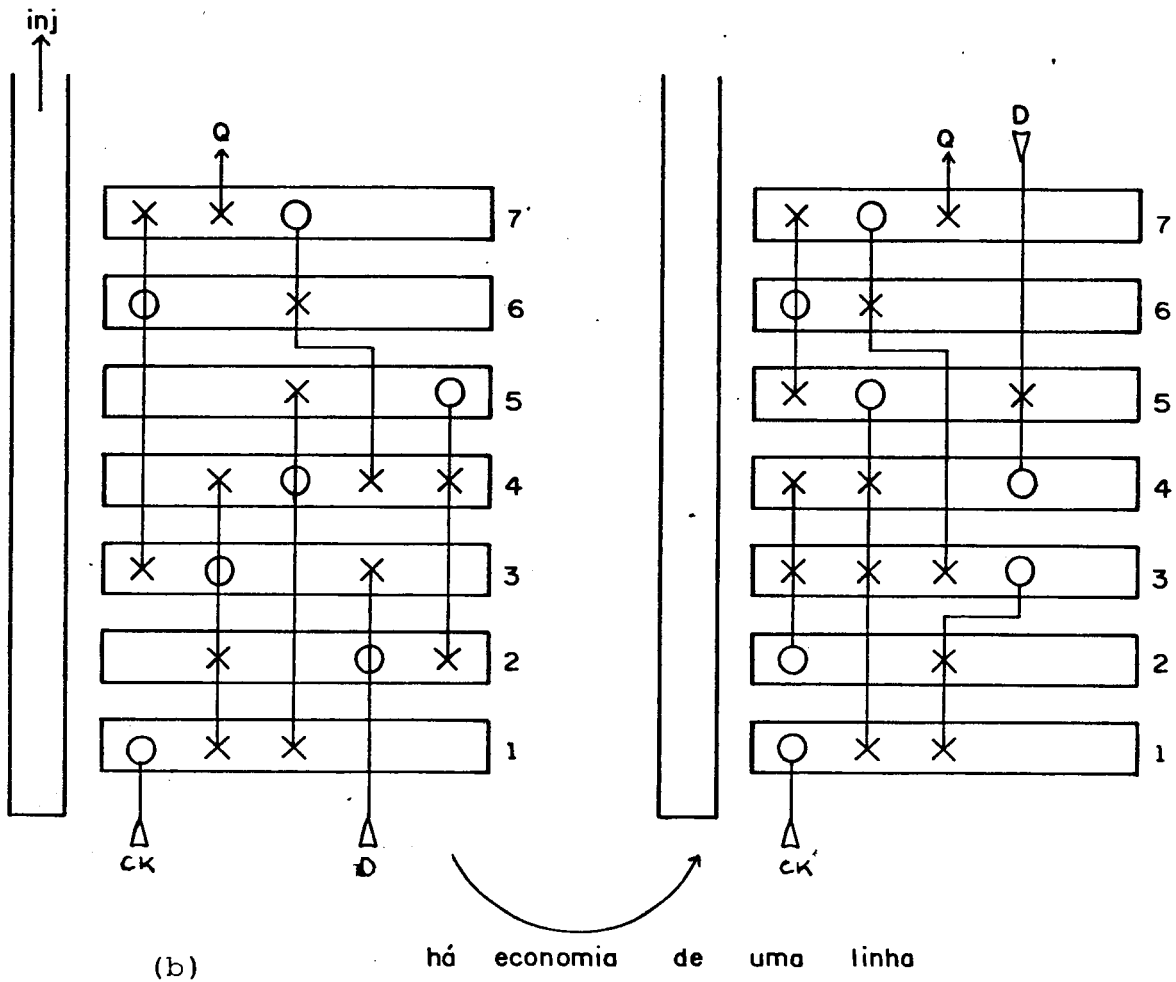


Fig.6.50: Desvio de metalização. Para a alimentação a largura da tira é o dobro daquelas empregadas em ligações comuns.



(a)



(b)

há economia de uma linha

Fig.6.51: Flip-flop tipo D a nível de dispositivo. a) esquema elétrico em I²L; b) proposição inicial de disposição dos transistores; c) variante da disposição anterior, economizando espaço para uma linha adicional de metalização.

Desta forma, o projeto de interconexões internas visa a obtenção de uma forma de disposição otimizada, empregando o menor número de componentes, os menores comprimentos e número de linhas e o mínimo de difusões N^+ (pontes). Quanto mais espaço e opções forem dedicados à interconexão dos blocos, maiores serão as chances de exequibilidade da estrutura planejada.

Partindo-se da estrutura organizacional de um circuito padrão é necessário escolher e associar partes lógicas a células-padrão, posicionando-se, ao mesmo tempo, de forma adequada, os contatos de entrada e saídas de cada uma das portas. A este nível, a fim de facilitar a atividade de desenho, é utilizada uma simbologia especial, através da qual é estabelecida a seguinte correspondência:

linha simples (—) → metalização
 círculo (o) → entrada de porta lógica (contato de base)
 cruzinha (x) → saída de porta lógica (contato de coletor)
 tira (▬) → difusão N^+ (ponte)

Na figura 6.51, é mostrada a disposição das portas lógicas componentes do "flip-flop" tipo D, em duas versões. Mudando-se a ordem dos componentes ganha-se uma linha em espaço.

Em caso de não ser suficiente o espaço disponível para os contatos de base e coletores, pode-se duplicar a porta. Este é o único caso no qual admite-se a alimentação de mais de uma base com o sinal provindo de um coletor. A figura 6.52 ilustra a situação.

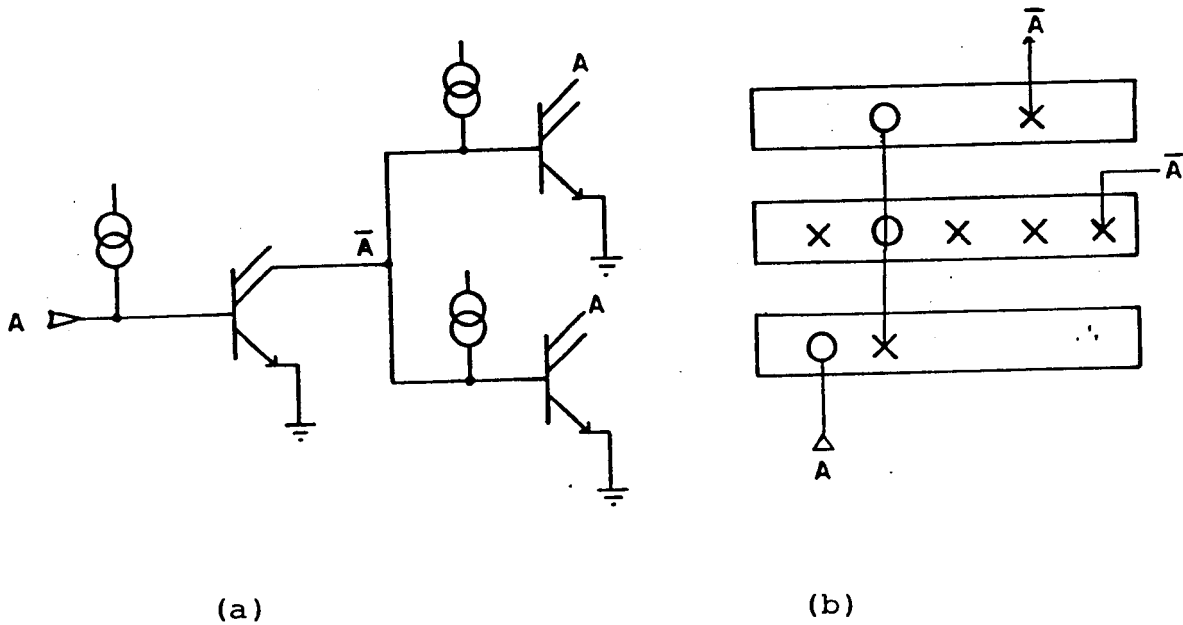


Fig.6.52: Duplicação de portas lógicas. a) Esquema elétrico indicativo da duplicação de transistores para obtenção de saídas idênticas; b) esquema de projeto correspondente.

Os esquemas de disposição dos componentes de cada bloco estão reunidos no apêndice A3.

Concluída a organização interna dos blocos, pode-se então efetuar as interconexões entre os mesmos. Para esta atividade é usada, de forma geral, a área disponível existente entre os conjuntos de células, a qual deve ter sido pouco ocupada na etapa anterior.

Esta fase de projeto durante a qual são realizadas as interconexões internas ou mesmo a reunião de blocos pode ser automatizada, através da utilização de programas específicos de computador. Entretanto, o tempo de execução de alguns destes programas aumenta exponencialmente com o

aumento do número de células, o que se torna muito demorado, para aplicações onde realmente seria necessário o emprego de automatização.

Na otimização das ligações, em geral, a capacidade de percepção visual dá ao desenhista melhores condições de realização desta tarefa, mais rapidamente do que pode a máquina fazê-lo.

Na execução das interconexões entre os diversos blocos, a atividade assemelha-se, de certa forma, a um problema de traçado de rotas, para realização de placas de circuito impresso. No caso de circuito impresso, entretanto, em geral a execução de rotas ocorre em duas faces, indiferentemente. Já no circuito integrado, embora se disponha da possibilidade de dois níveis de interconexão, metalização e difusão N^+ , esta última deve ser evitada ao máximo, visto que diminui o nível do sinal conduzido e possui riscos inerentes ao processo de abertura de contato (metal-difusão).

6.9.6 Codificação

Concluído o projeto interno de posicionamento e interconexão das células I^2L , é necessário efetuar o desenho e corte das máscaras em rubilite a fim de possibilitar o processamento.

O corte de rubilite pode ser manual ou automático, dependendo das técnicas e do equipamento disponível.

A disponibilidade de periféricos tais como "plotter", vídeo gráfico, digitalizador, etc., ligados a um computador facilitam enormemente esta tarefa de obtenção de máscaras.

Uma vez que não se dispunha de todo o equipamento gráfico necessário, a codificação foi feita manualmente, através do programa TRAMAS/BOD 80/. Esta codificação constituiu-se em um conjunto de dados, o qual pode ser então exibido

do em vídeo gráfico ou desenhado através do traçador.

Cada máscara é codificada separadamente. No caso da utilização do circuito padrão esta tarefa é simplificada pois apenas três máscaras diferenciam-se em cada projeto e devem ser redesenhadas: metalização, contatos e difusão N^+ .

O programa TRAMAS não dispõe de rotinas para a análise do emprego correto das regras de projeto. A correção é feita por inspeção visual.

O conjunto de dados empregado para o desenho das máscaras utilizadas no processamento do círculo integrado descrito no presente trabalho é apresentado no apêndice A4.

6.10 Comentários finais

Ao longo deste capítulo foram desenvolvidos predominantemente os aspectos relacionados com a tecnologia I^2L e procedimentos de projeto a nível de microcircuitos.

Um dos fatores positivos no trabalho desenvolvido foi a escolha do circuito padrão como forma de projeto, pois facilitou significativamente as atividades realizadas. Como aspecto negativo, vê-se a limitação do número de portas lógicas utilizáveis. Há espaço perdido que não é usado para interconexões e também não pode sê-lo para novos inversores.

Não foram comentados procedimentos previstos para testes por razões ligadas especificamente ao tipo de circuito projetado. A própria estrutura do circuito prevê técnicas de teste de dispositivos. Resta ao projetista organizar a forma de verificação de funcionamento dos circuitos lógicos. Para o gerador de circunferências esta é uma atividade de realização fácil, pois o circuito possui um conjunto amplo de registradores deslocadores, dotados de

entradas para carga externa e saídas paralelas, intercaladas apenas por seletores. Desta maneira pode-se avaliar o comportamento de grande parte dos elementos lógicos com algoritmos muito simples. Um circuito completo, entretanto, deveria prever técnicas especiais para testes.

7. CONCLUSÕES FINAIS

Este capítulo final destina-se a resumir as atividades desenvolvidas, relatar as metas atingidas e sugerir alguns tópicos para trabalhos complementares.

O objetivo inicial básico era a construção de um gerador de elipses para incorporar a processadores de exibição. Como referencial de dispositivos de exibição gráfica adotou-se o Sistema Interativo de Computação Gráfica (SICOG), em projeto no Curso de Pós-Graduação em Ciência da Computação (PGCC/UFRGS). Estabeleceu-se, originalmente, um conjunto de características desejáveis, já mencionadas na introdução, mas aqui repetidas, para lembrar ao leitor:

- a) facilidade para implementação por "hardware";
- b) modularidade do bloco operacional, a fim de possibilitar sua utilização em outras aplicações;
- c) flexibilidade da arquitetura, em função de novas definições do algoritmo;
- d) elevado grau de liberdade ao usuário, quanto à forma de definição dos comandos de chamada;
- e) geração de pontos a uma taxa de aproximadamente um ponto a cada micro- ou dois microsegundos.

Estas disposições iniciais serão analisadas, quanto aos resultados, no decorrer deste capítulo.

A partir do estudo das formas construtivas de elipses optou-se por um dos métodos circulares, que emprega a geração de dois círculos correspondentes aos eixos maior e menor da elipse como base para o cálculo de cada ponto da curva.

O analisador diferencial digital foi reconhecido como a técnica mais viável para a implementação do algoritmo desenvolvido após estudos sobre suas características de

funcionamento e erro. Foi escolhida a configuração seqüencial, sem reinicialização em cada quadrante, devido a sua ótima qualidade.

Foi necessário ajustar o algoritmo à utilização de faixas de velocidades para a geração do traçado, em função das características de exibição do vídeo. Uma vez que este não dispõe de controle de intensidade na saída, foi necessário adotar um método de geração de pontos constante no tempo (ou quase-constante, no caso).

O gerador de primitivas é parte do processador de exibição e recebe comandos do controlador. Os pontos calculados são enviados ao vídeo sincronamente. O protocolo de comunicação do gerador com ambos, controlador e vídeo, foi estabelecido em função das exigências e disponibilidades dos dispositivos do SICOG.

Globalmente, o gerador resultou em um dispositivo de fácil implementação por "hardware", compreendendo circuitos de pequena e média integração disponíveis no mercado. Foi utilizado um número razoavelmente grande de componentes para execução de lógica combinacional, os quais se justificam a nível de protótipo, mas podem ser substituídos, com vantagens, por arranjos lógicos programáveis (em inglês, PLAs - Programmable Logic Arrays). Como esses, há outros conjuntos de elementos substituíveis por semelhantes, com maior nível de integração. Por isto não resolveu-se incluir os valores dos parâmetros medidos junto aos esquemas do circuito (Apêndice A2), visto que aqueles são bastante dependentes destes. Outro fator de certo relacionamento com a velocidade é o número de bits dos registradores dos ADDs, pois este fator é determinante do número total de pulsos necessários para o cálculo das curvas completas. Portanto a redução do número de bits ainda permite atingir boa precisão, em menor tempo. De forma geral, o algoritmo, a arquitetura e os componentes empregados satisfazem a taxa adotada como referência (item e).

A unidade operacional projetada pode ser decomposta em dois circuitos geradores de circunferências idênticos. A carga inicial de parâmetros é o que os diferencia quanto aos resultados obtidos a partir destes. Cada um corresponde a dois analisadores diferenciais digitais convenientemente interligados, ambos operando em 12 bits. Os analisadores diferenciais possuem estrutura altamente modular, permitindo ampliação ou redução do número de bits efetivamente considerado. Logo, é viável considerar apenas blocos dentro desta estrutura, para geração de outras curvas (diferentes de elipses) como circunferências, por exemplo, com precisão e capacidade (tamanho do raio) variáveis.

Eventualmente pode ser interessante a mudança do algoritmo definido para a geração das elipses. O emprego de novas formas de integração, por exemplo, ou a utilização de outros parâmetros de controle para o traçado em curva podem ser razões para isto. A implementação adotada não é a mais favorável para a execução de modificações; foi escolhida em função de exigências de velocidade. Uma implementação microprogramada para a unidade controladora satisfaz aquele requisito, mas apresenta problemas quanto a taxa de pontos calculados por unidade de tempo. Sua adoção pode tornar-se viável se forem consideradas técnicas especiais em arquitetura, como o modelo "pipeline".

A implementação executada corresponde a versão mais simples do dispositivo. Não houve preocupação com procedimentos para sofisticar o projeto realizado principalmente por razões ligadas ao tempo disponível para conclusão. Basicamente dispõe-se de um gerador de arcos elípticos cujo eixo maior é paralelo ou perpendicular às coordenadas cartesianas. Elipses cujos eixos apresentam outras relações angulares com as coordenadas podem ser resultantes de transformações geométricas (rotações, no caso).

O arco é traçado sempre no sentido anti-horário. O oferecimento da opção de traçado em sentido horário, pressupõe a adição de um parâmetro indicativo ao controle e pe-

quenas modificações nas máquinas de estado relacionadas com o sinal dos registradores de variação.

O arco elíptico a ser desenhado é definido pelo usuário através dos parâmetros: semi-eixos maior e menor, pontos inicial e final. As possibilidades de definição do comando para chamada da primitiva poderiam ser ampliadas, pelo acréscimo de um circuito para teste de ângulo, o qual permitiria a especificação de semi-eixos, ponto inicial e ângulo descrito. Deve-se ressaltar, entretanto, que a medida de ângulo em uma elipse não possui relação linear com o ângulo das circunferências-base, necessitando, portanto, de recursos adicionais.

O dispositivo fundamental escolhido, o analisador diferencial digital, possibilitou uma estruturação modular da unidade operacional, conforme já comentado, a partir do qual projetou-se o circuito integrado. Este pode ser empregado em aplicações diversas onde sejam necessárias gerações de funções senoidais e cossenoidais ou geometrias mais complexas cujas equações paramétricas possam ser expressas através daquelas funções.

O trabalho de integração, executado em convênio com a Divisão de Circuitos Bipolares do Laboratório de Microeletrônica da Universidade de São Paulo, contou com a colaboração de pesquisadores, técnicos e alunos daquele estabelecimento. Foram necessários alguns contatos para discussão de aspectos tecnológicos e regras de projeto inicialmente e, mais tarde, utilização de seus recursos para a conclusão do projeto de máscaras e processamento.

A escolha do circuito padrão como método de projeto foi fundamental, em função das condições de contorno associadas a sua realização: execução quase total à distância, em meio a um grupo sem qualquer experiência em termos de projeto de microcircuitos, tempo disponível, e número limitado de oportunidades para contato pessoal. A falta de experiência aliada a este contexto dificulta o desenvolvimento de trabalhos de alto grau de complexidade, como se-

ria, no caso, o projeto de um circuito *sob encomenda*.

Considera-se atingidos os objetivos iniciais deste trabalho, tanto em relação ao dispositivo de geração de elipses, como projeto, como quanto a experiência adquirida no projeto do circuito integrado. A partir desta, com os conhecimentos de computação é possível desenvolver ou acompanhar o desenvolvimento de um conjunto de recursos para a automatização destas atividades, com o auxílio do computador.

Aos interessados na área de Computação Gráfica, sugere-se a ampliação deste estudo para a geração de curvas cônicas, ou curvas em geral, visando possível implementação por "hardware".

Na área de microeletrônica há muito a fazer. Necessita-se desde metodologias de projeto até programas para automatização da disposição de interconexões entre dispositivos ou verificação de regras de projeto. Quase todo o trabalho ainda depende da prática do projetista e de inspeção visual, o que o torna muito suscetível a erros. A biblioteca de blocos lógicos apresentada em apêndice pode ser um bom ponto de partida para programas de automatização, tanto de disposição celular (inversores I²L) como de interconexão entre os mesmos.



APÊNDICE A1 Simulação de analisadores diferenciais
digitais


```

        ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
&
&
WHILE ANGULO<=(1.5707-VARANG) DO
BEGIN
    SENCALC:=0;
    COSCALC:=0;
    ACC1:= ACC1+SEN1;
    SAS:= PARTW(ACC1,15,10);
    IF SAS#0 THEN DCOS:= -1 ELSE DCOS:= 0;
    COS1:= COS1+DCOS;
    ACC2:= ACC2+COS1;
    SAC:= PARTW(ACC2,15,10);
    IF SAC#0 THEN DSEN:= 1 ELSE DSEN:= 0;
    SEN1:= SEN1+DSEN;
    ACC1:= ACC1 AND 77;
    ACC2:= ACC2 AND 77;
    ANGULO:= ANGULO+VARANG;
    ACCSEN:= PARTW(ACC1,5,6);
    ACCCOS:= PARTW(ACC2,5,6);
    CALCULO;
    IF PARTW(SEN1,6,1)=1 THEN SENCALC:=SENCALC+(1);
&
WRITE(11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
    ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
WHILE ANGULO>(1.5707-VARANG) AND ANGULO<=(3.14159-VARANG)
DO
BEGIN
    SENCALC:=0;
    COSCALC:=-1;
    ACC1:= ACC1+SEN1;
    SAS:= PARTW(ACC1,15,10);
    IF SAS#0 THEN DCOS:= -1 ELSE DCOS:= 0;
    COS1:= COS1+DCOS;
    ACC2:= ACC2+COS1;
    SAC:= PARTW(ACC2,15,10);
    IF SAC#0 THEN DSEN:= -1 ELSE DSEN:= 0;
    SEN1:= SEN1+DSEN;
    ACC1:= ACC1 AND 77;
    ACC2:= ACC2 AND 77;
    ANGULO:= ANGULO+VARANG;
    ACCSEN:= PARTW(ACC1,5,6);
    ACCCOS:= PARTW(ACC2,5,6);
    CALCULO;
    IF PARTW(SEN1,6,1)=1 THEN SENCALC:=SENCALC+(1);
    IF COSCALC=-1 THEN COSCALC:=COSCALC+1;
WRITE(11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
    ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
WHILE ANGULO>(3.14159-VARANG) AND ANGULO<=(4.71238-VARANG)
DO
BEGIN
    SENCALC:=-1;
    COSCALC:=-1;
    ACC1:= ACC1+SEN1;
    SAS:= PARTW(ACC1,15,10);
    IF SAS#0 THEN DCOS:= 1 ELSE DCOS:= 0;
    COS1:= COS1+DCOS;
    ACC2:= ACC2+COS1;

```

```

SAC:= PARTW(ACC2,15,10);
IF SAC#0 THEN DSEN:= -1 ELSE DSEN:= 0;
SEN1:= SEN1+DSEN;
ACC1:= ACC1 AND @77;
ACC2:= ACC2 AND @77;
ANGULO:= ANGULO+VARANG;
ACCSEN:= PARTW(ACC1,5,6);
ACCCOS:= PARTW(ACC2,5,6);
CALCULO;
&
WRITE(11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
WHILE ANGULO>(4.71238-VARANG) AND ANGULO<=(6.28318-VARANG)
DO
BEGIN
SENCALC:=-1;
COSCALC:=0;
ACC1:= ACC1+SEN1;
SAS:= PARTW(ACC1,15,10);
IF SAS#0 THEN DCOS:= 1 ELSE DCOS:= 0;
COS1:= COS1+DCOS;
ACC2:= ACC2+COS1;
SAC:= PARTW(ACC2,15,10);
IF SAC#0 THEN DSEN:= 1 ELSE DSEN:= 0;
SEN1:= SEN1+DSEN;
ACC1:= ACC1 AND @77;
ACC2:= ACC2 AND @77;
ANGULO:= ANGULO+VARANG;
ACCSEN:= PARTW(ACC1,5,6);
ACCCOS:= PARTW(ACC2,5,6);
CALCULO;
IF SENCALC=-1 THEN SENCALC:=SENCALC+(1);
IF PARTW(COS1,6,1)=1 THEN COSCALC:=COSCALC+(1);
&
WRITE(11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
END.

```


ANGULC	AS	AC	SENCALC	SIN X	COS CALC	COS X
.00000	0000	0000	.0000	.0000	.9844	1.0000
.01563	0040	0037	.0156	.0156	.9844	.9999
.03125	0041	0036	.0313	.0312	.9844	.9995
.04688	0043	0035	.0469	.0469	.9844	.9989
.06250	0046	0034	.0625	.0625	.9844	.9980
.07813	0052	0033	.0781	.0780	.9844	.9969
.09375	0057	0032	.0938	.0936	.9844	.9956
.10938	0065	0031	.1094	.1092	.9844	.9940
.12500	0074	0030	.1250	.1247	.9844	.9922
.14063	0004	0026	.1406	.1402	.9688	.9901
.15625	0015	0024	.1563	.1556	.9688	.9878
.17188	0027	0022	.1719	.1710	.9688	.9853
.18750	0042	0020	.1875	.1864	.9688	.9825
.20313	0056	0016	.2031	.2017	.9688	.9794
.21875	0073	0014	.2188	.2170	.9688	.9762
.23438	0011	0011	.2344	.2322	.9531	.9727
.25000	0030	0006	.2500	.2474	.9531	.9689
.26563	0050	0003	.2656	.2625	.9531	.9649
.28125	0071	0000	.2813	.2776	.9531	.9607
.29688	0013	0074	.2813	.2925	.9375	.9563
.31250	0035	0070	.2969	.3074	.9375	.9516
.32813	0060	0064	.3125	.3223	.9375	.9466
.34375	0004	0057	.3281	.3370	.9219	.9415
.35938	0031	0052	.3438	.3517	.9219	.9361
.37500	0057	0045	.3594	.3663	.9219	.9305
.39063	0006	0037	.3750	.3808	.9063	.9247
.40625	0036	0031	.3906	.3952	.9063	.9186
.42188	0067	0023	.4063	.4095	.9063	.9123
.43750	0021	0014	.4219	.4237	.8906	.9058
.45313	0054	0005	.4375	.4378	.8906	.8991
.46875	0010	0075	.4375	.4518	.8750	.8921
.48438	0044	0065	.4531	.4657	.8750	.8850
.50000	0001	0054	.4688	.4794	.8594	.8776
.51563	0037	0043	.4844	.4931	.8594	.8700
.53125	0076	0032	.5000	.5066	.8594	.8622
.54688	0036	0020	.5156	.5200	.8438	.8542
.56250	0077	0006	.5313	.5333	.8438	.8459
.57813	0041	0073	.5313	.5465	.8281	.8375
.59375	0003	0057	.5469	.5595	.8125	.8288
.60938	0046	0043	.5625	.5724	.8125	.8200
.62500	0012	0026	.5781	.5851	.7969	.8110
.64063	0057	0011	.5938	.5977	.7969	.8017
.65625	0025	0073	.5938	.6102	.7813	.7923
.67188	0073	0055	.6094	.6225	.7813	.7827
.68750	0042	0036	.6250	.6346	.7656	.7728
.70313	0012	0016	.6406	.6466	.7500	.7628
.71875	0063	0076	.6406	.6584	.7500	.7526
.73438	0034	0055	.6563	.6701	.7344	.7422
.75000	0006	0033	.6719	.6816	.7188	.7317
.76563	0061	0011	.6875	.6930	.7188	.7209
.78125	0035	0066	.6875	.7042	.7031	.7100
.79688	0011	0042	.7031	.7152	.6875	.6989
.81250	0066	0016	.7188	.7260	.6875	.6877
.82813	0044	0071	.7188	.7367	.6719	.6763
.84375	0022	0043	.7344	.7471	.6563	.6647
.85938	0001	0014	.7500	.7574	.6406	.6529
.87500	0061	0065	.7500	.7675	.6406	.6410
.89063	0041	0035	.7656	.7775	.6250	.6289
.90625	0022	0000	.7813	.7872	.6094	.6167

.92188	0004	0052	.7813	.7967	.5938	.6043
.93750	0066	0020	.7969	.8061	.5938	.5918
.95313	0051	0065	.7969	.8152	.5781	.5791
.96875	0034	0031	.8125	.8242	.5625	.5663
.98438	0020	0074	.8125	.8329	.5469	.5534
1.00000	0004	0036	.8281	.8415	.5313	.5403
1.01562	0071	0000	.8438	.8498	.5313	.5271
1.03125	0057	0041	.8438	.8579	.5156	.5137
1.04687	0045	0001	.8594	.8659	.5000	.5003
1.06250	0034	0040	.8594	.8736	.4844	.4867
1.07812	0023	0076	.8594	.8811	.4688	.4730
1.09375	0012	0033	.8750	.8884	.4531	.4592
1.10937	0002	0067	.8750	.8954	.4375	.4452
1.12500	0072	0023	.8906	.9023	.4375	.4312
1.14062	0063	0056	.8906	.9089	.4219	.4170
1.15625	0054	0010	.9063	.9153	.4063	.4028
1.17187	0046	0041	.9063	.9215	.3906	.3884
1.18750	0040	0071	.9063	.9274	.3750	.3740
1.20312	0032	0020	.9219	.9332	.3594	.3594
1.21875	0025	0046	.9219	.9387	.3438	.3448
1.23437	0020	0073	.9219	.9439	.3281	.3301
1.25000	0013	0017	.9375	.9490	.3125	.3153
1.26562	0007	0042	.9375	.9538	.2969	.3005
1.28125	0003	0064	.9375	.9584	.2813	.2855
1.29687	0077	0006	.9531	.9627	.2813	.2705
1.31250	0074	0027	.9531	.9668	.2656	.2554
1.32812	0071	0047	.9531	.9707	.2500	.2403
1.34375	0066	0066	.9531	.9743	.2344	.2251
1.35937	0063	0004	.9688	.9777	.2188	.2098
1.37500	0061	0021	.9688	.9809	.2031	.1945
1.39062	0057	0035	.9688	.9838	.1875	.1792
1.40625	0055	0050	.9688	.9865	.1719	.1638
1.42187	0053	0062	.9806	.9889	.1563	.1484
1.43750	0051	0073	.9688	.9911	.1406	.1329
1.45312	0047	0003	.9844	.9931	.1250	.1174
1.46875	0046	0012	.9844	.9948	.1094	.1019
1.48437	0045	0020	.9844	.9963	.0938	.0863
1.50000	0044	0025	.9844	.9975	.0781	.0707
1.51562	0043	0031	.9844	.9985	.0625	.0551
1.53125	0042	0034	.9844	.9992	.0469	.0395
1.54687	0041	0036	.9844	.9997	.0313	.0239
1.56250	0040	0037	.9844	1.0000	.0156	.0083
1.57812	0037	0037	.9844	1.0000	.0000	-.0073
1.59375	0036	0036	.9844	.9997	-.0156	-.0230
1.60937	0035	0034	.9844	.9993	-.0313	-.0386
1.62500	0034	0031	.9844	.9985	-.0469	-.0542
1.64062	0033	0025	.9844	.9976	-.0625	-.0698
1.65625	0032	0020	.9844	.9964	-.0781	-.0853
1.67187	0031	0012	.9844	.9949	-.0938	-.1009
1.68750	0030	0003	.9844	.9932	-.1094	-.1164
1.70312	0027	0073	.9688	.9913	-.1250	-.1319
1.71875	0025	0062	.9688	.9891	-.1406	-.1474
1.73437	0023	0050	.9688	.9867	-.1563	-.1629
1.75000	0021	0035	.9688	.9840	-.1719	-.1782
1.76562	0017	0021	.9688	.9811	-.1875	-.1936
1.78125	0015	0004	.9688	.9779	-.2031	-.2089
1.79687	0013	0066	.9531	.9746	-.2188	-.2242
1.81250	0010	0047	.9531	.9709	-.2344	-.2394
1.82812	0005	0027	.9531	.9671	-.2500	-.2545
1.84375	0002	0006	.9531	.9630	-.2656	-.2696

1.85937	0077	0065	.9375	.9586	-.2656	-.2846
1.87500	0073	0043	.9375	.9541	-.2813	-.2995
1.89062	0067	0020	.9375	.9493	-.2969	-.3144
1.90625	0063	0074	.9219	.9443	-.3125	-.3292
1.92187	0056	0047	.9219	.9390	-.3281	-.3439
1.93750	0051	0021	.9219	.9335	-.3438	-.3585
1.95312	0044	0072	.9063	.9278	-.3594	-.3731
1.96875	0036	0042	.9063	.9219	-.3750	-.3875
1.98437	0030	0011	.9063	.9157	-.3906	-.4019
2.00000	0022	0057	.8906	.9093	-.4063	-.4161
2.01562	0013	0024	.8906	.9027	-.4219	-.4303
2.03125	0004	0070	.8750	.8959	-.4375	-.4444
2.04687	0074	0034	.8750	.8888	-.4375	-.4583
2.06250	0064	0077	.8594	.8815	-.4531	-.4721
2.07812	0053	0041	.8594	.8740	-.4688	-.4858
2.09375	0042	0002	.8594	.8663	-.4844	-.4994
2.10937	0031	0042	.8438	.8584	-.5000	-.5129
2.12500	0017	0001	.8438	.8503	-.5156	-.5263
2.14062	0005	0037	.8281	.8420	-.5313	-.5395
2.15625	0072	0075	.8125	.8335	-.5313	-.5526
2.17187	0056	0032	.8125	.8247	-.5469	-.5655
2.18750	0042	0066	.7969	.8158	-.5625	-.5783
2.20312	0025	0021	.7969	.8067	-.5781	-.5910
2.21875	0010	0053	.7813	.7973	-.5938	-.6036
2.23437	0072	0005	.7813	.7878	-.5938	-.6159
2.25000	0054	0036	.7656	.7781	-.6094	-.6282
2.26562	0035	0066	.7500	.7582	-.6250	-.6403
2.28125	0015	0015	.7500	.7581	-.6406	-.6522
2.29687	0075	0044	.7344	.7478	-.6406	-.6639
2.31250	0054	0072	.7188	.7373	-.6563	-.6755
2.32812	0032	0017	.7188	.7267	-.6719	-.6870
2.34375	0010	0043	.7031	.7159	-.6875	-.6983
2.35937	0065	0067	.6875	.7049	-.6875	-.7094
2.37500	0041	0012	.6875	.6937	-.7031	-.7203
2.39062	0015	0034	.6719	.6823	-.7188	-.7310
2.40625	0070	0056	.6563	.6708	-.7188	-.7416
2.42187	0042	0077	.6406	.6592	-.7344	-.7520
2.43750	0013	0017	.6406	.6473	-.7500	-.7622
2.45312	0064	0037	.6250	.6354	-.7500	-.7722
2.46875	0034	0056	.6094	.6232	-.7656	-.7821
2.48437	0003	0074	.5938	.6109	-.7813	-.7917
2.50000	0051	0012	.5938	.5985	-.7813	-.8011
2.51562	0017	0027	.5781	.5859	-.7969	-.8104
2.53125	0064	0044	.5625	.5731	-.7969	-.8195
2.54687	0030	0060	.5469	.5603	-.8125	-.8283
2.56250	0073	0074	.5313	.5473	-.8125	-.8370
2.57812	0035	0007	.5313	.5341	-.8281	-.8454
2.59375	0077	0022	.5156	.5208	-.8281	-.8537
2.60937	0040	0034	.5000	.5074	-.8438	-.8617
2.62500	0000	0045	.4844	.4939	-.8594	-.8695
2.64062	0037	0056	.4688	.4803	-.8594	-.8771
2.65625	0075	0067	.4531	.4665	-.8594	-.8845
2.67187	0032	0077	.4375	.4526	-.8750	-.8917
2.68750	0066	0007	.4375	.4386	-.8750	-.8987
2.70312	0027	0016	.4219	.4246	-.8906	-.9054
2.71875	0055	0025	.4063	.4104	-.8906	-.9119
2.73437	0007	0033	.3906	.3961	-.9063	-.9182
2.75000	0040	0041	.3750	.3817	-.9063	-.9243
2.76562	0070	0047	.3594	.3672	-.9063	-.9302
2.78125	0017	0054	.3438	.3526	-.9219	-.9358

2.79557	0045	0061	.3281	.3379	-.9219	-.9412
2.81250	0072	0066	.3125	.3232	-.9219	-.9463
2.82812	0016	0072	.2969	.3084	-.9375	-.9513
2.84375	0041	0076	.2813	.2935	-.9375	-.9560
2.85937	0063	0002	.2613	.2785	-.9375	-.9604
2.87500	0005	0005	.2656	.2634	-.9531	-.9647
2.89062	0026	0010	.2500	.2483	-.9531	-.9687
2.90625	0046	0013	.2344	.2332	-.9531	-.9724
2.92187	0065	0016	.2188	.2180	-.9531	-.9760
2.93750	0003	0020	.2031	.2027	-.9688	-.9792
2.95312	0020	0022	.1875	.1874	-.9688	-.9823
2.96875	0034	0024	.1719	.1720	-.9688	-.9851
2.98437	0047	0026	.1563	.1566	-.9688	-.9877
3.00000	0061	0030	.1406	.1411	-.9688	-.9900
3.01562	0072	0032	.1250	.1250	-.9688	-.9921
3.03125	0002	0033	.1094	.1101	-.9844	-.9939
3.04687	0011	0034	.0938	.0946	-.9844	-.9955
3.06250	0017	0035	.0781	.0790	-.9844	-.9969
3.07812	0024	0036	.0625	.0634	-.9844	-.9980
3.09375	0030	0037	.0469	.0478	-.9844	-.9989
3.10937	0033	0040	.0313	.0322	-.9844	-.9995
3.12500	0035	0041	.0156	.0166	-.9844	-.9999
3.14062	0036	0042	.0000	.0010	-.9844	-1.0000
3.15625	0036	0043	-.0156	-.0147	-.9844	-.9999
3.17187	0035	0044	-.0313	-.0303	-.9844	-.9995
3.18750	0033	0045	-.0469	-.0459	-.9844	-.9989
3.20312	0030	0046	-.0625	-.0615	-.9844	-.9981
3.21875	0024	0047	-.0781	-.0771	-.9844	-.9970
3.23437	0017	0050	-.0938	-.0926	-.9844	-.9957
3.25000	0011	0051	-.1094	-.1082	-.9844	-.9941
3.26562	0002	0052	-.1250	-.1237	-.9844	-.9923
3.28125	0072	0054	-.1406	-.1392	-.9688	-.9903
3.29687	0061	0056	-.1563	-.1547	-.9688	-.9880
3.31250	0047	0060	-.1719	-.1701	-.9688	-.9854
3.32812	0034	0062	-.1875	-.1855	-.9688	-.9827
3.34375	0020	0064	-.2031	-.2008	-.9688	-.9796
3.35937	0003	0066	-.2188	-.2161	-.9688	-.9764
3.37500	0065	0071	-.2344	-.2313	-.9531	-.9729
3.39062	0046	0074	-.2500	-.2465	-.9531	-.9692
3.40625	0026	0077	-.2656	-.2616	-.9531	-.9652
3.42187	0005	0002	-.2656	-.2766	-.9531	-.9610
3.43750	0064	0006	-.2813	-.2916	-.9375	-.9565
3.45312	0042	0012	-.2969	-.3065	-.9375	-.9519
3.46875	0017	0016	-.3125	-.3214	-.9375	-.9470
3.48437	0073	0023	-.3281	-.3361	-.9219	-.9418
3.50000	0046	0030	-.3438	-.3508	-.9219	-.9365
3.51562	0020	0035	-.3594	-.3654	-.9219	-.9309
3.53125	0071	0043	-.3750	-.3799	-.9063	-.9250
3.54687	0041	0051	-.3906	-.3943	-.9063	-.9190
3.56250	0010	0057	-.4063	-.4080	-.9063	-.9127
3.57812	0056	0066	-.4219	-.4228	-.8906	-.9062
3.59375	0023	0075	-.4375	-.4369	-.8906	-.8995
3.60937	0067	0005	-.4375	-.4509	-.8750	-.8926
3.62500	0033	0015	-.4531	-.4648	-.8750	-.8854
3.64062	0076	0026	-.4688	-.4786	-.8594	-.8780
3.65625	0040	0037	-.4844	-.4922	-.8594	-.8705
3.67187	0001	0050	-.5000	-.5058	-.8594	-.8627
3.68750	0041	0062	-.5156	-.5192	-.8438	-.8547
3.70312	0000	0074	-.5313	-.5325	-.8438	-.8464
3.71875	0036	0007	-.5313	-.5456	-.8281	-.8380

3.73437	0074	0023	-.5469	-.5587	-.6125	-.8294
3.75000	0031	0037	-.5625	-.5716	-.6125	-.8206
3.76562	0065	0054	-.5781	-.5343	-.7969	-.8115
3.78125	0020	0071	-.5938	-.5969	-.7969	-.8023
3.79687	0052	0007	-.5938	-.6094	-.7813	-.7929
3.81250	0004	0025	-.6094	-.6217	-.7813	-.7833
3.82812	0035	0044	-.6250	-.6339	-.7656	-.7734
3.84375	0065	0064	-.6406	-.6459	-.7500	-.7635
3.85937	0014	0004	-.6406	-.6577	-.7500	-.7533
3.87500	0043	0025	-.6563	-.6694	-.7344	-.7429
3.89062	0071	0047	-.6719	-.6809	-.7188	-.7323
3.90625	0016	0071	-.6875	-.6923	-.7188	-.7216
3.92187	0042	0014	-.6875	-.7035	-.7031	-.7107
3.93750	0066	0040	-.7031	-.7145	-.6875	-.6996
3.95312	0011	0064	-.7188	-.7253	-.6875	-.6884
3.96875	0033	0011	-.7188	-.7360	-.6719	-.6770
3.98437	0055	0037	-.7344	-.7465	-.6563	-.6654
4.00000	0076	0066	-.7500	-.7568	-.6406	-.6536
4.01562	0016	0015	-.7500	-.7669	-.6406	-.6417
4.03125	0036	0045	-.7656	-.7769	-.6250	-.6297
4.04687	0055	0076	-.7813	-.7866	-.6094	-.6175
4.06250	0073	0030	-.7813	-.7962	-.5938	-.6051
4.07812	0011	0062	-.7969	-.8055	-.5938	-.5926
4.09375	0026	0015	-.7969	-.8147	-.5781	-.5799
4.10937	0043	0051	-.8125	-.8236	-.5625	-.5671
4.12500	0057	0006	-.8125	-.8324	-.5469	-.5542
4.14062	0073	0044	-.8281	-.8409	-.5313	-.5411
4.15625	0006	0002	-.8281	-.8493	-.5313	-.5279
4.17187	0021	0041	-.8438	-.8574	-.5156	-.5146
4.18750	0033	0001	-.8438	-.8654	-.5000	-.5011
4.20312	0045	0042	-.8594	-.8731	-.4844	-.4875
4.21875	0056	0004	-.8594	-.8806	-.4688	-.4738
4.23437	0067	0047	-.8750	-.8879	-.4531	-.4600
4.25000	0077	0013	-.8750	-.8950	-.4375	-.4461
4.26562	0007	0057	-.8906	-.9019	-.4375	-.4320
4.28125	0016	0024	-.8906	-.9085	-.4219	-.4179
4.29687	0025	0072	-.9063	-.9149	-.4063	-.4037
4.31250	0033	0041	-.9063	-.9211	-.3906	-.3893
4.32812	0041	0011	-.9063	-.9271	-.3750	-.3749
4.34375	0047	0062	-.9219	-.9328	-.3594	-.3603
4.35937	0054	0034	-.9219	-.9383	-.3438	-.3457
4.37500	0061	0007	-.9219	-.9436	-.3281	-.3310
4.39062	0066	0063	-.9375	-.9487	-.3125	-.3162
4.40625	0072	0040	-.9375	-.9535	-.2969	-.3014
4.42187	0076	0016	-.9375	-.9581	-.2813	-.2864
4.43750	0002	0074	-.9531	-.9625	-.2813	-.2714
4.45312	0005	0053	-.9531	-.9666	-.2656	-.2564
4.46875	0010	0033	-.9531	-.9705	-.2500	-.2412
4.48437	0013	0014	-.9531	-.9741	-.2344	-.2260
4.50000	0016	0076	-.9688	-.9775	-.2188	-.2108
4.51562	0020	0061	-.9688	-.9807	-.2031	-.1955
4.53125	0022	0045	-.9688	-.9836	-.1875	-.1801
4.54687	0024	0032	-.9688	-.9863	-.1719	-.1648
4.56250	0026	0020	-.9688	-.9888	-.1563	-.1493
4.57812	0030	0007	-.9688	-.9910	-.1406	-.1339
4.59375	0032	0077	-.9844	-.9930	-.1250	-.1184
4.60937	0033	0070	-.9844	-.9947	-.1094	-.1028
4.62500	0034	0062	-.9844	-.9962	-.0938	-.0873
4.64062	0035	0055	-.9844	-.9974	-.0781	-.0717
4.65625	0036	0051	-.9844	-.9984	-.0625	-.0561

4.67187	0037	0046	-.9844	-.9992	-.0469	-.0405
4.68750	0040	0044	-.9844	-.9997	-.0313	-.0249
4.70312	0041	0043	-.9844	-1.000	-.0156	-.0093
4.71875	0042	0043	-.9844	-1.000	.0000	.0064
4.73437	0043	0044	-.9844	-.9998	.0156	.0220
4.75000	0044	0046	-.9844	-.9993	.0313	.0376
4.76562	0045	0051	-.9844	-.9986	.0469	.0532
4.78125	0046	0055	-.9844	-.9976	.0625	.0688
4.79687	0047	0062	-.9844	-.9964	.0781	.0844
4.81250	0050	0070	-.9844	-.9950	.0938	.0999
4.82812	0051	0077	-.9844	-.9933	.1094	.1155
4.84375	0052	0007	-.9688	-.9914	.1250	.1310
4.85937	0054	0020	-.9688	-.9892	.1406	.1465
4.87500	0056	0032	-.9688	-.9868	.1563	.1619
4.89062	0060	0045	-.9688	-.9842	.1719	.1773
4.90625	0062	0061	-.9688	-.9813	.1875	.1926
4.92187	0064	0076	-.9688	-.9781	.2031	.2080
4.93750	0066	0014	-.9531	-.9748	.2188	.2232
4.95312	0071	0033	-.9531	-.9712	.2344	.2384
4.96875	0074	0053	-.9531	-.9673	.2500	.2536
4.98437	0077	0074	-.9531	-.9632	.2656	.2686
5.00000	0002	0015	-.9375	-.9589	.2656	.2837
5.01562	0006	0037	-.9375	-.9544	.2813	.2986
5.03125	0012	0062	-.9375	-.9496	.2969	.3135
5.04687	0016	0006	-.9219	-.9446	.3125	.3283
5.06250	0023	0033	-.9219	-.9393	.3281	.3430
5.07812	0030	0061	-.9219	-.9339	.3438	.3576
5.09375	0035	0010	-.9063	-.9282	.3594	.3722
5.10937	0043	0040	-.9063	-.9222	.3750	.3866
5.12500	0051	0071	-.9063	-.9161	.3906	.4010
5.14062	0057	0023	-.8906	-.9097	.4063	.4153
5.15625	0066	0056	-.8906	-.9031	.4219	.4294
5.17187	0075	0012	-.8750	-.8963	.4375	.4435
5.18750	0005	0046	-.8750	-.8892	.4375	.4574
5.20312	0015	0063	-.8594	-.8820	.4531	.4713
5.21875	0026	0041	-.8594	-.8745	.4688	.4850
5.23437	0037	0000	-.8438	-.8668	.4844	.4986
5.25000	0051	0040	-.8438	-.8589	.5000	.5121
5.26562	0063	0001	-.8281	-.8508	.5156	.5254
5.28125	0076	0043	-.8281	-.8425	.5313	.5387
5.29687	0011	0005	-.8125	-.8340	.5313	.5518
5.31250	0025	0050	-.8125	-.8253	.5469	.5647
5.32812	0041	0014	-.7969	-.8163	.5625	.5776
5.34375	0056	0061	-.7969	-.8072	.5781	.5902
5.35937	0073	0027	-.7813	-.7979	.5938	.6028
5.37500	0011	0075	-.7813	-.7884	.5938	.6152
5.39062	0027	0044	-.7656	-.7787	.6094	.6274
5.40625	0046	0014	-.7500	-.7688	.6250	.6395
5.42187	0066	0065	-.7500	-.7587	.6406	.6514
5.43750	0006	0036	-.7344	-.7484	.6406	.6632
5.45312	0027	0010	-.7188	-.7380	.6563	.6748
5.46875	0051	0063	-.7188	-.7273	.6719	.6863
5.48437	0073	0037	-.7031	-.7165	.6875	.6976
5.50000	0016	0013	-.6875	-.7055	.6875	.7067
5.51562	0042	0070	-.6875	-.6944	.7031	.7196
5.53125	0066	0046	-.6719	-.6831	.7188	.7304
5.54687	0013	0024	-.6563	-.6716	.7188	.7410
5.56250	0041	0003	-.6406	-.6599	.7344	.7514
5.57812	0070	0063	-.6406	-.6481	.7500	.7616
5.59375	0017	0043	-.6250	-.6361	.7500	.7716

5.60937	0047	0024	-.6094	-.6240	.7656	.7815
5.62500	0000	0005	-.5938	-.6117	.7656	.7911
5.64062	0032	0067	-.5938	-.5992	.7813	.8006
5.65625	0064	0052	-.5781	-.5867	.7909	.8098
5.67187	0017	0035	-.5625	-.5739	.7969	.8189
5.68750	0053	0021	-.5469	-.5611	.8125	.8278
5.70312	0010	0005	-.5313	-.5481	.8125	.8364
5.71875	0046	0072	-.5313	-.5349	.8281	.8449
5.73437	0004	0057	-.5156	-.5277	.8281	.8531
5.75000	0043	0045	-.5000	-.5083	.8438	.8612
5.76562	0003	0033	-.4844	-.4946	.8438	.8690
5.78125	0044	0022	-.4688	-.4811	.8594	.8767
5.79687	0006	0011	-.4531	-.4674	.8594	.8841
5.81250	0051	0001	-.4375	-.4535	.8750	.8913
5.82812	0015	0071	-.4375	-.4395	.8750	.8982
5.84375	0061	0062	-.4219	-.4254	.8906	.9050
5.85937	0026	0053	-.4063	-.4112	.8906	.9115
5.87500	0074	0045	-.3906	-.3969	.9063	.9178
5.89062	0043	0037	-.3750	-.3826	.9063	.9239
5.90625	0013	0031	-.3594	-.3681	.9063	.9298
5.92187	0064	0024	-.3438	-.3535	.9219	.9354
5.93750	0036	0017	-.3281	-.3388	.9219	.9408
5.95312	0011	0012	-.3125	-.3241	.9219	.9460
5.96875	0065	0006	-.2969	-.3093	.9375	.9510
5.98437	0042	0002	-.2813	-.2944	.9375	.9557
6.00000	0020	0076	-.2813	-.2794	.9375	.9602
6.01562	0076	0073	-.2656	-.2644	.9531	.9644
6.03125	0055	0070	-.2500	-.2493	.9531	.9684
6.04687	0035	0065	-.2344	-.2341	.9531	.9722
6.06250	0016	0062	-.2188	-.2189	.9531	.9757
6.07812	0000	0057	-.2031	-.2036	.9531	.9790
6.09375	0063	0055	-.1875	-.1883	.9688	.9821
6.10937	0047	0053	-.1719	-.1729	.9688	.9849
6.12500	0034	0051	-.1563	-.1575	.9688	.9875
6.14062	0022	0047	-.1406	-.1421	.9688	.9899
6.15625	0011	0045	-.1250	-.1266	.9688	.9920
6.17187	0001	0043	-.1094	-.1111	.9688	.9938
6.18750	0072	0042	-.0938	-.0955	.9844	.9954
6.20312	0064	0041	-.0781	-.0800	.9844	.9968
6.21875	0057	0040	-.0625	-.0644	.9844	.9979
6.23437	0053	0037	-.0469	-.0488	.9844	.9988
6.25000	0050	0036	-.0313	-.0332	.9844	.9994
6.26562	0046	0035	-.0156	-.0176	.9844	.9998
6.28125	0045	0034	.0000	-.0019	.9844	1.0000

```

HPAL, "ADDS6"
@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@
&
&          SIMULACAO DO ADD - OPERACAO SIMULTANEA
&
&          ESTE PROGRAMA SIMULA DOIS ADD'S DE 6 BITS, CUJOS
&          REGISTRADORES ACUMULADORES SAO INICIALIZADOS A-
&          PENAS NO INICIO DAS OPERACOES, COM O SEU VALOR
&          MEDIO. AS OPERACOES REALIZADAS COM OS ACUMULADO-
&          RES SAO SIMULTANEAS. OS ADD'S ESTAO CONVENIENTE-
&          MENTE LIGADOS PARA A GERACAO DE CIRCUNFERENCIAS.
&
&          CALCULA O VALOR DAS COORDENADAS "X" E "Y" PARA
&          PARA UMA CIRCUNFERENCIA DE RAIU UNITARIO.
&
&          COMO RESULTADOS FORNECE O VALOR CONTIDO NOS RE-
&          GISTRADORES ACUMULADORES, E OS VALORES CORRES-
&          PONDENTES AS COORDENADAS (SENO E COSSENO CALCUL-
&          ADOS), COMPARADOS COM AS FUNCOES SENO E COSSENO
&          DO COMPUTADOR HP2100.
&
@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@
&
&
BEGIN
INTEGER ACC1,ACC2,SEN1,COS1,ACCSEN,ACCCOS,SAS,SAC,DCOS,
        DSEN;
REAL ANGULO,VARANG,SENCALC,COSCALC;
INTEGER PROCEDURE PARTW(VAR,BTFRM,TAM);
VALUE VAR,BTFRM,TAM;
INTEGER VAR,BTFRM,TAM;
CODE;
&
PROCEDURE CALCULO;
BEGIN
        ACCCOS:= PARTW(ACC2,5,6);
        IF PARTW(SEN1,5,1)=1 THEN SENCALC:=SENCALC+(1/2);
        IF PARTW(SEN1,4,1)=1 THEN SENCALC:=SENCALC+(1/4);
        IF PARTW(SEN1,3,1)=1 THEN SENCALC:=SENCALC+(1/8);
        IF PARTW(SEN1,2,1)=1 THEN SENCALC:=SENCALC+(1/16);
        IF PARTW(SEN1,1,1)=1 THEN SENCALC:=SENCALC+(1/32);
        IF PARTW(SEN1,0,1)=1 THEN SENCALC:=SENCALC+(1/64);
        IF PARTW(COS1,5,1)=1 THEN COSCALC:=COSCALC+(1/2);
        IF PARTW(COS1,4,1)=1 THEN COSCALC:=COSCALC+(1/4);
        IF PARTW(COS1,3,1)=1 THEN COSCALC:=COSCALC+(1/8);
        IF PARTW(COS1,2,1)=1 THEN COSCALC:=COSCALC+(1/16);
        IF PARTW(COS1,1,1)=1 THEN COSCALC:=COSCALC+(1/32);
        IF PARTW(COS1,0,1)=1 THEN COSCALC:=COSCALC+(1/64);
END;
ANGULO:=0;
VARANG:=1/64;
ACC1:= @40;
ACC2:= @40;
SEN1:= @0;
COS1:= @77;
SENCALC:=0;
COSCALC:=63/64;
WRITE(11,#(1X,1X,"ANGULO",5X,"AS",6X,"AC",4X,"SENCALC",3X,
        "SIN X",2X,"COS CALC",3X,"COS X"));
WRITE(11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,

```



```

        ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
&
&
WHILE ANGULO<=(1.5707-VARANG) DO
BEGIN
    SENCALC:=0;
    COSCALC:=0;
    ACC1:= ACC1+SEN1;
    SAS:= PARTW(ACC1,15,10);
    IF SAS#0 THEN DCOS:= -1 ELSE DCOS:= 0;
    ACC2:= ACC2+COS1;
    SAC:= PARTW(ACC2,15,10);
    IF SAC#0 THEN DSEN:= 1 ELSE DSEN:= 0;
    ACC1:= ACC1 AND 77;
    ACC2:= ACC2 AND 77;
    SEN1:= SEN1+DSEN;
    COS1:= COS1+DCOS;
    ANGULO:= ANGULO+VARANG;
    ACCSEN:= PARTW(ACC1,5,6);
    ACCCOS:= PARTW(ACC2,5,6);
    CALCULO;
    IF PARTW(SEN1,6,1)=1 THEN SENCALC:=SENCALC+(1);
&
WRITE(11, #(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
    ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
WHILE ANGULO>(1.5707-VARANG) AND ANGULO<=(3.14159-VARANG)
DO
BEGIN
    SENCALC:=0;
    COSCALC:=-1;
    ACC1:= ACC1+SEN1;
    SAS:= PARTW(ACC1,15,10);
    IF SAS#0 THEN DCOS:= -1 ELSE DCOS:= 0;
    ACC2:= ACC2+COS1;
    SAC:= PARTW(ACC2,15,10);
    IF SAC#0 THEN DSEN:= -1 ELSE DSEN:= 0;
    ACC1:= ACC1 AND 77;
    ACC2:= ACC2 AND 77;
    COS1:= COS1+DCOS;
    SEN1:= SEN1+DSEN;
    ANGULO:= ANGULO+VARANG;
    ACCSEN:= PARTW(ACC1,5,6);
    ACCCOS:= PARTW(ACC2,5,6);
    CALCULO;
    IF PARTW(SEN1,6,1)=1 THEN SENCALC:=SENCALC+(1);
    IF COSCALC=-1 AND SENCALC=1 THEN
        COSCALC:=COSCALC + 1;
WRITE(11, #(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
    ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
WHILE ANGULO>(3.14159-VARANG) AND ANGULO<=(4.71238-VARANG)
DO
BEGIN
    SENCALC:=-1;
    COSCALC:=-1;
    ACC1:= ACC1+SEN1;
    SAS:= PARTW(ACC1,15,10);
    IF SAS#0 THEN DCOS:= 1 ELSE DCOS:= 0;
    ACC2:= ACC2+COS1;

```

```

SAC:= PARTW(ACC2,15,10);
IF SAC#0 THEN DSEN:= -1 ELSE DSEN:= 0;
ACC1:= ACC1 AND @77;
ACC2:= ACC2 AND @77;
COS1:= CCS1+DCCS;
SEN1:= SEN1+DSEN;
ANGULO:= ANGULO+VARANG;
ACCSEN:= PARTW(ACC1,5,6);
ACCCOS:= PARTW(ACC2,5,6);
CALCULO;
&
WRITE (11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
WHILE ANGULO>(4.71238-VARANG) AND ANGULO<=(6.28318-VARANG)
DO
BEGIN
SENCALC:=-1;
COSCALC:=0;
ACC1:= ACC1+SEN1;
SAS:= PARTW(ACC1,15,10);
IF SAS#0 THEN DCOS:= 1 ELSE DCOS:= 0;
ACC2:= ACC2+COS1;
SAC:= PARTW(ACC2,15,10);
IF SAC#0 THEN DSEN:= 1 ELSE DSEN:= 0;
ACC1:= ACC1 AND @77;
ACC2:= ACC2 AND @77;
COS1:= COS1+DCCS;
SEN1:= SEN1+DSEN;
ANGULO:= ANGULO+VARANG;
ACCSEN:= PARTW(ACC1,5,6);
ACCCOS:= PARTW(ACC2,5,6);
CALCULO;
IF SENCALC=-1 THEN SENCALC:=SENCALC+(1);
IF PARTW(COS1,6,1)=1 THEN COSCALC:=COSCALC+(1);
&
WRITE (11,#(1X,F7.5,2(4X,K4),4(3X,F6.4)),ANGULO,ACCSEN,
ACCCOS,SENCALC,SIN(ANGULO),COSCALC,COS(ANGULO));
END;
END.

```

ANGULO	AS	AC	SENCALC	SIN X	COS CALC	COS X
.00000	0000	0000	.0000	.0000	.9844	1.0000
.01563	0040	0037	.0156	.0156	.9844	.9999
.03125	0041	0036	.0313	.0312	.9844	.9995
.04688	0043	0035	.0469	.0469	.9844	.9989
.06250	0046	0034	.0625	.0625	.9844	.9980
.07813	0052	0033	.0781	.0780	.9844	.9969
.09375	0057	0032	.0938	.0930	.9844	.9956
.10938	0065	0031	.1094	.1092	.9844	.9940
.12500	0074	0030	.1250	.1247	.9844	.9922
.14063	0004	0027	.1406	.1402	.9688	.9901
.15625	0015	0025	.1563	.1556	.9688	.9878
.17188	0027	0023	.1719	.1710	.9688	.9853
.18750	0042	0021	.1875	.1864	.9688	.9825
.20313	0056	0017	.2031	.2017	.9688	.9794
.21875	0073	0015	.2188	.2170	.9688	.9762
.23438	0011	0013	.2344	.2322	.9531	.9727
.25000	0030	0010	.2500	.2474	.9531	.9689
.26563	0050	0005	.2656	.2625	.9531	.9649
.28125	0071	0002	.2813	.2776	.9531	.9607
.29688	0013	0077	.2813	.2925	.9375	.9563
.31250	0035	0073	.2969	.3074	.9375	.9516
.32813	0060	0067	.3125	.3223	.9375	.9466
.34375	0004	0063	.3281	.3370	.9219	.9415
.35938	0031	0056	.3438	.3517	.9219	.9361
.37500	0057	0051	.3594	.3663	.9219	.9305
.39063	0006	0044	.3750	.3808	.9063	.9247
.40625	0036	0036	.3906	.3952	.9063	.9186
.42188	0067	0030	.4063	.4095	.9063	.9123
.43750	0021	0022	.4219	.4237	.8906	.9058
.45313	0054	0013	.4375	.4378	.8906	.8991
.46875	0010	0004	.4531	.4510	.8750	.8921
.48438	0045	0074	.4531	.4657	.8750	.8850
.50000	0002	0064	.4688	.4794	.8594	.8776
.51563	0040	0053	.4844	.4931	.8594	.8700
.53125	0077	0042	.5000	.5066	.8594	.8622
.54688	0037	0031	.5156	.5200	.8438	.8542
.56250	0000	0017	.5313	.5333	.8281	.8459
.57813	0042	0004	.5469	.5465	.8281	.8375
.59375	0005	0071	.5469	.5595	.8125	.8288
.60938	0050	0055	.5625	.5724	.8125	.8200
.62500	0014	0041	.5781	.5851	.7969	.8110
.64063	0061	0024	.5938	.5977	.7969	.8017
.65625	0027	0007	.6094	.6102	.7813	.7923
.67188	0076	0071	.6094	.6225	.7813	.7827
.68750	0045	0053	.6250	.6346	.7656	.7728
.70313	0015	0034	.6406	.6466	.7500	.7628
.71875	0066	0014	.6563	.6584	.7500	.7526
.73438	0040	0074	.6563	.6701	.7344	.7422
.75000	0012	0053	.6719	.6816	.7188	.7317
.76563	0065	0031	.6875	.6930	.7188	.7209
.78125	0041	0007	.7031	.7042	.7031	.7100
.79688	0016	0064	.7031	.7152	.6875	.6989
.81250	0073	0040	.7188	.7260	.6875	.6877
.82813	0051	0014	.7344	.7367	.6719	.6763
.84375	0030	0067	.7344	.7471	.6563	.6647
.85938	0007	0041	.7500	.7574	.6406	.6529
.87500	0067	0012	.7656	.7675	.6406	.6410
.89063	0050	0063	.7656	.7775	.6250	.6289
.90625	0031	0033	.7813	.7872	.6094	.6167

.92188	0013	0002	.7969	.7967	.5938	.6043
.93750	0076	0050	.7969	.8061	.5938	.5918
.95313	0061	0016	.8125	.8152	.5781	.5791
.96875	0045	0063	.8125	.8242	.5625	.5663
.98438	0031	0027	.8281	.8329	.5469	.5534
1.00000	0016	0072	.8281	.8415	.5313	.5403
1.01562	0003	0034	.8438	.8498	.5156	.5271
1.03125	0071	0075	.8438	.8579	.5156	.5137
1.04687	0057	0036	.8594	.8659	.5000	.5003
1.06250	0046	0076	.8594	.8736	.4844	.4867
1.07812	0035	0035	.8750	.8811	.4688	.4730
1.09375	0025	0073	.8750	.8884	.4531	.4592
1.10937	0015	0030	.8906	.8954	.4375	.4452
1.12500	0006	0064	.8906	.9023	.4219	.4312
1.14062	0077	0017	.9063	.9089	.4219	.4170
1.15625	0071	0052	.9063	.9153	.4063	.4028
1.17187	0063	0004	.9219	.9215	.3906	.3884
1.18750	0056	0035	.9219	.9274	.3750	.3740
1.20312	0051	0065	.9219	.9332	.3594	.3594
1.21875	0044	0014	.9375	.9387	.3438	.3448
1.23437	0040	0042	.9375	.9439	.3281	.3301
1.25000	0034	0067	.9375	.9490	.3125	.3153
1.26562	0030	0013	.9531	.9538	.2969	.3005
1.28125	0025	0036	.9531	.9584	.2813	.2855
1.29687	0022	0060	.9531	.9627	.2656	.2705
1.31250	0017	0001	.9688	.9668	.2500	.2554
1.32812	0015	0021	.9688	.9707	.2344	.2403
1.34375	0013	0040	.9688	.9743	.2188	.2251
1.35937	0011	0056	.9688	.9777	.2031	.2098
1.37500	0007	0073	.9688	.9809	.1875	.1945
1.39062	0005	0007	.9844	.9838	.1719	.1792
1.40625	0004	0022	.9844	.9865	.1563	.1638
1.42187	0003	0034	.9844	.9889	.1406	.1484
1.43750	0002	0045	.9844	.9911	.1250	.1329
1.45312	0001	0055	.9844	.9931	.1094	.1174
1.46875	0000	0064	.9844	.9948	.0938	.1019
1.48437	0077	0072	.9844	.9963	.0938	.0863
1.50000	0076	0000	1.0000	.9975	.0781	.0707
1.51562	0076	0005	1.0000	.9985	.0625	.0551
1.53125	0076	0011	1.0000	.9992	.0469	.0395
1.54687	0076	0014	1.0000	.9997	.0313	.0239
1.56250	0076	0016	1.0000	1.0000	.0156	.0083
1.57812	0076	0017	1.0000	1.0000	.0000	-.0073
1.59375	0076	0017	1.0000	.9997	-.0156	-.0230
1.60937	0076	0016	1.0000	.9993	-.0313	-.0386
1.62500	0076	0014	1.0000	.9985	-.0469	-.0542
1.64062	0076	0011	1.0000	.9976	-.0625	-.0698
1.65625	0076	0005	1.0000	.9964	-.0781	-.0853
1.67187	0076	0000	1.0000	.9949	-.0938	-.1009
1.68750	0076	0072	.9844	.9932	-.1094	-.1164
1.70312	0075	0063	.9844	.9913	-.1250	-.1319
1.71875	0074	0053	.9844	.9891	-.1406	-.1474
1.73437	0073	0042	.9844	.9867	-.1563	-.1629
1.75000	0072	0030	.9844	.9840	-.1719	-.1782
1.76562	0071	0015	.9844	.9811	-.1875	-.1936
1.78125	0070	0001	.9844	.9779	-.2031	-.2089
1.79687	0067	0064	.9688	.9746	-.2188	-.2242
1.81250	0065	0046	.9688	.9709	-.2344	-.2394
1.82812	0063	0027	.9688	.9671	-.2500	-.2545
1.84375	0061	0007	.9688	.9630	-.2656	-.2696

1.85937	0057	0066	.9531	.9586	-.2813	-.2846
1.87500	0054	0044	.9531	.9541	-.2969	-.2995
1.89062	0051	0021	.9531	.9493	-.3125	-.3144
1.90625	0046	0075	.9375	.9443	-.3281	-.3292
1.92187	0042	0050	.9375	.9390	-.3438	-.3439
1.93750	0036	0022	.9375	.9335	-.3594	-.3585
1.95312	0032	0073	.9219	.9278	-.3750	-.3731
1.96875	0025	0043	.9219	.9219	-.3906	-.3875
1.98437	0020	0012	.9219	.9157	-.4063	-.4019
2.00000	0013	0060	.9063	.9093	-.4219	-.4161
2.01562	0005	0025	.9063	.9027	-.4375	-.4303
2.03125	0077	0071	.8906	.8959	-.4531	-.4444
2.04687	0070	0035	.8906	.8888	-.4531	-.4583
2.06250	0061	0000	.8906	.8815	-.4688	-.4721
2.07812	0052	0042	.8750	.8740	-.4844	-.4858
2.09375	0042	0003	.8750	.8663	-.5000	-.4994
2.10937	0032	0043	.8594	.8584	-.5156	-.5129
2.12500	0021	0002	.8594	.8503	-.5313	-.5263
2.14062	0010	0040	.8438	.8420	-.5469	-.5395
2.15625	0076	0075	.8281	.8335	-.5469	-.5526
2.17187	0063	0032	.8281	.8247	-.5625	-.5655
2.18750	0050	0066	.8125	.8158	-.5781	-.5783
2.20312	0034	0021	.8125	.8067	-.5938	-.5910
2.21875	0020	0053	.7969	.7973	-.6094	-.6036
2.23437	0003	0004	.7969	.7878	-.6250	-.6159
2.25000	0066	0034	.7813	.7781	-.6250	-.6282
2.26562	0050	0064	.7656	.7682	-.6406	-.6403
2.28125	0031	0013	.7656	.7581	-.6563	-.6522
2.29687	0012	0041	.7500	.7478	-.6719	-.6639
2.31250	0072	0066	.7344	.7373	-.6719	-.6755
2.32812	0051	0013	.7344	.7267	-.6875	-.6870
2.34375	0030	0037	.7188	.7159	-.7031	-.6983
2.35937	0006	0062	.7031	.7049	-.7188	-.7094
2.37500	0063	0004	.7031	.6937	-.7188	-.7203
2.39062	0040	0026	.6875	.6823	-.7344	-.7310
2.40625	0014	0047	.6719	.6708	-.7500	-.7416
2.42187	0067	0067	.6563	.6592	-.7500	-.7520
2.43750	0041	0007	.6563	.6473	-.7656	-.7622
2.45312	0013	0026	.6406	.6354	-.7813	-.7722
2.46875	0064	0044	.6250	.6232	-.7813	-.7821
2.48437	0034	0062	.6094	.6109	-.7969	-.7917
2.50000	0003	0077	.5938	.5985	-.8125	-.8011
2.51562	0051	0013	.5938	.5859	-.8125	-.8104
2.53125	0017	0027	.5781	.5731	-.8281	-.8195
2.54687	0064	0042	.5625	.5603	-.8281	-.8283
2.56250	0030	0055	.5469	.5473	-.8438	-.8370
2.57812	0073	0067	.5313	.5341	-.8438	-.8454
2.59375	0035	0001	.5313	.5208	-.8594	-.8537
2.60937	0077	0012	.5156	.5074	-.8594	-.8617
2.62500	0040	0023	.5000	.4939	-.8750	-.8695
2.64062	0000	0033	.4844	.4803	-.8906	-.8771
2.65625	0037	0042	.4688	.4665	-.8906	-.8845
2.67187	0075	0051	.4531	.4526	-.8906	-.8917
2.68750	0032	0060	.4375	.4386	-.9063	-.8987
2.70312	0066	0066	.4219	.4246	-.9063	-.9054
2.71875	0021	0074	.4063	.4104	-.9219	-.9119
2.73437	0053	0001	.4063	.3961	-.9219	-.9182
2.75000	0005	0006	.3906	.3817	-.9375	-.9243
2.76562	0036	0012	.3750	.3672	-.9375	-.9302
2.78125	0066	0016	.3594	.3526	-.9375	-.9358

2.79687	0015	0022	.3438	.3379	-.9531	-.9412
2.81250	0043	0025	.3281	.3232	-.9531	-.9463
2.82812	0070	0030	.3125	.3064	-.9531	-.9513
2.84375	0014	0033	.2969	.2935	-.9688	-.9560
2.85937	0037	0035	.2813	.2765	-.9688	-.9604
2.87500	0061	0037	.2656	.2634	-.9688	-.9647
2.89062	0002	0041	.2500	.2483	-.9844	-.9687
2.90625	0022	0042	.2344	.2332	-.9844	-.9724
2.92187	0041	0043	.2188	.2180	-.9844	-.9760
2.93750	0057	0044	.2031	.2027	-.9844	-.9792
2.95312	0074	0045	.1875	.1874	-.9844	-.9823
2.96875	0010	0046	.1719	.1720	-1.000	-.9851
2.98437	0023	0046	.1563	.1566	-1.000	-.9877
3.00000	0035	0046	.1406	.1411	-1.000	-.9900
3.01562	0046	0046	.1250	.1256	-1.000	-.9921
3.03125	0056	0046	.1094	.1101	-1.000	-.9939
3.04687	0065	0046	.0938	.0946	-1.000	-.9955
3.06250	0073	0046	.0781	.0790	-1.000	-.9969
3.07812	0000	0046	.0625	.0634	-.0156	-.9980
3.09375	0004	0045	.0469	.0478	-.0156	-.9989
3.10937	0007	0044	.0313	.0322	-.0156	-.9995
3.12500	0011	0043	.0156	.0166	-.0156	-.9999
3.14062	0012	0042	.0000	.0010	-.0156	ov. -1.000
3.15625	0012	0041	-.0156	-.0147	-.0156	-.9999
3.17187	0011	0040	-.0313	-.0303	-.0156	-.9995
3.18750	0007	0037	-.0469	-.0459	-.0156	-.9989
3.20312	0004	0036	-.0625	-.0615	-.0156	-.9981
3.21875	0000	0035	-.0781	-.0771	-.0156	-.9970
3.23437	0073	0034	-.0938	-.0926	-1.000	-.9957
3.25000	0065	0034	-.1094	-.1082	-1.000	-.9941
3.26562	0056	0034	-.1250	-.1237	-1.000	-.9923
3.28125	0046	0034	-.1406	-.1392	-1.000	-.9903
3.29687	0035	0034	-.1563	-.1547	-1.000	-.9880
3.31250	0023	0034	-.1719	-.1701	-1.000	-.9854
3.32812	0010	0034	-.1875	-.1855	-1.000	-.9827
3.34375	0074	0034	-.2031	-.2008	-.9844	-.9796
3.35937	0057	0035	-.2188	-.2161	-.9844	-.9764
3.37500	0041	0036	-.2344	-.2313	-.9844	-.9729
3.39062	0022	0037	-.2500	-.2465	-.9844	-.9692
3.40625	0002	0040	-.2656	-.2616	-.9844	-.9652
3.42187	0061	0041	-.2813	-.2766	-.9688	-.9610
3.43750	0037	0043	-.2969	-.2916	-.9688	-.9565
3.45312	0014	0045	-.3125	-.3065	-.9688	-.9519
3.46875	0070	0047	-.3281	-.3214	-.9531	-.9470
3.48437	0043	0052	-.3438	-.3361	-.9531	-.9418
3.50000	0015	0055	-.3594	-.3508	-.9531	-.9365
3.51562	0066	0060	-.3750	-.3654	-.9375	-.9309
3.53125	0036	0064	-.3906	-.3799	-.9375	-.9250
3.54687	0005	0070	-.4063	-.3943	-.9375	-.9190
3.56250	0053	0074	-.4219	-.4086	-.9219	-.9127
3.57812	0020	0001	-.4219	-.4228	-.9219	-.9062
3.59375	0065	0006	-.4375	-.4309	-.9063	-.8995
3.60937	0031	0014	-.4531	-.4509	-.9063	-.8926
3.62500	0074	0022	-.4688	-.4648	-.8906	-.8854
3.64062	0036	0031	-.4844	-.4786	-.8906	-.8780
3.65625	0077	0040	-.5000	-.4922	-.8750	-.8705
3.67187	0037	0050	-.5156	-.5058	-.8750	-.8627
3.68750	0076	0060	-.5313	-.5192	-.8594	-.8547
3.70312	0034	0071	-.5469	-.5325	-.8594	-.8464
3.71875	0071	0002	-.5469	-.5456	-.8438	-.8380

3.73437	0026	0014	-.5625	-.5587	-.8438	-.8294
3.75000	0062	0026	-.5781	-.5716	-.8281	-.8206
3.76562	0015	0041	-.5938	-.5843	-.8281	-.8115
3.78125	0047	0054	-.6094	-.5969	-.8125	-.8023
3.79687	0000	0070	-.6250	-.6094	-.8125	-.7929
3.81250	0030	0004	-.6250	-.6217	-.7969	-.7833
3.82812	0060	0021	-.6406	-.6339	-.7813	-.7734
3.84375	0007	0037	-.6563	-.6459	-.7813	-.7635
3.85937	0035	0055	-.6719	-.6577	-.7656	-.7533
3.87500	0062	0074	-.6875	-.6694	-.7500	-.7429
3.89062	0006	0014	-.6875	-.6809	-.7500	-.7323
3.90625	0032	0034	-.7031	-.6923	-.7344	-.7216
3.92187	0055	0055	-.7188	-.7035	-.7188	-.7107
3.93750	0077	0077	-.7344	-.7145	-.7031	-.6996
3.95312	0020	0022	-.7344	-.7253	-.7031	-.6884
3.96875	0041	0045	-.7500	-.7360	-.6875	-.6770
3.98437	0061	0071	-.7656	-.7465	-.6719	-.6654
4.00000	0000	0016	-.7656	-.7568	-.6719	-.6536
4.01562	0017	0043	-.7813	-.7669	-.6563	-.6417
4.03125	0035	0071	-.7969	-.7769	-.6406	-.6297
4.04687	0052	0020	-.7969	-.7866	-.6250	-.6175
4.06250	0067	0050	-.8125	-.7962	-.6094	-.6051
4.07812	0003	0001	-.8125	-.8055	-.6094	-.5926
4.09375	0017	0032	-.8281	-.8147	-.5938	-.5799
4.10937	0032	0064	-.8438	-.8236	-.5781	-.5671
4.12500	0044	0017	-.8438	-.8324	-.5625	-.5542
4.14062	0056	0053	-.8594	-.8409	-.5469	-.5411
4.15625	0067	0010	-.8594	-.8493	-.5313	-.5279
4.17187	0000	0046	-.8750	-.8574	-.5313	-.5146
4.18750	0010	0004	-.8750	-.8654	-.5156	-.5011
4.20312	0020	0043	-.8906	-.8731	-.5000	-.4875
4.21875	0027	0003	-.8906	-.8806	-.4844	-.4738
4.23437	0036	0044	-.9063	-.8879	-.4688	-.4600
4.25000	0044	0006	-.9063	-.8950	-.4531	-.4461
4.26562	0052	0051	-.9219	-.9019	-.4375	-.4320
4.28125	0057	0015	-.9219	-.9085	-.4219	-.4179
4.29687	0064	0062	-.9375	-.9149	-.4063	-.4037
4.31250	0070	0030	-.9375	-.9211	-.3906	-.3893
4.32812	0074	0077	-.9531	-.9271	-.3750	-.3749
4.34375	0077	0047	-.9531	-.9328	-.3594	-.3603
4.35937	0002	0020	-.9531	-.9363	-.3594	-.3457
4.37500	0005	0071	-.9688	-.9436	-.3438	-.3310
4.39062	0007	0043	-.9688	-.9487	-.3281	-.3162
4.40625	0011	0016	-.9688	-.9535	-.3125	-.3014
4.42187	0013	0072	-.9844	-.9581	-.2969	-.2864
4.43750	0014	0047	-.9844	-.9625	-.2813	-.2714
4.45312	0015	0025	-.9844	-.9666	-.2656	-.2564
4.46875	0016	0004	-.9844	-.9705	-.2500	-.2412
4.48437	0017	0064	-1.000	-.9741	-.2344	-.2260
4.50000	0017	0045	-1.000	-.9775	-.2188	-.2108
4.51562	0017	0027	-1.000	-.9807	-.2031	-.1955
4.53125	0017	0012	-1.000	-.9836	-.1875	-.1801
4.54687	0017	0076	-.0156	-.9863	-.1719	-.1648
4.56250	0016	0063	-.0156	-.9888	-.1563	-.1493
4.57812	0015	0051	-.0156	-.9910	-.1406	-.1339
4.59375	0014	0040	-.0156	-.9930	-.1250	-.1184
4.60937	0013	0030	-.0156	-.9947	-.1094	-.1028
4.62500	0012	0021	-.0156	ov. -9962	-.0938	-.0873
4.64062	0011	0013	-.0156	-.9974	-.0781	-.0717
4.65625	0010	0006	-.0156	-.9984	-.0625	-.0561

4.67187	0007	0002	-.0156	-.9992	-.0469	-.0405
4.68750	0006	0077	-.0313	-.9997	-.0313	-.0249
4.70312	0004	0075	-.0313	-1.000	-.0156	-.0093
4.71875	0002	0074	-.0313	-1.000	.0000	.0064
4.73437	0000	0074	-.0313	-.9995	.0156	.0220
4.75000	0076	0075	-.0313	-.9993	.0313	.0376
4.76562	0074	0077	-.0313	-.9986	.0469	.0532
4.78125	0072	0002	-.0156	-.9976	.0625	.0688
4.79687	0071	0006	-.0156	-.9964	.0781	.0844
4.81250	0070	0013	-.0156	-.9950	.0938	.0999
4.82812	0067	0021	-.0156	-.9933	.1094	.1155
4.84375	0066	0030	-.0156	-.9914	.1250	.1310
4.85937	0065	0040	-.0156	-.9892	.1406	.1465
4.87500	0064	0051	-.0156	-.9868	.1563	.1619
4.89062	0063	0063	-.0156	-.9842	.1719	.1773
4.90625	0062	0076	-.0156	-.9813	.1875	.1926
4.92187	0061	0012	-1.0000	-.9781	.2031	.2080
4.93750	0061	0027	-1.0000	-.9748	.2188	.2232
4.95312	0061	0045	-1.0000	-.9712	.2344	.2384
4.96875	0061	0064	-1.0000	-.9673	.2500	.2536
4.98437	0061	0004	-.9844	-.9632	.2656	.2686
5.00000	0062	0025	-.9844	-.9589	.2813	.2837
5.01562	0063	0047	-.9844	-.9544	.2969	.2986
5.03125	0064	0072	-.9844	-.9496	.3125	.3135
5.04687	0065	0016	-.9688	-.9446	.3281	.3283
5.06250	0067	0043	-.9688	-.9393	.3438	.3430
5.07812	0071	0071	-.9688	-.9339	.3594	.3576
5.09375	0073	0020	-.9531	-.9282	.3750	.3722
5.10937	0076	0050	-.9531	-.9222	.3906	.3866
5.12500	0001	0001	-.9375	-.9161	.3906	.4010
5.14062	0005	0032	-.9375	-.9097	.4063	.4153
5.15625	0011	0064	-.9375	-.9031	.4219	.4294
5.17187	0015	0017	-.9219	-.8963	.4375	.4435
5.18750	0022	0053	-.9219	-.8892	.4531	.4574
5.20312	0027	0010	-.9063	-.8820	.4688	.4713
5.21875	0035	0046	-.9063	-.8745	.4844	.4850
5.23437	0043	0005	-.8906	-.8668	.5000	.4986
5.25000	0052	0045	-.8906	-.8589	.5156	.5121
5.26562	0061	0006	-.8750	-.8508	.5313	.5254
5.28125	0071	0050	-.8750	-.8425	.5469	.5387
5.29687	0001	0013	-.8594	-.8340	.5469	.5518
5.31250	0012	0056	-.8594	-.8253	.5625	.5647
5.32812	0023	0022	-.8438	-.8163	.5781	.5776
5.34375	0035	0067	-.8438	-.8072	.5938	.5902
5.35937	0047	0035	-.8281	-.7979	.6094	.6028
5.37500	0062	0004	-.8125	-.7884	.6250	.6152
5.39062	0076	0054	-.8125	-.7787	.6406	.6274
5.40625	0012	0025	-.7969	-.7688	.6406	.6395
5.42187	0027	0076	-.7969	-.7587	.6563	.6514
5.43750	0044	0050	-.7813	-.7484	.6719	.6632
5.45312	0062	0023	-.7656	-.7380	.6875	.6748
5.46875	0001	0077	-.7656	-.7273	.6875	.6863
5.48437	0020	0053	-.7500	-.7165	.7031	.6976
5.50000	0040	0030	-.7344	-.7055	.7188	.7087
5.51562	0061	0006	-.7188	-.6944	.7344	.7196
5.53125	0003	0065	-.7188	-.6831	.7344	.7304
5.54687	0025	0044	-.7031	-.6716	.7500	.7410
5.56250	0050	0024	-.6875	-.6599	.7656	.7514
5.57812	0074	0005	-.6719	-.6481	.7813	.7616
5.59375	0021	0067	-.6719	-.6361	.7813	.7716

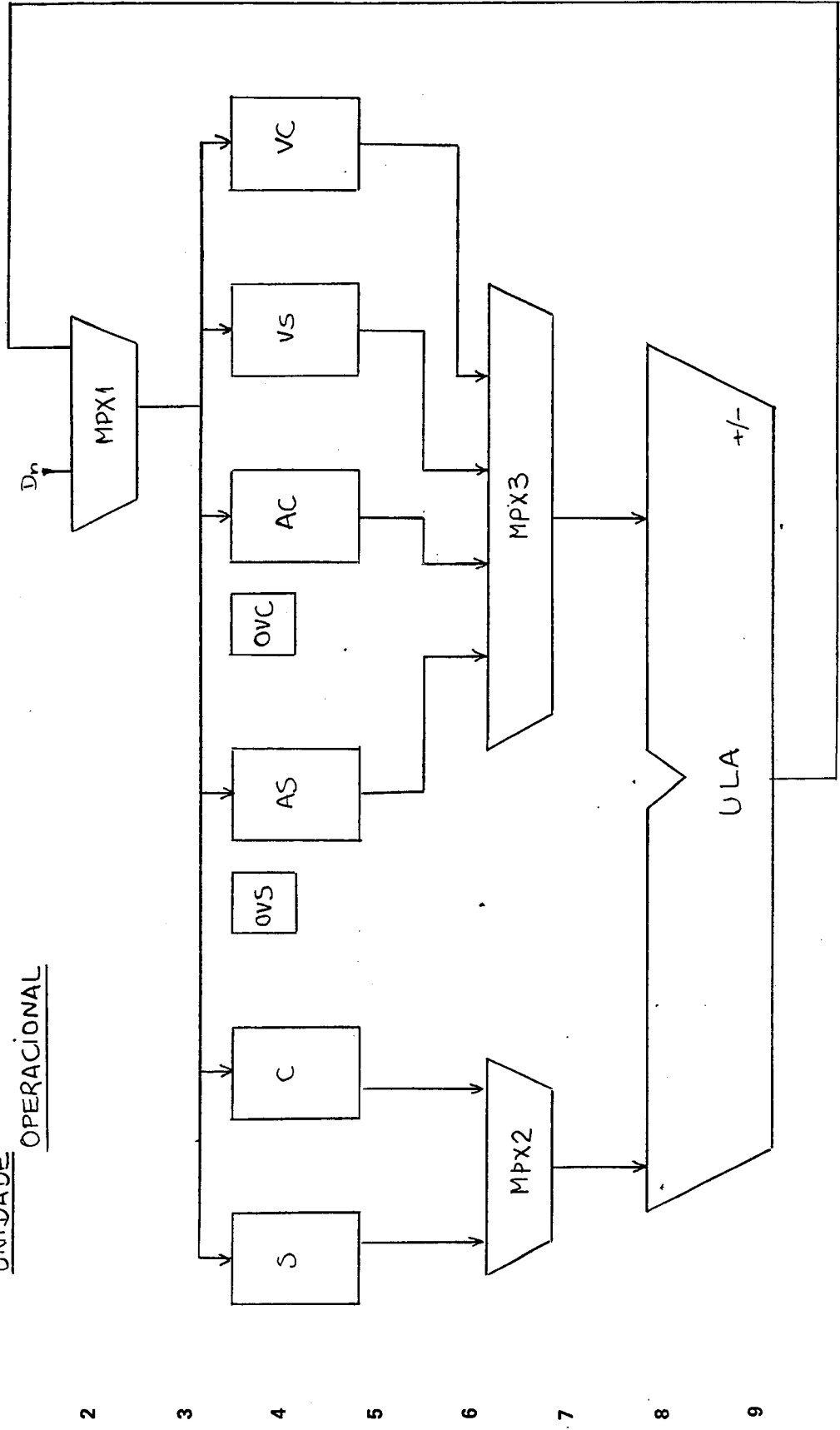
5.60937	0046	0051	-.6563	-.6240	.7969	.7815
5.62500	0074	0034	-.6406	-.6117	.8125	.7911
5.64062	0023	0020	-.6250	-.5992	.8125	.8006
5.65625	0053	0004	-.6094	-.5867	.8281	.8098
5.67187	0004	0071	-.6094	-.5739	.8281	.8189
5.68750	0035	0056	-.5938	-.5611	.8438	.8278
5.70312	0067	0044	-.5781	-.5461	.8594	.8364
5.71875	0022	0033	-.5625	-.5349	.8594	.8449
5.73437	0056	0022	-.5469	-.5217	.8750	.8531
5.75000	0013	0012	-.5313	-.5083	.8750	.8612
5.76562	0051	0002	-.5156	-.4948	.8906	.8690
5.78125	0010	0073	-.5156	-.4811	.8906	.8767
5.79687	0047	0064	-.5000	-.4674	.9063	.8841
5.81250	0007	0056	-.4844	-.4535	.9063	.8913
5.82812	0050	0050	-.4688	-.4395	.9219	.8982
5.84375	0012	0043	-.4531	-.4254	.9219	.9050
5.85937	0055	0036	-.4375	-.4112	.9375	.9115
5.87500	0021	0032	-.4219	-.3969	.9375	.9178
5.89062	0066	0026	-.4063	-.3826	.9531	.9239
5.90625	0034	0023	-.3906	-.3681	.9531	.9298
5.92187	0003	0020	-.3750	-.3535	.9531	.9354
5.93750	0053	0015	-.3594	-.3388	.9688	.9408
5.95312	0024	0013	-.3438	-.3241	.9688	.9460
5.96875	0076	0011	-.3281	-.3093	.9844	.9510
5.98437	0051	0010	-.3125	-.2944	.9844	.9557
6.00000	0025	0007	-.2969	-.2794	.9844	.9602
6.01562	0002	0006	-.2813	-.2644	.9844	.9644
6.03125	0060	0005	-.2656	-.2493	1.0000	.9684
6.04687	0037	0005	-.2500	-.2341	1.0000	.9722
6.06250	0017	0005	-.2344	-.2189	1.0000	.9757
6.07812	0000	0005	-.2188	-.2036	1.0000	.9790
6.09375	0062	0005	-.2031	-.1883	1.0156	.9821
6.10937	0045	0006	-.1875	-.1729	1.0156	.9849
6.12500	0031	0007	-.1719	-.1575	1.0156	.9875
6.14062	0016	0010	-.1563	-.1421	1.0156	.9899
6.15625	0004	0011	-.1406	-.1266	1.0156	.9920
6.17187	0073	0012	-.1250	-.1111	1.0312	.9938
6.18750	0063	0014	-.1094	-.0955	1.0312	.9954
6.20312	0054	0016	-.0938	-.0800	1.0312	.9968
6.21875	0046	0020	-.0781	-.0644	1.0312	.9979
6.23437	0041	0022	-.0625	-.0488	1.0312	.9988
6.25000	0035	0024	-.0469	-.0332	1.0312	.9994
6.26562	0032	0026	-.0313	-.0176	1.0312	.9998
6.28125	0030	0030	-.0156	-.0019	1.0312	1.0000

ov.



APÊNDICE A2 Blocos funcionais, diagramas de estado e circuitos elétricos do gerador de elipses

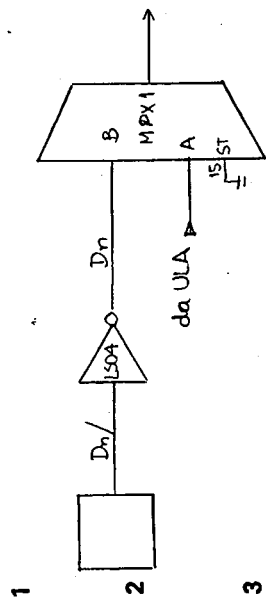
UNIDADE OPERACIONAL



1 2 3 4 5 6 7 8 9 10

A B C D E F G H I J K L M N O P

inf.



CONECTOR PINO	74LS04		MPX1		ULA		MPX1 POSIÇÃO ENTR: B	
	POSIÇÃO ENTR.	SAÍDA	POSIÇÃO ENTR. A	POSIÇÃO SAÍDA	POSIÇÃO SAÍDA	POSIÇÃO ENTR: B		
F14	A9	2	A7	2	A5	13	A7	3
F13	A9	4	A7	5	A5	11	A7	6
F12	A9	6	A7	11	A5	10	A7	10
F11	A9	8	A7	14	A5	9	A7	13
F10	A9	10	A6	2	A3	13	A6	3
F9	A9	12	A6	5	A3	11	A6	6
F8	A8	2	A6	11	A3	10	A6	10
F7	A8	4	A6	14	A3	9	A6	13
F6	A8	6	A5	2	A2	13	A5	3
F5	A8	8	A5	5	A2	11	A5	6
F4	A8	10	A5	11	A2	10	A5	10
F3	A8	12	A5	14	A2	9	A5	13

D11
D10
D9
D8
D7
D6
D5
D4
D3
D2
D1
D0

SAÍDA DO MPX1 POSIÇÃO PINO	VAI PARA			VC POSIÇÃO	VS POSIÇÃO	PINO
	C POSIÇÃO	AC POSIÇÃO	A5 POSIÇÃO			
A7	69	86	85	83	B2	3
A7	89	86	85	83	B2	5
A7	89	86	85	83	B2	7
A7	89	86	85	83	B2	9
A6	89	86	85	83	B2	15
A6	89	86	85	83	B2	17
A6	89	86	85	83	B2	19
A6	89	86	85	83	B2	21
A5	C8	C7	A4	A2	A1	3
A5	C8	C7	A4	A2	A1	4
A5	C8	C7	A4	A2	A1	5
A5	C8	C7	A4	A2	A1	6

DATA: / /

DATA: 5/10/81

DEPUR:

CÓDIGO: GE - UOP

CPGCC - UFRGS

FOLHA 2 DE 13

A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
SAÍDA AC	VAI PARA MPX3	AS	MPX3	VC	MPX3	VS	MPX3	MPX3	VS	MPX3	MPX3	MPX3	MPX3	MPX3	MPX3
POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO
1	B6	4	B5	4	C6	6	B3	4	C6	3	B2	4	C6	5	
2	B6	6	B5	6	C6	10	B3	6	C6	13	B2	6	C6	11	
3	B6	8	B5	8	C5	6	B3	8	C5	3	B2	8	C5	5	
4	B6	10	B5	10	C5	10	B3	10	C5	13	B2	10	C5	11	
5	B6	14	B5	14	C4	6	B3	14	C4	3	B2	14	C4	5	
	B6	16	B5	16	C4	10	B3	16	C4	13	B2	16	C4	11	
	B6	18	B5	18	C3	6	B3	18	C3	3	B2	18	C3	5	
	B6	20	B5	20	C3	10	B3	20	C3	13	B2	20	C3	11	
	A4	15	A3	15	C2	6	A2	15	C2	3	A1	15	C2	5	
	A4	14	A3	14	C2	10	A2	14	C2	13	A1	14	C2	11	
	A4	13	A3	13	C1	6	A2	13	C1	3	A1	13	C1	5	
	A4	12	A3	12	C1	10	A2	12	C1	13	A1	12	C1	11	

6	7	8	9	10
MPX3	MPX2	MPX2	MPX2	MPX2
POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO
C6	D9	D9	D9	D9
C6	D9	D9	D9	D9
C5	D9	D9	D9	D9
C5	D9	D9	D9	D9
C4	D8	D8	D8	D8
C4	D8	D8	D8	D8
C3	D8	D8	D8	D8
C3	D8	D8	D8	D8
C2	D7	D7	D7	D7
C2	D7	D7	D7	D7
C1	D7	D7	D7	D7
C1	D7	D7	D7	D7

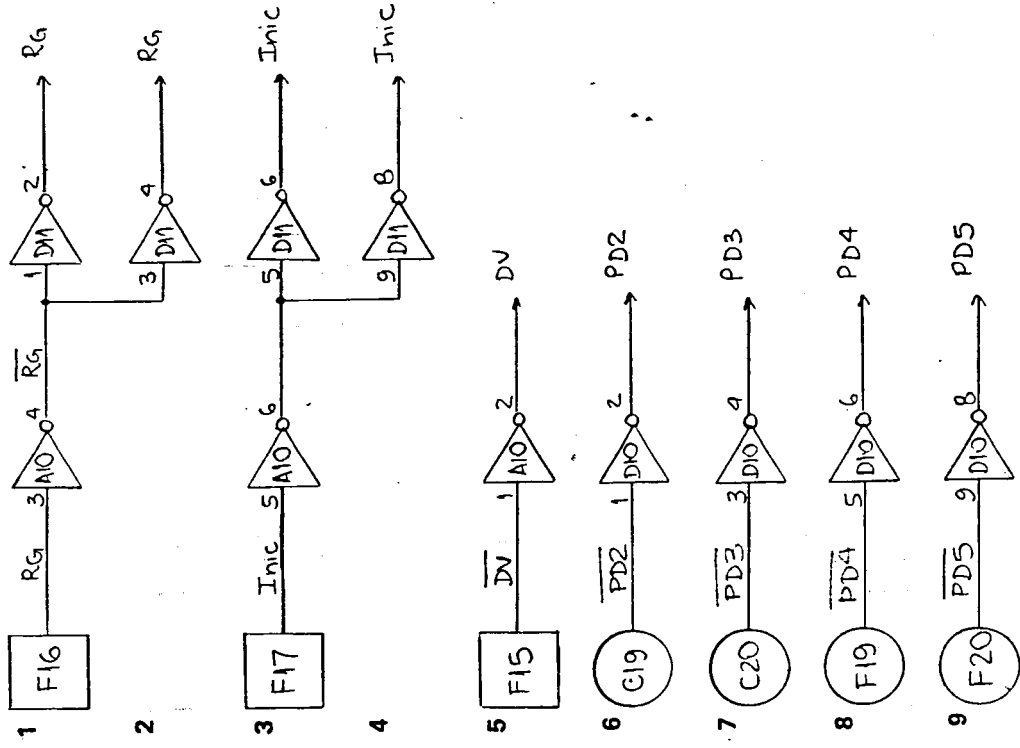
MPX3	MPX2	MPX2	MPX2	MPX2
POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO
C6	D5	D5	D5	D5
C6	D5	D5	D5	D5
C5	D5	D5	D5	D5
C5	D5	D5	D5	D5
C4	D3	D3	D3	D3
C4	D3	D3	D3	D3
C3	D3	D3	D3	D3
C3	D3	D3	D3	D3
C2	D2	D2	D2	D2
C2	D2	D2	D2	D2
C1	D2	D2	D2	D2
C1	D2	D2	D2	D2

MPX3	MPX2	MPX2	MPX2	MPX2
POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO
C6	D5	D5	D5	D5
C6	D5	D5	D5	D5
C5	D5	D5	D5	D5
C5	D5	D5	D5	D5
C4	D3	D3	D3	D3
C4	D3	D3	D3	D3
C3	D3	D3	D3	D3
C3	D3	D3	D3	D3
C2	D2	D2	D2	D2
C2	D2	D2	D2	D2
C1	D2	D2	D2	D2
C1	D2	D2	D2	D2

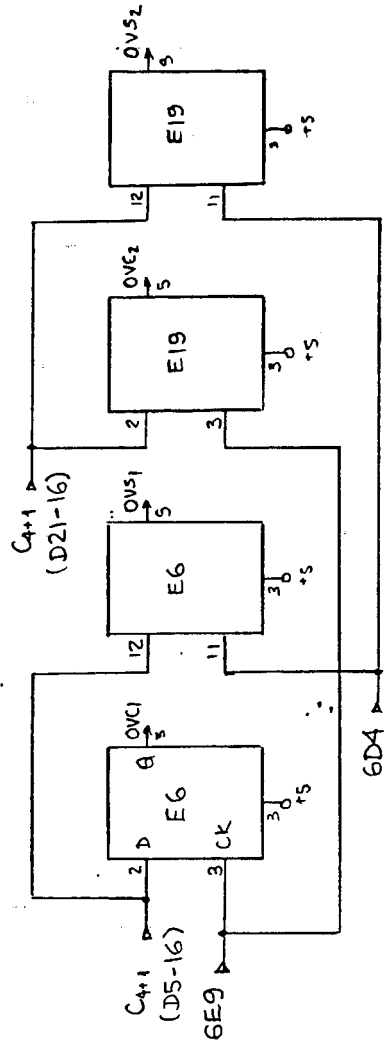
MPX3	MPX2	MPX2	MPX2	MPX2
POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO
C6	D5	D5	D5	D5
C6	D5	D5	D5	D5
C5	D5	D5	D5	D5
C5	D5	D5	D5	D5
C4	D3	D3	D3	D3
C4	D3	D3	D3	D3
C3	D3	D3	D3	D3
C3	D3	D3	D3	D3
C2	D2	D2	D2	D2
C2	D2	D2	D2	D2
C1	D2	D2	D2	D2
C1	D2	D2	D2	D2

MPX3	MPX2	MPX2	MPX2	MPX2
POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO	POSICÃO PINO
C6	D5	D5	D5	D5
C6	D5	D5	D5	D5
C5	D5	D5	D5	D5
C5	D5	D5	D5	D5
C4	D3	D3	D3	D3
C4	D3	D3	D3	D3
C3	D3	D3	D3	D3
C3	D3	D3	D3	D3
C2	D2	D2	D2	D2
C2	D2	D2	D2	D2
C1	D2	D2	D2	D2
C1	D2	D2	D2	D2

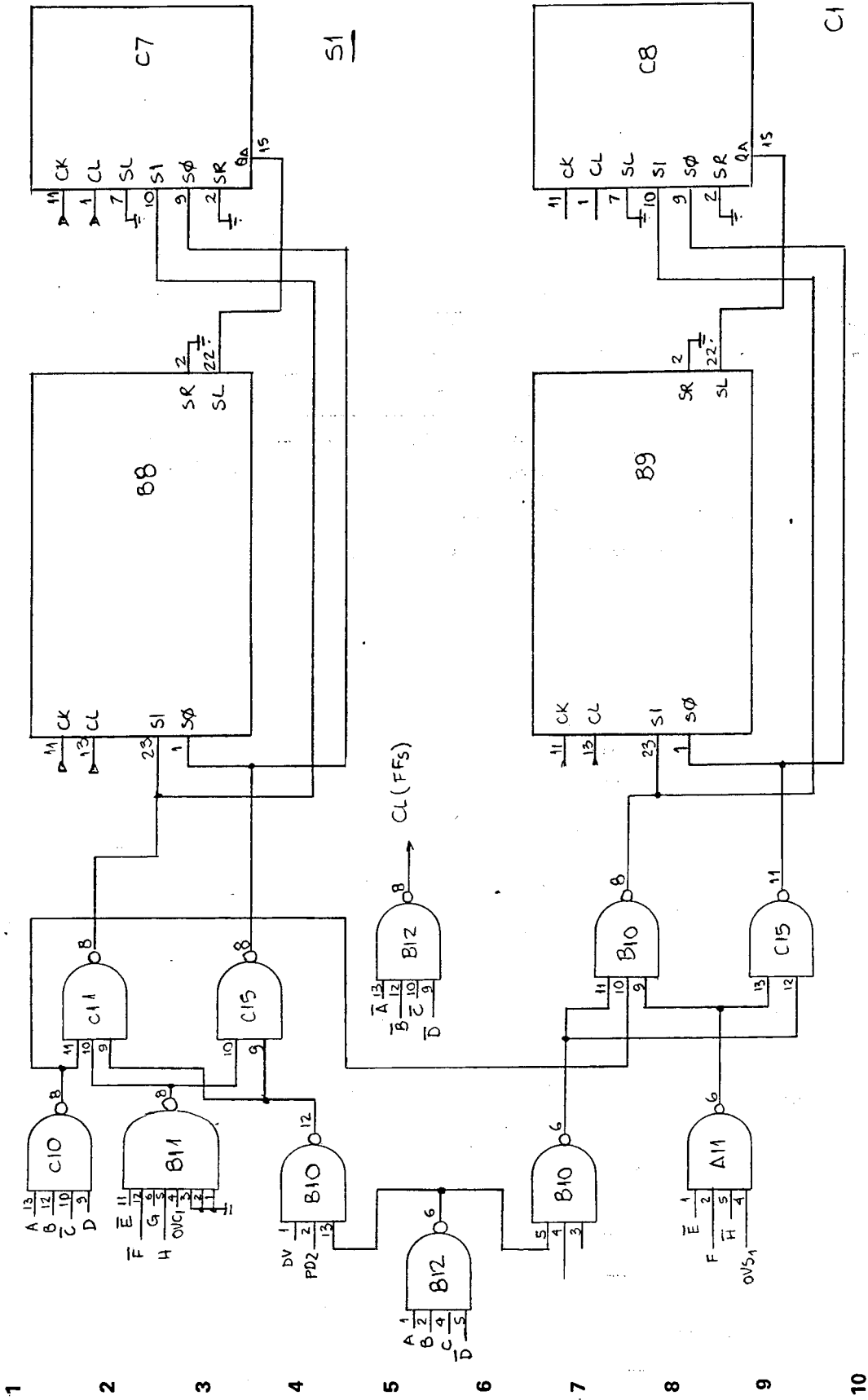
A B C D E F G H I J K L M N O P

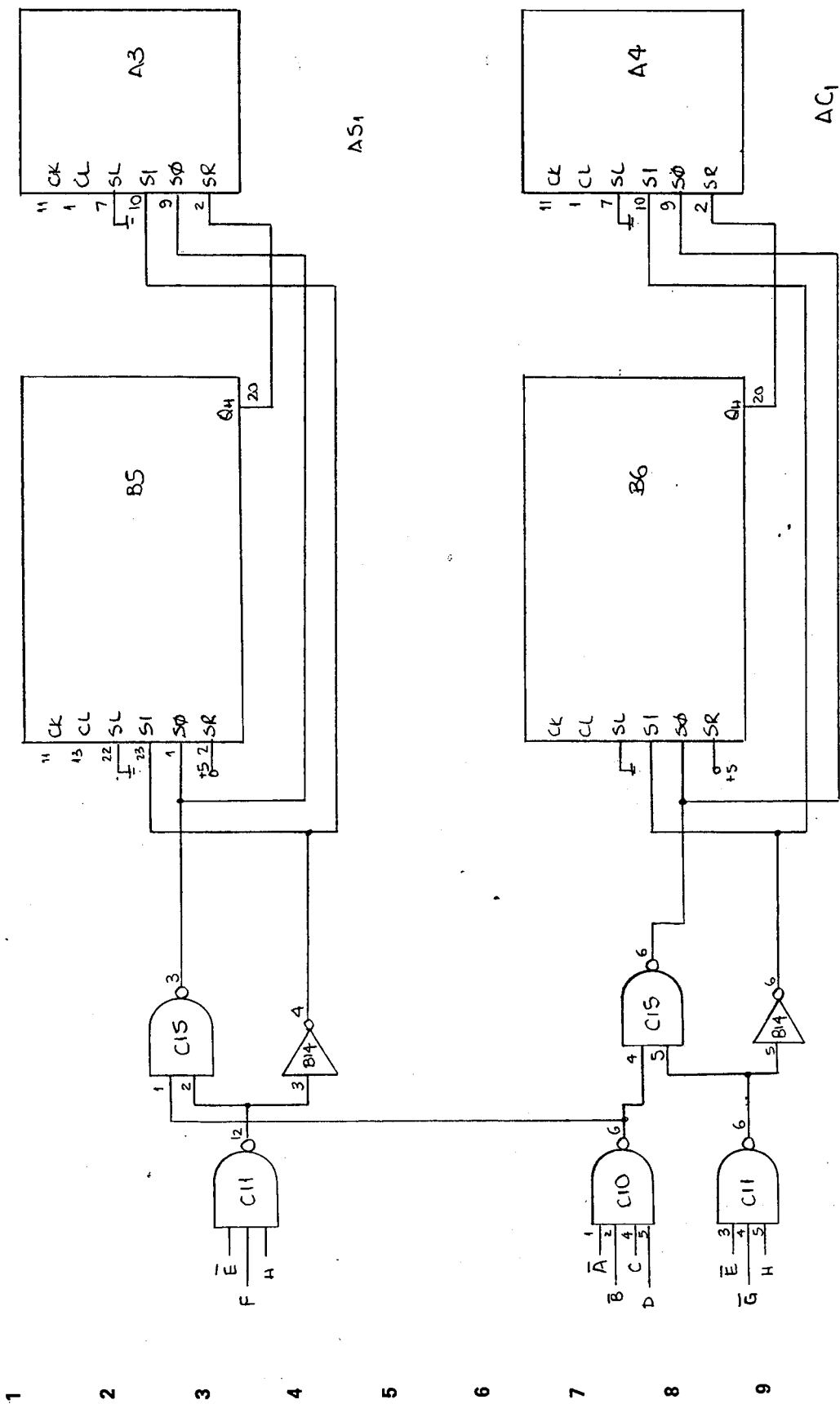


SAI DE C	POSIÇÃO PINO	VAI PARA MPX2	POSIÇÃO PINO	SAI DE S	POSIÇÃO PINO	VAI PARA MPX2	POSIÇÃO PINO
B9	4	E9	3	B8	4	E9	2
B9	6	E9	6	B8	6	E9	5
B9	8	E9	10	B8	8	E9	11
B9	10	E9	13	B8	10	E9	14
B9	14	E8	3	B8	14	E8	2
B9	16	E8	6	B3	16	E8	5
B9	18	E8	10	B3	18	E8	11
B9	20	E8	13	B3	20	E8	14
C8	15	E7	3	C7	15	E7	2
C8	14	E7	6	C7	14	E7	5
C8	13	E7	10	C7	13	E7	11
C8	12	E7	13	C7	12	E7	14

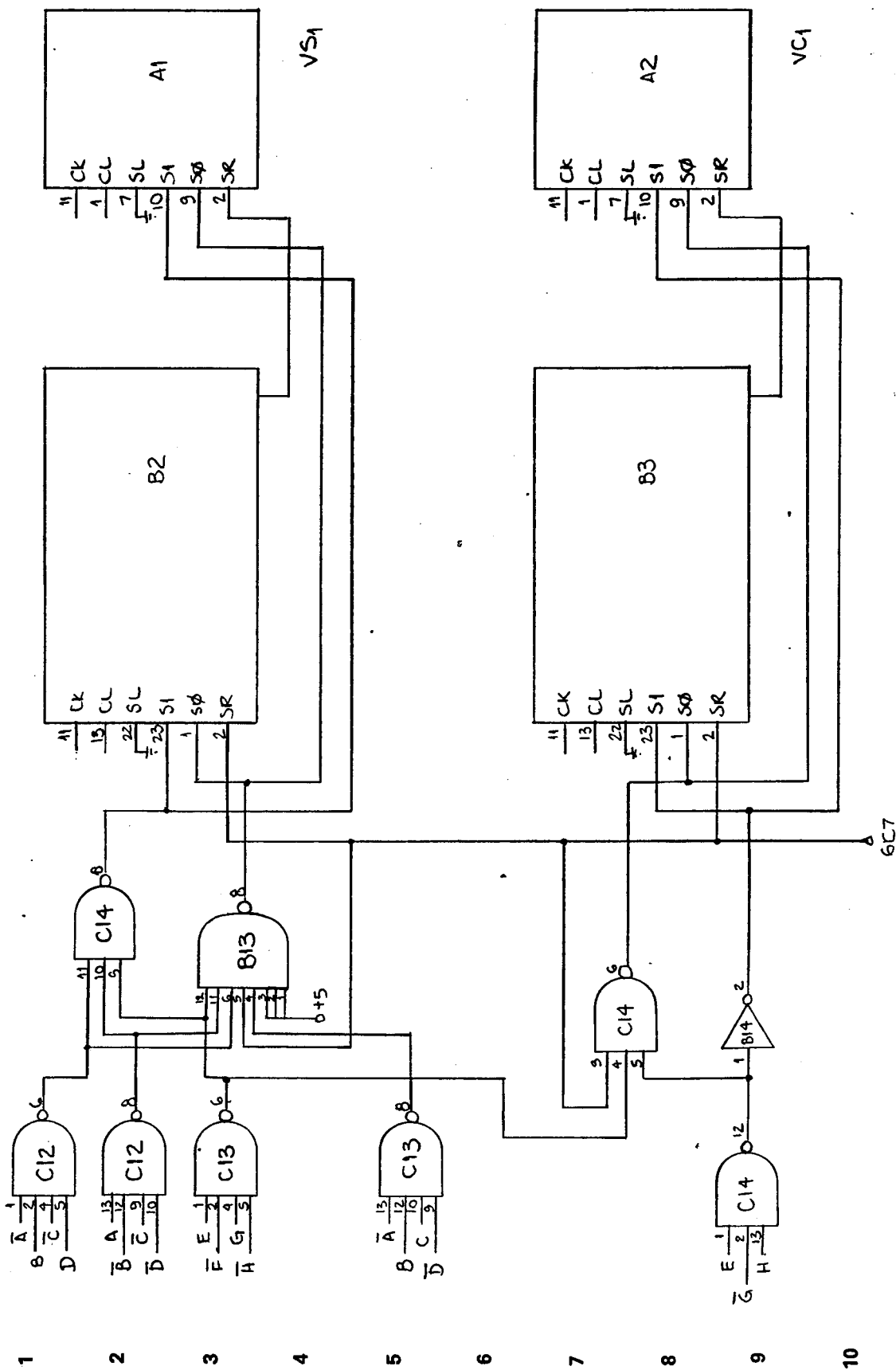


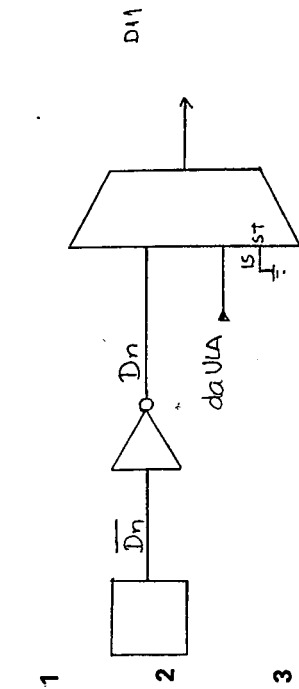
10





A B C D E F G H I J K L M N O P





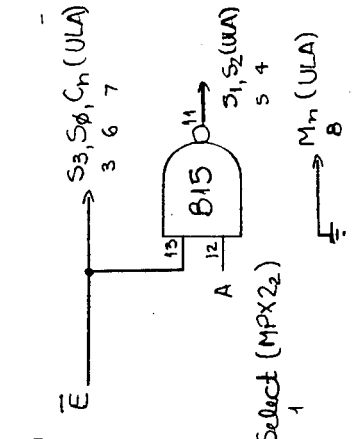
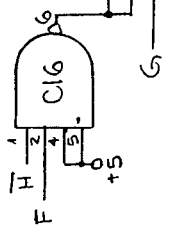
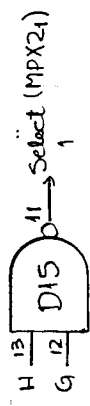
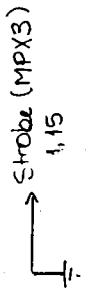
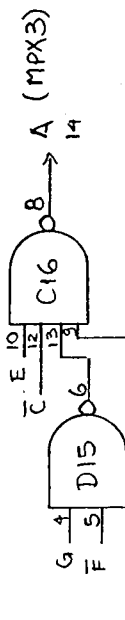
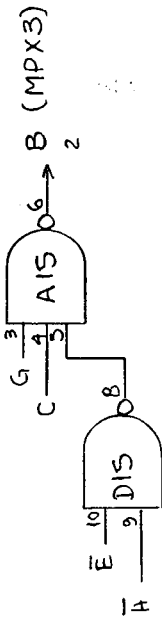
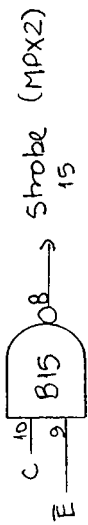
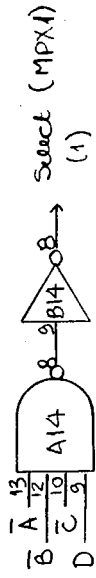
CONECTOR	74LS04		MPX1		ULA		MPX1
	POSICAO	ENTR. SAIDA	POSICAO	ENTR. A	POSICAO	SAIDA	
F14	A9	1	2	A18	D21	13	A18
F13	A9	3	4	A18	D21	11	A18
F12	A9	5	6	A18	D21	10	A18
F11	A9	9	8	A18	D21	9	A18
F10	A9	11	10	A19	D23	13	A19
F9	A9	13	12	A19	D23	11	A19
F8	A8	1	2	A19	D23	10	A19
F7	A8	3	4	A19	D23	9	A19
F6	A8	5	6	A20	D24	13	A20
F5	A8	9	8	A20	D24	11	A20
F4	A8	11	10	A20	D24	10	A20
F3	A8	13	12	A20	D24	9	A20

SAÍ DO MPX1	POSICAO	PINO	VAL PARA		VC	VS	PINO
			C	S			
A18	B17	4	B20	B21	B23	B24	3
A18	B17	7	B20	B21	B23	B24	5
A18	B17	9	B20	B21	B23	B24	7
A18	B17	12	B20	B21	B23	B24	9
A19	B17	4	B20	B21	B23	B24	15
A19	B17	7	B20	B21	B23	B24	17
A19	B17	9	B20	B21	B23	B24	19
A19	B17	12	B20	B21	B23	B24	21
A20	C17	4	A21	A22	A23	A24	3
A20	C17	7	A21	A22	A23	A24	4
A20	C17	9	A21	A22	A23	A24	5
A20	C17	12	A21	A22	A23	A24	6

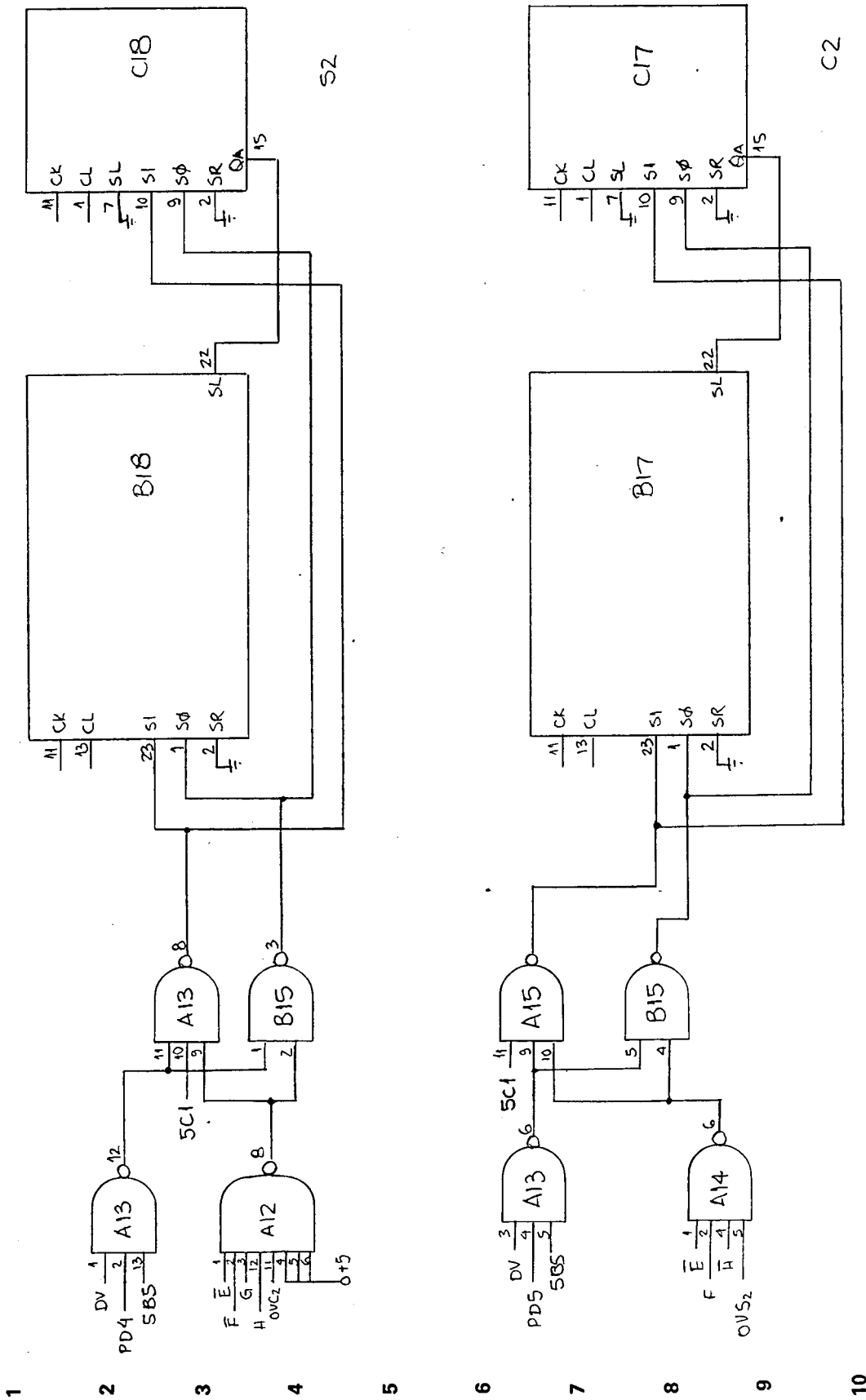
A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	
SAI DE AC	POSICÃO	PINO	VAI PARA MPX3		AS		MPX3		VC		MPX3		V5		MPX3	
			POSICÃO	PINO	POSICÃO	PINO	POSICÃO	PINO	POSICÃO	PINO	POSICÃO	PINO	POSICÃO	PINO	POSICÃO	PINO
1	B20	4	C19	4	B21	4	C19	6	B23	4	C19	3	B24	4	C19	5
2	B20	6	C19	6	B21	6	C19	10	B23	6	C19	13	B24	6	C19	11
3	B20	8	C20	8	B21	8	C20	6	B23	8	C20	3	B24	8	C20	5
4	B20	10	C20	10	B21	10	C20	10	B23	10	C20	13	B24	10	C20	11
5	B20	14	C21	14	B21	14	C21	6	B23	14	C21	3	B24	14	C21	5
	B20	16	C21	16	B21	16	C21	10	B23	16	C21	13	B24	16	C21	11
	B20	18	C22	18	B21	18	C22	6	B23	18	C22	3	B24	18	C22	5
	B20	20	C22	20	B21	20	C22	10	B23	20	C22	13	B24	20	C22	11
	A21	15	C23	15	A22	15	C23	6	A23	15	C23	3	A24	15	C23	5
	A21	14	C23	14	A22	14	C23	10	A23	14	C23	13	A24	14	C23	11
	A21	13	C24	13	A22	13	C24	6	A23	13	C24	3	A24	13	C24	5
	A21	12	C24	12	A22	12	C24	10	A23	12	C24	13	A24	12	C24	11

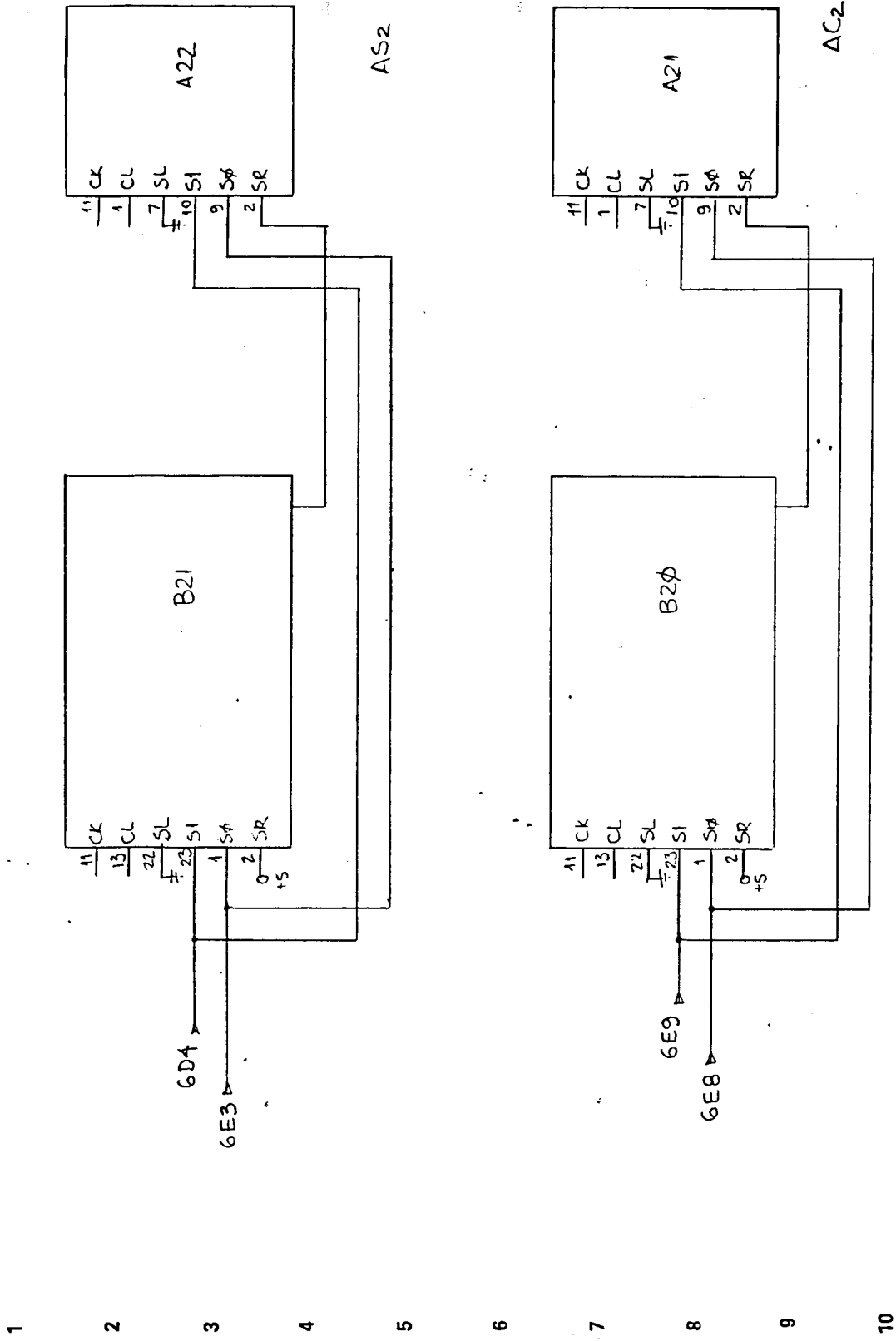
6	MPX3	POSICÃO	PINO	ULA		MPX2	POSICÃO	PINO	ULA		74LS04		CONECTOR
				POSICÃO	PINO				POSICÃO	PINO	POSICÃO	ENTR.	
7	C19	7	D21	18	D16	4	D21	19	D14	1	2	C14	
	C19	9	D21	20	D16	7	D21	21	D14	3	4	C13	
	C20	7	D21	22	D16	9	D21	23	D14	5	6	C12	
	C20	9	D21	1	D16	12	D21	2	D14	9	8	C11	
8	C21	7	D23	18	D17	4	D23	19	D14	11	10	C10	
	C21	9	D23	20	D17	7	D23	21	D14	13	12	C9	
	C22	7	D23	22	D17	9	D23	23	D15	1	2	C8	
9	C22	9	D23	1	D17	12	D23	2	D15	3	4	C7	
	C23	7	D24	18	D18	4	D24	19	D15	5	6	C6	
	C23	9	D24	20	D18	7	D24	21	D15	9	8	C5	
	C24	7	D24	22	D18	9	D24	23	D15	11	10	C4	
10	C24	9	D24	1	D18	12	D24	2	D15	13	12	C3	

1	SAI DE C		VAI PARA MPX2		SAI DE S		VAI PARA MPX2	
	POSICAO	PINO	POSICAO	PINO	POSICAO	PINO	POSICAO	PINO
2	B17	4	D16	3	B18	4	D16	2
3	B17	6	D16	6	B18	6	D16	5
4	B17	8	D16	10	B18	8	D16	11
5	B17	10	D16	13	B18	10	D16	14
6	B17	14	D17	3	B18	14	D17	2
	B17	16	D17	6	B18	16	D17	5
	B17	18	D17	10	B18	18	D17	11
	B17	20	D17	13	B18	20	D17	14
	C17	15	D18	3	C18	15	D18	2
	C17	14	D18	6	C18	14	D18	5
	C17	13	D18	10	C18	13	D18	11
	C17	12	D18	13	C18	12	D18	14

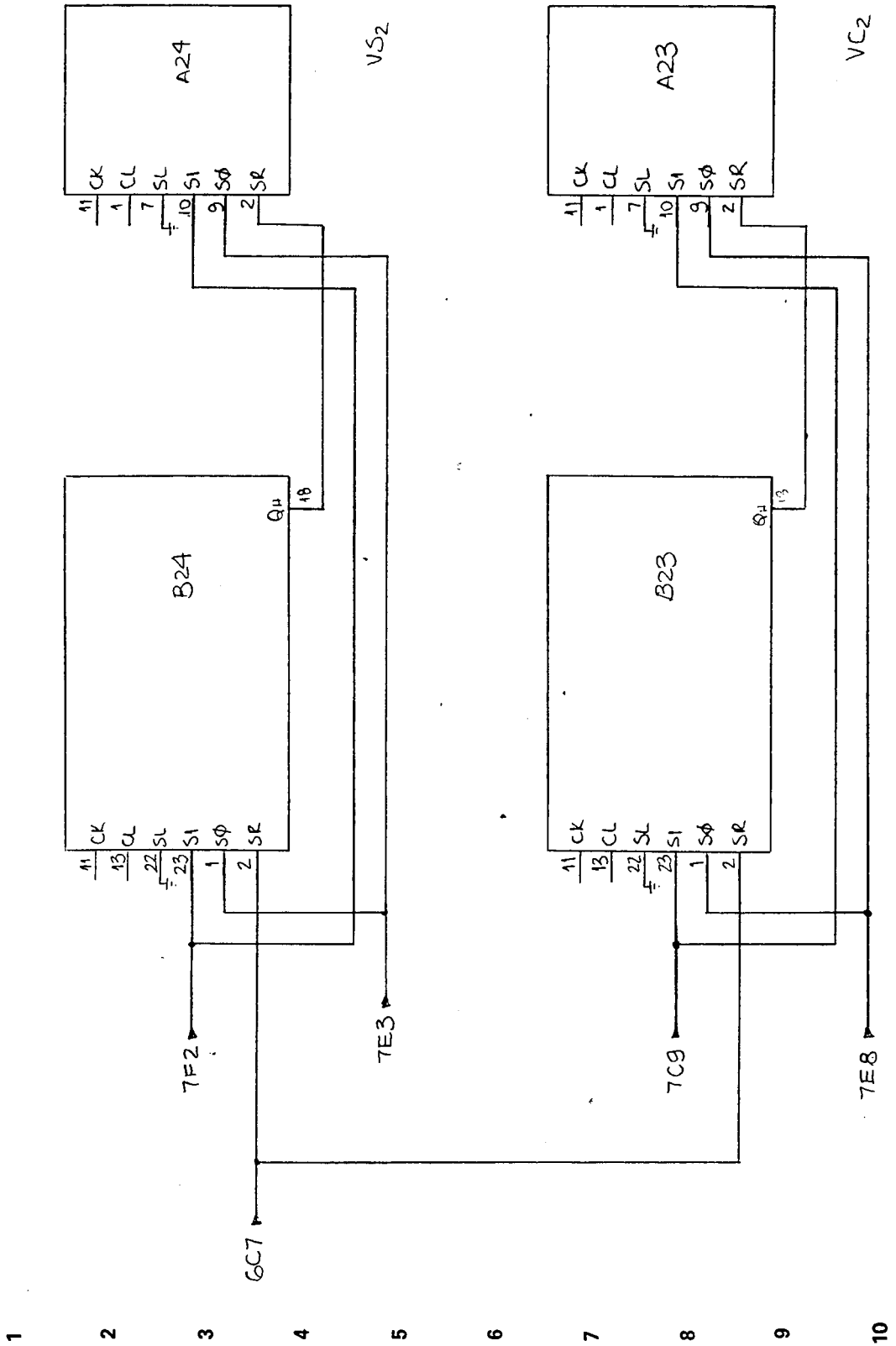


7	74LS04		74LS04	
	CONECTOR	PINO	POSICAO	PINO
8	A	F15	E12	1
8	B	F16	E12	3
8	C	F17	E12, E13	5, 3
8	D	F18	E12	13
8	E	C15	E12	11
8	F	C16	E12	9
8	G	C17	E13	13, 9
8	H	C18	E13	11, 1
9			D12, D13, D13	11, 9, 1
9			D12	9
9			D13	13
9			D13	13
9			D13	11
10				

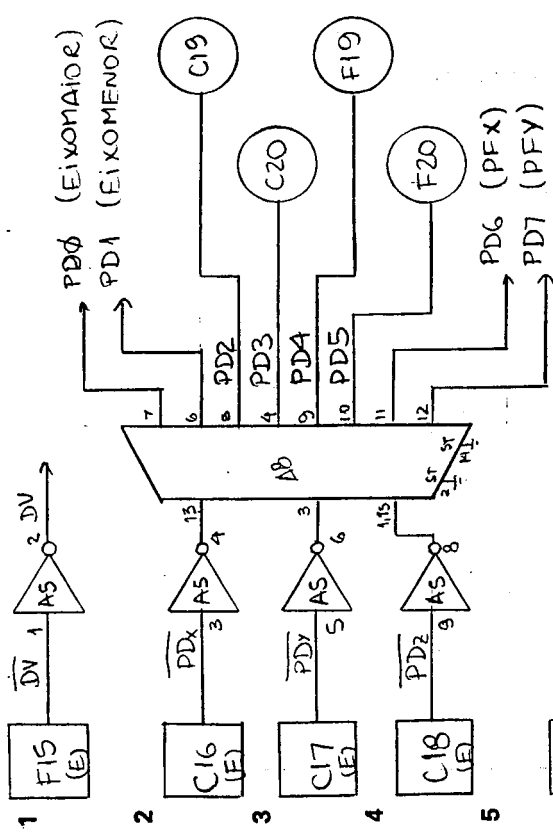
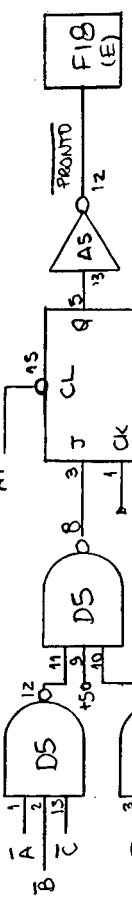




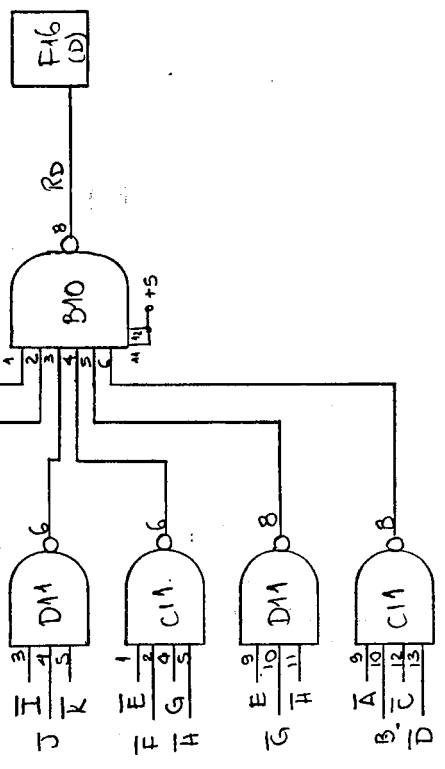
1 2 3 4 5 6 7 8 9 10



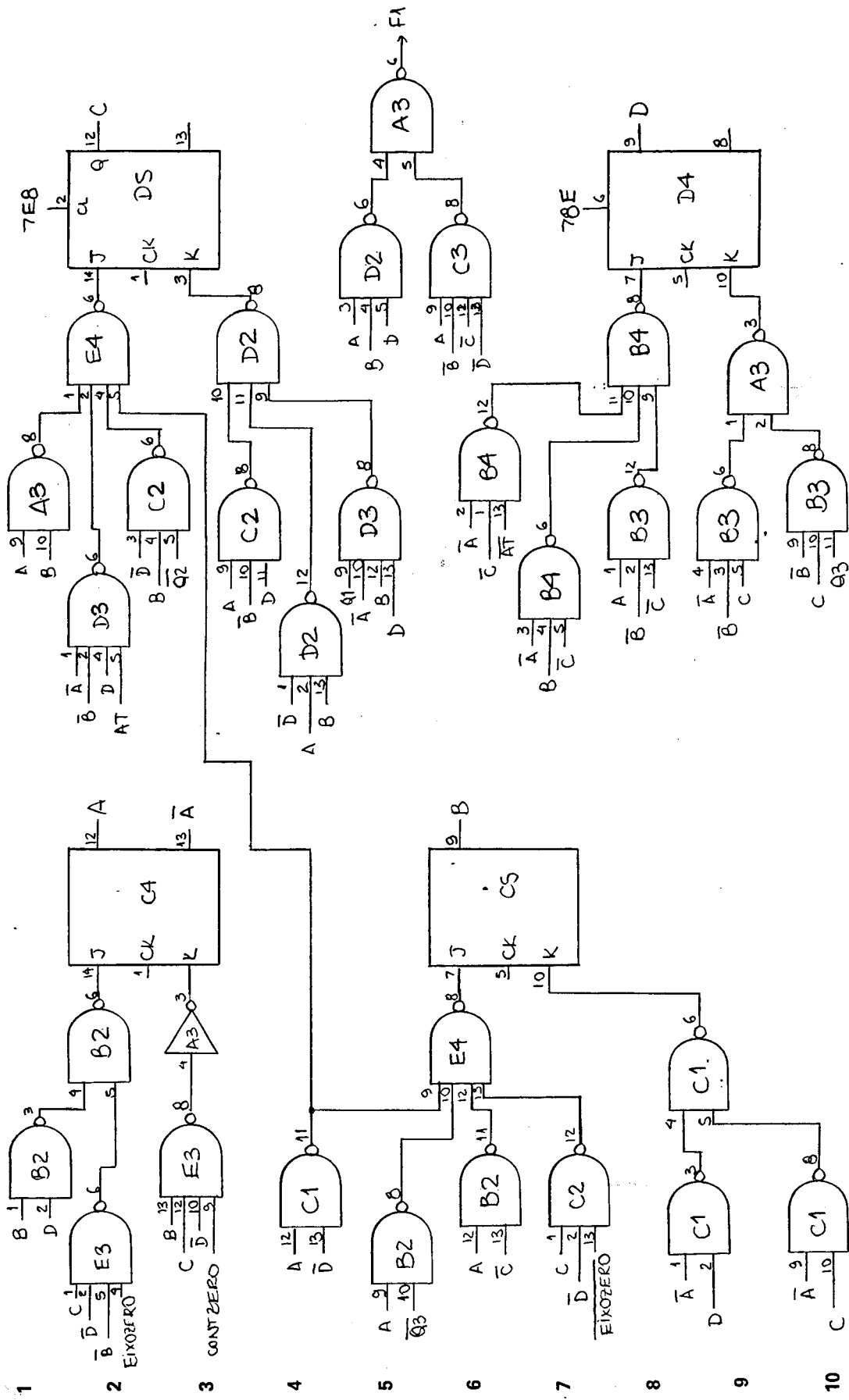
A B C D E F G H I J K L M N O P



CONECTOR		• 74LS04	
PINO	POSICAO	ENTR.	
F14(E)	A6	1	
F13(E)	A6	3	
F12(E)	A6	5	
F11(E)	A6	13	
F10(E)	A6	11	
F9(E)	A6	9	
F8(E)	A7	1	
F7(E)	A7	3	
F6(E)	A7	5	
F5(E)	A7	13	
F3(E)	A7	11	
F3(E)	A7	9	



A B C D E F G H I J K L M N O P



1

2

3

4

5

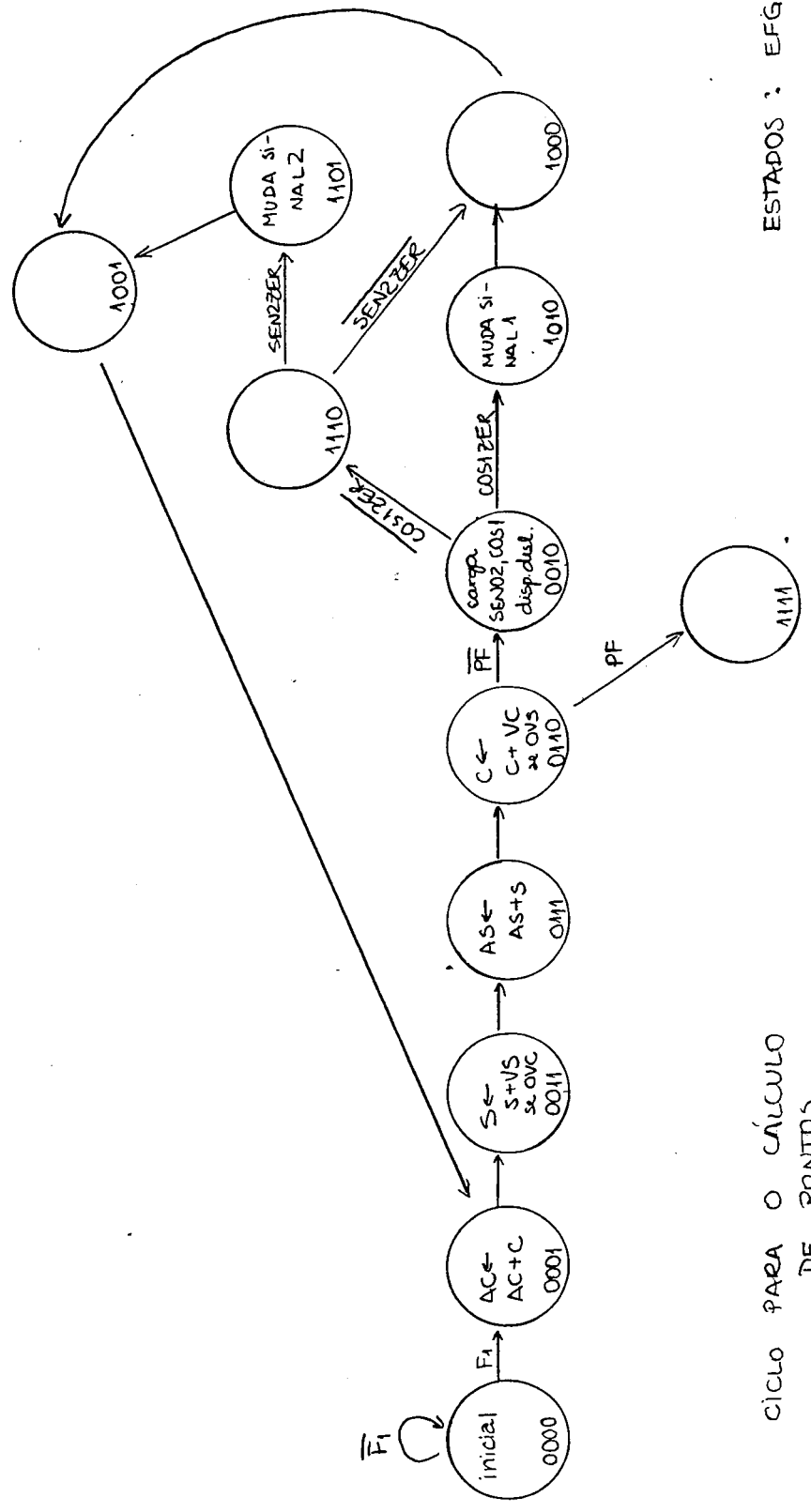
6

7

8

9

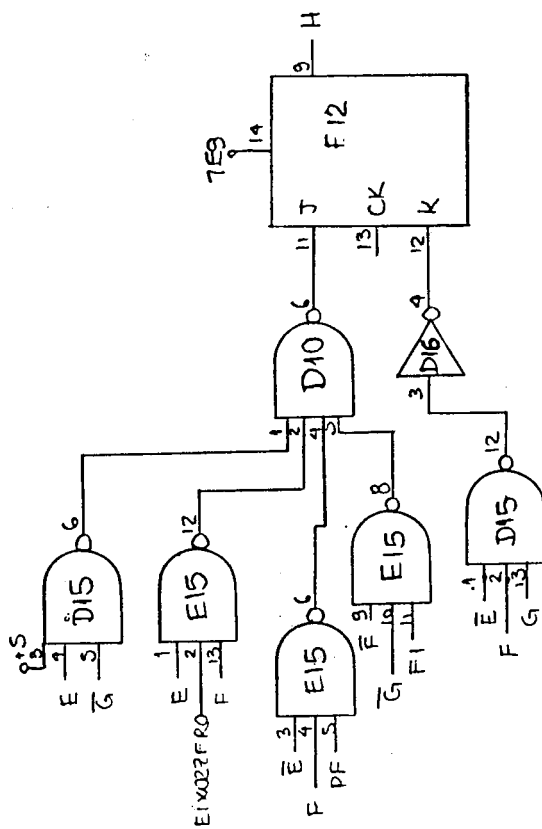
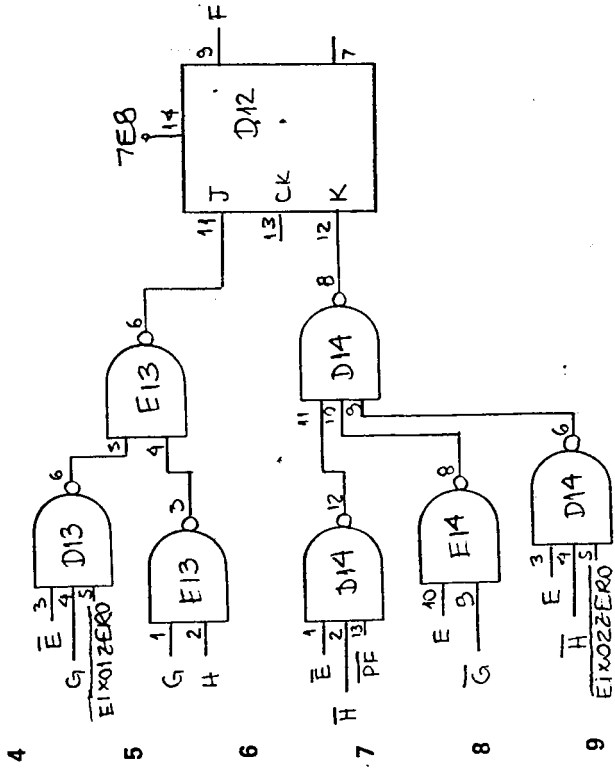
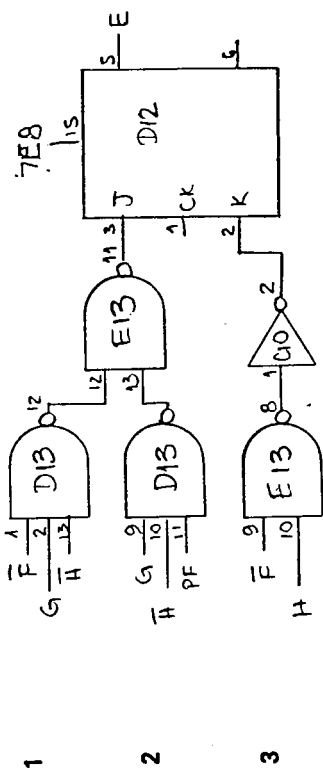
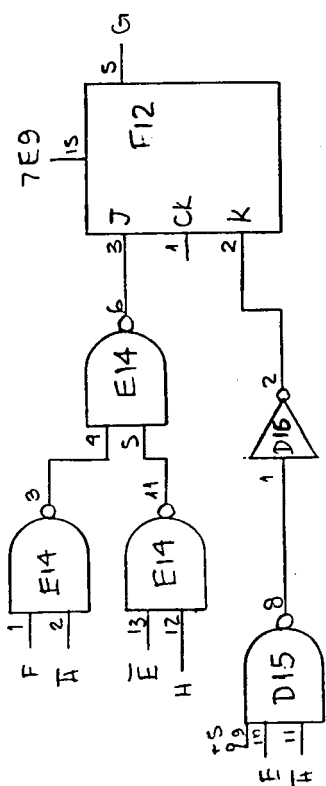
10



ESTADOS : EFGH

CICLO PARA O CÁLCULO DE PONTOS

A B C D E F G H I J K L M N O P



10

A B C D E F G H I J K L M N O P

1

2

3

4

5

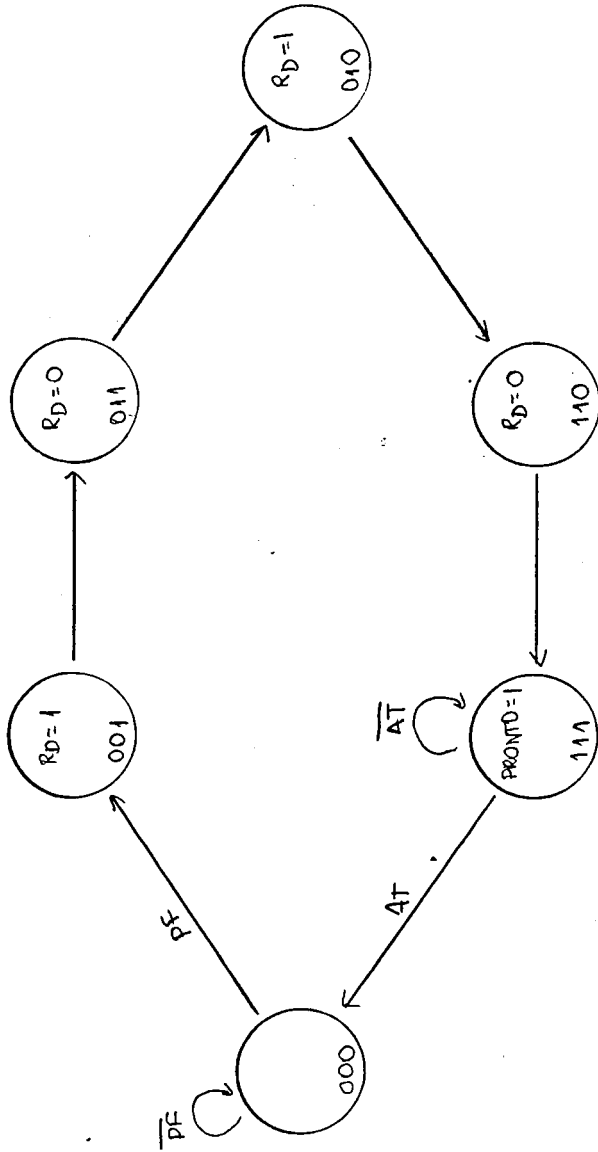
6

7

8

9

10

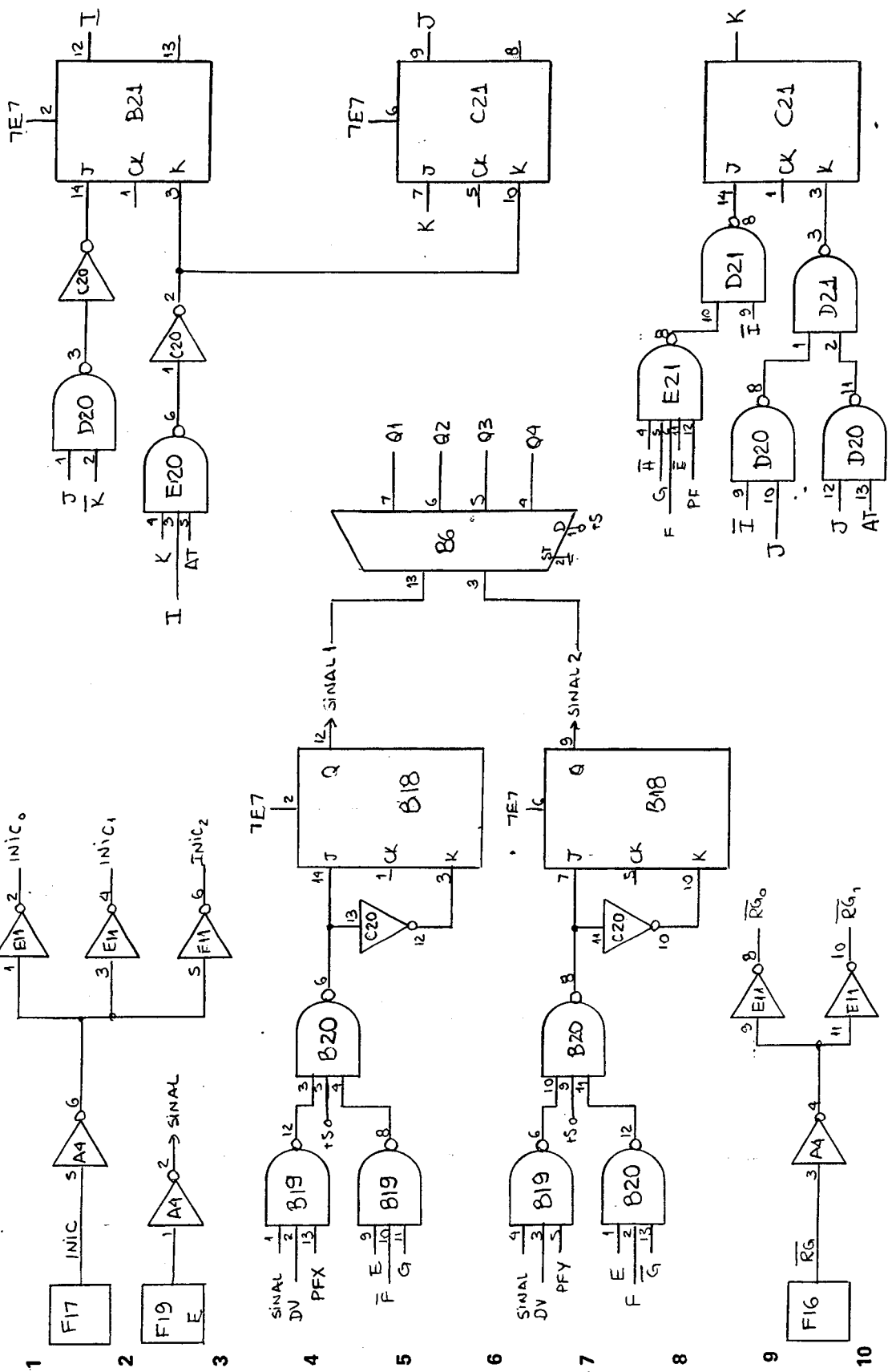


FASE DE

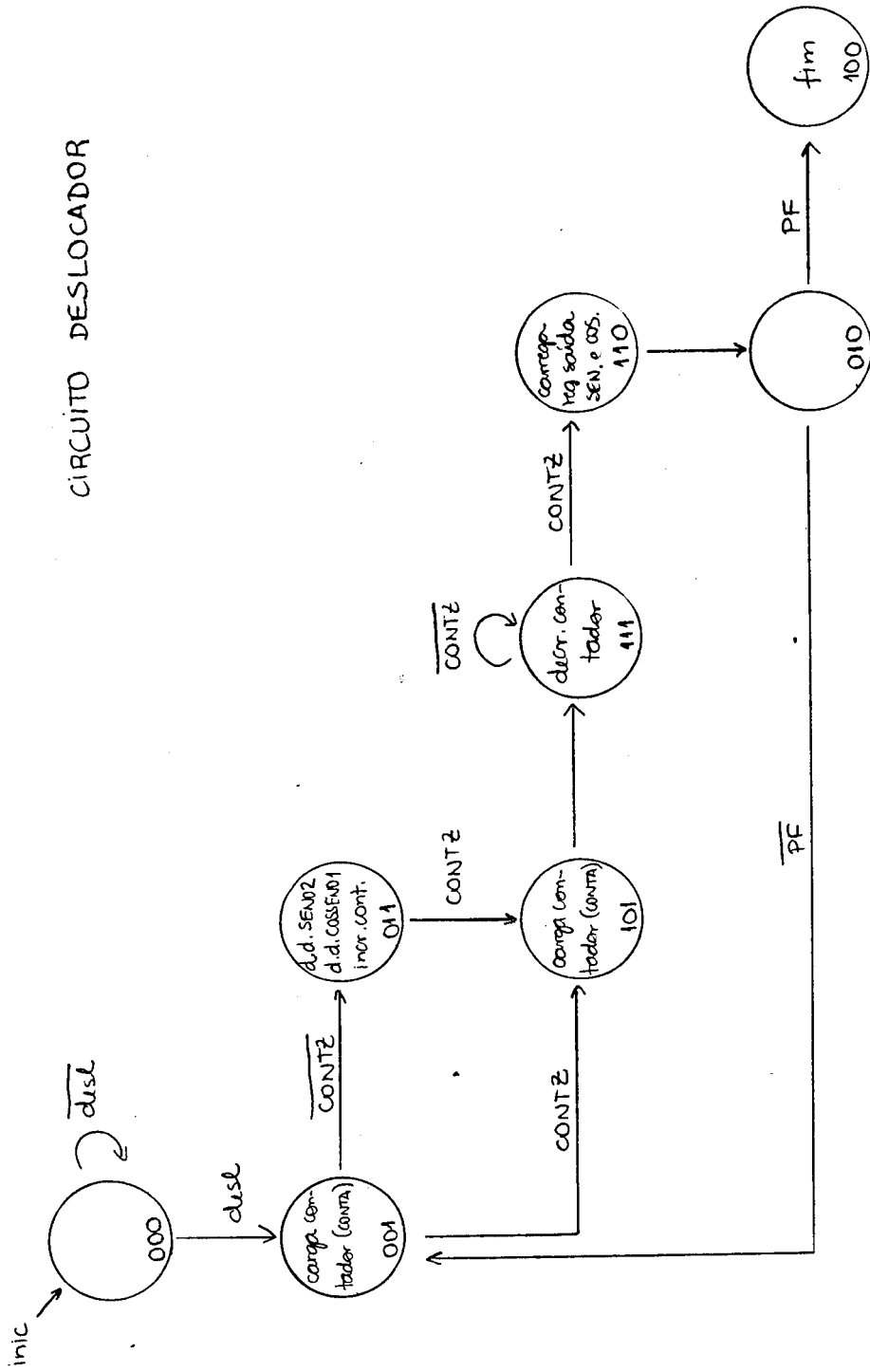
CONCLUSÃO

ESTADOS IJK

A B C D E F G H I J K L M N O P

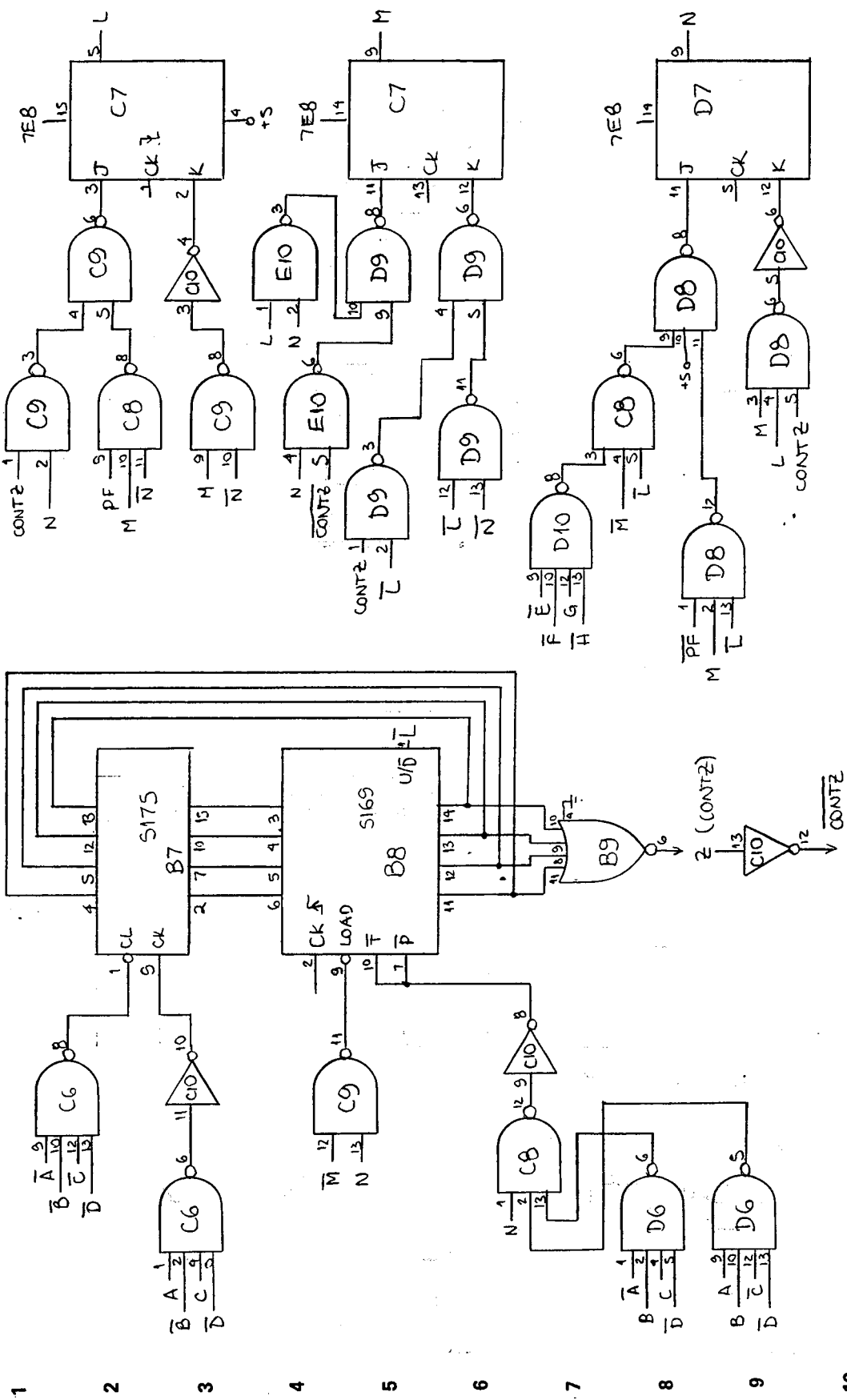


CÍRCULO DESLOCADOR



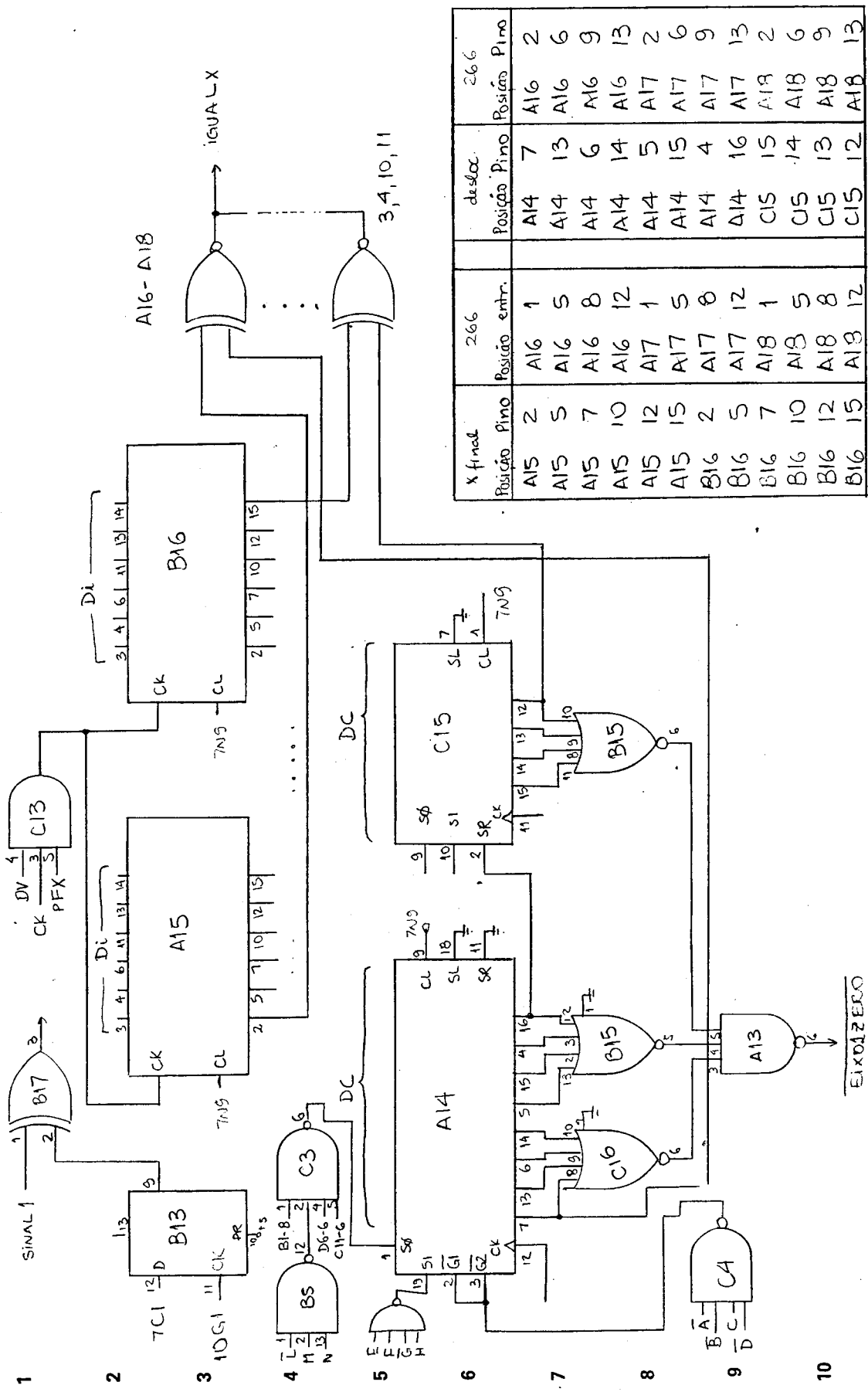
1
2
3
4
5
6
7
8
9
10

A B C D E F G H I J K L M N O P



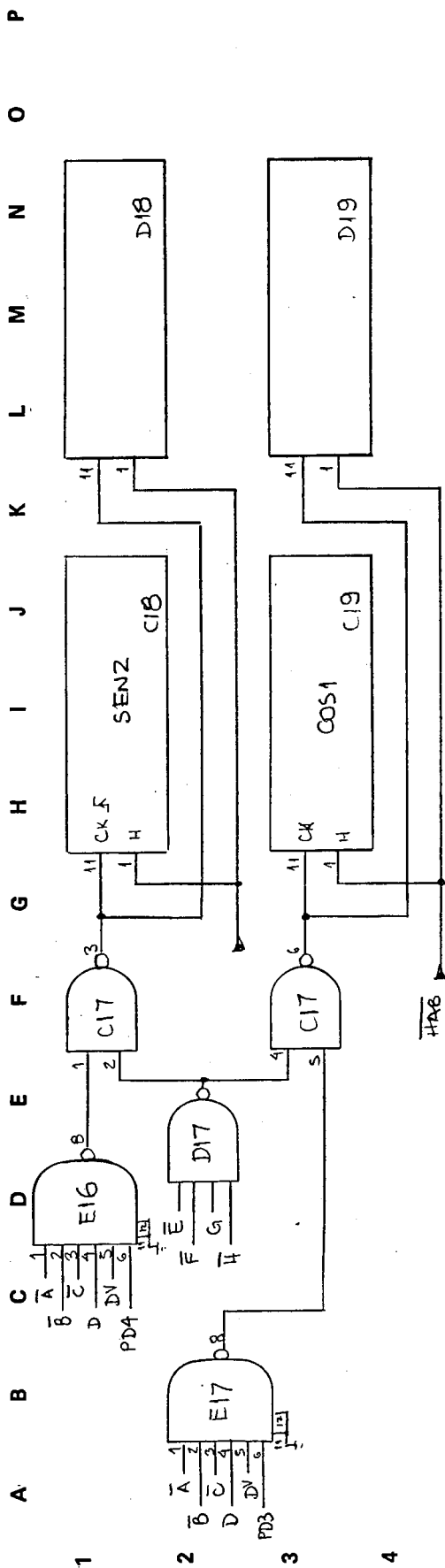
1 2 3 4 5 6 7 8 9 10

A B C D E F G H I J K L M N O P



X final	Posição Pino	266	Posição entr.	desloc.	Posição Pino	266	Posição Pino
A15	2	A16	1	A14	7	A16	2
A15	5	A16	5	A14	13	A16	6
A15	7	A16	8	A14	6	A16	9
A15	10	A16	12	A14	14	A16	13
A15	12	A17	1	A14	5	A17	2
A15	15	A17	5	A14	15	A17	6
B16	2	A17	8	A14	4	A17	9
B16	5	A17	12	A14	16	A17	13
B16	7	A18	1	C15	15	A19	2
B16	10	A18	5	C15	14	A18	6
B16	12	A18	8	C15	13	A18	9
B16	15	A18	12	C15	12	A18	13

CPGCC - UFRGS PROJ.: JIMFID DATA: 5/10/81 DEPUR: / / FOLHA 10 DE 12

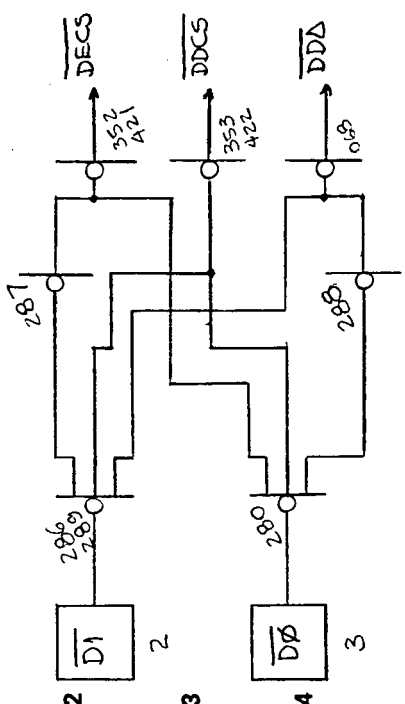


VEM DO		PARA		VEM DO		PARA		VEM DO		PARA	
POSICAO	PINO	POSICAO	PINO	POSICAO	PINO	POSICAO	PINO	POSICAO	PINO	POSICAO	PINO
A14	7	C19	8	B14	7	C18	8	B14	7	C19	9
A14	13	C19	7	B14	13	C18	7	B14	13	C19	6
A14	6	C19	4	B14	6	C18	4	B14	6	C19	5
A14	14	C19	3	B14	14	C18	3	B14	14	C19	2
A14	5	C19	18	B14	5	C18	18	B14	5	C19	19
A14	15	C19	17	B14	15	C18	17	B14	15	C19	16
A14	4	C19	14	B14	4	C18	14	B14	4	C19	15
A14	16	C19	13	B14	16	C18	13	B14	16	C19	12
C15	15	D19	8	C12	15	D18	8	C12	15	D19	9
C15	14	D19	7	C12	14	D18	7	C12	14	D19	6
C15	13	D19	4	C12	13	D18	4	C12	13	D19	5
C15	12	D19	3	C12	12	D18	3	C12	12	D19	2
B18	6	D19	13	B18	10	D18	13	B18	10	D19	12

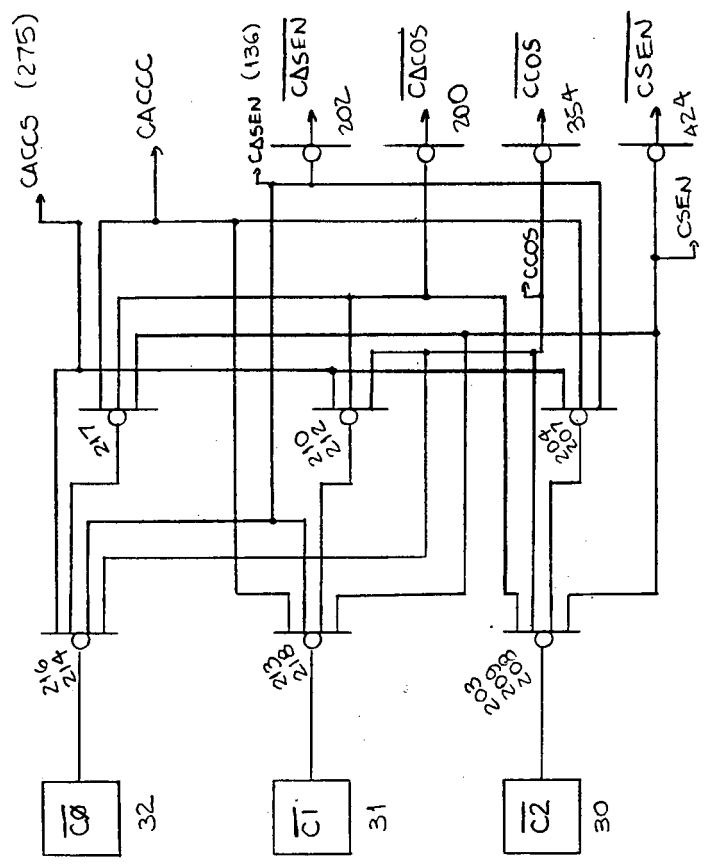
D11
D10
D9
D8
D7
D6
D5
D4
D3
D2
D1
D0

APÊNDICE A3 Projeto do circuito integrado - circuitos lógicos e elétricos

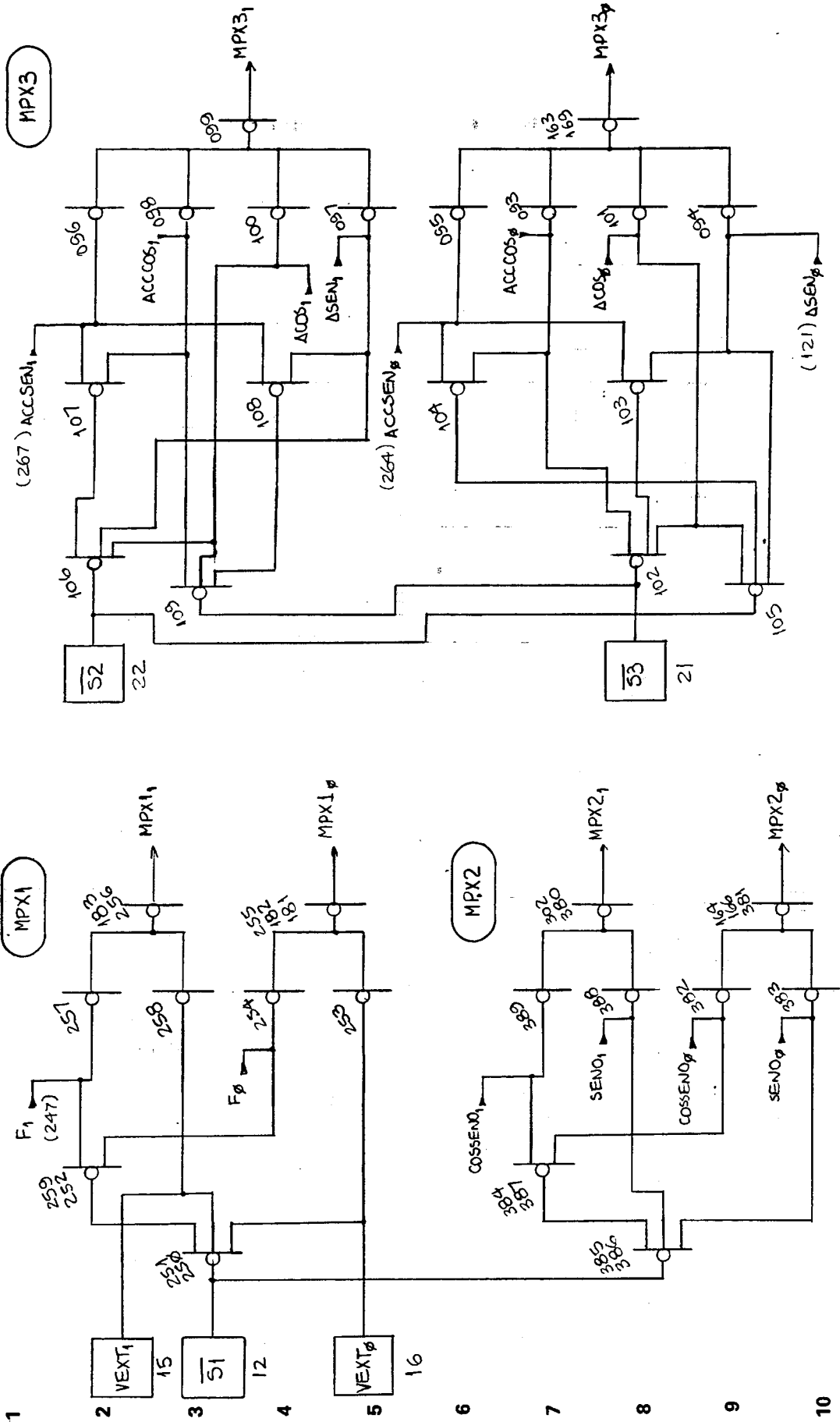
DEC. DESLOC



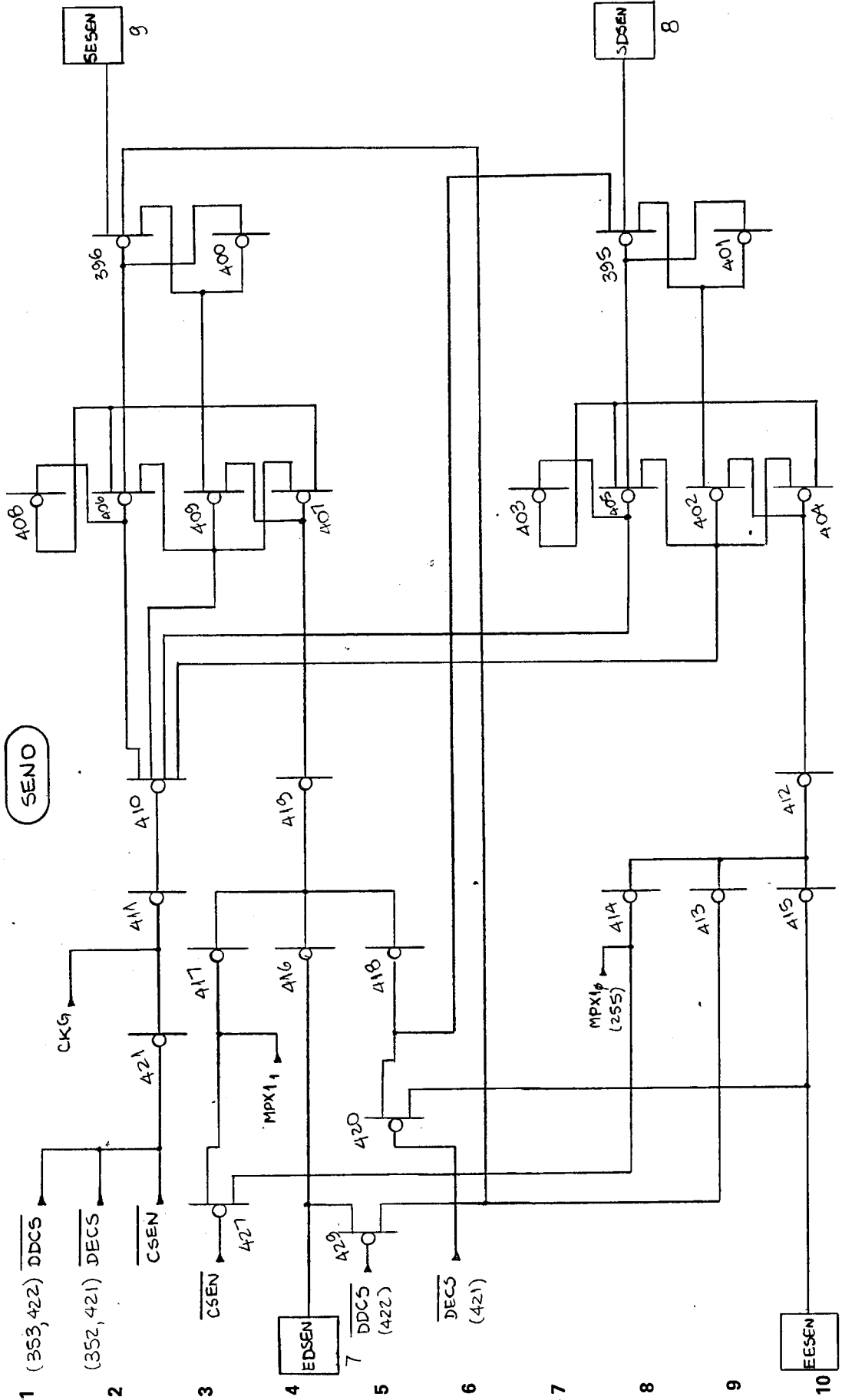
DEC. CARGA



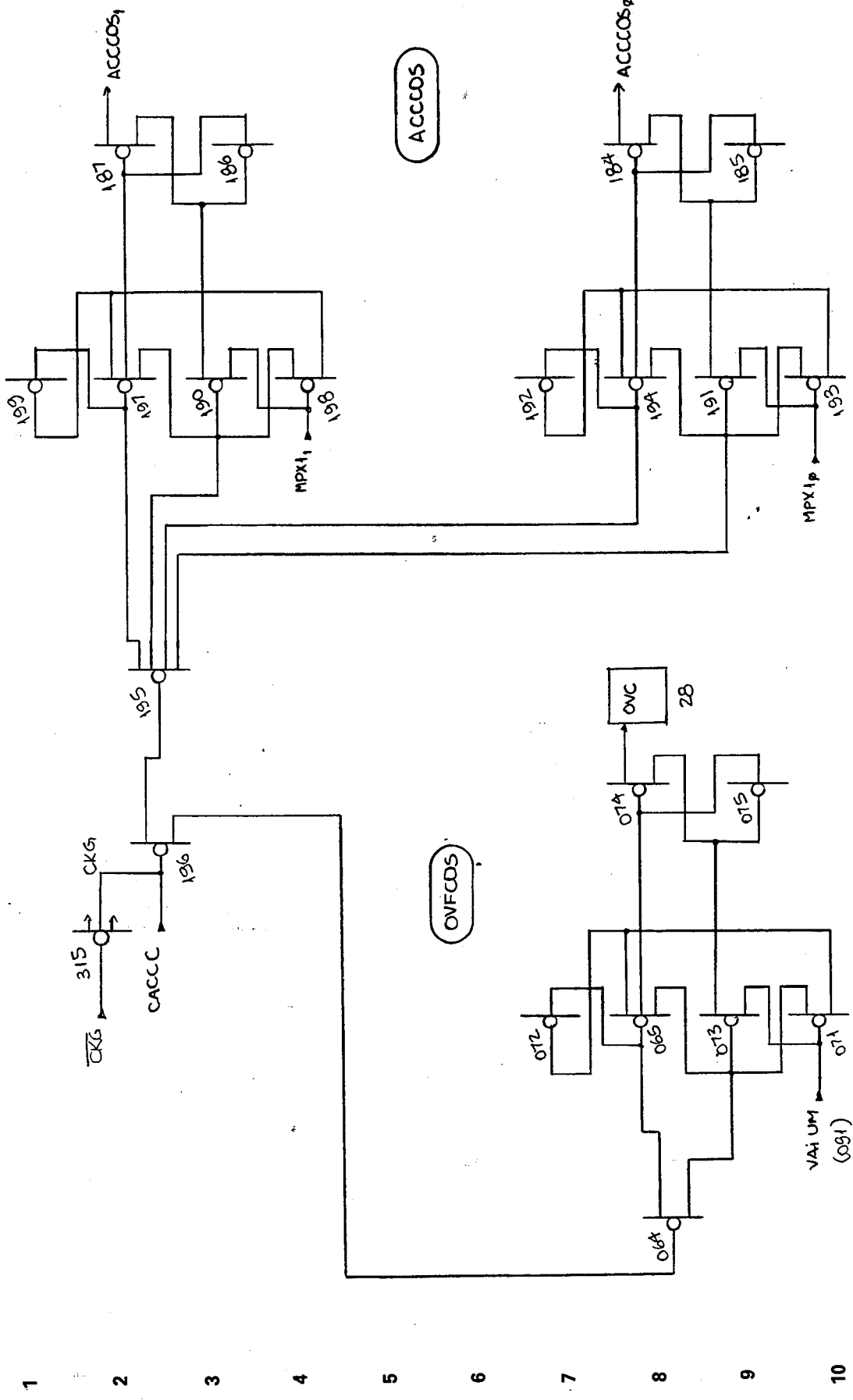
A B C D E F G H I J K L M N O P



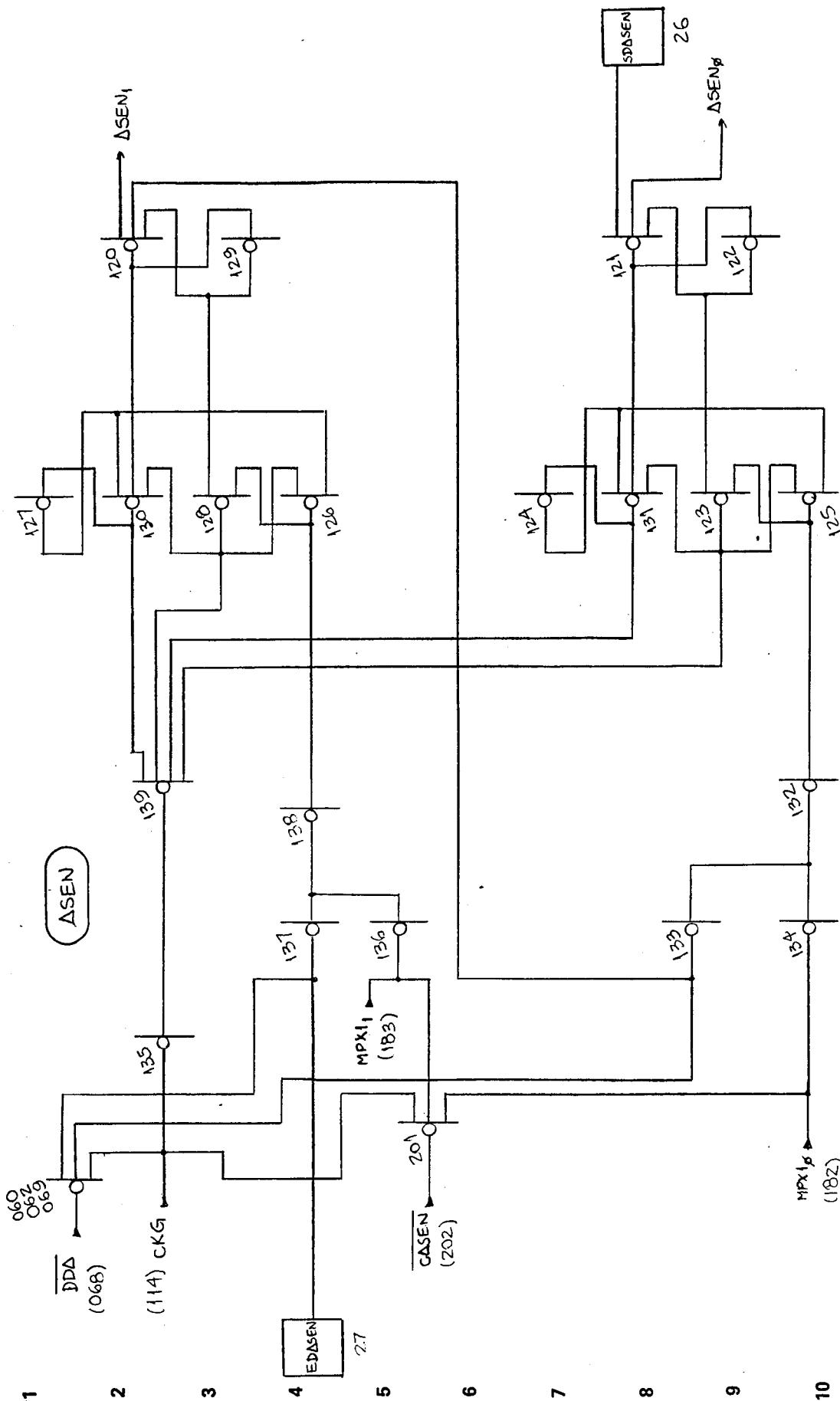
A B C D E F G H I J K L M N O P



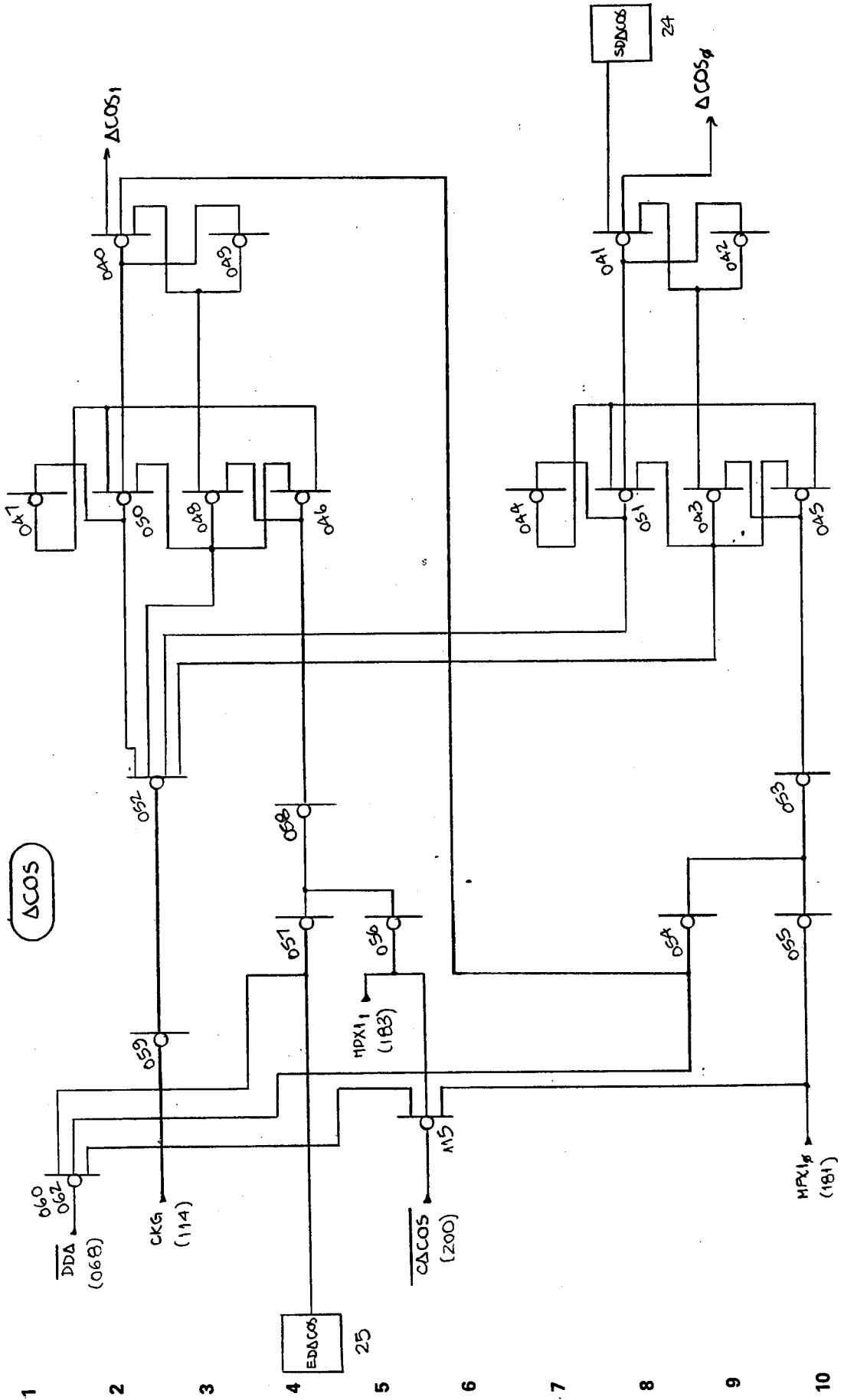
SENO



A B C D E F G H I J K L M N O P



A B C D E F G H I J K L M N O P



P

O

N

M

L

K

J

I

H

G

F

E

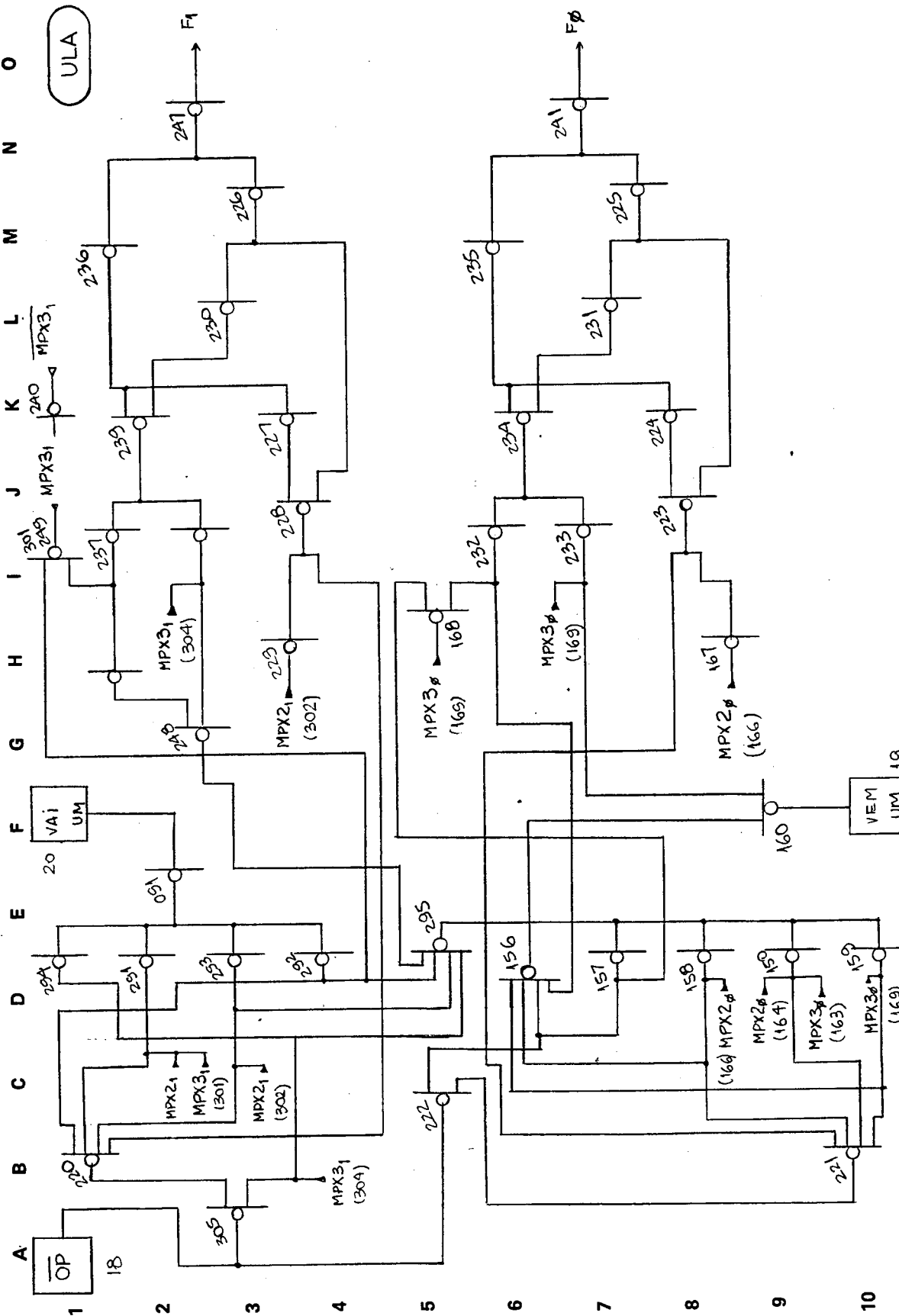
D

C

B

A

U L A



FOLHA 9 DE 9

DATA: / /

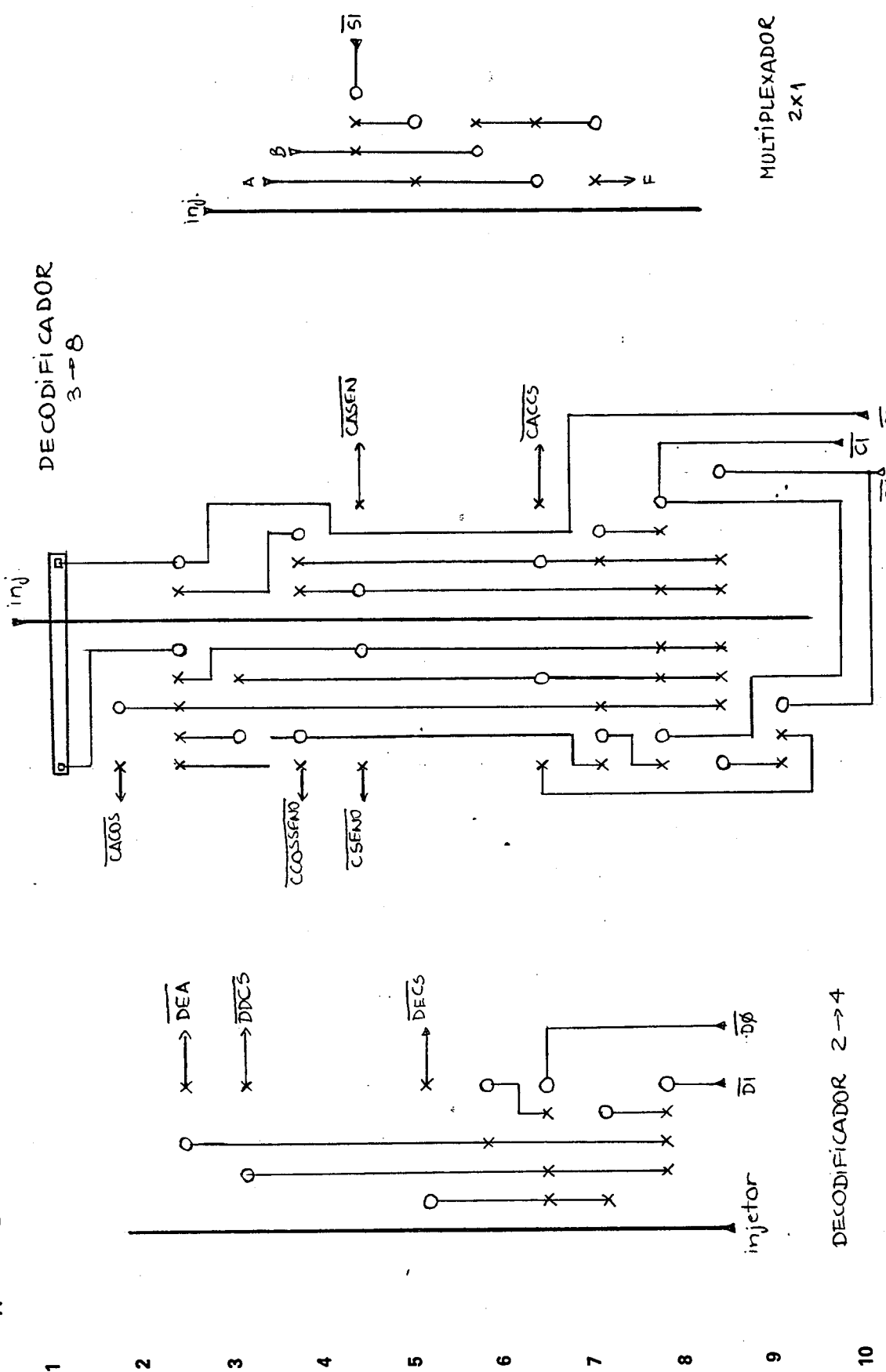
PROJ.: INGR/D

CÓDIGO: ESQ. ELETR. - ULA

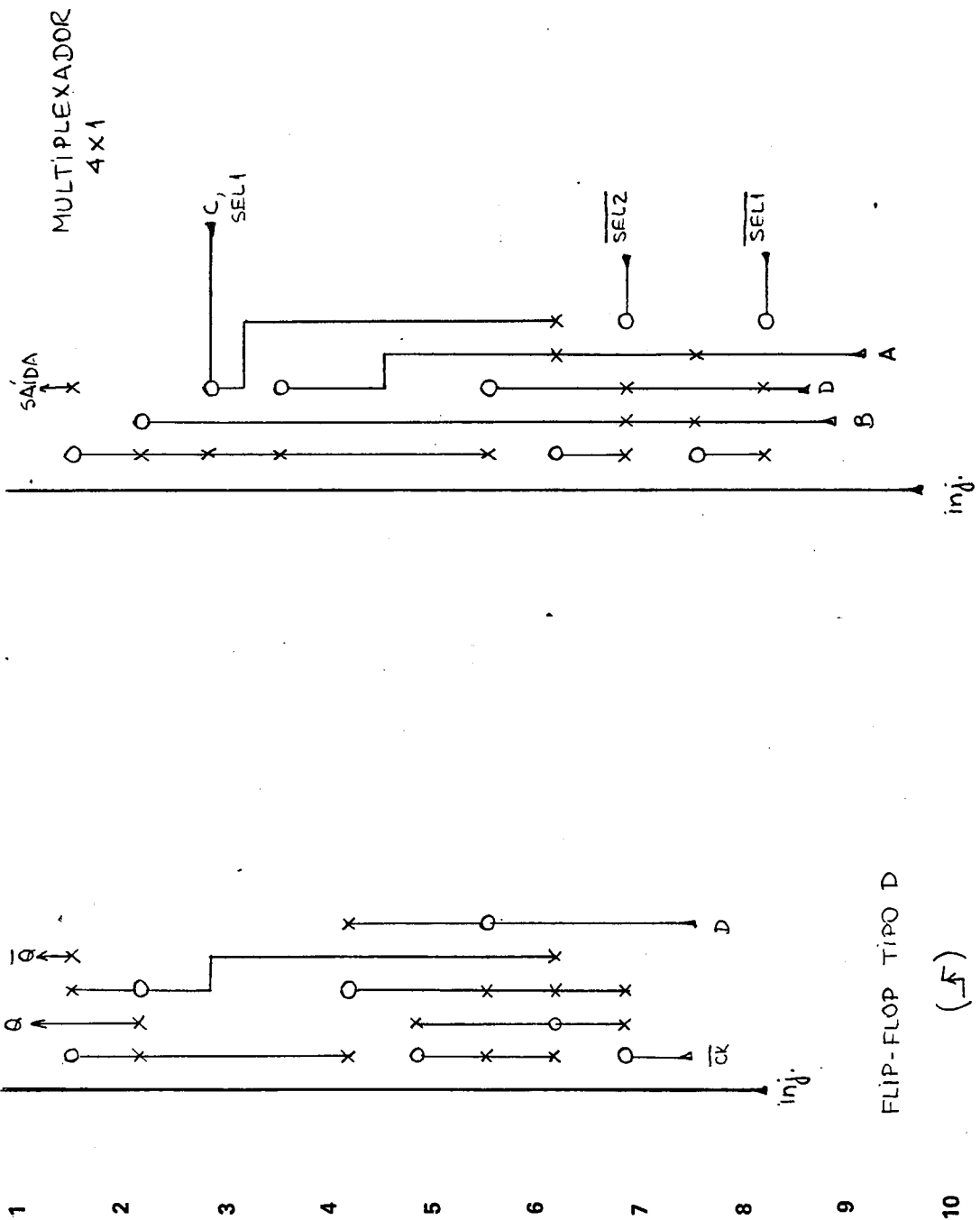
CPGCC - UFRGS

19

A B C D E F G H I J K L M N O P



A B C D E F G H I J K L M N O P

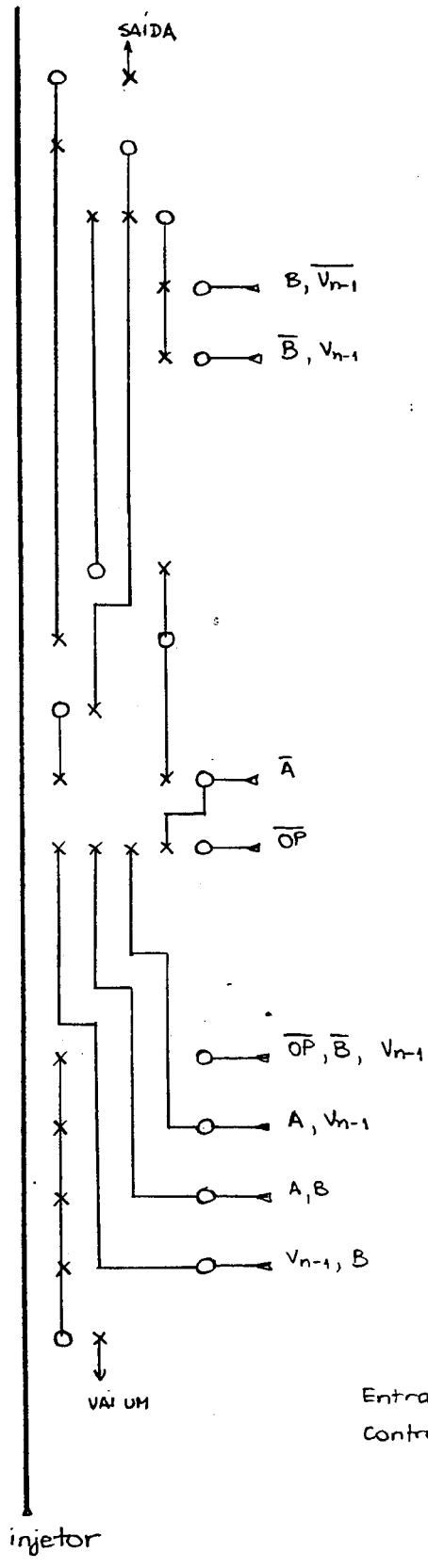


FLIP-FLOP TIPO D

(5)

A B C D E F G H I J K L M N O P

1 2 3 4 5 6 7 8 9 10

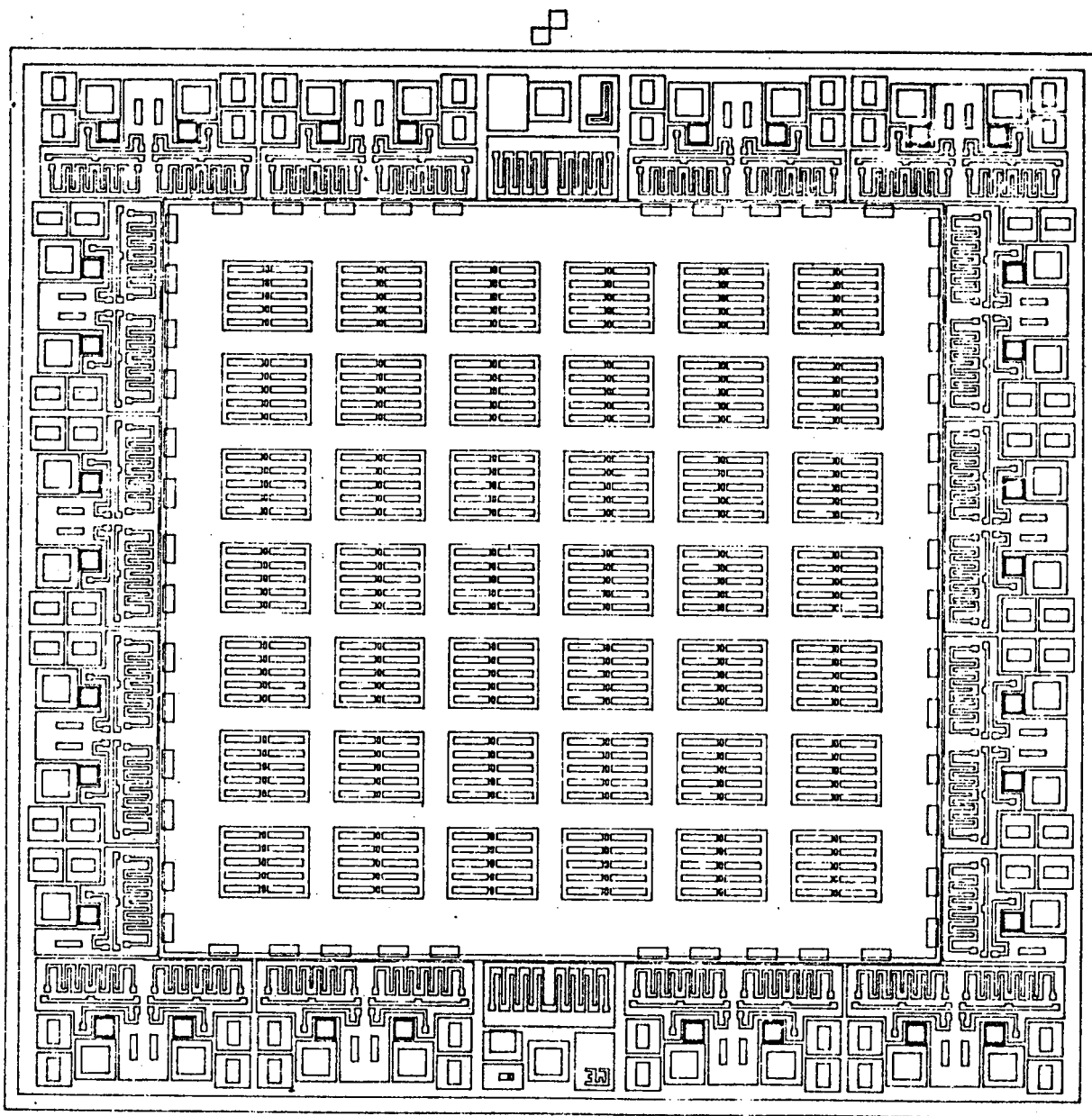


ULA

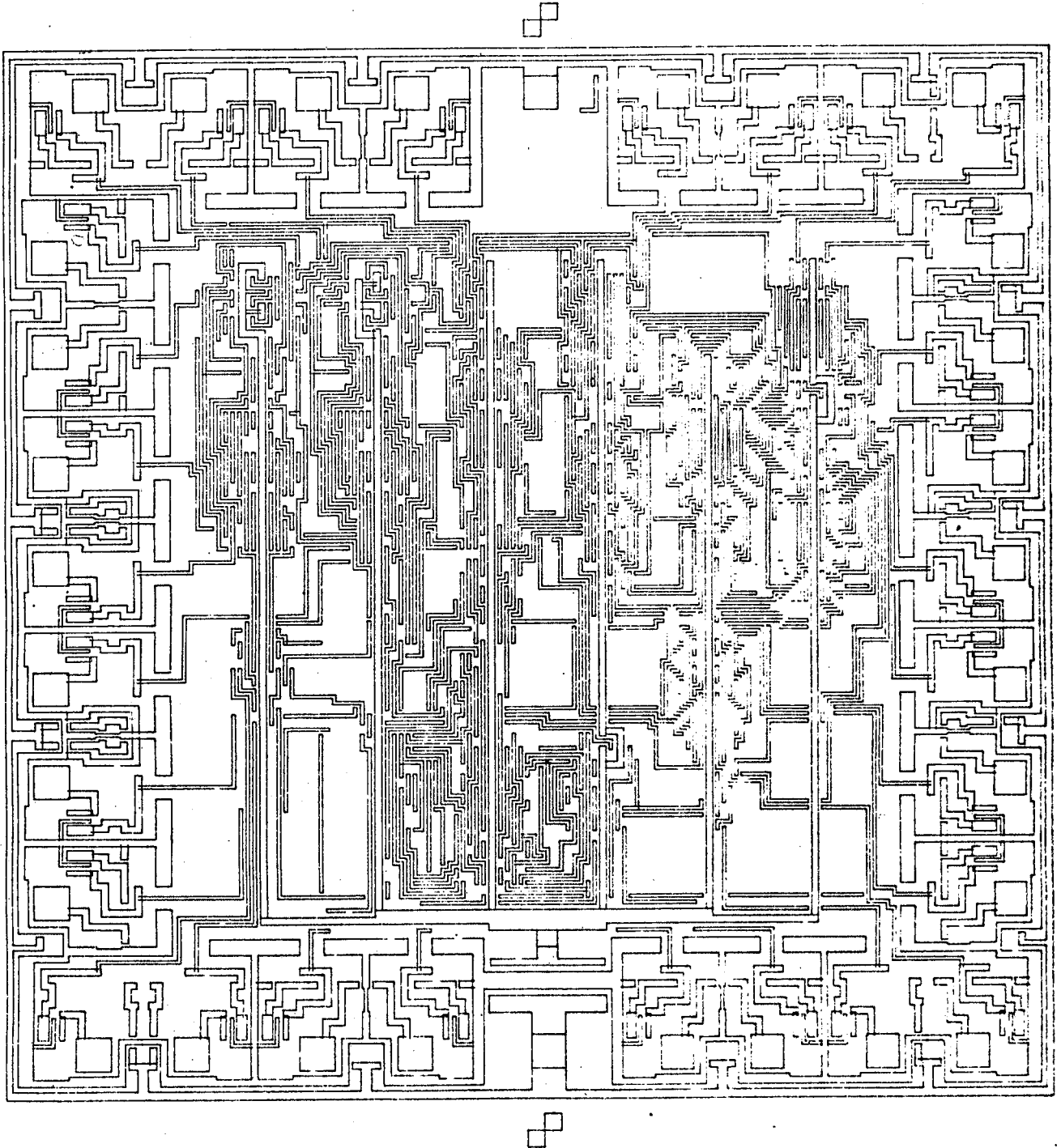
Entradas: A, B, V_{n-1} (vem um)
controle OP



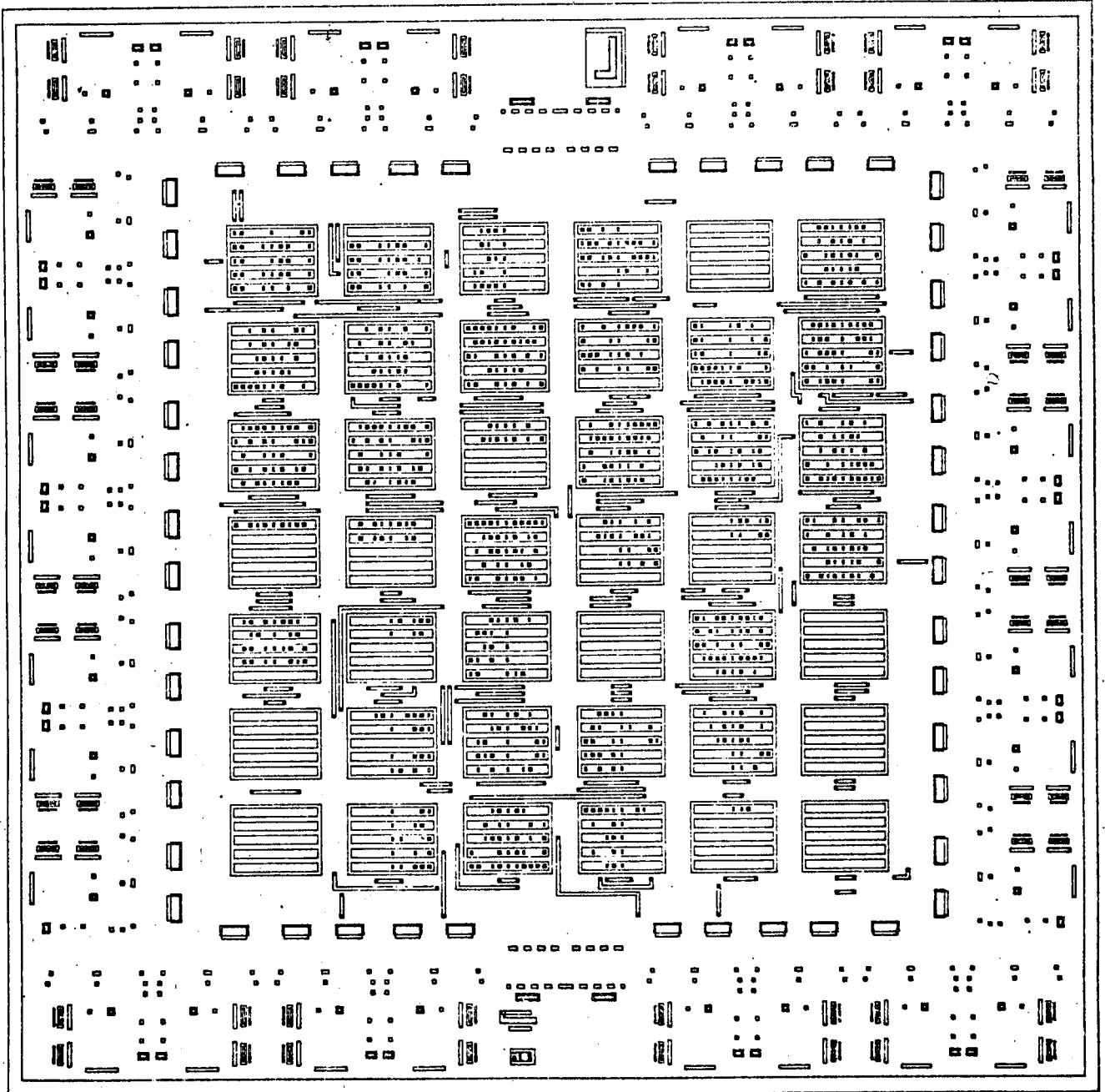
APÊNDICE A4 Codificação das máscaras do circuito integrado



MATRIZ -- 420 PORTAS



METALIZAÇÃO



DIFUSÕES N⁺ E CONTATOS


```

*
*INJETOR
*
9 COLAR RET EM 25 235
10 I2LC GEC I2LS 0 0 I2LR 0 230 INJ1 0 110 COLAR -2.5 -2.5
*
11 BLOCO MAT I2LC 5 40 1 1
12 COLA1 RET EM 205 255
13 COLA2 RET BA 210 260
*
14 BLI2L GEC COLA2 0 0 COLA1 2.5 2.5 BLOCO 15 15
15 ARRAY MAT BLI2L 7 280 6 330
*
* CAMADA ENTERRADA DO I2L
*
16 CEI2L RET CE 2180 2190
17 BAI2L RET BA 2250 2260
*
*GRADE DE ORIENTACAO PARA METAL
*
18 GRV1 LRD GM 0 3100
19 GRV2 LRD 20 3100 GM 0 -3100
20 GRV3 GRU GRV1 GRV2
21 MV MAT GRV3 77 40 1 1
22 K2 LRD GM 3100
23 MHL MAT K2 1 1 15 20
24 MH2 MAT K2 1 1 36 20
25 MH1 MAT MHL 1 1 5 330
26 MI MAT K2 1 1 6 330
27 GRH GEC MH2 0 0 MH1 0 750 MH2 0 2400 MI 0 725
*
*MATRIZ I2L=I2L
*
28 I2L GEC CEI2L 0 0 ARRAY 145 140 GRH -465 -455 MV -450 -470
+ BAI2L -35 -35
*****
*
* INTERFACE DE ENTRADA/SAIDA=INTER
*
*****
*
*TRANSISTOR SCHOTTKY=TRAN
*
29 TRIS QUA IS 100
30 TRCE QUA 15 15 CE 70
31 TRDC RET 15 15 EM 10 70
32 TRCE RET 15 15 CO 10 70
33 TRBA RET 32.5 15 BA 37.5 70
34 TREM RET 37.5 20 EM 10 60
35 TRCO RET 40 22.5 CO 5 55
36 TRCB RET 60 20 CO 5 60
*
*DIODO SCHOTTKY
*
37 TRDS RET 75 15 SH 10 70
*
38 TRAN GRU TRIS TRCE TRDC TRCC TRBA TREM TRCO TRCB TRDS
*
*DIODO DE PROTECAO=DIODO
*
39 DBA QUA 0 0 BA 60
40 DIS QUA 5 5 IS 50
41 DEM QUA 20 20 EM 20
42 DCO QUA 25 25 CO 10
*
43 DIODO GRU DBA DIS DEM DCO
*
*RESISTOR DE 500 OHMS=R500
*
44 RD5 RET 0 0 BA 20 75
45 RC1 QUA 5 5 CO 10
46 RC2 QUA 5 60 CO 10
*
47 R500 GRU RD5 RC1 RC2
*
*CONTATO N+ DE POLARIZACAO DE ILHA=NMAIS
*
48 NMA1 RET 0 0 EM 30 20
49 NMA2 RET 5 5 CO 20 10
*
50 NMAIS GRU NMA1 NMA2
*
* RESISTOR DUPLO DE 2.5K OHMS=R2K5
*
51 RD2 PRD BA 20 115 -10 20 10 115 -10 20 20 -290 -20

```


52 RC1 QUA 5 5 CO 10
 53 RC2 QUA 275 5 CO 10
 54 RC3 QUA 140 5 CO 10
 55 R2K5 GRU RD2 RC1 RC2 RC3
 *
 *RESISTOR DE 5K OHMS=RSK
 *
 56 R5K1 PRD BA 20 20 -5 20 20 -40 135 50 5 20 -20 -20 5 -40
 + -115 40 -40 -30 -5 -20
 57 R5K2 QUA 5 5 CO 10
 58 R5K3 QUA 160 55 CO 10
 *
 59 R5K GRU R5K1 R5K2 R5K3
 *
 *RESISTOR DUPLO DE 10K=R20K
 *
 60 R20K1 LRD BA -5 -65 -30 75 -10 -75 -30 75 -10 -75 -45 65
 + -5 20 20 -20 -5 -55 25 75 30 -75 10 75 30 -75 10 75 15
 61 R20K2 LRD 0 5 CO -10 10 10
 62 R20K3 QUA -130 5 CO 10
 *
 63 R20K4 GRU R20K1 R20K2 R20K3
 64 R20K5 FTR R20K4 Y 0 0
 *
 65 R20K GRU R20K4 R20K5
 *
 *AREA DE SOLDA=SOLDA
 *
 66 S1 QUA IS 120
 67 S2 QUA 10 10 AL 100
 68 S3 QUA 20 20 CP 80
 69 SOLDA GRU S1 S2 S3
 *
 70 ISOL1 LRD IS 315 155 -115 70 -50 -60 -80 190 -70
 71 ISOL2 LRD IS -5 355 5
 72 TERA1 RET CO 90 10
 73 TERA2 RET EM 80 30
 74 TERA3 RET BA 85 35
 75 COTER RET CO 70 35
 76 TERKA GEC TERA2 0 0 COTER 5 5 TERA3 -2.5 -2.5
 *
 77 INT GEC ISOL1 0 0 R20K 155 80 R2K5 10 110 R5K 10 140
 + R500 20 220 NMAIS 10 320 BIODO 85 170 SOLDA 80 235
 + TERA1 95 365 TRAN 210 275 TRAN 210 165

 ** A GEOMETRIA "TERA1 110 365" FOI SUBSTITUIDA POR **
 ** "TERA1 95 365" PARA ALINHAR OS CONTATOS DE TERRA **
 ** EXTERNOS COM OS BONDING PADS DAS INTERFACES **

 *
 * LOGOTIPO
 *
 78 DLOG PRD 0 0 IS 30 10 -20 30 10 -15 10 15 10 -40 30 10
 + -20 10 10 10 -10 10 20 10 -70 -50
 79 LOGOT FTR DLOG R 0 0
 80 TEST1 RET IS 170 115
 81 ISLOG GEC TEST1 0 0 LOGOT 65 15
 *
 *TRANSISTOR PNP DE TESTE COM UMA ENTRADA I2L=PNPT
 *
 82 PNP0 RET 0 0 IS 75 115
 83 PNP1 RET 15 15 EM 45 70
 84 PNP2 RET 25 25 EM 25 45
 85 PNP3 RET 27.5 27.5 BA 20 10
 86 PNP4 RET 27.5 42.5 BA 20 25
 87 PNP5 RET 30 30 CO 15 5
 88 PNP6 RET 30 55 CO 15 5
 89 PNP7 RET 25 75 CO 25 5
 *
 90 PNPT GRU PNP0 PNP1 PNP2 PNP3 PNP4 PNP5 PNP6 PNP7
 *
 *RESISTOR PINCH DE 0,2 QUADRADO=PINCH
 *
 91 PINC1 RET 0 0 IS 85 115
 92 PINC2 RET 25 20 BA 65 75
 93 PINC3 RET 30 25 CO 10 65
 94 PINC4 RET 75 5 CO 10 85
 95 PINC5 LRD 50 0 EM 35 15 -15 -5 -5 95 -15 -105
 *
 96 PINCH GRU PINC1 PINC2 PINC3 PINC4 PINC5
 *
 * FIGURA TESTE COMPLETA=TESTE
 *
 97 TESTE GEC PNPT 0 0 PINCH Y

```

*
*RESISTORES DE 2KB OHMS=R2KB
*
98 R2KBA LRD BA 0 -25 110 -10 -110 -30 110 -10 -110 -30 110 -10 -110
+ -30 110 -15 -90 5 -20 -20 20 5 110 35 -110 10 110 30 -110 10 110 30
+ -110 10 110 30 -110 15
99 R2K8K LRD -45 0 IS 0 -190 190 190
100 R2K8B LRD 5 0 CO 0 -20 10 20
101 R2K8C RET CO 10 20
102 R2K8D MAT 5 -140 R2K8C 1 1 3 40
103 R2K8E MAT 115 -120 R2K8C 1 1 3 40
104 R2K8F QUA 5 -170 CO 10
105 R2K8G RET 115 -165 CO 10 25
106 R2K8P RET -30 -145 EM 20 70
107 R2K8Q RET -25 -140 CO 10 60
108 R2K8H GRU R2K8A R2K8K R2K8B R2K8D R2K8E R2K8F R2K8G R2K8P R2K8Q
109 R2K8I FTR R2K8H X 0 0
110 R2K8L GRU R2K8H R2K8I
111 R2K8M GEC R2K8L 0 0 SOLDA -205 -60 ISLOG -230 -190 TESTE -230 75
112 R2K8N FTR R2K8L Y 0 0
113 MACP PRD CP 105 7.5 -97.5 42.5 -7.5 -50
114 MAAL PRD AL 110 12.5 -97.5 42.5 -12.5 -55
115 MACD PRD CO 115 17.5 -97.5 42.5 -17.5 -60
116 MAEM PRD EM 120 22.5 -97.5 42.5 -22.5 -65
117 MABA PRD BA 125 27.5 -97.5 42.5 -27.5 -70
118 MAIS PRD IS 130 32.5 -97.5 42.5 -32.5 -75
119 MACE PRD CE 135 37.5 -97.5 42.5 -37.5 -80
120 QUACE RET CE 170 115
121 QUABA RET BA 170 115
122 QUAEM RET EM 170 115
123 QUACO RET CO 170 115
124 QUACP RET CP 170 115
125 MARCA GEC QUACE 0 0 QUABA 0 0 QUAEM 0 0 QUACO 0 0 QUACP 0 0
+ MACE 17.5 17.5 MAIS 20 20 MABA 22.5 22.5
+ MAEM 25 25 MACD 27.5 27.5 MAAL 30 30 MACP 32.5 32.5
126 R2K8J GEC R2K8N 0 0 MARCA 60 -190 TEST1 60 75
127 ITFC FTR INT Y 0 0
128 REFI REF -315 0
129 REF2 REF -5 0
*
130 INTER GRU REFI INT ITFC
131 INTE1 GRU REF2 INT ISOL2
132 INTE2 GEC INTE1 0 0 TERRA 45 -45 TERRA 195 -45
133 INTE3 FTR INTE2 X 0 0
134 INTE4 GEC INTER 0 0 TERRA 45 -45
135 INTE5 GEC INTE4 0 0 TERRA 195 -45 TERRA 360 -45 TERRA 510 -45
*
* DEFINICAO DAS AREAS DE SOLDA NAS VARIAS ORIENTACOES
*
136 SOLDO MAT INTES 3 640 1 1
137 INTHS GEC INTE2 0 0 SOLDO 330 0
138 INT1 FTR INTES X 0 0
139 INT2 FTR INTES R 0 0
140 INT3 FTR INTE4 R 0 0
141 INT4 FTR INT2 Y 0 0
142 INT5 FTR INT3 Y 0 0
143 INT6 FTR INT3 X 0 0
144 INT7 FTR INT6 Y 0 0
145 SOLD1 MAT INT1 3 640 1 1
146 INTI1 GEC INTE3 0 0 SOLD1 330 0
147 INTVD GEC INT5 0 0 INT4 0 -640 R2K8J 145 -857.5
+ INT4 0 -1705 INT7 0 -1715
148 INTVE GEC INT3 0 0 INT2 0 -640 R2K8M -145 -857.5
+ INT2 0 -1705 INT6 0 -1715
149 REFS0 REF 0 0
*
150 ISPT1 RET IS 2220 2230
151 ISPT2 RET CE 3060 3070
152 ISPT3 RET BA 3060 3070
153 ISPT4 RET EM 3060 3070
154 ISPT5 RET CO 3150 3150
155 ISPT6 RET CP 3150 3150
156 ISPT GEC ISPT2 -10 -10 ISPT1 410 410 ISPT3 -10 -10 ISPT4 -10 -10
+ ISPT5 -55 -52.5 ISPT6 -55 -52.5
*
* DEFINICAO DA PASTILHA=PASTI
*
157 PASTI + GEC REFS0 0 0 INTHS 385 2622.5 INTVD 2635 2345 INTVE 375 2345
+ INTI1 385 352.5 ISPT -25 -47.5 I2L 415 392.5 SOLDA 2870 1440
*/P PROCESSADOR DE ELIPSES
*.LA CE IS BA GM EM SA CO CB CS SH AL CP CT NT MT
.CA 80
*
* PONTES (DIFUSOES)
*

```

158	P1	TRD	505	632.5	SA	FF	10	0	60	
159	P2	TRD	805	632.5	SA	FF	10	0	60	
160	P3	TRD	825	632.5	SA	FF	10	0	60	
161	P4	TRD	1065	632.5	SA	FF	10	0	60	
162	P5	TRD	1085	592.5	SA	FF	10	0	100	
163	P6	TRD	1105	592.5	SA	FF	10	0	100	
164	P7	TRD	1345	632.5	SA	FF	10	0	60	
165	P8	TRD	1365	632.5	SA	FF	10	0	60	
166	P9	TRD	1465	412.5	SA	FF	10	0	90	
167	P10	TRD	1625	612.5	SA	FF	10	0	100	
168	P11	TRD	1645	552.5	SA	FF	10	0	140	
169	P12	TRD	1665	572.5	SA	FF	10	0	220	
170	P13	TRD	1905	612.5	SA	FF	10	0	120	
171	P14	TRD	1925	452.5	SA	FF	10	0	255	20 25
172	P15	TRD	1945	472.5	SA	FF	10	0	90	
173	P16	TRD	1945	572.5	SA	FF	10	0	120	
174	P17	TRD	2185	552.5	SA	FF	10	0	280	
175	P18	TRD	2205	532.5	SA	FF	10	0	320	
176	P19	TRD	2225	552.5	SA	FF	10	0	220	
177	P20	TRD	1320	847.5	SA	FF	10	130		
178	P21	TRD	1340	807.5	SA	FF	10	70		
179	P22	TRD	1920	787.5	SA	FF	10	25	20	65
180	P23	TRD	440	1037.5	SA	FF	10	90		
181	P24	TRD	785	962.5	SA	FF	10	0	60	
182	P25	TRD	825	942.5	SA	FF	10	0	80	
183	P26	TRD	1065	922.5	SA	FF	10	0	140	
184	P27	TRD	1085	942.5	SA	FF	10	0	200	
185	P28	TRD	1105	902.5	SA	FF	10	0	260	
186	P29	TRD	1345	922.5	SA	FF	10	0	140	
187	P30	TRD	1365	962.5	SA	FF	10	0	180	
188	P31	TRD	1385	942.5	SA	FF	10	0	80	
189	P32	TRD	1385	1072.5	SA	FF	10	0	70	
190	P33	TRD	1625	942.5	SA	FF	10	0	100	
191	P34	TRD	1825	802.5	SA	FF	10	0	45	-180 195
192	P35	TRD	1665	922.5	SA	FF	10	0	120	
193	P36	TRD	1905	862.5	SA	FF	10	0	260	
194	P37	TRD	1925	862.5	SA	FF	10	0	280	
195	P38	TRD	1945	902.5	SA	FF	10	0	200	
196	P39	TRD	2205	1032.5	SA	FF	10	0	70	
197	P40	TRD	440	1277.5	SA	FF	10	65	230	165
198	P41	TRD	545	1292.5	SA	FF	10	0	80	
199	P42	TRD	785	1252.5	SA	FF	10	0	510	
200	P43	TRD	805	1252.5	SA	FF	10	0	200	
201	P44	TRD	825	1272.5	SA	FF	10	0	160	
202	P45	TRD	1065	1292.5	SA	FF	10	0	60	
203	P46	TRD	1085	1292.5	SA	FF	10	0	60	
204	P47	TRD	1105	1292.5	SA	FF	10	0	60	
205	P48	TRD	1345	1292.5	SA	FF	10	0	120	
206	P49	TRD	1365	1292.5	SA	FF	10	0	120	
207	P50	TRD	1385	1272.5	SA	FF	10	0	80	
208	P51	TRD	1625	1292.5	SA	FF	10	0	100	
209	P52	TRD	1645	1252.5	SA	FF	10	0	140	
210	P53	TRD	1665	1152.5	SA	FF	10	0	240	
211	P54	TRD	1905	1252.5	SA	FF	10	0	140	
212	P55	TRD	1925	1272.5	SA	FF	10	0	100	
213	P56	TRD	1945	1232.5	SA	FF	10	0	120	
214	P57	TRD	2185	1232.5	SA	FF	10	0	120	
215	P58	TRD	2205	1212.5	SA	FF	10	0	240	
216	P59	TRD	2225	1172.5	SA	FF	10	0	110	
217	P60	TRD	2225	1292.5	SA	FF	10	0	160	
218	P61	TRD	2505	1152.5	SA	FF	10	0	90	
219	P62	TRD	920	1507.5	SA	FF	10	70		
220	P63	TRD	1600	1467.5	SA	FF	10	90		
221	P64	TRD	525	1622.5	SA	FF	10	0	175	125
222	P65	TRD	825	1542.5	SA	FF	10	0	200	
223	P66	TRD	1065	1602.5	SA	FF	10	0	200	
224	P67	TRD	1085	1602.5	SA	FF	10	0	140	
225	P68	TRD	1105	1602.5	SA	FF	10	0	200	
226	P69	TRD	1345	1582.5	SA	FF	10	0	140	
227	P70	TRD	1365	1582.5	SA	FF	10	0	100	
228	P71	TRD	1385	1582.5	SA	FF	10	0	180	
229	P72	TRD	1600	1507.5	SA	FF	10	25	175	
230	P73	TRD	1645	1622.5	SA	FF	10	0	120	
231	P74	TRD	1665	1562.5	SA	FF	10	0	140	
232	P75	TRD	1905	1542.5	SA	FF	10	0	240	
233	P76	TRD	1925	1542.5	SA	FF	10	0	240	
234	P77	TRD	1945	1602.5	SA	FF	10	0	140	
235	P78	TRD	2185	1582.5	SA	FF	10	0	120	
236	P79	TRD	2205	1602.5	SA	FF	10	0	100	
237	P80	TRD	2225	1622.5	SA	FF	10	0	60	
238	P81	TRD	2465	1672.5	SA	FF	10	0	110	
239	P82	TRD	2485	1672.5	SA	FF	10	0	110	
240	P83	TRD	440	1837.5	SA	FF	10	190		
241	P84	TRD	940	1837.5	SA	FF	10	170		
242	P85	TRD	940	1817.5	SA	FF	10	170		

+	1945	1097.5	2205	1097.5	1905	1117.5	1085	1137.5
+	1365	1137.5	1385	1137.5	1925	1137.5	1105	1157.5
+	1665	1157.5	2505	1157.5	2225	1177.5	2205	1217.5
+	1945	1237.5	2185	1237.5	2505	1237.5	785	1257.5
+	805	1257.5	1645	1257.5	1905	1257.5	445	1277.5
+	825	1277.5	1385	1277.5	1925	1277.5	2225	1277.5
+	545	1297.5	1065	1297.5	1085	1297.5	1105	1297.5
+	1345	1297.5	1365	1297.5	1625	1297.5	1945	1297.5
+	2225	1297.5	1065	1347.5	1085	1347.5	1105	1347.5
+	1385	1347.5	1945	1347.5	2185	1347.5	545	1367.5
+	1925	1367.5	1625	1387.5	1645	1387.5	1665	1387.5
+	1905	1387.5	1345	1407.5	1365	1407.5	825	1427.5
+	805	1447.5	2205	1447.5	2225	1447.5	1605	1467.5
+	1685	1467.5	665	1507.5	925	1507.5	985	1507.5
+	1605	1507.5	825	1547.5	1905	1547.5	1925	1547.5
+	1665	1567.5	1345	1587.5	1365	1587.5	1385	1587.5
+	2185	1587.5	1065	1607.5	1085	1607.5	1105	1607.5
+	1945	1607.5	2205	1607.5	525	1627.5	1645	1627.5
+	2225	1627.5	1365	1677.5	1625	1677.5	2225	1677.5
+	2465	1677.5	2485	1677.5	1665	1697.5	2185	1697.5
+	2205	1697.5	1345	1717.5	825	1737.5	1085	1737.5
+	1645	1737.5	1945	1737.5	785	1757.5	1385	1757.5
+	1905	1777.5	1925	1777.5	2465	1777.5	2485	1777.5
+	645	1797.5	1065	1797.5	1105	1797.5	805	1817.5
+	825	1817.5	945	1817.5	1105	1817.5	2325	1817.5
+	2365	1817.5	445	1837.5	625	1837.5	945	1837.5
+	1105	1837.5	1345	1837.5	1625	1837.5	1645	1837.5
+	2185	1837.5	2225	1837.5	1945	1857.5	805	1877.5
+	825	1897.5	1945	1897.5	2225	1897.5	1105	1917.5
+	1365	1917.5	1665	1917.5	545	1957.5	1065	1957.5
+	1105	1957.5	1385	1957.5	1905	1957.5	1925	1957.5
+	1945	1957.5	2205	1957.5	1085	2007.5	1365	2007.5
+	1385	2007.5	1945	2007.5	545	2027.5	1065	2027.5
+	1905	2027.5	1105	2047.5	1625	2047.5		
+	1645	2047.5	1665	2047.5	2205	2067.5	1945	2087.5
+	445	2127.5	505	2127.5	2305	2127.5	2345	2127.5
+	2445	2127.5	2445	2147.5	1625	2187.5	2225	2187.5
+	1645	2227.5	2225	2227.5	1085	2247.5	1665	2247.5
+	2185	2247.5	1105	2267.5	1345	2267.5	1365	2267.5
+	1385	2267.5	1905	2267.5	1065	2287.5	1925	2287.5
+	1945	2287.5	2205	2287.5	1065	2337.5	1105	2337.5
+	1945	2337.5	1365	2357.5	1385	2357.5	1925	2357.5
+	1345	2377.5	1665	2377.5	1085	2397.5	2465	2397.5
+	2545	2397.5	1625	2417.5	1905	2417.5	2225	2417.5
+	2465	2417.5	2545	2417.5	2205	2437.5	1645	2457.5
+	2345	2457.5	2205	2497.5	2345	2497.5	1645	557.5
+	1945	577.5	865	2377.5	865	2247.5	1045	2127.5
+	1305	2147.5	1025	2147.5			525	1857.5
+	545	1677.5	545	1627.5	545	1387.5	545	1237.5
+	545	1017.5	545	927.5	545	687.5	545	637.5
+	545	517.5	565	477.5	565	2147.5		

CONTATO BASE - RETANGULO CENTRADO

297 B1 RET CB 10 5
 298 RB1 REF 5 2.5
 299 BAS GRU RB1 B1

BASES

300	BASES	FTR	BAS	1425	617.5	1465	637.5	1505	617.5	1545	597.5
+				1585	557.5	1705	577.5	1745	637.5	1785	637.5
+				1825	617.5	1865	597.5	1985	557.5	2025	637.5
+				2065	557.5	2105	577.5	2145	617.5	2265	557.5
+				2305	637.5	2345	617.5	2385	597.5	2425	637.5
+				1425	707.5	1465	687.5	1505	707.5	1545	767.5
+				1585	747.5	1705	707.5	1745	707.5	1785	727.5
+				1825	687.5	1865	767.5	1985	727.5	2025	707.5
+				2065	767.5	2105	747.5	2145	707.5	2265	767.5
+				2305	687.5	2345	707.5	2385	727.5	2425	687.5
+				745	967.5	865	967.5	905	967.5	945	947.5
+				985	907.5	1025	907.5	1145	927.5	1185	907.5
+				1225	967.5	1265	967.5	1305	927.5	1545	967.5
+				1585	907.5	1705	967.5	1745	927.5	1785	927.5
+				1825	887.5	1865	967.5	1985	907.5	2025	887.5
+				2065	907.5	2105	927.5	2145	927.5	945	1037.5
+				985	1057.5	1025	1077.5	1145	1037.5	1185	1077.5
+				1225	1037.5	1265	1037.5	1305	1077.5	1705	1017.5
+				1745	1037.5	1785	1057.5	1825	1017.5	1865	1097.5
+				1985	1077.5	2025	1017.5	2065	1097.5	2105	1077.5
+				2145	1077.5	745	1257.5	945	1217.5	985	1297.5
+				1465	1297.5	1505	1297.5	1545	1237.5	1585	1277.5
+				1705	1277.5	1745	1297.5	1785	1237.5	1825	1257.5
+				1865	1297.5	2025	1297.5	2065	1257.5	2105	1237.5
+				2145	1217.5	2185	1237.5	2345	1217.5	2385	1217.5

+	585	1367.5	625	1407.5	665	1367.5	705	1407.5
+	745	1347.5	865	1427.5	905	1427.5	945	1347.5
+	985	1387.5	1025	1347.5	1545	1367.5	1585	1347.5
+	1705	1367.5	1745	1427.5	1785	1347.5	1825	1407.5
+	1865	1407.5	2025	1387.5	2065	1347.5	2105	1347.5
+	2145	1427.5	2265	1407.5	2345	1367.5	2385	1427.5
+	2425	1367.5	585	1627.5	625	1607.5	665	1587.5
+	705	1547.5	745	1607.5	865	1607.5	905	1547.5
+	945	1547.5	985	1567.5	1025	1587.5	1145	1627.5
+	1305	1587.5	1425	1567.5	1465	1607.5	1505	1607.5
+	1545	1587.5	1585	1547.5	1825	1587.5	1865	1627.5
+	1985	1587.5	2025	1627.5	2065	1547.5	2105	1607.5
+	2145	1567.5	585	1697.5	625	1757.5	665	1717.5
+	705	1677.5	745	1697.5	865	1737.5	905	1717.5
+	945	1737.5	985	1697.5	1025	1697.5	1145	1757.5
+	1185	1737.5	1225	1717.5	1265	1697.5	1305	1677.5
+	1425	1757.5	1465	1677.5	1505	1737.5	1545	1717.5
+	1585	1677.5	1825	1697.5	1865	1677.5	1985	1757.5
+	2025	1677.5	2065	1737.5	2105	1697.5	2145	1677.5
+	2265	1737.5	2305	1737.5	2345	1677.5	2385	1697.5
+	2425	1717.5	585	1957.5	625	1917.5	665	1957.5
+	705	1917.5	745	1877.5	865	1877.5	905	1877.5
+	985	1877.5	1025	1877.5	1265	1917.5	1305	1917.5
+	1545	1937.5	1585	1937.5	1705	1937.5	1745	1917.5
+	1785	1877.5	1825	1897.5	1865	1957.5	1985	1877.5
+	2025	1937.5	2065	1957.5	2105	1917.5	2145	1877.5
+	2265	1937.5	2305	1877.5	2345	1897.5	2385	1877.5
+	1025	2027.5	1545	2027.5	1585	2007.5	1705	2027.5
+	1745	2047.5	1785	2007.5	1825	2087.5	1865	2067.5
+	1985	2007.5	2025	2007.5	2065	2047.5	2105	2067.5
+	2145	2047.5	2265	2007.5	2305	2087.5	2345	2007.5
+	2385	2007.5	1185	2247.5	1225	2287.5	1265	2267.5
+	1305	2247.5	1585	2267.5	1705	2287.5	1745	2247.5
+	1785	2207.5	1825	2227.5	1865	2287.5	1985	2227.5
+	2025	2267.5	2065	2287.5	2105	2267.5	2145	2227.5
+	2265	2267.5	2305	2207.5	2345	2207.5	2385	2207.5
+	2425	2207.5	1185	2337.5	1225	2337.5	1265	2377.5
+	1305	2397.5	1585	2357.5	1705	2337.5	1745	2377.5
+	1785	2337.5	1825	2417.5	1865	2397.5	1985	2337.5
+	2025	2337.5	2065	2357.5	2105	2377.5	2145	2377.5
+	2265	2337.5	2305	2337.5	2345	2417.5	2385	2337.5
+	2425	2417.5						

COLETOR

- 301 COL1 QUA -5 -5 SA 10
- 302 COL2 QUA -2.5 -2.5 CS 5
- 303 COLR REF 0 0
- 304 COL GRU COLR COL2 COL1

COLETORES DE SAIDA

305	COLET FTR COL	1425	637.5	1425	577.5	1465	617.5	1465	557.5
+		1505	597.5	1505	637.5	1545	637.5	1585	617.5
+		1585	597.5	1705	557.5	1705	597.5	1705	617.5
+		1705	637.5	1745	577.5	1745	597.5	1745	617.5
+		1785	597.5	1825	637.5	1865	637.5	1985	577.5
+		2025	557.5	2065	577.5	2105	597.5	2105	617.5
+		2145	577.5	2145	597.5	2145	637.5	2265	597.5
+		2265	637.5	2305	617.5	2345	557.5	2345	637.5
+		2385	637.5	2425	597.5	2425	617.5	1425	687.5
+		1425	727.5	1425	767.5	1465	707.5	1505	687.5
+		1505	747.5	1545	707.5	1585	687.5	1585	767.5
+		1705	687.5	1705	727.5	1705	767.5	1745	767.5
+		1785	687.5	1825	727.5	1865	727.5	1985	687.5
+		1985	707.5	1985	767.5	2025	747.5	2025	767.5
+		2065	687.5	2065	707.5	2065	727.5	2105	707.5
+		2105	727.5	2145	687.5	2145	727.5	2145	747.5
+		2265	687.5	2265	727.5	2305	707.5	2345	687.5
+		2345	767.5	2385	687.5	2425	707.5	2425	727.5
+		745	947.5	865	927.5	905	887.5	905	907.5
+		945	967.5	985	967.5	1025	967.5	1145	967.5
+		1185	927.5	1185	947.5	1185	967.5	1225	887.5
+		1225	907.5	1265	907.5	1265	947.5	1305	907.5
+		1305	947.5	1305	967.5	1545	887.5	1545	907.5
+		1585	887.5	1585	947.5	1585	967.5	1705	927.5
+		1705	947.5	1745	907.5	1745	967.5	1785	907.5
+		1785	967.5	1825	907.5	1865	887.5	1865	927.5
+		1985	887.5	1985	927.5	1985	947.5	2025	967.5
+		2065	887.5	2105	887.5	2145	967.5	945	1017.5
+		985	1017.5	1025	1017.5	1145	1017.5	1185	1017.5
+		1185	1037.5	1185	1057.5	1225	1077.5	1225	1097.5
+		1265	1057.5	1265	1097.5	1305	1017.5	1305	1037.5
+		1305	1097.5	1705	1037.5	1705	1057.5	1705	1077.5
+		1745	1017.5	1785	1037.5	1785	1097.5	1825	1077.5

+	1865	1017.5	1865	1057.5	1985	1017.5	1985	1037.5
+	1985	1057.5	2025	1037.5	2025	1057.5	2025	1077.5
+	2025	1097.5	2065	1077.5	2105	1097.5	2145	1097.5
+	745	1277.5	945	1237.5	985	1237.5	1465	1217.5
+	1465	1257.5	1505	1217.5	1505	1237.5	1545	1257.5
+	1545	1277.5	1585	1237.5	1705	1257.5	1705	1297.5
+	1745	1257.5	1785	1277.5	1785	1297.5	1825	1237.5
+	1825	1277.5	1825	1297.5	1865	1217.5	1865	1237.5
+	1865	1257.5	1865	1277.5	2025	1217.5	2025	1237.5
+	2065	1297.5	2105	1217.5	2145	1257.5	2145	1277.5
+	2145	1297.5	2305	1297.5	2345	1237.5	2345	1257.5
+	2345	1277.5	2385	1257.5	2385	1277.5	2385	1297.5
+	585	1347.5	625	1347.5	665	1347.5	705	1347.5
+	745	1367.5	745	1387.5	745	1407.5	745	1427.5
+	865	1347.5	865	1387.5	905	1347.5	905	1387.5
+	905	1407.5	945	1407.5	945	1427.5	985	1407.5
+	1025	1367.5	1025	1387.5	1545	1347.5	1545	1387.5
+	1585	1367.5	1705	1347.5	1705	1427.5	1745	1347.5
+	1745	1367.5	1785	1407.5	1825	1347.5	1825	1367.5
+	1825	1387.5	1865	1347.5	2025	1427.5	2065	1387.5
+	2065	1407.5	2065	1427.5	2105	1427.5	2145	1367.5
+	2265	1367.5	2265	1427.5	2345	1347.5	2345	1407.5
+	2345	1427.5	2385	1347.5	2385	1387.5	2385	1407.5
+	2425	1407.5	2425	1427.5	585	1547.5	585	1567.5
+	585	1587.5	585	1607.5	625	1547.5	625	1627.5
+	665	1547.5	665	1627.5	705	1587.5	745	1627.5
+	865	1587.5	905	1567.5	945	1567.5	985	1587.5
+	985	1607.5	1025	1627.5	1145	1607.5	1305	1627.5
+	1425	1607.5	1425	1627.5	1465	1587.5	1505	1567.5
+	1505	1627.5	1545	1567.5	1545	1627.5	1585	1567.5
+	1585	1587.5	1585	1607.5	1585	1627.5	1825	1547.5
+	1825	1627.5	1865	1587.5	1985	1547.5	1985	1627.5
+	2025	1607.5	2065	1587.5	2065	1627.5	2105	1567.5
+	2105	1587.5	2105	1627.5	2145	1547.5	2145	1627.5
+	585	1677.5	585	1737.5	585	1757.5	625	1677.5
+	665	1677.5	665	1697.5	705	1717.5	745	1677.5
+	865	1697.5	905	1697.5	905	1737.5	945	1717.5
+	985	1677.5	1025	1717.5	1145	1737.5	1185	1697.5
+	1185	1757.5	1225	1697.5	1265	1717.5	1265	1737.5
+	1305	1697.5	1425	1677.5	1425	1737.5	1465	1717.5
+	1505	1677.5	1505	1697.5	1545	1677.5	1545	1697.5
+	1585	1697.5	1585	1717.5	1585	1737.5	1585	1757.5
+	1825	1677.5	1825	1717.5	1865	1697.5	1985	1677.5
+	1985	1737.5	2025	1697.5	2065	1677.5	2065	1757.5
+	2105	1677.5	2105	1717.5	2105	1737.5	2145	1697.5
+	2145	1717.5	2145	1737.5	2145	1757.5	2265	1677.5
+	2265	1697.5	2265	1717.5	2305	1717.5	2345	1697.5
+	2385	1717.5	2425	1677.5	2425	1697.5	585	1877.5
+	585	1897.5	585	1917.5	625	1877.5	665	1877.5
+	705	1897.5	745	1897.5	865	1917.5	865	1957.5
+	905	1897.5	905	1917.5	985	1897.5	985	1917.5
+	1025	1897.5	1025	1917.5	1025	1937.5	1265	1897.5
+	1305	1877.5	1305	1897.5	1305	1957.5	1545	1917.5
+	1585	1917.5	1585	1957.5	1705	1917.5	1705	1957.5
+	1745	1897.5	1745	1957.5	1785	1957.5	1825	1877.5
+	1825	1917.5	1865	1877.5	1865	1917.5	1865	1937.5
+	1985	1957.5	2025	1957.5	2065	1937.5	2105	1937.5
+	2145	1937.5	2265	1877.5	2305	1937.5	2305	1957.5
+	2345	1937.5	2345	1957.5	2385	1937.5	2385	1957.5
+	1545	2007.5	1545	2067.5	1585	2027.5	1585	2067.5
+	1705	2047.5	1745	2007.5	1745	2067.5	1785	2067.5
+	1825	2007.5	1825	2047.5	1865	2007.5	1865	2027.5
+	1865	2047.5	1985	2027.5	1985	2047.5	1985	2067.5
+	1985	2087.5	2025	2027.5	2065	2007.5	2105	2007.5
+	2145	2007.5	2265	2067.5	2265	2087.5	2305	2067.5
+	2345	2067.5	2345	2087.5	2385	2067.5	2385	2087.5
+	1185	2227.5	1185	2267.5	1225	2227.5	1225	2267.5
+	1265	2247.5	1305	2267.5	1305	2287.5	1585	2227.5
+	1585	2247.5	1585	2287.5	1705	2247.5	1705	2267.5
+	1745	2227.5	1745	2287.5	1785	2287.5	1825	2207.5
+	1825	2247.5	1865	2207.5	1865	2247.5	1865	2267.5
+	1985	2287.5	2025	2287.5	2065	2247.5	2105	2247.5
+	2145	2247.5	2265	2207.5	2305	2267.5	2305	2287.5
+	2345	2267.5	2345	2287.5	2385	2267.5	2385	2287.5
+	2425	2227.5	1185	2377.5	1185	2397.5	1225	2377.5
+	1225	2397.5	1265	2357.5	1305	2337.5	1305	2377.5
+	1585	2337.5	1585	2377.5	1585	2417.5	1705	2357.5
+	1705	2397.5	1745	2337.5	1745	2417.5	1785	2397.5
+	1825	2337.5	1825	2377.5	1865	2337.5	1865	2357.5
+	1865	2377.5	1985	2357.5	1985	2377.5	1985	2397.5
+	1985	2417.5	2025	2357.5	2065	2337.5	2105	2337.5
+	2145	2337.5	2265	2397.5	2265	2417.5	2305	2397.5
+	2305	2417.5	2345	2397.5	2385	2397.5	2385	2417.5
+	2425	2397.5	1025	2007.5				

* INJETOR

* INJ1 RET DA 20 10
 306 INJ2 RET 5 2.5 CO 10 5
 307 INJ3 REF 10 5
 308 INJ GRU INJ3 INJ2

* CONTATOS ABERTOS NOS INJETORES

309	INJET FTR INJ	1425	662.5	1465	662.5	1505	662.5	1545	662.5
+		1585	662.5	1705	662.5	1745	662.5	1785	662.5
+		1825	662.5	1865	662.5	1985	662.5	2025	662.5
+		2065	662.5	2105	662.5	2145	662.5	2265	662.5
+		2305	662.5	2345	662.5	2385	662.5	2425	662.5
+		745	992.5	865	992.5	905	992.5	945	992.5
+		985	992.5	1025	992.5	1145	992.5	1185	992.5
+		1225	992.5	1265	992.5	1305	992.5	1545	992.5
+		1585	992.5	1705	992.5	1745	992.5	1785	992.5
+		1825	992.5	1865	992.5	1985	992.5	2025	992.5
+		2065	992.5	2105	992.5	2145	992.5	585	1322.5
+		625	1322.5	665	1322.5	705	1322.5	745	1322.5
+		865	1322.5	905	1322.5	945	1322.5	985	1322.5
+		1025	1322.5	1465	1322.5	1505	1322.5	1545	1322.5
+		1585	1322.5	1705	1322.5	1745	1322.5	1785	1322.5
+		1825	1322.5	1865	1322.5	2025	1322.5	2065	1322.5
+		2105	1322.5	2145	1322.5	2265	1322.5	2305	1322.5
+		2345	1322.5	2385	1322.5	2425	1322.5		
+		585	1652.5	625	1652.5	665	1652.5	705	1652.5
+		745	1652.5	865	1652.5	905	1652.5	945	1652.5
+		985	1652.5	1025	1652.5	1145	1652.5	1185	1652.5
+		1225	1652.5	1265	1652.5	1305	1652.5	1425	1652.5
+		1465	1652.5	1505	1652.5	1545	1652.5	1585	1652.5
+		1825	1652.5	1865	1652.5	1985	1652.5	2025	1652.5
+		2065	1652.5	2105	1652.5	2145	1652.5		
+		2265	1652.5	2305	1652.5	2345	1652.5	2385	1652.5
+		2425	1652.5	585	1982.5	625	1982.5	665	1982.5
+		705	1982.5	745	1982.5	865	1982.5	905	1982.5
+		985	1982.5	1025	1982.5	1265	1982.5	1305	1982.5
+		1545	1982.5	1585	1982.5	1705	1982.5	1745	1982.5
+		1785	1982.5	1825	1982.5	1865	1982.5	1985	1982.5
+		2025	1982.5	2065	1982.5	2105	1982.5	2145	1982.5
+		2265	1982.5	2305	1982.5	2345	1982.5	2385	1982.5
+		1185	2312.5	1225	2312.5	1265	2312.5	1305	2312.5
+		1585	2312.5	1705	2312.5	1745	2312.5	1785	2312.5
+		1825	2312.5	1865	2312.5	1985	2312.5	2025	2312.5
+		2065	2312.5	2105	2312.5	2145	2312.5	2265	2312.5
+		2305	2312.5	2345	2312.5	2385	2312.5	2425	2312.5

* METALIZACAO

- * - ALIMENTACAO
- * - LIGACOES INTERNAS
- * - LIGACOES AOS PINOS
- * - INTERFACES

* ALIMENTACAO

310	AL1 TRD	485	662.5	AL AF	20	1545									
311	AL2 TRD	1955	652.5	AL AA	20	0	-45	120	45						
312	AL3 TRD	2060	662.5	AL FF	20	370									
313	AL4 TRD	505	992.5	AL AF	20	1645									
314	AL5 TRD	505	1322.5	AL AF	20	485									
315	AL6 TRD	935	1312.5	AL AA	20	0	-45	100	45						
316	AL7 TRD	1020	1322.5	AL FF	20	1410									
317	AL8 TRD	505	1652.5	AL AF	20	1925									
318	AL9 TRD	505	1982.5	AL AF	20	1725									
319	AL10 TRD	2215	1987.5	AL AF	20	0	45	165							
320	AL11 TRD	2260	1982.5	AL FA	20	40	45								
321	AL12 TRD	2340	1982.5	AL FF	20	60									
322	AL13 TRD	2365	1982.5	AL AA	10	0	40								
323	AL14 TRD	485	2312.5	AL AF	20	1735	55	200	-55 -40						
324	AL16 TRD	2345	2357.5	AL AF	10	0	-55								
325	AL17 TRD	2285	2357.5	AL AA	10	0	-45								
326	AL18 TRD	2285	2312.5	AL AF	20	-25									
327	AL19 TRD	2285	2312.5	AL AF	20	25									
328	AL15 LRD	445	1662.5	AL 0	-350	20	-660	20	330 20 1010 -20 330 -20 -660 -20						
329	ALIM GRU	AL1	AL2	AL3	AL4	AL5	AL6	AL7	AL8	AL9	AL10	AL11	AL12	AL13	AL14
+		AL15	AL16	AL17	AL18	AL19									

* LIGACOES INTERNAS

330	H1 TRD	1430	577.5	AL FF	10	-45	40	-40	25
331	H2 TRD	1420	617.5	AL FF	10	65	-40	20	-80 260 40 20 40 20 40 -65
332	H3 TRD	1420	637.5	AL FF	10	90			
333	H4 TRD	1500	597.5	AL FF	10	25	-40	60	-40 160 40 20 40 25

577	M248	TRD	910	1897.5	AL	FF	10	-90												
578	M249	TRD	985	1882.5	AL	FF	10	0	-105	-140	-40	-25								
579	M250	TRD	1265	1902.5	AL	FF	10	0	-45	400	-40	240	-45							
580	M251	TRD	1300	1877.5	AL	FF	10	405	-40	220	-65									
581	M252	TRD	1300	1897.5	AL	FF	10	425	-40	160	20	240	20	60	-20	85				
582	M253	TRD	1310	1917.5	AL	FF	10	-65	20	-160	-140	25								
583	M254	TRD	1300	1957.5	AL	FF	10	90												
584	M255	TRD	1550	1917.5	AL	FF	10	-190												
585	M256	TRD	1540	1937.5	AL	FF	10	25	-20	80	20	225								
586	M257	TRD	1580	1937.5	AL	FF	10	45	20	125										
587	M258	TRD	1590	1957.5	AL	FF	10	-165	-20	-140	20	-185								
588	M259	TRD	1710	1917.5	AL	FF	10	-50												
589	M260	TRD	1740	1897.5	AL	FF	10	165	20	40	20	60	20	25						
590	M261	TRD	1740	1917.5	AL	FF	10	145	20	40	25									
591	M262	TRD	1780	1877.5	AL	FF	10	90												
592	M263	TRD	1780	1957.5	AL	FF	10	130												
593	M264	TRD	2020	1937.5	AL	FF	10	130												
594	M265	TRD	2060	1957.5	AL	FF	10	150												
595	M266	TRD	2260	1937.5	AL	FF	10	130												
596	M267	TRD	2310	1957.5	AL	FF	10	-65	50	25										
597	M268	TRD	2350	1897.5	AL	FF	10	-130												
598	M269	TRD	2350	1957.5	AL	FF	10	-25	50	25										
599	M270	TRD	2380	1957.5	AL	FF	10	45	50	-45										
600	M271	TRD	2385	1882.5	AL	FF	10	0	-25	80	-85									
*																				
601	M272	TRD	1020	2007.5	AL	FF	10	70												
602	M273	TRD	1030	2027.5	AL	FF	10	-45	-20	-480	125									
603	M274	TRD	1540	2007.5	AL	FF	10	210												
604	M275	TRD	1540	2027.5	AL	FF	10	330												
605	M276	TRD	1545	2062.5	AL	FF	10	0	85	-180	125									
606	M277	TRD	1585	2062.5	AL	FF	10	0	125	-200	85									
607	M278	TRD	1700	2047.5	AL	FF	10	25	60	180	20	120	-80	20	-20	140	40	85		
608	M279	TRD	1740	2047.5	AL	FF	10	250												
609	M280	TRD	1740	2067.5	AL	FF	10	25	20	160	20	80	-80	25						
610	M281	TRD	1780	2007.5	AL	FF	10	90												
611	M282	TRD	1780	2067.5	AL	FF	10	210												
612	M283	TRD	1990	2007.5	AL	FF	10	-50												
613	M284	TRD	1990	2027.5	AL	FF	10	-90												
614	M285	TRD	1990	2087.5	AL	FF	10	-50												
615	M286	TRD	2020	2007.5	AL	FF	10	130												
616	M287	TRD	2105	2062.5	AL	FF	10	0	105	260	-40	20	-45							
617	M288	TRD	2105	2167.5	AL	AF	10	-240	-20	-180	-60	-40	-45							
618	M289	TRD	2140	2047.5	AL	FF	10	25	40	120	-20	25								
619	M290	TRD	2305	2082.5	AL	FF	10	0	50											
620	M291	TRD	2340	2067.5	AL	FF	10	25	40	-20	25									
621	M292	TRD	2350	2087.5	AL	FF	10	-25	60	-180	-80	-20	-20	-60	20	-20	80	-160		
+								-20	-180	-60	-40	-25								
622	M293	TRD	2380	2067.5	AL	FF	10	65	-150	-480	-20	-25								
*																				
623	M294	TRD	1180	2247.5	AL	FF	10	85	-240	105										
624	M295	TRD	1230	2227.5	AL	FF	10	-85	-120	-20	-80	-65								
625	M296	TRD	1230	2267.5	AL	FF	10	-85	20	-85										
626	M297	TRD	1220	2287.5	AL	FF	10	345	-60	25										
627	M298	TRD	1260	2267.5	AL	FF	10	50												
628	M299	TRD	1300	2247.5	AL	FF	10	25	20	25										
629	M300	TRD	1580	2247.5	AL	FF	10	90												
630	M301	TRD	1580	2267.5	AL	FF	10	290												
631	M302	TRD	1580	2287.5	AL	FF	10	170												
632	M303	TRD	1710	2247.5	AL	FF	10	-25	-20	-45										
633	M304	TRD	1740	2227.5	AL	FF	10	165	20	100	40	25								
634	M305	TRD	1740	2247.5	AL	FF	10	145	20	25										
635	M306	TRD	1780	2207.5	AL	FF	10	90												
636	M307	TRD	1780	2287.5	AL	FF	10	150												
637	M308	TRD	1985	2232.5	AL	FF	10	0	-25	-40	-20	-220	20	-120	-160	-80	-40			
+								-145												
638	M309	TRD	1985	2207.5	AL	AF	10	285												
639	M310	TRD	1990	2287.5	AL	FF	10	-50												
640	M311	TRD	2020	2267.5	AL	FF	10	25	-20	105										
641	M312	TRD	2060	2287.5	AL	FF	10	150												
642	M313	TRD	2100	2267.5	AL	FF	10	85	-20	300	190	-80	-40	-25						
643	M314	TRD	2140	2227.5	AL	FF	10	290												
644	M315	TRD	2260	2267.5	AL	FF	10	130												
645	M316	TRD	2305	2212.5	AL	FF	10	0	-25	-85										
646	M317	TRD	2310	2287.5	AL	FF	10	-65	50	25										
647	M318	TRD	2350	2287.5	AL	FF	10	-25	50	-25										
648	M319	TRD	2380	2207.5	AL	FF	10	25	-40	20	-60	60	-335							
649	M320	TRD	2390	2287.5	AL	FF	10	-25	50	25										
*																				
650	M321	TRD	1180	2337.5	AL	FF	10	25	20	165										
651	M322	TRD	1220	2337.5	AL	FF	10	345	40	25										
652	M323	TRD	1230	2377.5	AL	FF	10	-65	-40	-65										
653	M324	TRD	1260	2377.5	AL	FF	10	50												
654	M325	TRD	1580	2337.5	AL	FF	10	170												
655	M326	TRD	1580	2357.5	AL	FF	10	290												
656	M327	TRD	1585	2412.5	AL	FF	10	0	25	100	40	140	20	385						

657	M328	TRD	1740	2377.5	AL	FF	10	250											
658	M329	TRD	1740	2417.5	AL	FF	10	145	20	120	-80	25							
659	M330	TRD	1780	2337.5	AL	FF	10	90											
660	M331	TRD	1780	2397.5	AL	FF	10	210											
661	M332	TRD	1990	2337.5	AL	FF	10	-50											
662	M333	TRD	1990	2357.5	AL	FF	10	-70											
663	M334	TRD	1990	2417.5	AL	FF	10	-90											
664	M335	TRD	2020	2337.5	AL	FF	10	130											
665	M336	TRD	2105	2372.5	AL	FF	10	0	105	260	-60	25							
666	M337	TRD	2105	2477.5	AL	AF	10	-260	-20	-140	-40	-85							
667	M338	TRD	2145	2372.5	AL	FF	10	0	85	180	-60	25							
668	M339	TRD	2325	2397.5	AL	AF	10	-25											
669	M340	TRD	2270	2397.5	AL	FF	10	-85	-40	-140	20	-20	80	-160	-20	-140	-60		
670	M341	TRD	2270	2417.5	AL	FF	10	-50											
671	M342	TRD	2310	2417.5	AL	FF	10	-25	20	-85									
672	M343	TRD	2345	2412.5	AL	FF	10	0	50										
673	M344	TRD	2420	2397.5	AL	FF	10	50											
674	M345	TRD	2420	2417.5	AL	FF	10	50											

675	M346	TRD	1060	637.5	AL	FF	10	85	-100	200	-80	460	40	40	20	180	-20	120	
676	M347	TRD	1105	682.5	AL	FF	10	0	125	245									
677	M348	TRD	2180	827.5	AL	FF	10	65	370	-200	60	-80	-20	-25					
678	M349	TRD	785	1012.5	AL	FF	10	0	250										
679	M350	TRD	1105	1152.5	AL	FF	10	0	150										
680	M351	TRD	1365	1132.5	AL	FF	10	0	25	-20	145								
681	M352	TRD	1385	1132.5	AL	FF	10	0	150										
682	M353	TRD	1665	1032.5	AL	FF	10	0	130										
683	M354	TRD	1065	1342.5	AL	FF	10	0	145	20	125								
684	M355	TRD	1085	1342.5	AL	FF	10	0	45	380	120	145							
685	M356	TRD	1105	1342.5	AL	FF	10	0	25	380	80	120	25						
686	M357	TRD	1350	1407.5	AL	FF	10	-245	205										
687	M358	TRD	1365	1402.5	AL	FF	10	0	190										
688	M359	TRD	620	1837.5	AL	FF	10	330											
689	M360	TRD	640	1797.5	AL	FF	10	165	25										
690	M361	TRD	820	1817.5	AL	FF	10	130											
691	M362	TRD	1100	1837.5	AL	FF	10	105	-40	140	-85								
692	M363	TRD	1065	1792.5	AL	FF	10	0	170										
693	M364	TRD	1640	1737.5	AL	FF	10	125	20	180	105								
694	M365	TRD	1940	1737.5	AL	FF	10	25	40	220	65								
695	M366	TRD	2140	1877.5	AL	FF	10	25	-20	120	-40	45							
696	M367	TRD	2360	1817.5	AL	FF	10	85	-60	60	200	40	445						
697	M368	TRD	2545	2127.5	AL	AF	10	-105											
698	M369	TRD	545	2022.5	AL	FF	10	0	245	565									
699	M370	TRD	1110	2047.5	AL	FF	10	-25	205										
700	M371	TRD	1345	2372.5	AL	FF	10	0	25	-45									
701	M372	TRD	1625	2042.5	AL	FF	10	0	150										
702	M373	TRD	1940	1957.5	AL	FF	10	50											
703	M374	TRD	560	2247.5	AL	FF	10	485	-125										
704	M375	TRD	1305	2247.5	AL	AF	10	0	-105										
705	M376	TRD	1030	2147.5	AL	FF	10	-470											
706	M377	TRD	525	1862.5	AL	FF	10	0	-185	25									
707	M378	TRD	545	1632.5	AL	FF	10	0	-250										
708	M379	TRD	545	1012.5	AL	FF	10	0	230										
709	M380	TRD	545	682.5	AL	FF	10	0	250										
710	M381	TRD	545	512.5	AL	FF	10	0	130										

711	MX	GRU	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	M15	M16	M17	M18
			M19	M20	M21	M22	M23	M24	M25	M26	M27	M28	M29	M30	M31	M32	M33	M34		
			M35	M36	M37	M38	M39	M40	M41	M42	M43	M44	M45	M46	M47	M48	M49	M50		
			M51	M52	M53	M54	M55	M56	M57	M58	M59	M60	M61	M62	M63	M64	M65	M66		
			M67	M68	M69	M70	M71	M72	M73	M74	M75	M76	M77	M78	M79	M80	M81	M82		
			M83	M84	M85	M86	M87	M88	M89	M90	M91	M92	M93	M94	M95	M96	M97	M98		
			M99	M100	M101	M102	M103	M104	M105	M106	M107	M108	M109	M110	M111					
			M112	M113	M114	M115	M116	M117	M118	M119	M120	M121	M122	M123	M124					
			M125	M126	M127	M128	M129	M130	M131	M132	M133	M134	M135	M136	M137					
			M138	M139	M140	M141	M142	M143	M144	M145	M146	M147	M148	M149	M150					
			M151	M152	M153	M154	M155	M156	M157	M158	M159	M160	M161	M162	M163					
			M164	M165	M166	M167	M168	M169	M170	M171	M172	M173	M174	M175	M176					
			M177	M178	M179	M180	M181	M182	M183	M184	M185	M186	M187	M188	M189					
			M190	M191	M192	M193	M194	M195	M196	M197	M198	M199	M200	M201	M202					
			M203	M204	M205	M206	M207	M208	M209	M210	M211	M212	M213	M214	M215					
			M216	M217	M218	M219	M220	M221	M222	M223	M224	M225	M226	M227	M228					
			M229	M230	M231	M232	M233	M234	M235	M236	M237	M238	M239	M240	M241					
			M242	M243	M244	M245	M246	M247	M248	M249	M250	M251	M252	M253	M254					
			M255	M256	M257	M258	M259	M260	M261	M262	M263	M264	M265	M266	M267					
			M268	M269	M270	M271	M272	M273	M274	M275	M276	M277	M278	M279	M280					
			M281	M282	M283	M284	M285	M286	M287	M288	M289	M290	M291	M292	M293					
			M294	M295	M296	M297	M298	M299	M300	M301	M302	M303	M304	M305	M306					
			M307	M308	M309	M310	M311	M312	M313	M314	M315	M316	M317	M318	M319					
			M320	M321	M322	M323	M324	M325	M326	M327	M328	M329	M330	M331	M332					
			M333	M334	M335	M336	M337	M338	M339	M340	M341	M342	M343	M344	M345					
			M346	M347	M348	M349	M350	M351	M352	M353	M354	M355	M356	M357	M358					

+ M359 M360 M361 M362 M363 M364 M365 M366 M367 M368 M369 M370 M371
 + M372 M373 M374 M375 M376 M377 M378 M379 M380 M381

*
 *
 *

* LIGACOES AOS PINOS

*
 712 L1 TRD 445 1282.5 AL FA 10 0 -165 -120
 713 L2 TRD 445 1042.5 AL FA 10 0 -245 -120
 714 L3 TRD 505 642.5 AL FA 10 0 -175 -180
 715 L4 TRD 805 642.5 AL FA 10 0 -145 -280 -60 -20 -20 -150 -210 -30
 716 L5 TRD 1085 602.5 AL FA 10 0 -125 -520 -60 -20 -115
 717 L6 TRD 1105 602.5 AL FA 10 0 -145 -230 -155
 718 L7 TRD 1470 417.5 AL FA 10 -275 -115
 719 L8 TRD 1950 477.5 AL FA 10 -65 -40 -40 -20 -330 -115
 720 L9 TRD 1925 462.5 AL FA 10 0 -45 30 -115
 721 L10 TRD 2060 457.5 AL FA 10 95 -165
 722 L11 TRD 2420 617.5 AL FA 10 55 -315
 723 L12 TRD 2420 707.5 AL FA 10 125 -295 110 -230 30
 724 L13 TRD 2100 1237.5 AL FA 10 185 -60 240 -100 20 -310 20 -300 120
 725 L14 TRD 2340 1367.5 AL FA 10 65 -20 60 -110 -100 -20 -20 -20 200 -100 20
 + -300 120
 726 L15 TRD 2420 1367.5 AL FF 10 65 -150 -105
 727 L16 TRD 2485 1217.5 AL AA 10 80 -100 120
 728 L17 TRD 2300 1737.5 AL FA 10 105 -20 140 150 140
 729 L18 TRD 2260 1737.5 AL FA 10 25 20 140 -20 100 200 40 240 120
 730 L19 TRD 2545 2412.5 AL FA 10 0 95 140
 731 L20 TRD 2440 2147.5 AL FA 10 85 400 130 230 30
 732 L21 TRD 2420 2207.5 AL FA 10 85 290 -30 175
 733 L22 TRD 2350 2497.5 AL FA 10 -45 60 -150 115
 734 L23 TRD 1645 2452.5 AL FA 10 0 45 160 20 30 155
 735 L24 TRD 1710 2397.5 AL FA 10 -165 120 -30 155
 736 L25 TRD 1385 2352.5 AL FA 10 0 185 -190 135
 737 L26 TRD 1090 2397.5 AL FA 10 -215 275
 738 L27 TRD 570 2377.5 AL FA 10 -25 295
 739 L28 TRD 1230 2397.5 AL FA 10 -85 -40 -660 200 -130 230 -30
 740 L29 TRD 1070 2337.5 AL FA 10 -605 170 -140
 741 L30 TRD 445 2122.5 AL FA 10 0 55 -120
 742 L31 TRD 445 1832.5 AL FA 10 0 35 -120
 743 L32 TRD 445 1490.5 AL AA 60 -50
 744 L16P GRU L1 L2 L3 L4 L5 L6 L7 L8 L9 L10 L11 L12 L13 L14 L15 L16 L17 L18
 + L19 L20 L21 L22 L23 L24 L25 L26 L27 L28 L29 L30 L31 L32
 *
 *
 *

* INTERFACE DE ENTRADA

*
 745 INTE1 TRD 190 50 AL FF 20 -80 95 80 30 47.5
 746 INTE2 RET 222.5 180 AL 15 72.5
 747 INTE3 TRD 252.5 185 AL FA 10 0 85 60
 748 INTE4 TRD 140 90 AL FA 20 110 55 27.5 35
 749 INTE5 RET 267.5 177.5 AL 30 75
 750 INTE6 TRD 270 90 AL FA 20 45
 751 INTE7 TRD 20 90 AL FA 20 50 110 45 50
 752 INTREF REF 140 295
 753 INTE GRU INTREF INTE1 INTE2 INTE3 INTE4 INTE5 INTE6 INTE7
 754 TERES1 LRD 0 -45 AL 120 45 -110 100 -5 70 5 80 60 110 140 10 100
 + -370 -120 -45 130
 755 TERES2 LRD 0 265 AL 50 125 270
 756 VCCES1 LRD 0 320 AL 40 20 -25 65 305
 757 INTENT GRU INTREF INTE TERES1 TERES2 VCCES1
 758 TERES3 LRD 0 250 AL 70 110 140 10 100 -370 -392.5 -5
 759 TERES4 LRD 0 265 AL 50 125 302.5 -395
 760 VCCES2 LRD 0 320 AL 40 20 -25 65 352.5 -410
 761 ICANT1 GRU INTREF TERES3 TERES4 VCCES2
 762 TERES5 LRD 0 250 AL 70 110 140 10 100 -370 -120 -45 130
 763 ICANT2 GRU INTREF TERES2 TERES5 VCCES1
 764 TERES6 LRD 0 250 AL 70 110 140 10 100 -350 -97.5 -20 -295 -15
 765 TERES7 LRD 0 265 AL 50 125 302.5 -390 -125 -15
 766 VCCES3 LRD 0 320 AL 40 20 -25 65 352.5 -420 -85
 767 ICANT3 GRU INTREF TERES6 TERES7 VCCES3
 *
 *

* INTERFACE DE SAIDA

*
 768 INTS1 TRD 5 55 AL AA 20 75 140 -20 60
 769 INTS2 PRD 20 80 AL 35 80 -15 80 -20 -80 -5 -20 20 -40 -15 -20
 770 INTS4 TRD 30 275 AL FA 20 0 50
 771 INTS5 TRD 120 50 AL FA 20 160 40 -20 55 17.5 40
 772 INTS6 TRD 237.5 175 AL FA 20 -62.5 75
 773 INTS GRU INTREF INTS2 INTS4 INTS5 INTS6 INTE2 INTE3 INTES
 774 INTSA1 GRU INTREF INTS TERES1 TERES2 VCCES1 INTS1
 775 TERES8 LRD 0 -45 AL 270 45 -260 100 -5 70 5 80 60 110 140 10 100
 + -415 10
 776 ISMEIO GRU INTREF TERES8 TERES2 VCCES1 INTS1
 *
 *

* ALIMENTACAO

*

```

777 ALINT1 LRD 0 235 AL 190 100 22.5
778 ALINT2 LRD 0 185 AL 190 -285 22.5
779 ALIMV1 LRD 0 165 AL 175 -50 -125 -65
780 ALIMV2 LRD -50 -50 AL 0 -65 -162.5
781 AREF1 REF 0 0
782 ALIME1 GRU AREF1 ALINT1 ALINT2 ALIMV1 ALIMV2
783 ALIM1 FTR ALIME1 I 0 0 Y 0 0
784 ALINT3 LRD 2590 1275 AL 0 25 415 150 -25 100 25 125 -415 25
785 ALINT4 LRD 3025 1275 AL 0 425
786 ALIMV3 LRD 3040 1275 AL 0 425
787 AREF2 REF 2930 1450
788 ALIM2 GRU AREF2 ALINT3 ALINT4 ALIMV3
789 ALEXT QUA AL 3120
790 VCC21 PRD AL 20 -137.5 35 -60 -35
      -142.5 -20 340

```

```

*
* INTERFACES ENTRADAS / SAIDAS
*

```

```

791 ENSA GEC
* NOME TIPO OR. X Y
* S2/ INTENT X 530 57.5
* CKG/ INTENT XY 890 57.5
* SVCOS INTSAI X 1170 57.5
* EVCOS INTENT XY 1530 57.5
* SVSEN INTS X 1810 57.5 ISMEIO X 1810 57.5
* EVSEN INTENT XY 2170 57.5
* OVC INTSAI X 2450 57.5
* OVS INTS XYR 2930 175 ICANT1 XYR 2930 175
* C2/ INTE XR 2930 455 ICANT2 XR 2930 455
* C1/ INTENT XYR 2930 815
* CO/ INTENT XR 2930 1095
* TERRA ALIM2 I 2930 1450
* D1/ INTENT XYR 2930 1880
* D0/ INTENT XR 2930 2160
* EECOS INTE XYR 2930 2520 ICANT2 XYR 2930 2520
* EDCOS INTE XR 2930 2800 ICANT1 XR 2930 2800
* EESEN INTENT I 2450 2917.5
* EDSEN INTENT Y 2170 2917.5
* SDSSEN INTSAI I 1810 2917.5
* SESEN INTSAI Y 1530 2917.5
* SECOS INTSAI I 1170 2917.5
* SDCOS INTSAI Y 890 2917.5
* S1/ INTENT I 530 2917.5
* SAIDA1 INTS R 80 2800 ICANT3 R 80 2800
* SAIDA0 INTS YR 80 2520 ICANT2 YR 80 2520
* VEXT1 INTENT R 80 2160
* VEXT0 INTENT YR 80 1880
* VCC ALIM1 RRR 85 1487.5 VCC21 I 340 1657.5
* OP INTENT R 80 1095
* VEM-UM INTENT YR 80 815
* VAI-UM INTS R 80 455 ICANT2 R 80 455
* S3/ INTE 80 175 ICANT3 YR 80 175
* QUADRADO EXTERNA

```

+ ALEX I -55 -75

*
*

792 PROCE + GRU PONTE CONTP BASES COLET INJET ALIM MX LIGP ENSA
/FIM

NUMERO TOTAL DE CARTOES = 1432
NUMERO TOTAL DE GEOMETRIAS= 792

NUMERO DE REGISTROS UTILIZADOS:
ARQ.07: 43 DE 80 ARQ.08: 12 DE 20 ARQ.10: 29 DE 100
ARQ.11: 15 DE 40

=====
TRAMA - LEITURA E DECODIFICACAO
TEMPO GASTO= 293.516 SEGUNDOS
=====

BIBLIOGRAFIA

- /ALT 74/ ALTMAN, L. Logic's leap ahead creates new design tools for old and new applications. Electronics, New York, 47(4):81-96, Feb. 21, 1974.
- /ALT 75/ _____ . The new LSI. Electronics, New York, 48(14):81-92, Jul. 10, 1975.
- /AND 80/ ANDERSON, W. Advances in interactive graphics systems architecture. Computer Design, Littleton, 19(11):147-52, Nov. 1980.
- /ARM 73/ ARMSTRONG, J. Design of a graphic generator for remote terminal application. IEEE Transactions on Computers, New York, 22(5):464-8, May 1973.
- /BEK 77/ BEKE, H.; SANSEN, W. & OVERSTRAETEN, R. CALMOS: A computer-aided layout program for MOS/LSI. IEEE Journal of Solid-State Circuits, New York, 12(3):281-2, Jun. 1977.
- /BER 80/ BERALDO, A.; VICECONTI, C. & GUSHI, J. Aplicações gráficas por computador - uma introdução. In: SIMPÓSIO SOBRE APLICAÇÕES GRÁFICAS POR COMPUTADOR E SISTEMAS GRÁFICOS INTERATIVOS, 2., São Paulo, Ago. 20-2, 1980. Anais. São Paulo, SUCESU, 1980. V.1, p. 16-67.
- /BER 79/ BERGER, H. Modelling I²L/MTL cells. Microelectronics Journal, Luton, 9(4):16-23, 1979.
- /BER 79a/ _____ & HELWIG, K. An investigation of the intrinsic delay (speed limit) in MTL/I²L. IEEE Journal of Solid-State Circuits, New York, 14(2):327-37, Apr. 1979.
- /BER 77/ _____ & WIEDMANN, S. Merged transistor logic layout. IBM Technical Disclosure Bulletin, New York, 19(11):4230-1, Apr. 1977.
- /BER 72/ _____ . Merged transistor logic (MTL) - a low cost bipolar logic concept. IEEE Journal of Solid-State Circuits, New York, 7(5):340-6, Oct. 1972.
- /BEG 79/ BERGMANN, G. A one-chip I²L controller for appliances. IEEE Journal of Solid-State Circuits, New York, 14(3):569-73, Jun. 1979.

- /BOA 74/ BOARDMAN JR., T. Hardware/software design considerations for high speed/low cost interactive graphic communication systems. In: NATIONAL COMPUTER CONFERENCE AND EXPOSITION, Chicago, May 6-10, 1974. Proceedings. Montvale, AFIPS, 1974. p.273-8.
- /BOD 80/ BODINAUD, J. Masterslice. São Paulo, LME da USP, 1980. (relatório interno).
- /BOD 80a/ _____ . Tecnologia I²L. São Paulo, LME da USP, 1980. (relatório interno).
- /BOD 79/ _____ ; CARIGNANI, P. & STURM, R. Programa TRAMAS - segunda versão - manual do usuário. São Paulo, LME da USP, 1979. (Documento Técnico BIP. 13.PG.07). 19p.
- /BOD 80b/ _____ . Programa traçador de máscaras: I - Linguagem de entrada de dados. In: SIMPÓSIO SOBRE APLICAÇÕES GRÁFICAS POR COMPUTADOR E SISTEMAS GRÁFICOS INTERATIVOS, 2., São Paulo, Ago. 20-2, 1980. Anais. São Paulo, SUCESU, 1980. v.2., p. 353-67.
- /BOD 80c/ _____ . Programa traçador de máscaras:II - Processamento e saídas gráficas. In: SIMPÓSIO SOBRE APLICAÇÕES GRÁFICAS POR COMPUTADOR E SISTEMAS GRÁFICOS INTERATIVOS, 2., São Paulo, Ago. 20-2, 1980. Anais. São Paulo, SUCESU, 1980. v.2., p. 371-81.
- /BOU 72/ BOULLIER, P. et alii. Metavisu: a general purpose graphic system. In: IFIP WORKING CONFERENCE ON GRAPHIC LANGUAGES, Vancouver, May 22-6, 1972. Graphic Languages. Amsterdam, North-Holland, 1972. p. 244-70.
- /BRE 65/ BRESENHAM, J. Algorithm for computer control of a digital plotter. IBM Systems Journal, New York, 4(1):25-30, 1965.
- /BRE 77/ _____ . Linear algorithm for incremental digital display of circular arcs. Communications of the ACM, New York, 20(2):100-6, Feb. 1977.
- /BUF 80/ BUFFET, P. MOS digital circuit design process: an update. In: SEGUNDA OFICINA BRASILEIRA DE MICROELETRÔNICA, Campinas, Jul. 12-23, 1980. (material em cópia xerográfica).
- /CAR 69/ CARROLL, A. et alii. A method of diagnostic test generation. In: SPRING JOINT COMPUTER CONFERENCE, Boston, May 14-6, 1969. Proceedings. Montvale, AFIPS, 1969. p. 221-8.

- /CAV 70/ CARVALHO, B. Curvas em geral - cônicas. Em: Desenho geométrico. Rio de Janeiro, Ao Livro Técnico, 1970. cap. 11, p. 211-53.
- /CHA 78/ CHASEN, S. Geometric principles and procedures for computer graphic applications. Englewood Cliffs, Prentice-Hall, 1978.
- /CIR 78/ CIRCUITS MANUFACTURING. Masterslice LSI - an alternative to standard and custom IC's. Feb. 1978. p. 10-1.
- /COO 67/ COOK, P. et alii. Automatic artwork generation for large scale integration. IEEE Journal of Solid-State Circuits, New York, 2(4):190-6, Dec. 1967.
- /CRE 76/ CRESTIN, J. & LUCAS, M. What might be computer graphics? In: IFIP WORKSHOP ON METHODOLOGY IN COMPUTER GRAPHICS, Seillac, May, 1976. Methodology in computer graphics. Amsterdam, North-Holland, 1979. p. 27-40.
- /CRI 80/ CRIPPEN, R. & HINGARH, H. 4000 I³L gates in array. Fairchild Journal of Semiconductor, Mountain View, Mar./Apr. 1980. p. 4-11.
- /DAN 70/ DANIELSSON, P. Incremental curve generation. IEEE Transactions on Computers, New York, 19(9):783-93, Sept. 1970.
- /EXA 79/ EXAR INTEGRATED SYSTEMS. Linear and digital semi-custom IC design programs. Sunnyvale, Nov. 1979.
- /FOL 71/ FOLEY, J. An approach to the optimum design of computer graphics systems. Communications of the ACM, New York, 14(6):380-90, June 1971.
- /FOL 76/ _____. Output primitives. In: IFIP WORKSHOP ON METHODOLOGY IN COMPUTER GRAPHICS, Seillac, May 1976. Methodology in computer graphics. Amsterdam, North-Holland, 1979. p. 119-22.
- /FON 80/ FONSECA, R. Tecnologia I²L avançada; estudo bibliográfico. São Paulo, LME da USP, 1980. (Documento técnico BIP.12.PL.01). 26p.
- /FRA 81/ FRANK, E. & SPROULL, R. Testing and debugging custom integrated circuits. Pittsburgh, Carnegie-Mellon University, 1981. (CMU-CS-81-105).
- /GIL 78/ GILOI, W. Interactive computer graphics. Englewood Cliffs, Prentice-Hall, 1978.

- /GIS 79/ GISE, P. & BLANCHARD, R. Semiconductor and integrated circuit fabrication techniques. Reston, Reston Publishing Company, 1979.
- /GOS 81/ GOSSLING, T. Bulge, shear and squash: a representation for the general conic arc. Computer-Aided Design, Guildford, 13(2):81-4, Mar. 1981.
- /HAR 72/ HART, K. & SLOB, A. Integrated injection logic: a new approach to LSI. IEEE Journal of Solid-State Circuits, New York, 7(5):346-51, Oct. 1972.
- /HEN 77/ HENRIQUE, S. Caracterização e simulação de portas lógicas I²L (II). São Paulo, LME da USP, 1977. (Documento técnico BIP.12.MM.01). 4p.
- /HEN 78/ _____ . Máscara - teste para tecnologia I²L. São Paulo. LME da USP, 1978. (Documento técnico BIP.12.LO.02). 20p.
- /HEN 77a/ _____ & BODINAUD, J. Simulação das células I²L. São Paulo, LME da USP, 1977. (Documento técnico BIP.12.PF.01). 12p.
- /HEN sd/ _____ . Tecnologia I²L. São Paulo, LME da USP, s.d.. (relatório interno).
- /HOR 75/ HORTON, R. et alii. I²L takes bipolar integration a significant step forward. Electronics, New York, 48(3):83-90, Feb. 6, 1975.
- /JOR 77/ JORGE, A. et alii. Interconexão de circuitos integrados com cruzamentos em dois níveis - I²L e MOS. Campinas, LED da UNICAMP, 1977. (Relatório RR-004 - UNICAMP/TELEBRÁS 143/76). 22p.
- /KER 76/ KERNS, D. The effect of base contact position on the relative propagation delays of the multiple outputs of an I²L gate. IEEE Journal of Solid-State Circuits, New York, 11(5):712-7, Oct. 1976.
- /KNU 65/ KNUDSEN, H. The scaling of digital differential analyzers. IEEE Transactions on Electronic Computers, New York, 14(8):583-90, Aug. 1965.
- /KRO 80/ KROEGER, J. & TOZUN, O. CAD pits semicustom chips against standard slices. Electronics, New York, 53(14):119-23, July 3, 1980.
- /KUL 68/ KULSRUD, H. A general purpose graphic language. Communications of the ACM, New York, 11(4):247-54, Apr. 1968.

- /KUS 76/ KUSIK, R. & WESLEY, P. Hierarchical logics simulation for digital system development. Electro 76 Proceedings, 24(3), May 1976.
- /LAS 78/ LASCHUK, A. Um dispositivo de exibição gráfica. Porto Alegre, PGCC da UFRGS, 1978. (dissertação de mestrado).
- /LAS 80/ _____ . Sistema de computação gráfica. Porto Alegre, PGCC da UFRGS, 1980. (relatório interno).
- /LUC 78/ LUCIDO, A. An overview of directed beam graphics display hardware. Computer, Long Beach, 11(11):29-36, Nov. 1978.
- /MAY 71/ MAYS, C. A brief survey of computer-aided integrated circuit layout. IEEE Transactions on Circuit Theory, New York, 18(1):10-3, Jan. 1971.
- /MAT 80/ MATHERAT, Ph. et alii. A high-performance integrated true graphic processor. In: EUROPEAN SOLID-STATE CIRCUITS CONFERENCE, 6., Grenoble, Sept. 22-5, 1980. Digest of Technical Papers. Grenoble, Université Scientifique et Médicale de Grenoble, 1980. p. 271-3.
- /McC 75/ McCREA, P. & BAKER, P. On digital differential analyzer (DDA) circle generation for computer graphics. IEEE Transactions on Computers, New York, 24(11):1109-10, Nov. 1975.
- (McG 70/ McGHEE, R. & NILSEN, R. The extended resolution digital differential analyzer: a new computing structure for solving differential equations. IEEE Transactions on Computers, New York, 19(1): 1-9, Jan. 1970.
- /MEA 80/ MEAD, C. & CONWAY, L. An introduction to VLSI systems. Reading, Addison-Wesley, 1980.
- /MIL 79/ MILLMAN, J. Microelectronics: digital and analog circuits and systems. Tokyo, McGraw-Hill Kogakusha, 1979.
- /MOL sd/ MÖLLER, G. Fast digital vector - and circle generator with binary rate multipliers (BRM). Berlin, Institut für Technische Informatik, s.d.. p. 80-91.
- /MYE 80/ MYERS, W. Computer graphics: a two-way street. Computer, Long Beach, 13(7):49-58, July 1980.
- /NAT 80/ NATIONAL SEMICONDUCTOR. DP8350 Series CRT Controllers. Oct. 1980. (data sheet).

- /NEC 81/ NEC MICROCOMPUTERS. Graphics display controller. Mar. 1981. (preliminary data sheet).
- /NEW 74/ NEWMAN, W. & SPROULL R. An approach to graphics system design. Proceedings of the IEEE, New York, 62(4):471-83, Apr. 1974.
- /NEW 79/ _____ . Principles of interactive computer graphics. 2.ed. Tokyo, McGraw-Hill Kogakusha, 1979.
- /OGU 81/ OGUCHI, T. et alii. A single-chip graphic display controller. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, New York, Feb.18-20, 1981. Digest of Technical Papers. New York, IEEE, 1981. p. 170-1, 270.
- /ONE 79/ O'NEIL, W. I²L gate arrays make custom ICS economically feasible. Computer Design, Little-town, 18(9):168-74, Sept. 1979.
- /PEA 72/ PEATMAN, J. The design of digital systems. New York, McGraw-Hill, 1972.
- /PIS sd/ PISKUNOV, N. Geometric and mechanical applications of the definite integral. In: Differential and integral calculus. Groningen, P.Noordhoff, s.d., cap. 12, p. 442-68.
- /PIT 67/ PITTEWAY, M. Algorithm for drawing ellipses or hyperbolae with a digital plotter. Computer Journal, 10(3):282-9, Nov. 1967.
- /PRI 71/ PRINCE, M. Interactive graphics for computer-aided design. Reading, Addison-Wesley, 1971.
- /ROG 80/ ROGERS, D. Interactive graphics and numerical control. Computer-Aided Design, Guildford, 12(5):253-61, Sept. 1980.
- /RUC 66/ RUCH, T. & PATTON, H. Neural basis of somatic sensation. In: _____. Physiology and biophysics. Philadelphia, W.B. Saunders, 1966. cap. 15, p. 318-44.
- /SHU 57/ SHUPE, H. & MACHOVINA, P. Curved lines and their tangents. In: _____. Engineering geometry and graphics. New York, McGraw Hill, 1957. cap. 8, p. 100-31.
- /SIM 80/ SIMPÓSIO SOBRE APLICAÇÕES GRÁFICAS POR COMPUTADOR E SISTEMAS GRÁFICOS INTERATIVOS, 2., São Paulo, Ago. 20-2, 1980. Anais. São Paulo, SUCESU, 1980. v.1.


- /SIZ 68/ SIZER, T. The digital differential analyzer. London, Chapman and Hall, 1968.
- /SMI 43/ SMITH, E. et alii. The ellipse. In: . Analytic geometry. New York, John Wiley, 1943. cap. 7, p. 83-94.
- /SPR 81/ SPROULL, R. Using program transformations to device linear drawing algorithms. Pittsburgh, Carnegie-Mellon University, 1981. (CMU-CS-81-110).
- /STE 66/ STEEN, F. & BALLOU, D. La elipse y la hipérbola. Em: Geometria analítica. México, Publicaciones Cultural, 1966. cap. 6, p. 68-80.
- /STO 77/ STONE, J. I²L: a comprehensive review of techniques and technology. Solid-State Technology. New York, 20(6):42-8, June 1977.
- /STO 77a/ & PLUNKETT, J. Selected bibliography on Integrated Injection Logic (I²L)/Merged Transistor Logic (MTL) technology. Solid-State and Electron Devices, 1(6):179-81, Nov. 1977.
- /STR 81/ STRASSER, W. Hardware and systems aspects of computer graphics - a tutorial. In: IFIP WORKING CONFERENCE ON CAD/CAM AS A BASIS FOR THE DEVELOPMENT OF TECHNOLOGY IN DEVELOPING NATIONS, São Paulo, Oct. 21-3, 1981. CAD/CAM as a basis for the development of technology in developing nations. Amsterdam, North-Holland, 1981.
- /TAU 77/ TAUB, H. & SCHILLING, D. Resistor-Transistor Logic (RTL) and Integrated-Injection Logic (IIL). In: Digital integrated electronics. Tokyo, McGraw-Hill Kogakusha, 1977. cap. 4, p. 134-75.
- /TEX 80/ TEXAS INSTRUMENTS. TMS 9918A color video display processor. Houston, Texas Instruments, 1980 (product brief).
- /THO sd/ THOMSON-EFCIS MOS INTEGRATED CIRCUITS. Graphic display processor (GDP). Velizy, Thomson-EFCIS, s.d. (product preview).
- /TOK 80/ TOKO. LSI's for numerical control. Shokie, Toko, 1980. (technical note).
- /TRA 81/ TRAMAS USER'S MANUAL. São Paulo, LME da USP, 1981.
- /TRO 74/ TROYE, N. Integrated Injection Logic - present and future. IEEE Journal of Solid-State Circuits, New York, 9(5):206-11, Oct. 1974.

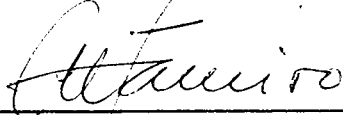
- /VAN 75/ VANHECKE, C. Sur la modelisation des structures a injection en régime statique. Toulouse, Université Paul Sabatier (Sciences), 1975. (Thèse n° 1791).
- /WAL 75/ WALKER, B. et alii. Interactive computer graphics. New York, Crane Russak, 1975.
- /WEI 67/ WEINBERGER, A. Large scale integration of MOS complex logic: a layout method. IEEE Journal of Solid-State Circuits, New York, 2(4):182-90, Dec. 1967.
- /WIL 73/ WILLIAMS, M. & ANGELL, J. Entrancing testability of large-scale integrated circuits via test points and additional logic. IEEE Transactions on Computers, New York, 22(1):46-60, Jan. 1973.
- /WIS 81/ WISE, J. & SZEJNWALD, H. A single-chip graphics display controller for sophisticated display terminals. In: INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, New York, Feb. 19-21, 1981. Slides. Wellesley, NEC Microcomputers, 1981 (Session THPM 13.4).
- /WIT 77/ WITTENZELLNER, E. Computer-aided design of large-scale integrated I²L logic circuits. IEEE Journal of Solid-State Circuits, New York, 12(2):199-204, Apr. 1977.
- /ZUF 77/ ZUFFO, J. Circuitos integrados em média escala e em larga escala. São Paulo, Edgard Blücher, 1977.

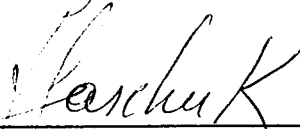
Universidade Federal do Rio Grande do Sul
Pós-Graduação em Ciência da Computação

Geração de elipses em processadores de
exibição gráfica

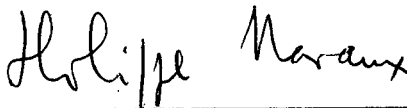
Dissertação apresentada aos Srs.







Visto e permitida a impressão.
Porto Alegre, 23 / 03 / 82 .



Coordenador do Curso de Pós-Graduação em
Ciência da Computação

