

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA**

ALAN CARLOS JUNIOR ROSSETTO

**Análise dos Efeitos de Dose Total Ionizante
em Circuitos Analógicos CMOS**

Dissertação apresentada como requisito parcial
para a obtenção do grau de Mestre em
Microeletrônica.

Prof. Dr. Gilson Inácio Wirth
Orientador

Porto Alegre, julho de 2014.

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Rossetto, Alan Carlos Junior

Análise dos efeitos de dose total ionizante em circuitos analógicos CMOS / Alan Carlos Junior Rossetto. – 2014.

105 f.

Orientador: Gilson Inácio Wirth.

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul, Escola de Engenharia, Programa de Pós-Graduação em Microeletrônica, Porto Alegre, BR – RS, 2014.

1. Dose total ionizante. 2. Radiação. 3. Circuitos analógicos. 4. CMOS. I. Wirth, Gilson Inácio. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof. Luís da Cunha Lamb

Coordenador do PGMICRO: Prof. Gilson Inácio Wirth

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

AGRADECIMENTOS

Agradeço, primeiramente, a todos os meus familiares, em especial aos meus pais, Nelci e Cleusa, aos meus irmãos, Jean e Janaina, pelo apoio e incentivo em todas as etapas da minha vida. Agradeço também à minha namorada, Monique, pela motivação e paciência ao longo da realização deste trabalho.

Agradeço ao orientador, Prof. Gilson Inácio Wirth, pelo suporte e confiança depositados em mim e no meu trabalho, assim como pela oportunidade concedida de continuar meus estudos na área de microeletrônica.

Agradeço ao Prof. Odair Lelis Gonzalez pela oportunidade de realizar o ensaio de irradiação junto ao LRI/IEAv, e ao Eng. Rafael Galhardo Vaz pelo apoio fundamental nas medições experimentais.

Agradeço ao Me. Eng. Dalton Colombo pela ajuda envolvendo os detalhes das topologias de circuitos utilizados neste trabalho, e ao colega Fabrício Lara pelo auxílio na caracterização térmica de tais circuitos.

Agradeço aos colegas do Laboratório de Prototipação e Teste Alisson Lanot, Cristiano Chenet, Paulo Aguirre, Ricardo Dallasen e Vinícius Camargo pela amizade e companheirismo, e em especial ao colega Thiago Both, pelas produtivas discussões envolvendo a análise dos dados experimentais.

Por fim, agradeço a Universidade Federal do Rio Grande do Sul, ao Programa de Pós-Graduação em Microeletrônica, ao CNPq e a CAPES, por viabilizarem a minha formação acadêmica e a realização deste trabalho.

RESUMO

Este trabalho apresenta um estudo sobre o comportamento de circuitos analógicos CMOS quando sujeitos aos efeitos de dose total ionizante. Os efeitos de dose total são resultado da interação entre a radiação ionizante e as camadas dielétricas dos dispositivos semicondutores, provocando o acúmulo de cargas nestas estruturas e a degradação dos parâmetros elétricos dos dispositivos. Com o objetivo de mensurar estes efeitos em circuitos analógicos CMOS, realizou-se um ensaio de irradiação, submetendo-os à incidência de radiação ionizante – proveniente de uma fonte ^{60}Co – até a acumulação de 490 krad de dose. Como objeto de estudo, foram utilizadas sete referências de tensão, um regulador de tensão e uma fonte de corrente, fabricados em tecnologia CMOS de 130 nm (IBM CM8RF). Os resultados obtidos demonstram a degradação do desempenho destes circuitos em virtude dos efeitos de dose total, apontando também, diferentes níveis de sensibilidade entre as topologias utilizadas. Tais resultados obtidos podem ser utilizados para o estudo de técnicas de tolerância aos efeitos de dose total para as diferentes topologias analisadas.

Palavras-Chave: CMOS, circuitos analógicos, dose total ionizante, radiação.

Analysis of Total Ionizing Dose Effects in CMOS Analog Circuits

ABSTRACT

This work presents a study on the behavior of CMOS analog circuits when subjected to total ionizing dose effects. The effects of total dose are the result of interaction between the ionizing radiation and the dielectric layers of semiconductor devices, causing charge buildup in these structures and affecting electrical parameters of the devices. In order to measure these effects in CMOS analog circuits, an irradiation test was performed, subjecting these circuits to the incidence of ionizing radiation – from a ^{60}Co source – up to 490 krad of dose. Several circuits were employed as object of this study, including seven voltage references, one voltage regulator, and one current source, all fabricated in a CMOS 130 nm technology (IBM CM8RF). The obtained results demonstrated a performance degradation of these circuits due to total dose effects, showing different levels of sensitivity for the employed topologies. These results can be used for the research on tolerance techniques for total dose effects in the different topologies analyzed.

Keywords: analog circuits, CMOS, radiation, total ionizing dose.

LISTA DE FIGURAS

Figura 2.1 – Diagrama de bandas de energia de uma estrutura MOS, resumando os principais processos físicos característicos da resposta destes dispositivos à radiação ionizante.	19
Figura 2.2 – <i>Fractional charge yield</i> em função do campo elétrico aplicado em óxidos MOS para diferentes tipos de radiação.....	20
Figura 2.3 – Processo de captura de uma lacuna por uma ligação atômica enfraquecida e geração de um centro E'.....	21
Figura 2.4 – Centros P _b na interface entre dióxido de silício e silício <100>.....	22
Figura 2.5 – Contribuições das cargas no óxido ΔV_{ot} e das cargas de interface ΔV_{it} na variação da tensão de limiar ΔV_{TH} de um transistor NMOS de tecnologia 4/3 μm	25
Figura 2.6 – Contribuições das cargas no óxido e na interface no desvio da tensão de limiar de um transistor NMOS ao longo da irradiação e do recozimento. É possível var um valor final de V_{TH} superior ao inicial, caracterizando o <i>rebound</i>	26
Figura 2.7 – Comportamento da mobilidade dos portadores de carga em função da densidade de cargas na interface (a) e em função da dose de radiação acumulada (b)..	28
Figura 2.8 – Aprisionamento de cargas no óxido de campo de um transistor concebido em tecnologia LOCOS (a) e em tecnologia STI (b).	29
Figura 2.9 – Fuga de corrente entre as regiões de dreno e fonte de diferentes transistores NMOS (a) e fuga de corrente entre o poço <i>n</i> de um transistor PMOS e a região de fonte de um transistor NMOS (b).	30
Figura 2.10 – Degradação da inclinação de sublimiar de um transistor NMOS devido à radiação ionizante.	31
Figura 2.11 – Potência de ruído mensurada para um transistor NMOS concebido em tecnologia de 3 μm durante a irradiação e durante o recozimento.	32
Figura 2.12 – Mecanismos de degradação dos parâmetros elétricos de transistores bipolares.	34
Figura 2.13 – Seção transversal de uma estrutura bipolar concebida utilizando óxido de recesso, destacando a fuga de corrente entre regiões de um mesmo dispositivo e entre dispositivos distintos.	35
Figura 2.14 – Variação no ganho β para transistores bipolares do tipo PNP (a) e NPN (b) em relação a taxa de dose.....	37
Figura 2.15 – Geração de pares elétron-lacuna (a) e partículas secundárias (b) através da interação entre uma partícula ionizante e o semiconductor.	38
Figura 2.16 – Tipos de mascaramento de SETs: lógico (a) e temporal (b).	39
Figura 2.17 – Tipos de mascaramento de SETs: elétrico.	40

Figura 2.18 – <i>Bit flip</i> em uma célula de memória SRAM induzido por um SEU: valor inicialmente armazenado (a), ocorrência de um SEU (b) e inversão do valor armazenado (c).....	40
Figura 2.19 – Seção transversal de um microcircuito CMOS mostrando a estrutura <i>p-n-p-n</i> parasita (a) e seu equivalente elétrico (b).....	41
Figura 2.20 – Seção transversal de um transistor MOSFET de potência. Em destaque, as regiões do transistor bipolar parasita.	43
Figura 2.21 – Ilustração da acumulação de cargas nas imediações do terminal de porta de um MOSFET de potência devido à incidência de uma partícula energética.....	44
Figura 2.22 – Representação da rede cristalina de um material semiconductor contendo defeitos típicos originados de danos por deslocamento.....	45
Figura 3.1 – Circuito típico utilizado para obtenção de correntes independentes da tensão de alimentação.....	48
Figura 3.2 – Circuito típico utilizado para obtenção de correntes independentes da tensão de alimentação acrescido do mecanismo de partida.....	49
Figura 3.3 – Circuito típico para obtenção da tensão base-emissor utilizando um transistor NPN.	51
Figura 3.4 – Tensão base-emissor de um transistor NPN para diversos valores de corrente de coletor em função da temperatura.....	52
Figura 3.5 – Circuito típico para a obtenção da tensão base-emissor diferencial através de transistores NPN.	53
Figura 3.6 – Característica térmica observada na tensão base-emissor diferencial para transistores NPN com relação $n = 8$	54
Figura 3.7 – Conceito de funcionamento de uma referência de tensão <i>bandgap</i>	55
Figura 3.8 – Referência de tensão <i>bandgap</i> utilizando um amplificador operacional. ...	56
Figura 3.9 – Referência de tensão <i>bandgap</i> utilizando espelho de corrente.	57
Figura 3.10 – Tensão de limiar de um transistor de canal <i>n</i> de tecnologia CMOS de 180 nm com W/L de $2\mu\text{m}/1\mu\text{m}$ em função da temperatura.	59
Figura 3.11 – Corrente de dreno em função da tensão entre porta e fonte de um transistor NMOS para diferentes temperaturas (a); e tensão entre porta e fonte de um transistor NMOS conectado como diodo com corrente de polarização inferior a I_0 (b). 60	
Figura 3.12 – Circuito típico para a obtenção da tensão porta-fonte diferencial utilizando transistores NMOS.	60
Figura 3.13 – Tensão porta-fonte diferencial entre transistores NMOS operando na região de sublimiar em função da temperatura.....	61

Figura 3.14 – Circuito típico de uma referência de tensão com compensação de temperatura utilizando dispositivos MOS.	62
Figura 4.1 – Placa de testes utilizada.....	66
Figura 4.2 – Esquemático elétrico da referência de tensão REF1 e os respectivos subcircuitos.....	67
Figura 4.3 – Esquemático elétrico da referência de tensão REF2.....	68
Figura 4.4 – Esquemático elétrico da referência de tensão REF3 (a) e o circuito equivalente ao resistor variável R_3 (b).....	69
Figura 4.5 – Esquemático elétrico da referência de tensão REF4 (a) e REF5 (b).....	70
Figura 4.6 – Esquemático elétrico da referência de tensão <i>bandgap</i> REF6 (a) e REF7 (b).	71
Figura 4.7 – Esquemático elétrico do regulador de tensão REG1.....	72
Figura 4.8 – Esquemático elétrico da fonte de corrente IREF.....	73
Figura 4.9 – Fonte de radiação gama ^{60}Co e a placa contendo os circuitos testados nas instalações do LRI/IEAv.	74
Figura 4.10 – Diagrama do setup de medidas.	75
Figura 4.11 – Tensão de referência V_{REF1} em função da dose acumulada.....	77
Figura 4.12 – Tensão V_{CTAT1} (a) e V_{PTAT1} (b) obtidas para o circuito REF1 em função da dose total acumulada.	77
Figura 4.14 – Tensão de referência V_{REF1} em função da temperatura.....	79
Figura 4.13 – Tensão de referência V_{REF1} e tensão térmica V_{PTAT1} em função da temperatura.....	79
Figura 4.15 – Tensão de referência V_{REF2} em função da dose acumulada.....	80
Figura 4.16 – Tensão de referência V_{REF2} em função da temperatura.....	82
Figura 4.17 – Tensão de referência V_{REF3} em função da dose acumulada.....	82
Figura 4.18 – Tensão de referência V_{REF3} em função da temperatura.....	83
Figura 4.19 – Tensão de referência V_{REF4} (a) e V_{REF5} (b) em função da dose acumulada.	84
Figura 4.20 – Tensão de referência V_{REF4} em função da temperatura: antes da irradiação e após o recozimento à temperatura ambiente (a), e após o recozimento acelerado a 120°C (b).....	85
Figura 4.21 – Tensão de referência V_{REF5} em função da temperatura: antes da irradiação e após o recozimento à temperatura ambiente (a), e após o recozimento acelerado a 120°C (b).....	86

Figura 4.22 – Tensão de referência V_{REF6} (a) e V_{REF7} (b) e as respectivas tensões térmicas CTAT em função da dose acumulada.	86
Figura 4.23 – Tensão de referência V_{REF6} em função da temperatura.....	88
Figura 4.24 – Tensão de referência V_{REF7} em função da temperatura: antes da irradiação (a), e após os recozimentos à temperatura ambiente e a 120°C (b).	89
Figura 4.25 – Tensão de saída V_{REG1} em função da dose acumulada.	89
Figura 4.26 – Ganho do circuito REG1 em função da dose acumulada.....	90
Figura 4.27 – Tensão de saída V_{REG1} em função da temperatura: antes da irradiação e após o recozimento à temperatura ambiente (a), e após o recozimento acelerado a 120°C (b).	91
Figura 4.28 – Corrente I_{REF} em função da dose total acumulada	92
Figura 4.29 – Corrente I_{REF} em função da temperatura.	92
Figura 4.30 – Corrente de alimentação para os circuitos de 1,2 V (a) e para os circuitos de 2,5 V (b).....	93

LISTA DE TABELAS

Tabela 2.1 – Energia média de ionização e densidade de geração de pares elétron-lacuna para diferentes materiais semicondutores.....	20
Tabela 4.1 – Parâmetros para a tecnologia IBM CM8RF.	64
Tabela 4.2 – Tensão de alimentação e tensões de saída esperados para os circuitos testados.	65
Tabela 4.3 – Tensão de alimentação e corrente de saída esperados para o circuito IREF.	65
Tabela 4.4 – Valores aproximados da variação dos parâmetros antes e após a irradiação.	94

LISTA DE ABREVIATURAS E SIGLAS

A/D	Conversor Analógico-Digital
CMOS	Complementary Metal Oxide Semiconductor
COTS	Commercial Off-The-Shelf
CRTW	Continuous-Time Random Walk
CTAT	Complementary to Absolute Temperature
D/A	Conversor Digital-Analógico
DCTA	Departamento de Ciência e Tecnologia Aeroespacial
ELDRS	Enhanced Low Dose Rate Sensitivity
FIT	Failure In Time
IBM	International Business Machines Corporation
IEAv	Instituto de Estudos Avançados
LET	Linear Energy Transfer
LOCOS	Local Oxidation of Silicon
LRI	Laboratório de Radiação Ionizante
MBU	Multiple-Bit Upset
MCU	Multiple Cell Upset
MOS	Metal-Oxide Semiconductor
MOSFET	Metal-Oxide Semiconductor Field Effect Transistor
NMOS	Transistor MOSFET de Canal N
NPN	Transistor Bipolar de Base P
PLL	Phase-Locked Loop
PMOS	Transistor MOSFET de Canal P
PNP	Transistor Bipolar de Base N
PTAT	Proportional to Absolute Temperature
RILC	Radiation-Induced Leakage Current
SBU	Single-Bit Upset
SCR	Silicon-Controlled Rectifier
SEB	Single-Event Burnout
SEE	Single-Event Effect
SEFI	Single-Event Functional Interrupt
SEGR	Single-Event Gate Rupture

SEL	Single-Event Latchup
SER	Soft Error Rate
SES	Single-Event Snapback
SET	Single-Event Transient
SEU	Single-Event Upset
SHE	Single-Hard Error
SI	Sistema Internacional de Unidades
SMU	Source-Measurement Unit
SPICE	Simulation Program with Integrated Circuit Emphasis
SRAM	Static Random Access Memory
STI	Shallow-Trench Isolation
TID	Total Ionizing Dose

SUMÁRIO

1	INTRODUÇÃO	15
2	EFEITOS DA RADIAÇÃO EM DISPOSITIVOS SEMICONDUTORES ...	17
2.1	Efeitos de Dose Total Ionizante	17
2.1.1	Efeitos de Dose Total Ionizante em Dispositivos MOS	18
2.1.1.1	<i>Desvio na Tensão de Limiar</i>	<i>24</i>
2.1.1.2	<i>Redução da Mobilidade dos Portadores de Carga</i>	<i>27</i>
2.1.1.3	<i>Incremento na Corrente de Fuga</i>	<i>28</i>
2.1.1.4	<i>Aumento do Ruído 1/f</i>	<i>31</i>
2.1.2	Efeitos de Dose Total Ionizante em Dispositivos Bipolares	32
2.1.2.1	<i>Mecanismos de Degradação.....</i>	<i>33</i>
2.1.2.2	<i>Sensibilidade à Taxa de Dose.....</i>	<i>36</i>
2.2	Efeitos Singulares	37
2.2.1	Falhas Não Destrutivas – <i>Soft Errors</i>	38
2.2.2	Falhas Destrutivas – <i>Hard Errors</i>	41
2.3	Danos por Deslocamento.....	44
3	CIRCUITOS DE REFERÊNCIA DE TENSÃO	47
3.1	Polarização Independente da Tensão de Alimentação.....	48
3.2	Técnicas de Compensação de Temperatura	50
3.2.1	Compensação de Temperatura Utilizando Dispositivos Bipolares	50
3.2.1.1	<i>Geração da Tensão CTAT</i>	<i>51</i>
3.2.1.2	<i>Geração da Tensão PTAT</i>	<i>52</i>
3.2.1.3	<i>Referência de Tensão Bandgap</i>	<i>54</i>
3.2.2	Compensação de Temperatura Utilizando Dispositivos MOS	58
3.2.2.1	<i>Geração da Tensão CTAT</i>	<i>58</i>
3.2.2.2	<i>Geração da Tensão PTAT</i>	<i>60</i>
3.2.2.3	<i>Referência de Tensão Baseada na Tensão de Limiar.....</i>	<i>61</i>
4	EFEITOS DE DOSE TOTAL IONIZANTE EM CIRCUITOS	
	ANALÓGICOS CMOS: ESTUDO DE CASO	64
4.1	Circuitos Objeto de Estudo	64

4.1.1	Referência REF1	66
4.1.2	Referência REF2	67
4.1.3	Referência REF3	68
4.1.4	Referência REF4 e Referência REF5	69
4.1.5	Referência REF6 e Referência REF7	71
4.1.6	Regulador de Tensão REG1	72
4.1.7	Fonte de Corrente IREF.....	73
4.2	Ensaio de Irradiação e <i>Setup</i> de Medidas	74
4.3	Resultados Experimentais e Discussão dos Resultados.....	76
4.3.1	Referência REF1	77
4.3.2	Referência REF2	80
4.3.3	Referência REF3	82
4.3.4	Referência REF4 e Referência REF5	84
4.3.5	Referência REF6 e Referência REF7	86
4.3.6	Regulador de Tensão REG1	89
4.3.7	Fonte de Corrente IREF.....	91
4.3.8	Correntes de Alimentação	93
4.3.9	Sumário das Medições.....	94
5	CONCLUSÕES	95
	REFERÊNCIAS	97
	APÊNDICE A: TRABALHOS PUBLICADOS.....	104

1 INTRODUÇÃO

O desenvolvimento da indústria aeroespacial está intimamente ligado ao avanço da microeletrônica. Satélites e aeronaves possuem, hoje em dia, sistemas eletrônicos embarcados complexos, os quais requerem alto grau de confiabilidade. A operação em ambiente aeroespacial, no entanto, sujeita os dispositivos eletrônicos à incidência de radiação, podendo afetar o funcionamento destes e a segurança dos sistemas nos quais estão inseridos.

O conhecimento sobre os efeitos da radiação em dispositivos e circuitos eletrônicos não se restringe apenas ao ambiente espacial. Instalações terrestres que fazem uso da Física Nuclear – como aceleradores de partículas e usinas nucleares – são exemplos de ambientes que, geralmente, demandam rigorosos níveis de segurança, exigindo extrema confiabilidade dos circuitos eletrônicos utilizados no controle destas instalações.

Por esse motivo, a caracterização dos impactos da radiação em circuitos eletrônicos consiste em uma etapa indispensável no estudo de estratégias de mitigação de tais efeitos. Através deste tipo de estudo, torna-se possível a concepção de circuitos tolerantes aos efeitos da radiação, essenciais para aplicações críticas. Atualmente, outra demanda bastante importante é a caracterização de componentes e circuitos comerciais, os chamados COTS (*commercial off-the-shelf*), os quais vem se apresentando como uma alternativa de baixo custo para a indústria aeroespacial.

Uma topologia de circuito largamente utilizada em blocos analógicos de circuitos de telecomunicações e controle – tais como conversores de dados e PLLs – são as referências de tensão. Referências de tensão são circuitos eletrônicos projetados para prover um valor de tensão bastante estável ao longo do tempo, mesmo sob diferentes condições de temperatura, tensão de alimentação e processo de fabricação.

Neste contexto, o objetivo deste trabalho é fazer uma análise dos efeitos de dose total ionizante em circuitos analógicos, incluindo referências de tensão, regulador de tensão e fonte de corrente, todos projetados em tecnologia CMOS de 130 nm. Os resultados obtidos a partir deste trabalho poderão servir de base para o desenvolvimento de estratégias de tolerância à radiação nestes circuitos.

Este trabalho está subdividido da seguinte forma: o Capítulo 2 apresenta os efeitos da radiação em semicondutores, abordando os efeitos de dose total ionizante,

danos por deslocamento e efeitos singulares; o Capítulo 3 faz uma abordagem acerca de circuitos de referência de tensão, compreendendo as técnicas de compensação de temperatura através de dispositivos bipolares e dispositivos MOS, bem como as topologias mais usuais para cada caso; o Capítulo 4, por sua vez, apresenta o estudo de caso realizado, mostrando os circuitos utilizados, o ensaio de irradiação e medidas, os resultados obtidos e a discussão destes resultados. Por fim, as conclusões do trabalho são dadas no Capítulo 5.

2 EFEITOS DA RADIAÇÃO EM DISPOSITIVOS SEMICONDUTORES

Desde a década de 60 – através da falha do satélite de comunicações Telstar I – sabe-se que a radiação atua de maneira danosa em dispositivos e circuitos eletrônicos (Ma; Dressendorfer, 1989). Quando expostos à radiação, estes dispositivos e circuitos eletrônicos estão sujeitos a falhas e a degradação de seus parâmetros elétricos, através de dois mecanismos principais: os efeitos cumulativos e os efeitos singulares.

Os efeitos cumulativos são decorrentes do acúmulo de defeitos nos dispositivos semicondutores ao longo do tempo. Estes defeitos são originados pela incidência de partículas e/ou componentes eletromagnéticos de radiação, podendo ionizar o material do dispositivo ou modificar o seu arranjo estrutural. Os efeitos cumulativos podem ser divididos em efeitos de dose total ionizante (*total ionizing dose* ou TID) e danos por deslocamento (*displacement damage*) (Schrimpf, 2007).

Os efeitos de dose total ionizante são decorrentes da absorção de energia e acúmulo de cargas nas camadas dielétricas de dispositivos semicondutores. Os efeitos de danos por deslocamento, por outro lado, são provocados pela interação da partícula incidente com a rede cristalina do material semicondutor, danificando a sua estrutura e modificando suas propriedades elétricas.

Os efeitos singulares, por sua vez, ocorrem quando partículas de alta energia, ao incidirem no material semicondutor, provocam a geração de pares elétron-lacuna que, em regiões sensíveis do circuito, resultam em perturbações elétricas transitórias. Dependendo do tipo e da origem, estas perturbações elétricas podem ou não resultar em uma falha no circuito.

Este capítulo está dividido da seguinte maneira: o subcapítulo 2.1 aborda os efeitos de dose total ionizante, tanto para dispositivos MOS, como para dispositivos bipolares; o subcapítulo 2.2 faz uma revisão acerca dos efeitos singulares, abordando os principais tipos e suas características; e, por fim, o subcapítulo 2.3 apresenta os danos por deslocamento.

2.1 Efeitos de Dose Total Ionizante

Os efeitos de dose total ionizante em dispositivos e circuitos eletrônicos são resultado da exposição do semicondutor à radiação ionizante. Estes efeitos são

cumulativos e se manifestam ao longo do tempo, sendo proporcional à dose de radiação absorvida pelo material. Tal dose é expressa como a quantidade de energia depositada devido à radiação ionizante por unidade de massa.

Para quantizar esta energia depositada, uma unidade de medida usualmente utilizada é o rad, *radiation absorbed dose* em inglês. Um rad é definido como a absorção de 100 ergs de energia por grama de material. Ao utilizar esta unidade de medida, no entanto, o material alvo tem de ser especificado, e.g. rad(Si) ou rad(SiO₂), uma vez que a absorção de energia difere de um material para outro (Srour, 1982). No Sistema Internacional de Unidades (SI), a unidade de medida para a dose absorvida é o gray (Gy), onde 1 Gy é equivalente à 100 rads (Mclean; Oldham, 1987).

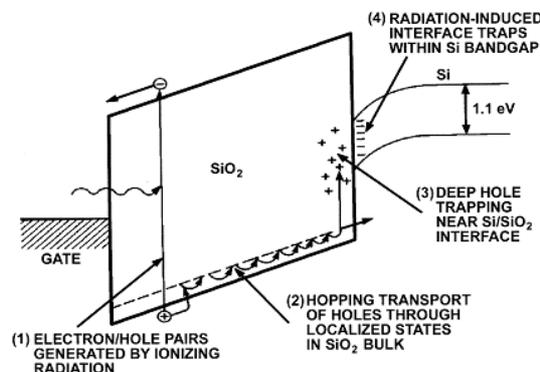
Em tecnologias MOS, assim como em tecnologias bipolares, os efeitos de dose total ionizante se manifestam através da ionização das camadas dielétricas dos dispositivos. Tal ionização conduz a um processo de aprisionamento de cargas no interior destes dielétricos e no acúmulo de armadilhas na interface entre dielétrico e semicondutor. Esses dois mecanismos são tidos como os principais responsáveis pela degradação dos parâmetros elétricos devido à radiação ionizante nestas estruturas (Srour, 1982; Enlow *et al.*, 1991).

2.1.1 Efeitos de Dose Total Ionizante em Dispositivos MOS

Os efeitos de dose total ionizante em dispositivos MOS estão associados à interação entre a radiação ionizante e as estruturas dielétricas do dispositivo, tais como o óxido de porta e o óxido de campo (Mclean; Oldham, 1987). Como resultado desta interação, tem-se o aprisionamento de carga no interior do óxido e o acúmulo de estados elétricos na interface entre o óxido e o semicondutor (Srour, 1982).

O acúmulo de estados de interface e o aprisionamento de carga no óxido dão origem a campos elétricos no interior do dispositivo (Mclean; Oldham, 1987), afetando parâmetros elétricos como a tensão de limiar, a corrente de fuga, a mobilidade dos portadores de carga e a característica de ruído dos dispositivos (Barnaby, 2006). A Figura 2.1 sumariza os principais processos físicos envolvidos na degradação das características elétricas de dispositivos MOS pela radiação ionizante, os quais são a geração de pares elétron-lacuna (1); o transporte de carga através do óxido (2); o

Figura 2.1 – Diagrama de bandas de energia de uma estrutura MOS, resumando os principais processos físicos característicos da resposta destes dispositivos à radiação ionizante.



Fonte: Oldham e Mclean (2003).

aprisionamento de cargas no óxido (3); e a criação de armadilhas de interface (4) (Oldham; Mclean, 2003).

O efeito inicial da interação entre a radiação ionizante e a estrutura dielétrica de um dispositivo MOS é a geração de pares elétron-lacuna (Srour; Mcgarrity, 1988). Estes pares são gerados devido à deposição de energia no óxido após a colisão da partícula. Tal energia excita elétrons na banda de valência e os faz migrar para a banda de condução, deixando as respectivas lacunas na banda de valência (Mclean; Oldham, 1987).

A quantidade de pares elétron-lacuna gerados em determinado material é proporcional à massa e à energia da partícula incidente, além de ser fortemente dependente da energia média de ionização deste mesmo material (Barnaby, 2006). A energia média de ionização (*average ionizing energy*), E_p , representa a energia média necessária para a geração de um par elétron-lacuna em determinado material (Mclean; Oldham, 1987), sendo esta também dependente da largura da banda proibida (*bandgap*) do material (Barnaby, 2006). A Tabela 2.1 mostra a energia média de ionização e a densidade de pares elétron-lacuna gerados por rad acumulada para diferentes materiais utilizados na indústria de dispositivos eletrônicos.

Imediatamente após a geração, uma parcela dos pares elétron-lacuna gerados sofre recombinação. A quantidade de pares recombinados nesta etapa depende fortemente do campo elétrico aplicado sobre o dielétrico, assim como da energia e do tipo da partícula incidente (Mclean; Oldham, 1987). A parcela dos pares elétron-lacuna que não sofreram recombinação dividida pela quantidade de pares inicialmente gerados

Tabela 2.1 – Energia média de ionização e densidade de geração de pares elétron-lacuna para diferentes materiais semicondutores.

Material Semicondutor	Energia média para a geração de um par elétron-lacuna [eV]	Densidade de pares elétron-lacuna gerados por rad [pares/cm ³]
Arseneto de Gálio (GaAs)	~4,8	~7×10 ¹³
Germânio (Ge)	2,8	1,2×10 ¹⁴
Silício (Si)	3,6	4,0×10 ¹³
Dióxido de Silício (SiO ₂)	17	8,1×10 ¹²

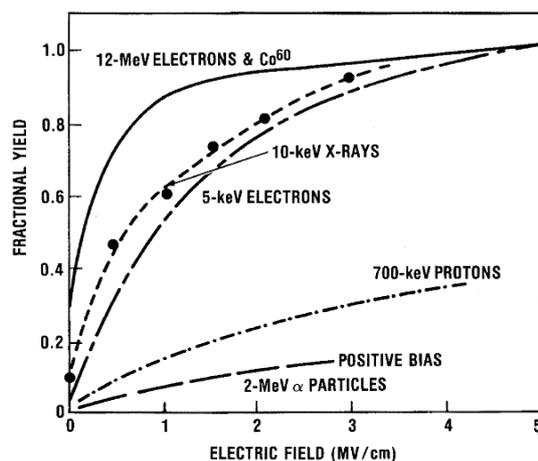
Fonte: Mclean e Oldham (1987).

compõe o *fractional charge yield* (Barnaby, 2006). Na Figura 2.2 pode-se observar o *fractional charge yield* em função do campo elétrico para diferentes tipos de radiação.

Em geral, estes processos de geração de carga e recombinação são completados em tempos da ordem de picossegundos. A partir de então, os portadores remanescentes permanecem livres para se movimentar através do óxido. Devido à elevada mobilidade, os elétrons são rapidamente varridos do óxido. Além disso, por apresentarem taxa de aprisionamento muito inferior à das lacunas em estruturas dielétricas convencionais, estes elétrons não interferem de maneira significativa na resposta do dispositivo à dose total (Mclean *et al.*, 1989).

As lacunas, por sua vez, permanecem praticamente imóveis nas proximidades do local de geração e lentamente iniciam um processo de transporte de carga através do

Figura 2.2 – *Fractional charge yield* em função do campo elétrico aplicado em óxidos MOS para diferentes tipos de radiação.

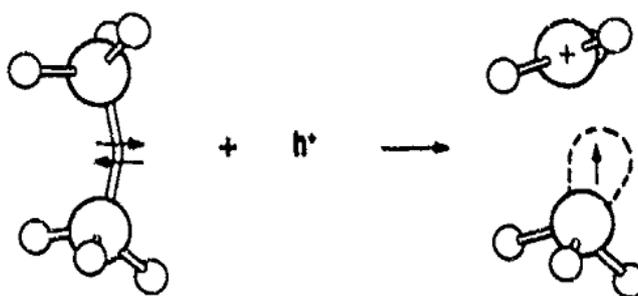


Fonte: Oldham e Mclean (2003).

óxido (Mclean *et al.*, 1989). Este processo de transporte é sensível a fatores como campo elétrico aplicado, temperatura e espessura do óxido (Mclean; Oldham, 1987). Além disso, este transporte apresenta caráter anômalo e bastante dispersivo no tempo (Mclean; Oldham, 1987), sendo o modelo *continuous-time random walk* (CRTW) o que melhor descreve tal comportamento (Oldham; Mclean, 2003).

Ao se aproximarem da interface entre óxido e semicondutor, as lacunas encontram uma região onde a oxidação não está completa, contendo um grande número de vacâncias de oxigênio. Devido à deficiência de oxigênio, a ligação entre alguns átomos de silício nesta região é bastante fraca (Oldham; Mclean, 2003), podendo uma lacuna romper esta ligação e se recombinar com um dos elétrons da estrutura (Mclean; Oldham, 1987). O resultado desta interação é a formação de um defeito conhecido como centro E' (E' center), mostrado na Figura 2.3.

Figura 2.3 – Processo de captura de uma lacuna por uma ligação atômica enfraquecida e geração de um centro E'.



Fonte: Mclean e Oldham (1987).

Em óxidos termicamente crescidos, os dois principais tipos de centros E' originados pelo aprisionamento de lacunas são os centros E' γ e os centros E' δ , tendo ambos estes defeitos, uma carga positiva associada (Schwank, 1994). Além desta carga associada, estes centros são capazes de trocar cargas com camadas de silício adjacente. Os centros E' γ , no entanto, tem baixa probabilidade de realizar essa troca de carga e são tratados como cargas fixas (*oxide-trapped charge*) (Barnaby, 2006).

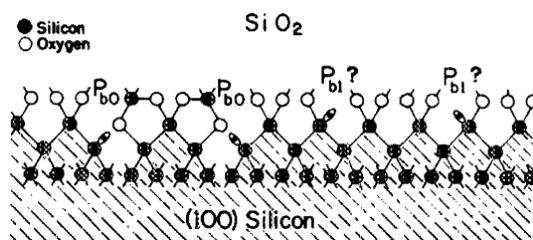
Os centros E' mais próximos à interface – tipicamente centros E' δ –, por outro lado, conseguem realizar com facilidade a captura ou emissão de um portador para a camada semicondutora adjacente (Barnaby, 2006). Estes defeitos, contudo, recebem uma nomenclatura diferenciada, sendo denominados *border-traps*, *switching states* ou *switching oxide traps* (Barnaby, 2006).

Embora as cargas aprisionadas no óxido representem defeitos relativamente estáveis (Oldham; Mclean, 2003), estas não permanecem aprisionadas de maneira definitiva (Mclean; Oldham, 1987). Em tempos que podem variar de milissegundos à anos, tais cargas podem ser despreendidas (*de-trapping*) em um processo de recozimento a longo prazo (*long-term annealing*), o qual depende, principalmente, da polarização do dispositivo e da temperatura, podendo ocorrer também em temperatura ambiente (Mclean; Oldham, 1987).

Além dos defeitos no interior do óxido, a radiação ionizante pode induzir o aumento dos defeitos localizados na interface entre dielétrico e semicondutor (Winokur, 1989). Tais defeitos – conhecidos como *interface traps* ou *interface states* – são decorrentes da deficiência de oxigênio nesta região no momento da oxidação térmica, dando origem a ligações incompletas (*dangling bonds*) entre átomos de silício (Winokur, 1989), conhecidos como centros P_b (P_b centers) (Lenahan *et al.*, 2002).

Os centros P_b podem ser divididos em centros P_{b0} e centros P_{b1} . Um centro P_{b0} é constituído de um átomo de silício ligado a outros três átomos de silício, contendo assim, uma ligação incompleta. Um centro P_{b1} , por sua vez, é constituído de um átomo de silício ligado a outros dois átomos de silício e a um átomo de oxigênio, possuindo também uma ligação não completada (Gerardi *et al.*, 1986). Ambos estes centros são mostrados na Figura 2.4.

Figura 2.4 – Centros P_b na interface entre dióxido de silício e silício $\langle 100 \rangle$.



Fonte: Gerardi *et al.* (1986).

Em geral, a maioria destas ligações não completadas está passivada com átomos de hidrogênio – impureza bastante comum em processos de fabricação CMOS – e são, portanto, eletricamente inertes (Oldham; Mclean, 2003). Com a incidência de radiação ionizante, no entanto, pode haver a quebra de parte das ligações com estes átomos de hidrogênio, dando origem a efetivos centros de aprisionamento de portadores (Barnaby, 2006). É importante salientar, no entanto, que não há na literatura um consenso acerca do mecanismo completo de geração de armadilhas de interface pela radiação ionizante.

Contudo, é bastante aceito que o rompimento da ligação silício-hidrogênio descrito acima seja o precursor desse mecanismo (Oldham; Mclean, 2003).

Uma armadilha de interface pode apresentar carga positiva, negativa ou neutra, sendo este estado de carga definido pelo nível de Fermi na interface. Na situação em que o nível de Fermi na interface se encontra abaixo do nível de energia da armadilha, esta assume um caráter “doador” (*donor*), podendo doar um elétron para o silício (Schwank *et al.*, 2008). Neste caso, a armadilha possui uma carga positiva associada (Mclean; Oldham, 1987).

Na situação em que o nível de Fermi na interface se encontra acima do nível de energia da armadilha, por outro lado, esta assume um caráter “aceitador” (*acceptor*), podendo receber um elétron do silício e possuindo assim, uma carga negativa associada (Schwank *et al.*, 2008). Devido a esta dependência com o nível de Fermi, a ocupação das armadilhas de interface pode variar conforme o potencial aplicado à porta do dispositivo (Mclean; Oldham, 1987).

Em geral, assume-se que as armadilhas localizadas na metade inferior da banda proibida são, predominantemente, doadoras, ao passo que as armadilhas localizadas na metade superior da banda proibida são, predominantemente, aceitadoras (Mclean; Oldham, 1987; Schwank *et al.*, 2008). As armadilhas localizadas próximas ao centro da banda proibida, no entanto, assumem um comportamento elétrico de neutralidade (Schwank, 1994).

Assim como as cargas aprisionadas no óxido, as armadilhas de interface também podem sofrer recozimento. Este recozimento, que é bastante sensível à qualidade do processo de oxidação, não é vislumbrado em temperatura ambiente (Schwank, 1994), e pode ser observado de maneira significativa apenas para temperaturas superiores à 100°C (Winokur, 1989).

Os efeitos da radiação abordados neste trabalho apresentam enfoque principal em dispositivos cujo dielétrico é o dióxido de silício. Tecnologias atuais, no entanto, podem fazer uso de dielétricos de alta constante dielétrica (*high- κ*), os quais apresentam resposta à radiação diferenciada. Nestes dielétricos, a radiação ionizante não produz uma quantidade significativa de armadilhas de interface, podendo também haver um expressivo aprisionamento de carga negativa (Kang *et al.*, 2002).

Ambos estes comportamentos contrastam com o comportamento observado para dispositivos concebidos com dióxido de silício. Além disso, óxidos *high- κ* apresentam

maior espessura do que dielétricos convencionais para uma mesma capacitância de porta (Barnaby, 2006). Uma vez que os efeitos de dose total são fortemente dependentes da espessura do dielétrico, a utilização de óxidos *high-κ* na fabricação de transistores pode prejudicar a resposta destes dispositivos à radiação (Felix *et al.*, 2004).

2.1.1.1 Desvio na Tensão de Limiar

O desvio na tensão de limiar é, historicamente, o principal efeito da radiação ionizante em dispositivos MOS. Tal desvio tem origem na interação eletrostática entre o dispositivo e as cargas aprisionadas no dielétrico de porta e na interface entre dielétrico e semiconductor. Em tecnologias mais modernas, no entanto, estes desvios não apresentam mais tamanha significância, em virtude das reduzidas espessuras de óxido utilizadas. Contudo, cargas aprisionadas em outros óxidos de isolamento continuam contribuindo para o aumento da corrente de fuga (Schrimpf, 2007).

A tensão de limiar V_{TH} de um dispositivo submetido à radiação ionizante pode ser expressa pela Equação 2.1, onde $V_{TH}(t)$ é a tensão de limiar ao longo da irradiação; V_{TH0} é a tensão de limiar anterior à irradiação; e $\Delta V_{TH}(t)$ é a variação na tensão de limiar ao longo da irradiação (McClean; Oldham, 1987).

$$V_{TH}(t) = V_{TH0} + \Delta V_{TH}(t) \quad (2.1)$$

A variação na tensão de limiar, por sua vez, pode ser expressa, de maneira simplificada, pela Equação 2.2, onde $\Delta V_{TH}(t)$ é a variação da tensão de limiar ao longo da irradiação; $\Delta V_{ot}(t)$ é a variação introduzida pelas cargas aprisionadas no óxido; e $\Delta V_{it}(t)$ é a variação introduzida pelas cargas aprisionadas na interface (McClean; Oldham, 1987).

$$\Delta V_{TH}(t) = \Delta V_{ot}(t) + \Delta V_{it}(t) \quad (2.2)$$

Os valores de ΔV_{ot} e ΔV_{it} são diretamente proporcionais à densidade de cargas aprisionadas no óxido e na interface, respectivamente (Schrimpf, 2007). Além disso, essas variações possuem sinais contrários aos da carga aprisionada. Em outras palavras, cargas positivas inserem um desvio negativo na tensão de limiar, ao passo que, para cargas negativas, este desvio é positivo (Schwank, 1994).

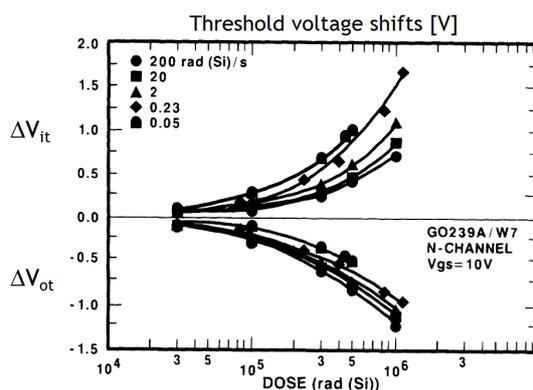
As cargas aprisionadas no óxido tendem a ser positivas, tanto para transistores NMOS, quanto para transistores PMOS. Desse modo, o desvio provocado por essas cargas na tensão de limiar (ΔV_{ot}) tende a ser negativo, para ambos os tipos de

dispositivos (Schrimpf, 2007). Em transistores NMOS, uma variação negativa em ΔV_{ot} implica na redução da tensão de limiar, facilitando o acionamento do dispositivo. Em transistores PMOS, no entanto, uma variação negativa em ΔV_{ot} implica no aumento da tensão de limiar, dificultando seu acionamento.

Diferentemente das cargas aprisionadas no óxido, as cargas aprisionadas na interface entre óxido e semicondutor possuem comportamento distinto para transistores NMOS e transistores PMOS. O tipo de carga aprisionada na interface depende da localização da armadilha em relação ao nível de Fermi na superfície de inversão do transistor (Mclean; Oldham, 1987). Conforme estudado na seção anterior, esta carga pode ser neutra, positiva ou negativa. No entanto, para transistores NMOS, a carga aprisionada é, normalmente, negativa, ao passo que para transistores PMOS, esta carga é, normalmente, positiva (Mclean; Oldham, 1987).

O desvio provocado na tensão de limiar pelas cargas de interface (ΔV_{it}) segue o mesmo comportamento, e também é diferenciado para transistores NMOS e para transistores PMOS. Normalmente, dispositivos de canal n tem ΔV_{it} positivo, ao passo que em dispositivos de canal p , ΔV_{it} é negativo (Schwank, 1994). Esta característica complementar pode ser observada na Figura 2.5, a qual mostra as contribuições das cargas no óxido ΔV_{ot} e das cargas de interface ΔV_{it} na variação da tensão de limiar ΔV_{TH} de um transistor NMOS.

Figura 2.5 – Contribuições das cargas no óxido ΔV_{ot} e das cargas de interface ΔV_{it} na variação da tensão de limiar ΔV_{TH} de um transistor NMOS de tecnologia 4/3 μm .



Fonte: Winokur *et al.* (1987).

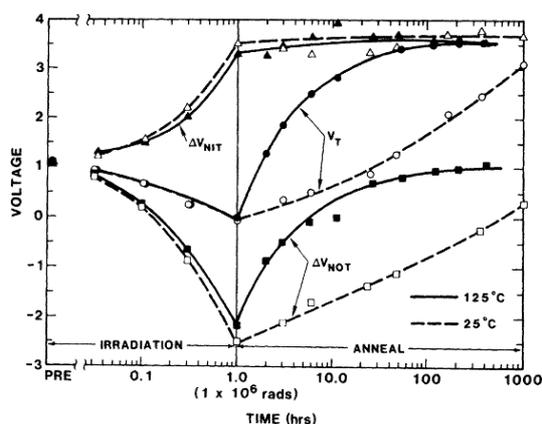
Desse modo, em transistores PMOS, ambas as cargas aprisionadas – no óxido e na interface – contribuem com desvios negativos na tensão de limiar, ou seja, aumentam o valor deste parâmetro em módulo. Em transistores NMOS, no entanto, as cargas

aprisionadas no óxido contribuem com desvios negativos na tensão de limiar, ao passo que, as cargas aprisionadas na interface, contribuem com desvios positivos.

Em virtude da contribuição diferenciada entre as diferentes cargas aprisionadas na variação da tensão de limiar, é possível observar, em transistores NMOS, um efeito descrito na literatura como *super-recovery* ou *rebound*. Este fenômeno – que pode ser observado durante longos períodos de irradiação ou durante o recozimento (*annealing*) do dispositivo pós-irradiação – é caracterizado por um significativo e repentino aumento da tensão de limiar do dispositivo, a qual pode até ultrapassar o valor mensurado antes da irradiação.

Tal fenômeno ocorre devido ao reduzido tempo de recozimento das cargas no óxido em comparação ao tempo de recozimento das armadilhas de interface, sendo estas últimas, dominantes para longos períodos de irradiação (McLean; Oldham, 1987). Desse modo, a variação da tensão de limiar passa a ser dominada pelas armadilhas de interface e, com a reduzida influência das cargas no óxido, esta tensão pode apresentar um valor maior que o inicialmente medido (McLean; Oldham, 1987), assim como mostrado na Figura 2.6. Em transistores PMOS, no entanto, o *rebound* não é observado, uma vez que tanto as cargas no óxido, quanto as cargas de interface, contribuem com desvios negativos na tensão de limiar (Oldham; McLean, 2003).

Figura 2.6 – Contribuições das cargas no óxido e na interface no desvio da tensão de limiar de um transistor NMOS ao longo da irradiação e do recozimento. É possível observar um valor final de V_{TH} superior ao inicial, caracterizando o *rebound*.



Fonte: Schwank *et al.* (1984).

2.1.1.2 Redução da Mobilidade dos Portadores de Carga

A mobilidade dos portadores de carga em dispositivos MOS representa outra grandeza elétrica que pode ser afetada pela radiação ionizante. A interação eletrostática, devido ao espalhamento coulombiano (*Coulomb scattering*), entre as cargas geradas pela radiação no dispositivo e os portadores de carga no canal de condução provocam a degradação deste parâmetro (Schrimpf, 2007).

Este efeito de redução é proporcional à proximidade das cargas aprisionadas com o canal de condução. Desse modo, as cargas aprisionadas na interface entre óxido e semicondutor exercem maior influência na degradação da mobilidade do que as cargas aprisionadas no interior do óxido (Schrimpf, 2007). A mobilidade dos portadores de carga μ em um dispositivo sob irradiação pode ser expressa pela Equação 2.3, onde μ_0 representa a mobilidade pré-irradiação; N_{ot} e N_{it} representam a densidade cargas no óxido e na interface, respectivamente; e α_{ot} e α_{it} representam, respectivamente, parâmetros que quantizam os efeitos das cargas no óxido e na interface na mobilidade.

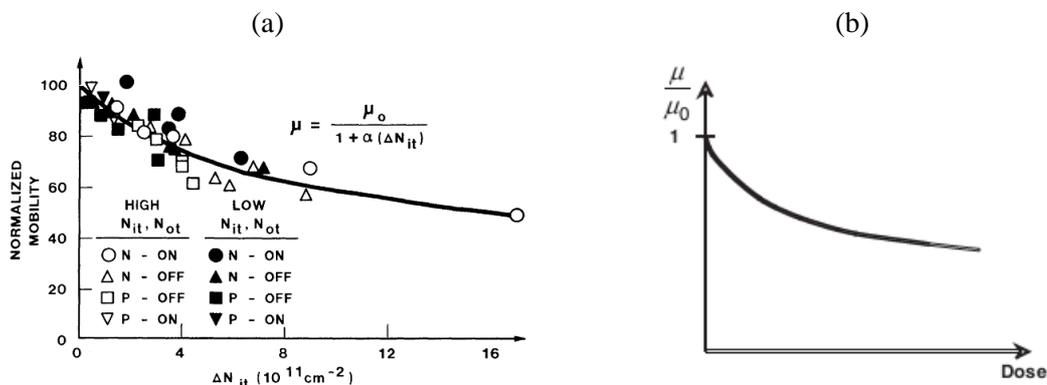
$$\mu = \frac{\mu_0}{1 + \alpha_{it} N_{it} + \alpha_{ot} N_{ot}} \quad (2.3)$$

Segundo Mclean e Boesch (1989), as cargas no óxido somente apresentam significância durante intervalos de tempo bastante curtos – da ordem de centenas de milissegundos – no início da irradiação. Após esse tempo, as primeiras armadilhas de interface começam a se formar e dominam o mecanismo de degradação. Para a temperatura ambiente e longos tempos de irradiação, o efeito das cargas no óxido na redução da mobilidade pode ser considerado secundário (Mclean; Boesch, 1989). Desse modo, a Equação 2.3 pode ser simplificada para a Equação 2.4.

$$\mu = \frac{\mu_0}{1 + \alpha_{it} N_{it}} \quad (2.4)$$

O comportamento da mobilidade em relação à densidade de cargas na interface e em relação à dose acumulada pode ser visualizado na Figura 2.7(a), enquanto que a Figura 2.7(b) mostra o comportamento da mobilidade em função da dose acumulada. Em ambas as figuras, os valores da mobilidade estão normalizados pelo valor anterior à irradiação. Na Figura 2.7(a), também se pode observar os valores de mobilidade para transistores NMOS e PMOS com polarização e sem polarização, assim como para altas e baixas densidades de carga.

Figura 2.7 – Comportamento da mobilidade dos portadores de carga em função da densidade de cargas na interface (a) e em função da dose de radiação acumulada (b).



Fonte: Sexton e Schwank (1985).

Fonte: Schrimpf (2007).

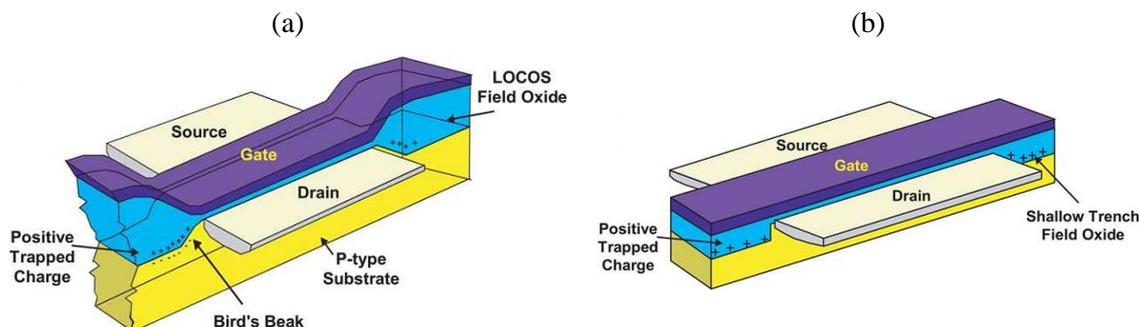
2.1.1.3 Incremento na Corrente de Fuga

A incidência de radiação ionizante em dispositivos MOS também é responsável pelo incremento da corrente de fuga nestas estruturas. O aumento deste parâmetro pode ser associado à ionização do óxido de campo – a qual dá origem a caminhos de condução parasitas entre regiões de um mesmo dispositivo ou entre dispositivos distintos (Barnaby, 2006); à fuga de corrente induzida pela radiação (*radiation-induced leakage current* ou RILC) – caracterizada pela fuga de corrente através do dielétrico de porta (Schwank *et al.*, 2008); ou ainda à degradação da inclinação de sublimiar (*subthreshold slope*) – a qual torna o dispositivo mais lento e aumenta o seu consumo estático (Schrimpf, 2007).

Em tecnologias comerciais modernas, no entanto, a degradação do óxido de campo corresponde ao mecanismo principal na fuga de corrente (Schwank *et al.*, 2008). O óxido de campo (*field oxide*) é uma estrutura que atua como isolante entre as regiões ativas de dispositivos concebidos em um mesmo substrato, sendo também utilizado para passivar a superfície do semiconductor. Por apresentar uma espessura relativamente maior que o óxido de porta, este dielétrico está bastante sujeito à degradação pela radiação ionizante mesmo em tecnologias atuais, tendo em vista a relação quadrática entre a espessura e o aprisionamento de cargas neste material (Ma; Dressendorfer, 1989).

As cargas aprisionadas no óxido de campo podem propiciar caminhos alternativos para a corrente entre regiões de um mesmo dispositivo (*drain-to-source*

Figura 2.8 – Aprisionamento de cargas no óxido de campo de um transistor concebido em tecnologia LOCOS (a) e em tecnologia STI (b).



Fonte: Schwank *et al.* (2008).

leakage), assim como entre dispositivos distintos (*interdevice leakage*) (Barnaby, 2006). Este mecanismo de degradação afeta diferentes tipos de óxido de campo, podendo ser observado tanto para processos com oxidação local do silício (*local oxidation of silicon*, ou LOCOS), como para tecnologias com *shallow trench isolation* (STI) (Schwank *et al.*, 2008). A Figura 2.8 ilustra os locais de aprisionamento de cargas nestas duas estruturas.

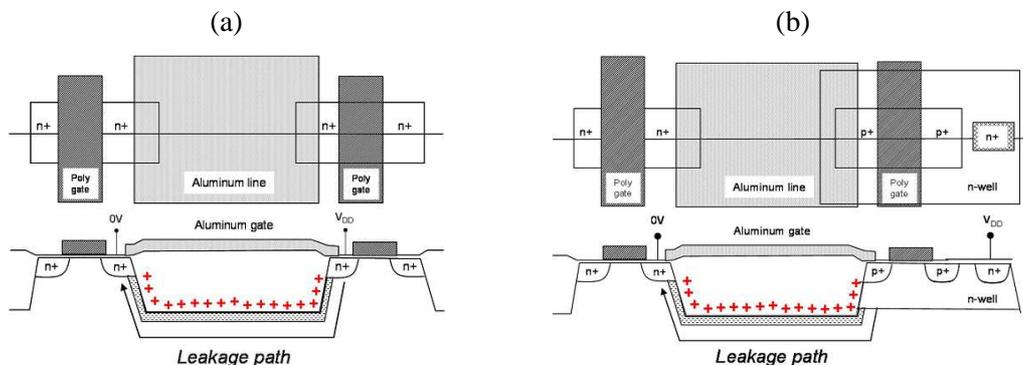
A fuga de corrente entre regiões de um mesmo dispositivo é resultado da formação de transistores parasitas nas bordas laterais das regiões de dreno e fonte. Estes transistores se originam através da inversão da superfície do substrato *p* pelas cargas aprisionadas no óxido de campo, criando caminhos de condução nas periferias da região ativa (Schwank *et al.*, 2008). Em processos com isolamento STI, as cargas responsáveis por essa inversão ficam aprisionadas na parede lateral da trincheira de óxido (*trench oxide*), enquanto para processos com LOCOS, estas se acumulam na região conhecida como bico de pássaro (*bird's beak*).

A fuga de corrente entre dispositivos distintos, por sua vez, pode acontecer de duas maneiras: através da formação de um caminho de condução entre uma região *n+* (dreno ou fonte de um transistor) e um poço *n* adjacente; ou através da formação de um caminho de condução entre regiões *n+* de transistores contíguos (Barnaby, 2006). A Figura 2.9 ilustra estes dois mecanismos de corrente de fuga entre dispositivos.

É importante salientar que o incremento na corrente de fuga de transistores MOS devido à degradação do óxido de campo é um efeito que afeta principalmente transistores de canal *n*, uma vez que as cargas aprisionadas em estruturas dielétricas são predominantemente positivas (Schwank *et al.*, 2008).

Assim como visto no início desta subseção, outro mecanismo que contribui com o aumento da corrente de fuga em dispositivos MOS é a corrente de fuga induzida por

Figura 2.9 – Fuga de corrente entre as regiões de dreno e fonte de diferentes transistores NMOS (a) e fuga de corrente entre o poço n de um transistor PMOS e a região de fonte de um transistor NMOS (b).



Fonte: Barnaby (2006).

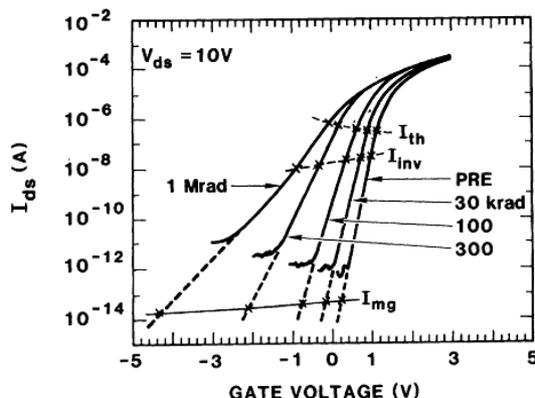
radiação, também designada *radiation-induced leakage current* ou RILC. A RILC é caracterizada pela fuga de corrente entre o substrato e o terminal de porta do transistor devido a um processo de tunelamento inelástico, o qual é mediado por armadilhas neutras no interior do óxido (Ceschia *et al.*, 1998).

Este processo, conhecido como *trap-assisted tunneling*, ocorre em duas etapas. Em um primeiro momento, um portador livre presente no canal do transistor sofre tunelamento para uma armadilha neutra no interior do óxido. Posteriormente, este portador tunela da armadilha para o terminal de porta (Schwank *et al.*, 2008). Por ser baseada no tunelamento de portadores, a RILC é fortemente dependente da espessura de óxido, tendo contribuição mais relevante em óxidos mais finos. Este efeito também se mostra proporcional à dose acumulada (Ceschia *et al.*, 1998).

A última contribuição no aumento da corrente de fuga em dispositivos MOS a ser estudada neste trabalho é a degradação da inclinação de sublimar. A redução deste parâmetro está associada ao aumento – induzido pela radiação – da quantidade de armadilhas na interface entre óxido e semiconductor (Winokur *et al.*, 1984). A Figura 2.10 mostra a curva da corrente de dreno I_D em função da tensão de porta V_G para um transistor NMOS, antes e após a irradiação.

Com o aumento da quantidade de cargas aprisionadas em armadilhas de interface, a inclinação da curva $I_D \times V_G$ – para a região abaixo da tensão limiar – diminui, provocando um incremento significativo na corrente de sublimar, mesmo para pequenos valores de tensão aplicada no terminal de porta. Esse comportamento provoca

Figura 2.10 – Degradação da inclinação de sublimiar de um transistor NMOS devido à radiação ionizante.



Fonte: Winokur *et al.* (1984).

um aumento no consumo de energia e pode conduzir a falhas funcionais, uma vez que para elevada degradação, o dispositivo não poderá mais ser desligado (Schrimpf, 2007).

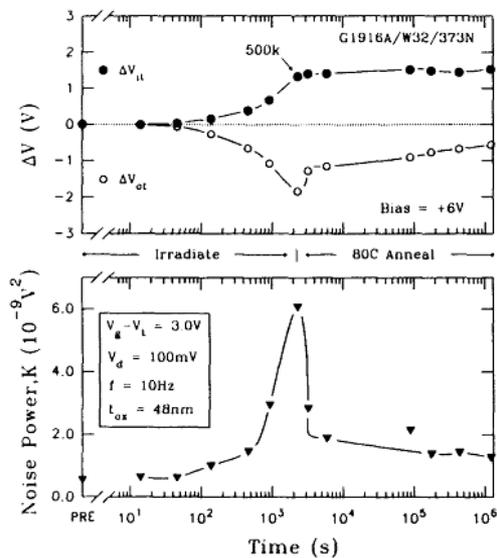
2.1.1.4 Aumento do Ruído $1/f$

A característica de ruído $1/f$ de um dispositivo semiconductor também pode ser afetada pela incidência de radiação ionizante. O ruído $1/f$ – ruído de baixa frequência intrínseco a transistores MOS – é oriundo de um processo de captura e emissão de portadores realizado por defeitos localizados nas proximidades da interface entre óxido e semiconductor (Tsai; Ma, 1992). Este processo de captura e emissão provoca a variação da mobilidade e da quantidade de portadores no canal, resultando em flutuações na corrente do dispositivo (Tsai; Ma, 1992).

O aumento induzido do ruído $1/f$ pela radiação está associado, predominantemente, ao acúmulo de defeitos próximos à interface entre óxido e semiconductor (*border traps*) (Meisenheimer; Fleetwood, 1990). As armadilhas de interface, no entanto, não contribuem de maneira significativa para o aumento do ruído $1/f$ – isso para frequências de até dezenas de kHz (Meisenheimer; Fleetwood, 1990). Isso se deve ao fato de que os tempos de captura e emissão de portadores deste tipo de defeito são bastante pequenos, influenciando o aumento do ruído somente em altas frequências – da ordem de dezenas de MHz (Tsai; Ma, 1992).

A Figura 2.11 mostra a contribuição das cargas aprisionadas no óxido e das cargas de interface no aumento da potência de ruído de um transistor NMOS operando com frequência de 10 Hz. É possível observar que, durante a irradiação, ocorre o

Figura 2.11 – Potência de ruído mensurada para um transistor NMOS concebido em tecnologia de 3 μm durante a irradiação e durante o recozimento.



Fonte: Meisenheimer e Fleetwood (1990).

acúmulo de carga no óxido e na interface, resultando em desvios na tensão de limiar – ΔV_{ot} e ΔV_{it} – e no aumento da potência de ruído. Durante o recozimento, no entanto, apenas as cargas no óxido são recozidas – verificado pela diminuição de ΔV_{ot} . Mesmo assim, é possível observar uma significativa diminuição na potência de ruído.

2.1.2 Efeitos de Dose Total Ionizante em Dispositivos Bipolares

As características elétricas e a operação de dispositivos bipolares também podem ser afetadas pela ação da radiação ionizante. O aprisionamento de cargas nas estruturas dielétricas e a geração de armadilhas na interface entre dielétrico e semiconductor estão entre os principais mecanismos relacionados à degradação de parâmetros elétricos nestes dispositivos (Enlow *et al.*, 1991).

O efeito primário da radiação em estruturas bipolares é a degradação do ganho de corrente (Enlow *et al.*, 1991; Nowlin *et al.*, 1992; Johnston *et al.*, 1994), causada principalmente pela redução dos portadores minoritários na região de base destes dispositivos. Embora aplicações digitais sejam altamente tolerantes a esse tipo de degradação, circuitos analógicos, que operem em um regime severo de ganho, podem apresentar falhas mesmo para valores de dose acumulada bastante baixos (Nowlin *et al.*, 1992).

Outra consequência da exposição de dispositivos bipolares à radiação é o incremento na corrente de fuga, causado principalmente pelo aprisionamento de cargas nas estruturas dielétricas. O aumento desta corrente, que pode ocorrer entre regiões de um mesmo dispositivo ou entre dispositivos distintos, é tido como o principal mecanismo de falha nestes dispositivos (Pease *et al.*, 1983; Nowlin *et al.*, 1992).

Um aspecto típico da resposta de estruturas bipolares à radiação ionizante é a sensibilidade à taxa de dose. Devido a esta característica, é possível um mesmo dispositivo apresentar comportamento diferenciado quando exposto a baixas taxas de dose e quando exposto a taxas mais elevadas (Enlow *et al.*, 1991). Este comportamento e os mecanismos de degradação e falha em estruturas bipolares são os assuntos das próximas subseções.

2.1.2.1 Mecanismos de Degradação

A degradação dos parâmetros elétricos de um dispositivo bipolar quando sujeito à ação de dose total ionizante se dá através de dois mecanismos principais: o aprisionamento de cargas positivas nas estruturas dielétricas e o acúmulo de defeitos na interface entre dielétrico e semicondutor (Snow *et al.*, 1967; Enlow *et al.*, 1991; Johnston *et al.*, 1994). Estes mecanismos são afetados por fatores como polarização do dispositivo, densidade de dopantes na base, tecnologia de emissor e taxa de dose, sendo responsáveis pela ampla maioria dos efeitos de degradação observados (Nowlin *et al.*, 1992).

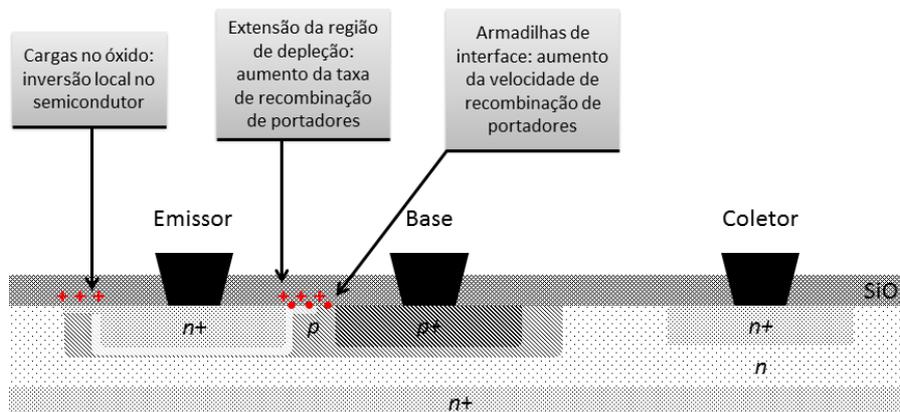
As cargas aprisionadas no óxido que recobre a junção base-emissor correspondem ao mecanismo inicial na degradação dos parâmetros elétricos dos transistores bipolares (Nowlin *et al.*, 1991). Tais cargas provocam a extensão (*spreading*) da região de depleção entre base e emissor do transistor, maximizando a região de recombinação de portadores. Com isso, tem-se um aumento na corrente de recombinação e uma redução na quantidade de portadores minoritários na região da base, impactando negativamente o ganho de corrente do transistor (Nowlin *et al.*, 1992).

Estas cargas também podem provocar uma inversão local no silício, contribuindo para o aumento da corrente de fuga e redução da tensão de ruptura do dispositivo (Johnston; Plaag, 1987). Este efeito de inversão, no entanto, é mais recorrente em transistores NPN do que em transistores PNP, uma vez que a base *p* de

um transistor NPN é muito menos dopada que o emissor p^+ de um transistor PNP, podendo esta sofrer inversão mais facilmente (Johnston *et al.*, 1994).

O acúmulo de defeitos na interface, por sua vez, incrementa a velocidade de recombinação de portadores na superfície (Grove; Fitzgerald, 1966), provocando a redução do ganho de corrente do transistor (Nowlin *et al.*, 1992). No entanto, as armadilhas posicionadas acima de regiões não depletadas não tem influência na degradação do dispositivo, ao passo que as armadilhas posicionadas acima de uma região de depleção funcionam como centros efetivos de recombinação (Nowlin *et al.*, 1992). A Figura 2.12 representa a seção transversal de um transistor bipolar do tipo NPN e sumariza os mecanismos de dose total responsáveis pela degradação dos parâmetros elétricos nestes dispositivos.

Figura 2.12 – Mecanismos de degradação dos parâmetros elétricos de transistores bipolares.

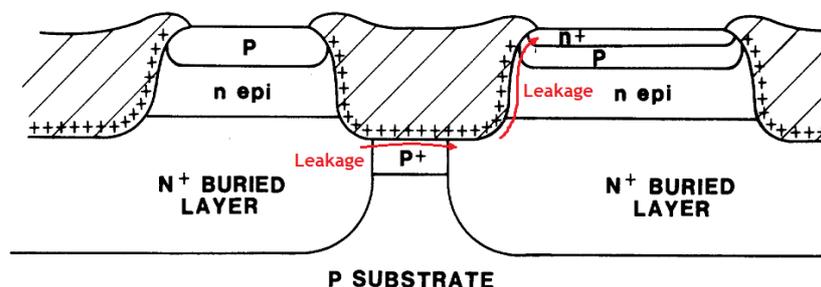


Fonte: O autor.

Além de contribuir na degradação de parâmetros elétricos, os defeitos criados nas estruturas dielétricas de dispositivos bipolares também são responsáveis pelos dois principais mecanismos de falha nessas estruturas. O primeiro destes mecanismos é a fuga de corrente entre dispositivos distintos, enquanto o outro se dá pela fuga de corrente entre regiões de um mesmo dispositivo (Nowlin *et al.*, 1992).

Em tecnologias mais recentes, estes mecanismos atuam principalmente através da barreira dielétrica existente entre as estruturas bipolares. Tal barreira é denominada óxido de recesso (*recessed oxide*) e é composta por uma espessa e profunda camada de dióxido de silício. A Figura 2.13 mostra a seção transversal de um transistor bipolar NPN concebido com essa tecnologia.

Figura 2.13 – Seção transversal de uma estrutura bipolar concebida utilizando óxido de recesso, destacando a fuga de corrente entre regiões de um mesmo dispositivo e entre dispositivos distintos.



Fonte: Pease *et al.* (1983).

O primeiro mecanismo de falha, o qual pode ser observado na Figura 2.13, se dá através da camada $p+$, localizada abaixo do óxido de recesso. Esta camada é utilizada para separar as regiões ativas dos transistores. No entanto, as cargas positivas próximas à interface entre dielétrico e semiconductor, oriundas da incidência de radiação ionizante, provocam a inversão da camada imediatamente abaixo do óxido, estabelecendo um caminho de condução entre dois dispositivos (Pease *et al.*, 1983).

O outro mecanismo responsável por produzir falhas funcionais, também ilustrado na Figura 2.13, é a fuga de corrente entre emissor e coletor de um mesmo dispositivo. As cargas aprisionadas na parede lateral do óxido causam a inversão da base p do transistor, originando um canal de condução entre emissor e coletor (Pease *et al.*, 1983).

A incidência de radiação também pode ocasionar um aumento dos estados de interface na parede lateral do óxido, incrementando a velocidade de recombinação de portadores. Este efeito, no entanto, não chega a ser suficiente para provocar uma falha funcional por si só, mas contribui para a degradação do ganho de corrente do transistor (Pease *et al.*, 1983).

Os efeitos causados pelo aprisionamento de cargas nas estruturas dielétricas se mostram fortemente dependentes dos campos elétricos aplicados (Johnston; Plaag, 1987). Outros fatores que podem prejudicar a resposta destes dispositivos à radiação são a qualidade do óxido (Nowlin *et al.*, 1992), a polarização (Enlow *et al.*, 1991), o aspecto geométrico do transistor (Johnston *et al.*, 1994) e a taxa de dose (Enlow *et al.*, 1991). Nos trabalhos de Enlow *et al.* (1991) e Nowlin *et al.* (1992) é possível verificar também uma resposta à radiação diferenciada para transistores de emissor cristalino e transistores de emissor em poli silício.

2.1.2.2 Sensibilidade à Taxa de Dose

Um aspecto importante da resposta de dispositivos bipolares à radiação é a sensibilidade à taxa de dose. Esta característica foi primeiramente reportada por Enlow *et al.* (1991), o qual observou que transistores bipolares apresentavam maior degradação dos parâmetros quando submetidos a baixas taxas de dose. Desde então, este efeito ficou cunhado na literatura pelo termo *enhanced low dose rate sensitivity*, frequentemente expresso pela sua sigla, ELDRS (Pease, 2003).

Esta sensibilidade está associada à quantidade distinta de armadilhas de interface geradas para diferentes taxas de dose. Conforme abordado na seção 2.1.1, embora não haja um consenso na literatura acerca do processo completo de geração de armadilhas de interface, há uma convergência envolvendo a maioria dos modelos em afirmar que o precursor da criação destes defeitos é a quebra da ligação entre o silício trivalente com o hidrogênio ($\text{Si}\equiv\text{Si}-\text{H}$) (Oldham; Mclean, 2003).

Tal quebra na ligação entre silício e hidrogênio pode ser causada por íons de hidrogênio (H^+), ou “prótons”. Através dessa interação, ocorre a formação de hidrogênio gasoso (H_2), permanecendo o átomo de silício trivalente com uma ligação não completada (*dangling bond*). Tal ligação vacante funciona como um defeito eletricamente ativo (Oldham; Mclean, 2003). Uma análise detalhada deste processo pode ser encontrada no trabalho de Rashkeev *et al.* (2001).

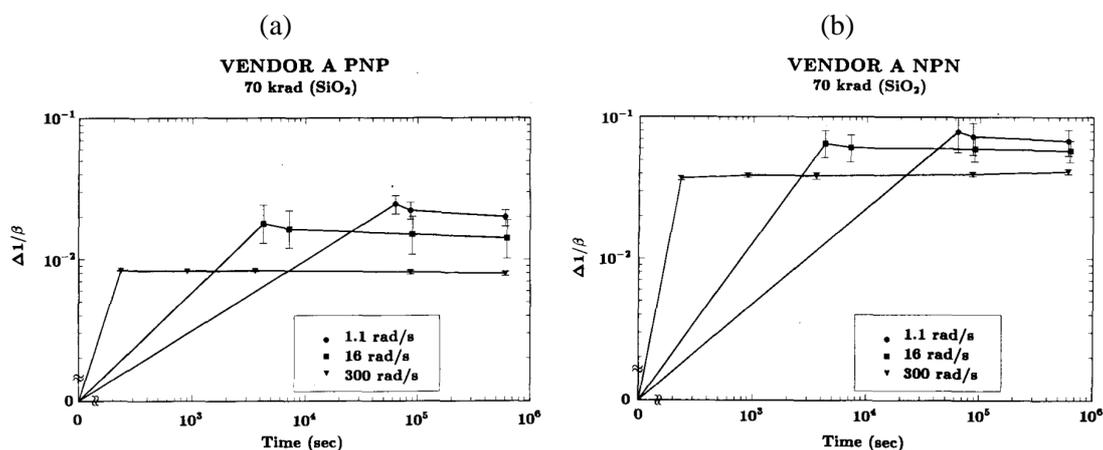
Em resumo, os modelos que se propõem a explicar a ELDRS postulam que, quanto maior for a quantidade de íons de hidrogênio que se estabeleçam na interface entre óxido e semicondutor, maior será o número de defeitos originados nesta região (Rashkeev *et al.*, 2002). O modelo mais aceito para explicar esse fenômeno é conhecido como modelo espacial de carga (*space-charge model*, em inglês) (Fleetwood *et al.*, 1994; Graves *et al.*, 1998; Rashkeev *et al.*, 2002).

Este modelo prevê que, para taxas de doses elevadas, a carga espacial gerada pelas lacunas aprisionadas no óxido funciona como uma barreira eletrostática, a qual retarda ou até impede a migração de íons de hidrogênio para a interface óxido e semicondutor (Rashkeev *et al.*, 2002). Com um número menor de íons na interface, um menor número de ligações silício-hidrogênio são quebradas e menos defeitos são produzidos nessa região (Hjalmarson *et al.*, 2003).

Em taxas de doses baixas, no entanto, a carga espacial gerada é bastante pequena, não sendo capaz de exercer influência no processo migratório destes íons (Hjalmarson *et al.*, 2003), e aproximadamente duas vezes mais armadilhas são criadas (Rashkeev *et al.*, 2002). Desse modo, uma maior degradação dos parâmetros elétricos dos transistores é esperada para taxas de dose menores.

A Figura 2.14 ilustra, indiretamente, a variação do ganho β de transistores bipolares PNP e NPN em função da taxa de dose. O gráfico expressa a magnitude do fator de dano (*damage factor*) $\Delta 1/\beta$ para três diferentes taxas de dose: 1,1 rad/s, 16 rad/s e 300 rad/s. Nota-se que para as taxas de dose mais baixas, o parâmetro $\Delta 1/\beta$ é maior, significando que um menor ganho foi mensurado nessas condições (Enlow *et al.*, 1991).

Figura 2.14 – Variação no ganho β para transistores bipolares do tipo PNP (a) e NPN (b) em relação a taxa de dose.



Fonte: Enlow *et al.* (1991).

2.2 Efeitos Singulares

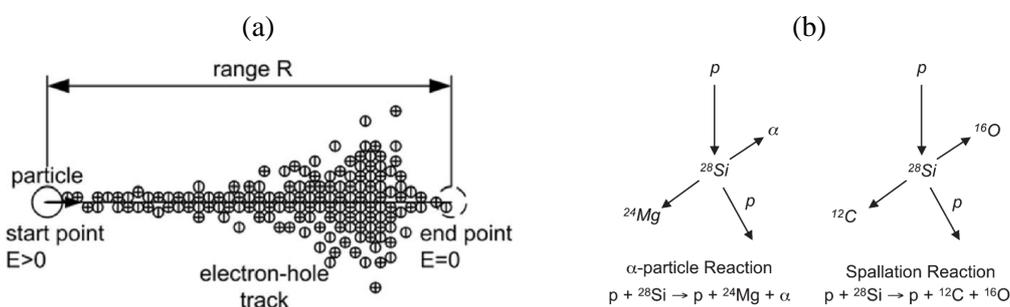
Eventos singulares, também chamados de *single-event effects*, são causados pela incidência de partículas de alta energia (tais como prótons, nêutrons, partículas gama ou íons pesados) em uma região sensível do circuito (Dodd; Massengill, 2003). Tal incidência pode não resultar em efeitos observáveis; entretanto, pode causar perturbações transitórias na operação do circuito, modificar um estado lógico ou até provocar danos permanentes no dispositivo ou circuito (Dodd, 2005).

A colisão de partículas energéticas com o semiconductor provoca a geração de pares elétron-lacuna, através da ionização do material. Esta ionização pode acontecer de forma direta ou de forma indireta (Dodd; Massengill, 2003). Pela forma direta, a criação

dos pares elétron-lacuna é provocada pela própria partícula incidente ao longo de sua trajetória no interior do semicondutor. A quantidade gerada desses pares é diretamente proporcional à energia total perdida pela partícula durante o percurso (Karnik; Hazucha, 2004). Tal energia é designada como *linear energy transfer* (LET) e expressa a quantidade de energia perdida pela partícula por unidade de caminho percorrido em um determinado material. A unidade de medida mais usual para a LET é o $\text{MeV}\cdot\text{cm}^2/\text{mg}$ (Dodd, 2005).

Na forma indireta, a ionização do semicondutor é provocada por partículas secundárias, originadas a partir da colisão inelástica entre a partícula incidente e um núcleo atômico da rede. A partir desta colisão, podem ocorrer reações nucleares e a liberação de partículas alfa e raios gama, bem como a fragmentação de átomos da rede (Dodd, 2005). A Figura 2.15(a) ilustra a geração de pares elétron-lacuna no semicondutor pela incidência de uma partícula ionizante. A Figura 2.15(b), no entanto, mostra a geração das partículas secundárias.

Figura 2.15 – Geração de pares elétron-lacuna (a) e partículas secundárias (b) através da interação entre uma partícula ionizante e o semicondutor.



Fonte: Karnik e Hazucha (2004).

Fonte: Dodd (2005).

O tipo de partícula e sua respectiva energia, a quantidade de carga liberada na colisão e o local de incidência são alguns dos fatores que influenciam no tipo de evento singular que poderá ser provocado pela radiação. Estes eventos singulares podem dar origem a falhas, que podem ser subdivididas em falhas não destrutivas – também denominadas *soft errors*, e falhas destrutivas – também denominadas *hard errors*.

2.2.1 Falhas Não Destrutivas – *Soft Errors*

Soft errors são falhas que não causam dano permanente ao circuito, podendo o funcionamento deste ser recuperado através de um *reset* funcional ou reescrita da

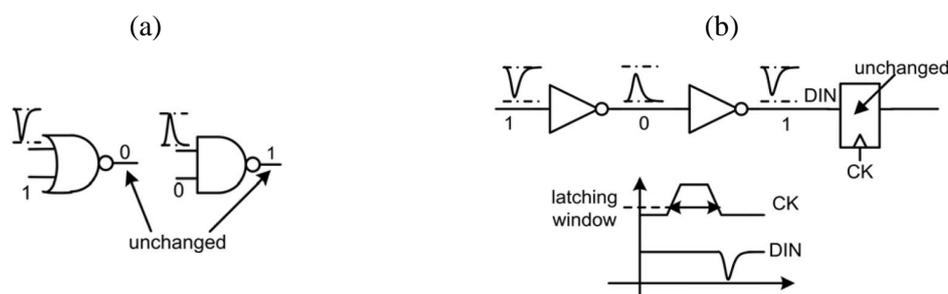
informação. Para mensurar a taxa de ocorrência destas falhas, utiliza-se o *soft error rate* (SER), o qual é, normalmente, expresso em *failure in time* (FIT), onde um FIT corresponde a uma falha em um bilhão de horas (Heijmen, 2011). Falhas não destrutivas podem ser subdivididas em dois tipos principais: *Single-Event Transient* (SET) e *Single-Event Upset* (SEU).

Single-Event Transient (SET) é uma perturbação transiente que afeta lógicas combinacionais. Um SET ocorre quando a quantidade de carga produzida por uma partícula ionizante incidente é suficiente para perturbar um sinal elétrico em uma porta ou bloco combinatório, podendo ou não afetar a sua interpretação. A absorção desta carga dá origem a um pulso transiente, o qual poderá se propagar pelo circuito e resultar numa falha (Gadlage *et al.*, 2004).

A taxa de falha devido a SETs de um circuito é dependente da frequência de *clock*. Quanto maior for essa frequência, maior a probabilidade do circuito capturar uma informação degradada por um transiente (Gadlage *et al.*, 2004). No entanto, a ocorrência de um SET e a sua posterior captura não necessariamente resultam em uma falha. Tais transientes estão sujeitos a um processo de mascaramento e podem nem influenciar no funcionamento do circuito. Tal mascaramento pode ser lógico, temporal ou elétrico.

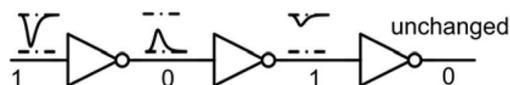
O mascaramento lógico acontece quando o evento transiente ocorre em um caminho lógico que não está influenciando a saída naquele momento. Para que um transiente se propague ao longo do circuito, é necessário que haja um caminho sensibilizado entre o nodo afetado pelo SET e a saída (Karnik; Hazucha, 2004). Quanto ao mascaramento temporal, este acontece quando o evento transiente ocorre em um instante de tempo que esteja fora da janela de captura do circuito (Karnik; Hazucha, 2004). A Figura 2.16 ilustra estes tipos de mascaramento de eventos transientes.

Figura 2.16 – Tipos de mascaramento de SETs: lógico (a) e temporal (b).



Fonte: Karnik e Hazucha (2004).

Figura 2.17 – Tipos de mascaramento de SETs: elétrico.



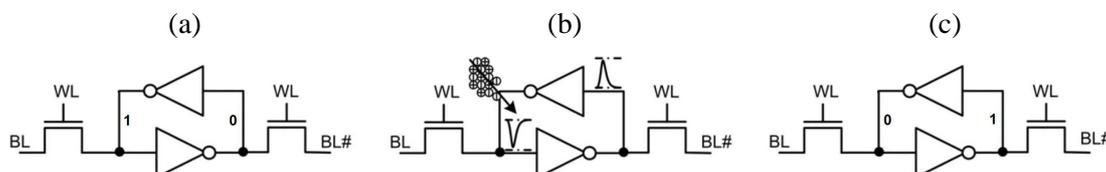
Fonte: Karnik e Hazucha (2004).

O mascaramento elétrico, mostrado na Figura 2.17, acontece quando a perturbação transiente possui largura de banda superior à frequência de corte do circuito (Karnik; Hazucha, 2004). O trabalho de Entrena *et al.* (2009) também relaciona o mascaramento elétrico ao atraso de circuitos digitais, os quais provocam sucessivas atenuações no pulso, podendo causar a sua completa atenuação. Eventos transientes com largura de pulso menor que o atraso de porta não são propagados (Entrena *et al.*, 2009).

Outra categoria de *soft error* é o *Single-Event Upset* (SEU). Um SEU é uma perturbação estática em uma célula de armazenamento de informação, tal como um *latch* ou um registrador, causada pelos portadores gerados a partir da incidência de uma partícula ionizante (Gadlage *et al.*, 2004). Como a perturbação atinge diretamente o nó de armazenamento, a taxa de falha deste tipo de evento é independente da frequência de *clock* do circuito.

Do ponto de vista funcional, se a amplitude da perturbação for superior à margem de ruído da célula de memória, ocorrerá a inversão do conteúdo armazenado (*bit flip*), caracterizando uma falha (Karnik; Hazucha, 2004). A Figura 2.18 ilustra a ocorrência de um *bit flip* em uma célula de memória SRAM de seis transistores.

Figura 2.18 – *Bit flip* em uma célula de memória SRAM induzido por um SEU: valor inicialmente armazenado (a), ocorrência de um SEU (b) e inversão do valor armazenado (c).



Fonte: Karnik e Hazucha (2004).

Com relação à abrangência da perturbação, um SEU ainda pode ser classificado em: *Single-bit Upset* (SBU) – quando a perturbação afeta apenas um *bit* de célula de memória ou *latch*; *Multiple-bit Upset* (MBU) – quando a perturbação afeta mais de um bit na mesma palavra; e *Multiple-cell Upset* (MCU) – quando a perturbação afeta mais de uma célula de memória ou *latch*; sendo SBUs e MBUs os tipos mais comuns (Heijmen, 2011).

Outro tipo de falha não destrutiva que pode ser associado a um SEU ou a um SET é o *Single-Event Functional Interrupt* (SEFI). Este é caracterizado por provocar a perda de funcionalidade temporária de um bloco do circuito em virtude de perturbações em sinais ou células especiais, tais como registradores de controle, sinais de *reset* e sinais de *clock* (Heijmen, 2011).

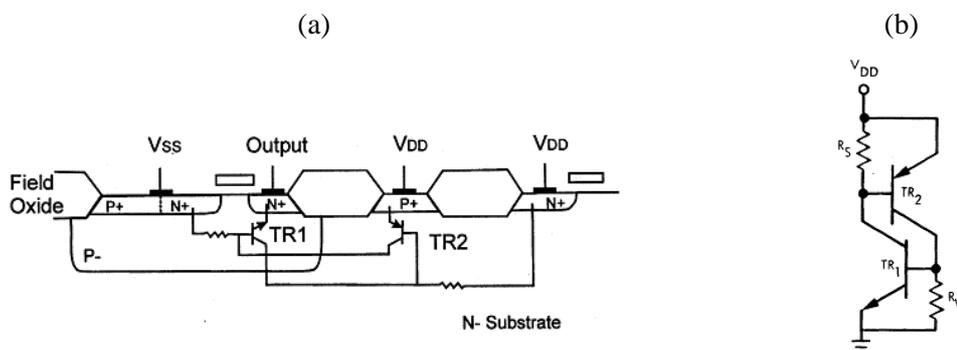
2.2.2 Falhas Destrutivas – *Hard Errors*

Hard errors correspondem ao subgrupo de falhas onde integridade do dispositivo ou circuito é afetada em definitivo, não podendo assim, ser reparadas por *reset* funcional ou reescrita da informação (Heijmen, 2011). As falhas destrutivas podem ser subdivididas em: *Single-Event Latchup* (SEL), *Single-Event Burnout* (SEB), *Single-Event Gate Rupture* (SEGR), *Single-Event Induced Snapback* (SES) e *Single Hard Error* (SHE).

Single-Event Latchup (SEL) é um evento potencialmente catastrófico onde um caminho de baixa impedância se estabelece entre a alimentação e permanece ativo mesmo após a remoção do mecanismo de disparo (Sexton, 2003). Esta falha tem origem na ativação de uma estrutura *p-n-p-n* parasita – inerente à concepção de microcircuitos CMOS – pela radiação ionizante ou por uma partícula energética (Soliman; Nichols, 1983). A Figura 2.19 representa a secção transversal de um microcircuito CMOS, destacando os elementos parasitas responsáveis pelo *latchup* e o seu respectivo equivalente elétrico.

Em condições normais de funcionamento, os transistores parasitas apresentam

Figura 2.19 – Secção transversal de um microcircuito CMOS mostrando a estrutura *p-n-p-n* parasita (a) e seu equivalente elétrico (b).



Fonte: Soliman e Nichols (1983).

uma condição de alta impedância, uma vez que suas respectivas regiões de emissor e base estão curto-circuitadas. No entanto, quando uma excitação externa é aplicada a esta estrutura – transiente elétrico ou radiação –, um dos transistores pode ser forçado à condução e, através de um mecanismo realimentado, ativar o outro transistor parasita, criando uma condição de baixa impedância entre os terminais de alimentação (Bruguier; Palau, 1996).

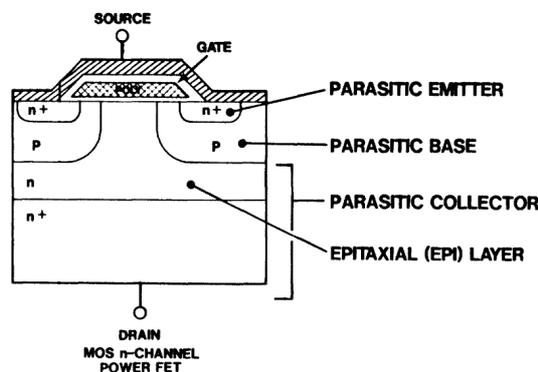
Uma vez ativado, o *latchup* se manterá atuante até que a alimentação seja removida ou o dispositivo destruído. Como as correntes envolvidas nesse tipo de evento são bastante grandes, poderá ocorrer a vaporização de trilhas de metal, assim como o rompimento de ligações intermediárias e a fusão de diferentes regiões do silício devido à alta temperatura (Sexton, 2003).

Uma falha similar ao SEL é o *Single-Event Induced Snapback* (SES). Um SES é um evento característico de transistores NMOS, onde o dispositivo também é danificado por altas correntes parasitas. Essa corrente, no entanto, é oriunda da ativação de um transistor bipolar parasita entre fonte e dreno do dispositivo (Koga; Kolasinski, 1989). Um *snapback* pode ser ativado eletricamente – devido à ruptura por avalanche no terminal de dreno, ou pelo excesso de cargas no corpo do transistor – devido à colisão de uma partícula radioativa (Sexton, 2003). Uma análise detalhada acerca deste tipo de evento pode ser encontrada no trabalho de Ochoa *et al.* (1983).

Single-Event Burnout (SEB) é uma falha térmica destrutiva normalmente observada em estruturas semicondutoras de quatro camadas (*four-layer structures*), como transistores bipolares e MOSFETs de potência (Sexton, 2003). Tal falha tem origem na ativação indesejada de um transistor bipolar parasita – mostrado na Figura 2.20 –, o qual é intrínseco à concepção destes dispositivos. Em MOSFETs, um SEB pode ocorrer quando a carga depositada por uma partícula energética incidente nas adjacências da estrutura parasita é suficiente para polarizar diretamente a sua junção base-emissor (Normand, 1996).

A polarização direta desta junção induz um fluxo de corrente entre emissor e coletor do transistor parasita. Este processo é regenerativo e conduz o dispositivo a uma região de segunda ruptura (*second breakdown*), a qual é caracterizada pela diminuição repentina da capacidade de bloqueio de tensão do transistor (*blocking voltage capability*), aliado a um incontrolável aumento na corrente (Titus, 2013). A tensão de dreno do dispositivo principal diminui de maneira forçada e a corrente parasita atinge o

Figura 2.20 – Seção transversal de um transistor MOSFET de potência. Em destaque, as regiões do transistor bipolar parasita.



Fonte: Fischer (1987).

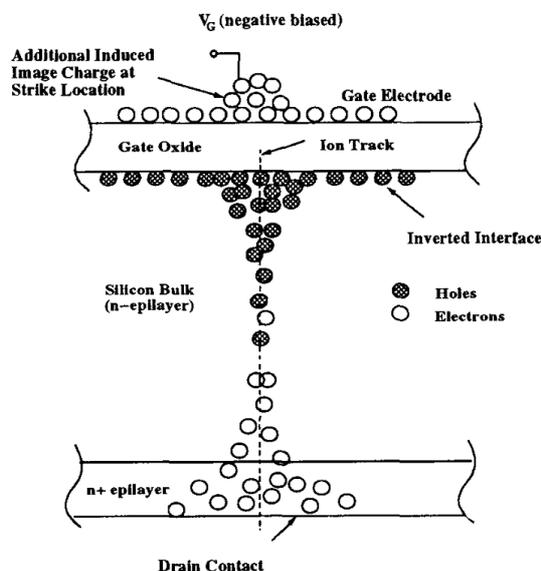
seu valor máximo. Como consequência, tem-se excessiva dissipação local de potência, culminando com a destruição do dispositivo por superaquecimento (Hohl; Galloway, 1987).

Outro tipo de falha destrutiva que pode ser observada em MOSFETs de potência, podendo ocorrer de forma simultânea a um SEB, é o *Single-Event Gate Rupture* (SEGR). Um SEGR é caracterizado pela falha de isolamento entre o terminal de porta e o a região de dreno do transistor. Tal falha é causada pela ruptura dielétrica do óxido de porta, forçada pelo aumento do campo elétrico através deste dielétrico (Brews *et al.*, 1993).

Quando uma partícula energética atinge o dispositivo na região de porta, um denso filamento de pares elétron-lacuna é gerado ao longo do caminho percorrido. Para um transistor NMOS com polarização positiva no terminal de dreno e negativa no terminal de porta, por exemplo, as lacunas geradas são atraídas em direção ao terminal de porta, enquanto os elétrons são atraídos para o terminal de dreno, assim como mostrado na Figura 2.21. Como consequência deste acúmulo de carga, surge no terminal de porta uma carga induzida, provocando um incremento temporário no campo elétrico através do óxido (Allenspach *et al.*, 1994).

Se esse campo elétrico transiente ultrapassar o valor do campo elétrico crítico, ocorrerá a ruptura dielétrica do óxido de porta, e uma corrente de descarga se estabelecerá através do dielétrico, causando um superaquecimento local. Dependendo da intensidade e da duração desta corrente, o terminal de porta e a região de dreno poderão ser curto-circuitadas de forma permanente, caracterizando um SEGR (Allenspach *et al.*, 1994).

Figura 2.21 – Ilustração da acumulação de cargas nas imediações do terminal de porta de um MOSFET de potência devido à incidência de uma partícula energética.



Fonte: Allenspach *et al.* (1994).

A última categoria de falha destrutiva a ser abordada neste trabalho é o *Single-Hard Error* (SHE). Por vezes referida na literatura como um evento não destrutivo (Duzellier; Berger, 2007), este tipo de falha pode provocar danos irreversíveis em células de memórias (Dufour *et al.*, 1992). Um SHE é caracterizado pela expressiva deposição de cargas elétricas no óxido de porta de um transistor, devido à colisão de uma partícula energética. Em SRAMs, este mecanismo, que muito se assemelha aos efeitos de dose total, pode provocar a alteração dos parâmetros elétricos de um dispositivo de armazenamento de forma definitiva, não sendo possível recuperar tal posição de memória (Dufour *et al.*, 1992).

2.3 Danos por Deslocamento

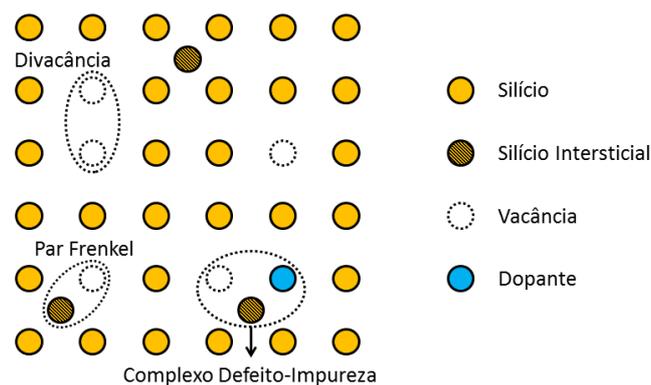
Os danos por deslocamento (*displacement damage*) são resultado da interação entre partículas incidentes e núcleos atômicos da rede cristalina do semiconductor, deslocando-os de sua posição original (Virmonois *et al.*, 2010). Este deslocamento atômico produz defeitos na estrutura do material, dando origem a vacâncias e intersticiais. As vacâncias são posições atômicas que ficam desocupadas na rede cristalina, enquanto intersticiais são átomos deslocados de sua posição original e alojados entre outros átomos da rede (Srouf; Palko, 2013). A combinação de uma

vacância com um intersticial adjacente é conhecida como par Frenkel (*Frenkel pair*) (Srouf *et al.*, 2003).

Em virtude do pequeno espaçamento entre vacância e intersticial logo após a geração, a probabilidade de recombinação é bastante alta. Por esse motivo, restam no material aproximadamente 5% apenas dos pares Frenkel inicialmente gerados (Messenger, 1991). As vacâncias e intersticiais que não sofreram recombinação se movimentam pela estrutura do material através de um processo de difusão, onde há a tendência de formarem defeitos estáveis (Virmondois *et al.*, 2010). No entanto, é possível visualizar nesta etapa um breve recozimento do dispositivo, uma vez que a taxa de recombinação durante a difusão é baixa, porém não nula (Messenger, 1991).

Estes defeitos estáveis podem ser as divacâncias (*divacancies*) ou os complexos defeito-impureza (*defect-impurity complexes*) (Messenger, 1991). Divacâncias são defeitos na rede causados por duas vacâncias adjacentes. Entretanto, defeitos causados por grandes agrupamentos de vacâncias também podem ocorrer (Srouf *et al.*, 2003). Os complexos defeito-impureza ocorrem quando uma vacância e um intersticial se estabelecem nas adjacências de um átomo dopante na rede (Srouf *et al.*, 2003). A Figura 2.22 ilustra a rede cristalina de um substrato semiconductor contendo os defeitos típicos de danos por deslocamento.

Figura 2.22 – Representação da rede cristalina de um material semiconductor contendo defeitos típicos originados de danos por deslocamento.



Fonte: O autor.

Em relação aos efeitos no dispositivo, os intersticiais formam defeitos eletricamente estáveis, que não contribuem para a degradação das características elétricas do material. Por outro lado, as vacâncias se tornam centros efetivos de recombinação e aprisionamento de portadores. As divacâncias e os complexos defeito-impureza também funcionam como centros de recombinação e aprisionamento,

impactando principalmente na mobilidade, densidade de portadores e tempo de vida dos portadores minoritários (Messenger, 1991).

Em resumo, os defeitos induzidos pela radiação na periodicidade da rede cristalina do semicondutor produzem níveis energéticos no interior da banda proibida do material, degradando as suas características elétricas e óticas (Srouf *et al.*, 2003). Dentre os efeitos gerados por esses níveis intermediários de energia, pode-se citar: aumento da geração térmica de pares elétron-lacuna; aumento da recombinação de pares elétron-lacuna; aumento do aprisionamento temporário de portadores de carga; redução da concentração de portadores majoritários; tunelamento de portadores; e a criação de centros de espalhamento (Srouf *et al.*, 2003; Srouf; Palko, 2013).

Especificamente em transistores bipolares, a redução do tempo de vida dos portadores minoritários implica no aumento de duas componentes da corrente de base do transistor: a corrente de recombinação na região de depleção entre emissor e base; e a corrente de recombinação na região de base neutra (Schrimpf, 2007). Tais aumentos impactam negativamente no ganho do dispositivo.

Convém salientar que os danos no substrato são normalmente ignorados em ensaios de dose total para dispositivos bipolares cuja espessura da base seja menor que 1 μm , uma vez que nestes casos, os efeitos na superfície do semicondutor correspondem aos mecanismos de degradação predominantes (Johnston; Plaag, 1987; Enlow *et al.*, 1991).

Além disso, o limiar de energia para uma partícula conseguir provocar dano na estrutura cristalina do substrato é 125 keV (Poch; Holmes-Siedle, 1968). Abaixo deste limiar, o dano é desprezível. A partir de 125 keV até 145 keV, uma quantidade moderada de defeitos pode ser observada (Loferski; Rappaport, 1958), aumentando abruptamente para energias acima deste valor (Johnston; Plaag, 1987).

3 CIRCUITOS DE REFERÊNCIA DE TENSÃO

Referências de tensão são circuitos eletrônicos projetados para, dentro de certos limites, fornecer um valor de tensão de referência bastante estável ao longo do tempo. O termo “referência” é usado para distinguir estes circuitos de simples fontes de tensão, as quais fornecem um valor de tensão com menor exatidão e menor estabilidade. Referências de tensão são blocos construtivos largamente empregados em conversores A/D e D/A, PLLs e reguladores de tensão (Kok; Tam, 2013).

A tensão de referência oriunda destes circuitos deve ser imune a variações na tensão de alimentação, bem como, apresentar um comportamento bem definido em relação à temperatura (Razavi, 2001). Além disso, fatores como impedância de saída, ruído e não idealidades inseridas pelo processo de fabricação também representam parâmetros críticos a serem observados (Razavi, 2001). Atualmente, devido ao aumento da demanda por dispositivos portáteis, pode-se incluir o baixo consumo de energia e a operação em tensões ultra baixas como restrições adicionais ao projeto destes circuitos (Ker *et al.*, 2004).

Diversas são as topologias utilizadas para se gerar uma tensão de referência. No entanto, pode-se separá-las em dois grupos principais, baseado no tipo de compensação de temperatura que cada circuito utiliza: referências de tensão com compensação de temperatura baseada nas propriedades térmicas de dispositivos bipolares; e referências de tensão com compensação em temperatura baseada nas propriedades térmicas de dispositivos MOS (Kok; Tam, 2013).

A compensação de temperatura utilizando dispositivos bipolares é largamente explorada desde a concepção das primeiras referências de tensão *bandgap* (Widlar, 1970) até topologias mais atuais (Banba *et al.*, 1999). No entanto, muitos dos processos modernos não mais dispõem deste tipo de componente, necessitando-se da utilização de estruturas bipolares parasitas – inerentes à concepção de transistores MOS – para realização desta tarefa (Kok; Tam, 2013). Contudo, esta alternativa pode comprometer o desempenho do circuito, uma vez que dispositivos parasitas nem sempre estão parametricamente bem caracterizados em alguns processos CMOS (Dai *et al.*, 2004).

Através de estudos recentes (Liu, 2001), foi possível caracterizar efetivamente o comportamento térmico dos principais parâmetros de transistores MOS (Kok; Tam, 2013). Isso possibilitou a utilização destes dispositivos para realizar a compensação de

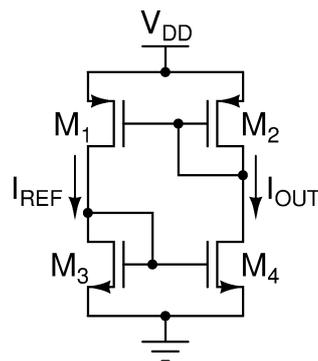
temperatura, propiciando a concepção de referências de tensão “puramente CMOS” com desempenho comparável a topologias *bandgap* atuais (Dai *et al.*, 2004).

Este capítulo está dividido em dois subcapítulos: o subcapítulo 3.1 aborda as principais técnicas empregadas para se obter circuitos com baixa sensibilidade à tensão de alimentação; e o subcapítulo 3.2 faz um apanhado acerca dos principais métodos para realizar a compensação de temperatura – utilizando tanto dispositivos bipolares, quanto dispositivos MOS –, além de circuitos de referências de tensão típicos para cada técnica de compensação.

3.1 Polarização Independente da Tensão de Alimentação

Um dos requisitos para a geração de uma tensão de referência é que esta não apresente – ou apresente o mínimo possível – de dependência da tensão de alimentação dentro de determinados limites (Razavi, 2001). Para que esta dependência seja nula, faz-se necessário a utilização de uma estratégia para garantir que as correntes de polarização se mantenham constantes mesmo com flutuações na tensão de alimentação. Um subcircuito largamente empregado para realizar esta tarefa é o espelho de corrente mostrado na Figura 3.1.

Figura 3.1 – Circuito típico utilizado para obtenção de correntes independentes da tensão de alimentação.



Fonte: Razavi (2001).

Nesta topologia, os transistores M_1 e M_4 atuam como fontes de corrente, uma vez que estão com a tensão entre porta e fonte destes é mantida constante, e alimentam os transistores M_2 e M_3 , respectivamente, que estão conectados como diodos. Esta característica de funcionamento introduz ao circuito uma baixa sensibilidade à tensão de alimentação (Razavi, 2001). Além disso, este circuito é dito auto polarizado (*self-*

biased), uma vez que não depende de nenhuma tensão de polarização externa (Lee, 2004).

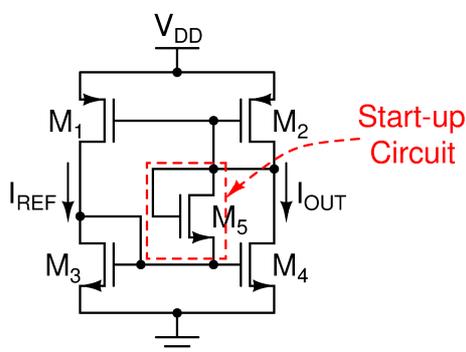
Considerando que os transistores M_1 à M_4 estejam operando na região de saturação e negligenciando os efeitos de modulação do comprimento de canal (*channel-length modulation*), pode-se dizer que a corrente de saída I_{OUT} é um múltiplo da corrente de referência I_{REF} , assim como mostrado na Equação 3.1, onde S_P e S_N são as razões de aspecto dos transistores PMOS e NMOS, respectivamente.

$$I_{OUT} = \frac{S_P}{S_N} \cdot I_{REF} \quad (3.1)$$

Quando a alimentação destes circuitos é ligada, no entanto, duas situações principais de funcionamento podem acontecer: o espelho de corrente produz sua corrente nominal; ou o espelho de corrente não produzirá nenhuma corrente (Razavi, 2001). Este problema é característico de circuitos auto polarizados, uma vez que as correntes são dependentes entre si e ambos os ramos do circuito podem suportar uma corrente igual à zero (Lee, 2004), como pode ser observado matematicamente na Equação 3.1.

Desse modo – para garantir a confiabilidade da operação destes circuitos –, faz-se necessário o uso de um circuito de partida (*start-up circuit*), evitando assim que o espelho de corrente opere em uma situação metaestável indesejada (Lee, 2004). A Figura 3.2 mostra o mesmo circuito da Figura 3.1, porém com o acréscimo de um transistor M_5 para garantir o funcionamento do circuito na região de operação desejada.

Figura 3.2 – Circuito típico utilizado para obtenção de correntes independentes da tensão de alimentação acrescido do mecanismo de partida



Fonte: Razavi (2001).

Outra alternativa para melhorar o desempenho de espelhos de corrente é a utilização de transistores em cascata (*pares cascode*), aumentando assim a resistência de

saída deste subcircuito (Allen; Holberg, 2002). A utilização de pares *cascode* também contribui para minimizar os efeitos de modulação de comprimento de canal e das tensões de Early, resultando em menor sensibilidade a flutuações na tensão de alimentação (Rincon-Mora, 2001).

3.2 Técnicas de Compensação de Temperatura

Além apresentar uma tensão de saída independente da tensão de alimentação, referências de tensão devem ser capazes também de prover um valor de referência invariante com a temperatura. Para garantir esta independência, tais circuitos utilizam tensões variantes com a temperatura, no entanto, com coeficientes térmicos opostos. Através da soma ponderada de uma tensão com coeficiente térmico positivo (*Proportional To Absolute Temperature* ou PTAT) com outra contendo coeficiente térmico negativo (*Complementary To Absolute Temperature* ou CTAT), é possível compensar os efeitos da temperatura e obter uma tensão de referência com coeficiente térmico nulo (Razavi, 2001).

Estas tensões variantes com a temperatura podem ser obtidas explorando as características térmicas de dispositivos bipolares ou também de dispositivos MOS (Kok; Tam, 2013). As seções seguintes farão uma abordagem das técnicas de compensação de temperatura utilizando dispositivos bipolares – através da tensão base-emissor V_{BE} e a tensão base-emissor diferencial ΔV_{BE} , e utilizando dispositivos MOS – através da tensão porta-fonte V_{GS} , da tensão de limiar V_{TH} , e da tensão porta-fonte diferencial ΔV_{GS} .

3.2.1 Compensação de Temperatura Utilizando Dispositivos Bipolares

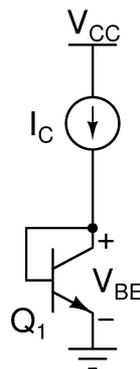
A compensação de temperatura utilizando dispositivos bipolares foi a primeira técnica utilizada para a concepção de referências de tensão (Hilbiber, 1964). A geração das tensões térmicas com coeficientes opostos emprega diodos ou transistores bipolares diretamente polarizados, uma vez que o comportamento destas estruturas em relação à temperatura é bem conhecido. Para a geração da tensão complementar à temperatura, utiliza-se tipicamente a tensão base-emissor V_{BE} de um transistor bipolar, enquanto que

para a geração da tensão proporcional à temperatura, utiliza-se a diferença entre estas tensões de dois dispositivos operando com diferentes densidades de corrente.

3.2.1.1 Geração da Tensão CTAT

A geração de uma tensão com coeficiente térmico negativo pode ser obtida através da utilização das propriedades térmicas da junção *pn*. Tais propriedades estão bem caracterizadas na literatura (Tsvividis, 1980), apontando que tanto a tensão base-emissor de um transistor bipolar, como a tensão direta de um diodo de junção *pn*, diminuem com o aumento da temperatura (Razavi, 2001). A Figura 3.3 mostra um circuito típico para a obtenção da tensão base-emissor de um transistor bipolar NPN.

Figura 3.3 – Circuito típico para obtenção da tensão base-emissor utilizando um transistor NPN.



Fonte: Kok e Tam (2013).

De maneira simplificada, a tensão base-emissor V_{BE} de um transistor bipolar em função da temperatura pode ser expressa pela Equação 3.2, onde T é a temperatura; T_0 é a temperatura de referência; V_{G0} é a tensão da banda proibida do silício no zero absoluto ($\sim 1,2$ V); ρ é parâmetro de processo, que em tecnologias atuais é próximo de 2; θ é o fator de dependência da corrente de coletor com a temperatura; e U_T é a tensão térmica (Kok; Tam, 2013).

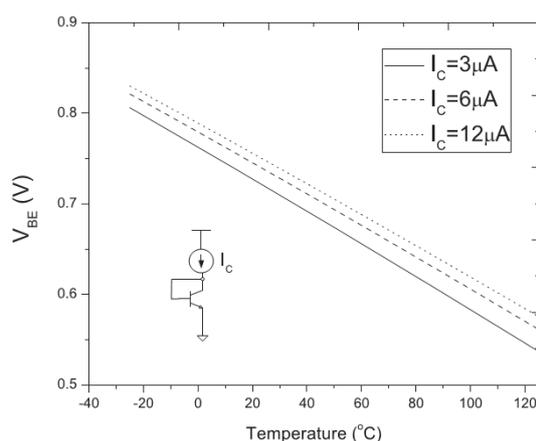
$$V_{BE}(T) = V_{G0} \cdot \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \cdot \frac{T}{T_0} - (\rho - \theta) \cdot U_T \cdot \ln\left(\frac{T}{T_0}\right) \quad (3.2)$$

A tensão térmica U_T , por sua vez, é expressa pela Equação 3.3, onde k_B corresponde à constante de Boltzman; q corresponde a carga do elétron; e T é a temperatura. Para uma temperatura de referência de 300 K, o valor de U_T fica próximo de 26 mV (Kok; Tam, 2013).

$$U_T = \frac{k_B T}{q} \quad (3.3)$$

Para uma temperatura de referência de 300 K, a tensão V_{BE} apresenta um valor em torno de 0,73 V, dependendo de alguns parâmetros de processo (Kok; Tam, 2013). Além disso, pode-se notar que V_{BE} não apresenta comportamento linear com a temperatura, e esta não linearidade impacta também na deriva térmica de V_{BE} (Razavi, 2001). Para uma temperatura de referência de 300 K, no entanto, esta deriva de V_{BE} com a temperatura é de, aproximadamente, $-1,73 \text{ mV}/^\circ\text{C}$. A Figura 3.4 mostra a tensão base-emissor de um transistor bipolar NPN para diversos valores de corrente de coletor em função da temperatura, onde é possível observar a característica complementar à temperatura desta grandeza.

Figura 3.4 – Tensão base-emissor de um transistor NPN para diversos valores de corrente de coletor em função da temperatura.



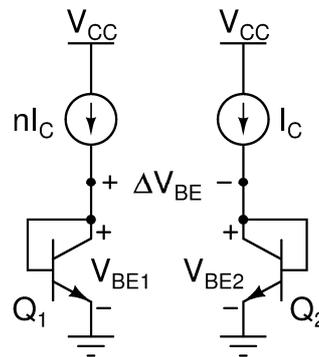
Fonte: Kok e Tam (2013).

3.2.1.2 Geração da Tensão PTAT

Dispositivos bipolares também podem ser usados para geração de uma tensão com coeficiente térmico positivo. Sabe-se que transistores bipolares operando com diferentes densidades de corrente produzem uma diferença entre as suas tensões de base-emissor que é proporcional à temperatura (Widlar, 1970). Um circuito típico utilizado para a obtenção desta tensão diferencial é mostrado na Figura 3.5.

A tensão base-emissor diferencial ΔV_{BE} entre os transistores Q_1 e Q_2 pode ser expressa de acordo com a Equação 3.4, onde V_{BE1} e V_{BE2} correspondem as tensões base-emissor destes transistores, respectivamente.

Figura 3.5 – Circuito típico para a obtenção da tensão base-emissor diferencial através de transistores NPN.



Fonte: Kok e Tam (2013).

$$\Delta V_{BE} = V_{BE1} - V_{BE2} \quad (3.4)$$

Segundo Razavi (2001), negligenciando as correntes de base dos transistores e assumindo que os dispositivos são idênticos, a Equação 3.4 pode ser reescrita como a Equação 3.5, onde I_C é a corrente que percorre os transistores; I_S é a corrente de saturação destes transistores; e U_T é a tensão térmica.

$$\Delta V_{BE} = U_T \ln\left(\frac{nI_C}{I_S}\right) - U_T \ln\left(\frac{I_C}{I_S}\right) \quad (3.5)$$

Manipulando a Equação 3.5 é possível reescrevê-la como a Equação 3.6, onde n é o fator de proporcionalidade entre as correntes dos transistores Q_1 e Q_2 . A partir desta equação é possível observar a característica proporcional à temperatura da tensão ΔV_{BE} através da dependência direta com a tensão térmica. Como n está também relacionado à densidade de corrente no transistor, em outras abordagens este fator pode significar a razão entre as áreas de emissor de dois dispositivos percorridos pela mesma corrente (Kok; Tam, 2013).

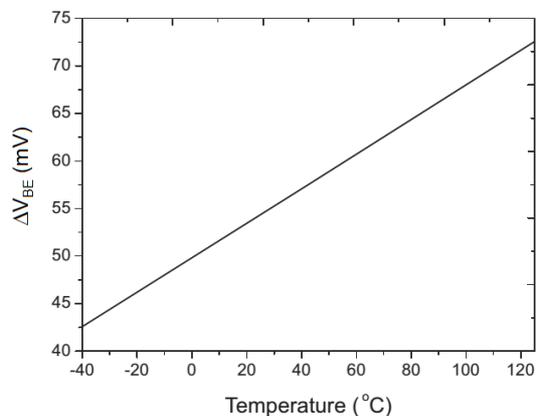
$$\Delta V_{BE} = U_T \ln n \quad (3.6)$$

A deriva térmica da tensão ΔV_{BE} é mostrada na Equação 3.7, cujo valor, para uma temperatura de referência de 300 K, é próximo de +0,09 mV/°C. Pode-se observar também que, matematicamente, a variação de ΔV_{BE} com a temperatura é constante. Na prática, contudo, algumas não idealidades nas características dos transistores bipolares inserem uma pequena dependência com a temperatura nesse fator (Razavi, 2001).

$$\frac{\partial \Delta V_{BE}(T)}{\partial T} = \frac{k_B}{q} \ln n \quad (3.7)$$

A Figura 3.6 mostra a característica térmica da tensão base-emissor diferencial para transistores NPN com relação entre correntes de coletor n igual a oito.

Figura 3.6 – Característica térmica observada na tensão base-emissor diferencial para transistores NPN com relação $n = 8$.



Fonte: Kok e Tam (2013).

3.2.1.3 Referência de Tensão Bandgap

Uma referência de tensão *bandgap* consiste na topologia mais difundida para a geração de uma tensão de referência. Tal topologia é denominada “*bandgap*” pois a tensão de saída deste circuito é de aproximadamente 1,2 V, tensão esta que corresponde a banda proibida (*bandgap*) do silício extrapolado para o zero absoluto (Kok; Tam, 2013). O princípio de funcionamento deste circuito foi proposto inicialmente no trabalho de Hilbiber (1964), no entanto, muitas das topologias *bandgap* que se conhece hoje foram desenvolvidas com base no trabalho de Brokaw (1974) (Johns; Martin, 1997).

A geração de uma tensão de referência por um circuito *bandgap* utiliza a soma ponderada de duas tensões variantes com a temperatura – uma tensão com coeficiente térmico negativo (V_{CTAT}) e outra tensão com coeficiente térmico positivo (V_{PTAT}) – a fim de produzir uma saída invariante com a temperatura. A Equação 3.8 apresenta a relação expressa por esse conceito.

$$V_{REF}(T) = \alpha_1 V_{CTAT}(T) + \alpha_2 V_{PTAT}(T) \quad (3.8)$$

$$\frac{\partial V_{REF}(T)}{\partial T} = \alpha_1 \frac{\partial V_{CTAT}(T)}{\partial T} + \alpha_2 \frac{\partial V_{PTAT}(T)}{\partial T} = 0 \quad (3.9)$$

O coeficiente térmico da tensão de referência $\partial V_{REF}(T)/\partial T$ é mostrado na Equação 3.9. Uma vez que $\partial V_{PTAT}(T)/\partial T$ tem valor positivo e $\partial V_{CTAT}(T)/\partial T$ tem valor negativo, é possível observar que através da correta escolha de α_1 e α_2 , pode-se gerar uma tensão de referência com coeficiente térmico nulo. Nas topologias *bandgap*, utiliza-se como tensão CTAT, a tensão de base-emissor de um transistor bipolar, enquanto que para a tensão PTAT, utiliza-se a tensão base-emissor diferencial (Razavi, 2001).

Desse modo, pode-se modificar a Equação 3.8, substituindo a tensão V_{CTAT} por V_{BE} e a tensão V_{PTAT} por ΔV_{BE} , e reescrever a tensão de referência V_{REF} pela Equação 3.10.

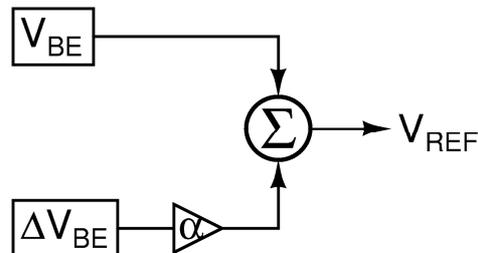
$$V_{REF}(T) = \alpha_1 V_{BE}(T) + \alpha_2 \Delta V_{BE}(T) \quad (3.10)$$

Uma vez que o coeficiente térmico de V_{BE} é maior que o coeficiente térmico de ΔV_{BE} , pode-se adotar $\alpha_1 = 1$, e substituir α_2 por somente α . Expandindo o termo ΔV_{BE} , a Equação 3.10 pode então ser reescrita pela Equação 3.11.

$$V_{REF}(T) = V_{BE}(T) + \alpha \cdot \ln n \cdot U_T(T) \quad (3.11)$$

Assim, o conceito de geração da tensão de referência por uma topologia pode ser ilustrado pela Figura 3.7.

Figura 3.7 – Conceito de funcionamento de uma referência de tensão bandgap.



Fonte: Allen e Holberg (2002).

Com base na Equação 3.11, pode-se calcular os valores adequados para $\alpha \cdot \ln n$, de modo que, para a temperatura de referência, o coeficiente térmico da tensão V_{REF} seja nulo. Como visto na subseção 3.2.1.1, para uma temperatura de 300 K, a tensão V_{BE} apresenta deriva térmica de $-1,73 \text{ mV}/^\circ\text{C}$, enquanto o termo U_T , visto na subseção 3.2.1.2, apresenta deriva de $+0,09 \text{ mV}/^\circ\text{C}$ para a mesma temperatura.

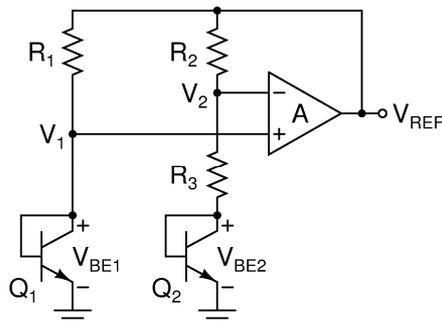
Para que V_{REF} apresente um coeficiente térmico nulo, o fator de deriva térmica negativa deverá cancelar o fator de deriva térmica positiva, logo:

$$0 \text{ mV}/^\circ\text{C} = -1,73 \text{ mV}/^\circ\text{C} + \alpha \cdot \ln n \cdot 0,09 \text{ mV}/^\circ\text{C} \quad (3.12)$$

$$\alpha \cdot \ln n \approx 19,2 \quad (3.13)$$

Um circuito que pode ser utilizado para implementar o conceito expresso pela Equação 3.11 – utilizando a relação expressa na Equação 3.13 – é mostrado na Figura 3.8.

Figura 3.8 – Referência de tensão *bandgap* utilizando um amplificador operacional.



Fonte: Razavi (2001).

Tal circuito utiliza um amplificador operacional para manter as tensões V_1 e V_2 iguais, fazendo surgir sobre o resistor R_3 , uma tensão igual à $V_{BE1} - V_{BE2}$. Assim, a corrente que circula pelos resistores R_2 e R_3 é dada pela Equação 3.14.

$$I_{R2} = I_{R3} = \frac{V_{BE1} - V_{BE2}}{R_3} = \frac{\Delta V_{BE}}{R_3} \quad (3.14)$$

Desse modo, a tensão de referência deste circuito pode ser expressa pela Equação 3.15 e reescrita pela Equação 3.16.

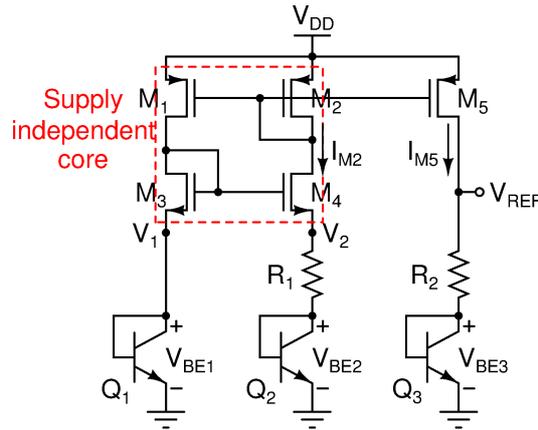
$$V_{REF} = V_{BE2} + \frac{\Delta V_{BE}}{R_3} (R_2 + R_3) \quad (3.15)$$

$$V_{REF} = V_{BE2} + \left(1 + \frac{R_2}{R_3}\right) \cdot \ln n \cdot U_T \quad (3.16)$$

Por fim, através do dimensionamento dos resistores R_2 e R_3 e da razão n entre as áreas de emissor dos transistores, é possível obter o valor calculado na Equação 3.13 e conseqüentemente, uma tensão de referência com dependência nula da temperatura.

Outra alternativa de geração de uma tensão de referência através de circuitos *bandgap* sugerida por Razavi (2001) é mostrada na Figura 3.9. No entanto, ao invés de utilizar um amplificador operacional, esta utiliza um espelho de corrente para manter as tensões V_1 e V_2 iguais, além de eliminar a dependência da tensão de alimentação.

Figura 3.9 – Referência de tensão *bandgap* utilizando espelho de corrente.



Fonte: Razavi (2001).

Uma vez que as tensões V_1 e V_2 são iguais, a corrente I_{M2} que percorre o resistor R_1 pode ser expressa pela Equação 3.17.

$$I_{M2} = \frac{V_{BE1} - V_{BE2}}{R_1} = \frac{\Delta V_{BE}}{R_1} \quad (3.17)$$

A corrente I_{M2} pode ser replicada para o ramo de saída através do transistor M_5 , porém mantendo a dependência positiva da temperatura através de ΔV_{BE} , assim como expresso na Equação 3.18, onde S_{M2} e S_{M5} representam a razão de aspecto dos transistores M_2 e M_5 , respectivamente.

$$I_{M5} = \left(\frac{S_{M5}}{S_{M2}} \right) \cdot \frac{\Delta V_{BE}}{R_1} \quad (3.18)$$

A tensão de referência V_{REF} pode então ser expressa pela Equação 3.19, e reescrita pela Equação 3.20, onde se pode observar as componentes CTAT (V_{BE}) e PTAT (U_T).

$$V_{REF} = V_{BE3} + I_{M5} \cdot R_2 \quad (3.19)$$

$$V_{REF} = V_{BE3} + \left(\frac{S_{M5}}{S_{M2}} \right) \cdot \left(\frac{R_2}{R_1} \right) \cdot \ln n \cdot U_T \quad (3.20)$$

Semelhantemente à topologia estudada anteriormente, através do dimensionamento de resistores – R_1 e R_2 – e da relação n entre as áreas de emissor dos transistores, é possível obter uma tensão de saída com coeficiente térmico nulo. Esta última topologia, no entanto, ainda apresenta as razões de aspecto dos transistores M_2 e M_5 como parâmetros adicionais para o ajuste da compensação de temperatura.

3.2.2 Compensação de Temperatura Utilizando Dispositivos MOS

Assim como a técnica de compensação estudada anteriormente, a compensação de temperatura utilizando dispositivos MOS também utiliza tensões variantes com a temperatura e com coeficientes térmicos opostos. Em transistores MOS, os principais parâmetros que apresentam variação com a temperatura são a tensão de limiar; a mobilidade dos portadores de carga; a transcondutância; e a tensão entre porta e fonte do dispositivo (Kok; Tam, 2013).

Para a compensação de temperatura, no entanto, tensão proporcional à temperatura é obtida, tipicamente, através da diferença de tensões entre porta e fonte ΔV_{GS} de transistores operando na região de sublimiar. Para a obtenção da tensão complementar à temperatura, por sua vez, utiliza-se tipicamente as propriedades térmicas da tensão de limiar V_{TH} e da tensão entre porta em fonte V_{GS} de um transistor MOS, uma vez que estas possuem comportamento bastante linear em função da temperatura (Kok; Tam, 2013).

3.2.2.1 Geração da Tensão CTAT

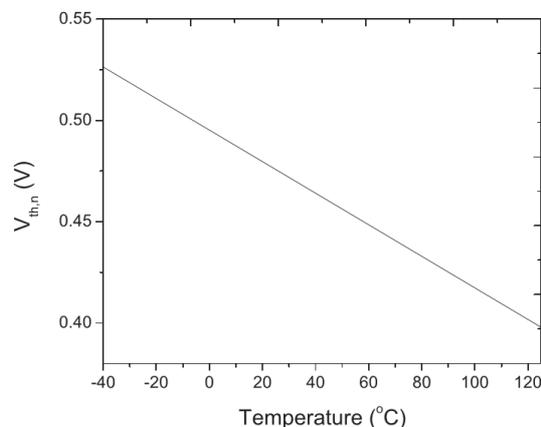
Conforme visto anteriormente, para a obtenção de uma tensão com coeficiente térmico negativo através de dispositivos MOS, duas estratégias são as mais usuais: a utilização da tensão de limiar e a utilização da tensão entre porta e fonte destes dispositivos. Segundo Liu (2001), a tensão de limiar de transistores NMOS (V_{THN}) e PMOS (V_{THP}) em função da temperatura pode ser expressa, respectivamente, pelas equações 3.21 e 3.22, onde o parâmetro β corresponde ao coeficiente térmico de primeira ordem da tensão de limiar; e T_0 corresponde à temperatura de referência.

$$V_{THN}(T) = V_{THN}(T_0) - \beta_{THN}(T - T_0) \quad (3.21)$$

$$|V_{THP}(T)| = |V_{THP}(T_0)| - \beta_{THP}(T - T_0) \quad (3.22)$$

De maneira geral, a tensão de limiar de transistores NMOS e PMOS possuem propriedades térmicas bastante similares, além de ambas apresentarem comportamento CTAT. Para uma tecnologia CMOS de 180 nm, por exemplo, o coeficiente térmico β_{THN} é de aproximadamente 0,779 mV/°C, enquanto que β_{THP} é de aproximadamente 0,802 mV/°C (Kok; Tam, 2013). A característica complementar à temperatura da tensão de

Figura 3.10 – Tensão de limiar de um transistor de canal n de tecnologia CMOS de 180 nm com W/L de $2\mu\text{m}/1\mu\text{m}$ em função da temperatura.



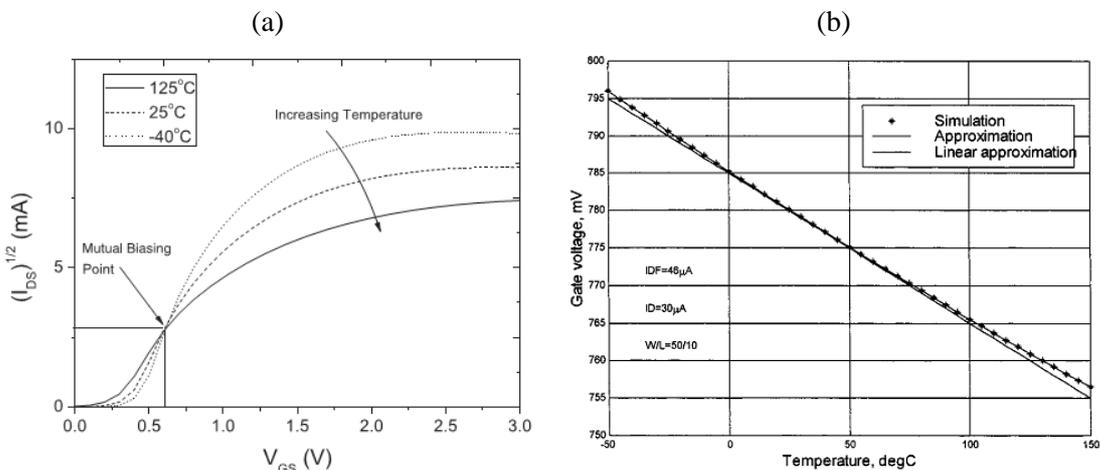
Fonte: Kok e Tam (2013).

limiar de um transistor NMOS concebido na tecnologia supracitada pode ser observada na Figura 3.10.

A tensão entre porta e fonte V_{GS} de um transistor MOS, por sua vez, apresenta dois comportamentos distintos em relação à temperatura, uma vez que depende – dentre outros parâmetros – da tensão de limiar e da mobilidade, ambas as grandezas também afetadas pela temperatura. Quando o transistor é percorrido por uma corrente inferior a um determinado valor I_0 – o qual é dependente da tecnologia –, a tensão V_{GS} apresenta um comportamento complementar à temperatura (Filanovsky; Allam, 2001). Isso ocorre, pois os efeitos da temperatura na tensão de limiar prevalecem sobre os efeitos da temperatura na mobilidade dos portadores (Colombo *et al.*, 2011).

Quando o transistor é percorrido por uma corrente superior a I_0 , por outro lado, os efeitos da temperatura na mobilidade dos portadores prevalecem aos efeitos na tensão de limiar (Colombo *et al.*, 2011), e V_{GS} apresenta um comportamento proporcional à temperatura (Filanovsky; Allam, 2001). Tipicamente, na região de sublimiar, V_{GS} apresenta coeficiente térmico negativo, ao passo que para a região de saturação, tal coeficiente tende a ser positivo (Kok; Tam, 2013). A Figura 3.11 mostra a corrente de dreno em função da tensão V_{GS} de um transistor NMOS para diferentes temperaturas, bem como a tensão V_{GS} de um transistor polarizado com corrente I_D inferior à corrente I_0 .

Figura 3.11 – Corrente de dreno em função da tensão entre porta e fonte de um transistor NMOS para diferentes temperaturas (a); e tensão entre porta e fonte de um transistor NMOS conectado como diodo com corrente de polarização inferior a I_0 (b).



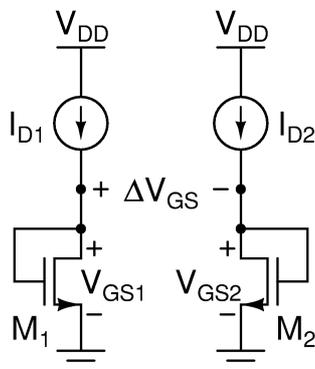
Fonte: Kok e Tam (2013).

Fonte: Filanovsky e Allam (2001).

3.2.2.2 Geração da Tensão PTAT

De maneira similar à tensão base-emissor diferencial – analisada da subseção 3.2.1.2, a diferença entre as tensões entre porta e fonte de dois transistores MOS operando na região de sublimiar – e com diferentes densidades de corrente – também apresenta uma dependência positiva com a temperatura (Kok; Tam, 2013). A Figura 3.12 mostra um circuito típico para a obtenção desta tensão diferencial.

Figura 3.12 – Circuito típico para a obtenção da tensão porta-fonte diferencial utilizando transistores NMOS.



Fonte: Kok e Tam (2013).

De acordo com a Figura 3.12, a tensão diferencial entre porta e fonte de dois transistores MOS pode ser expressa pela Equação 3.23.

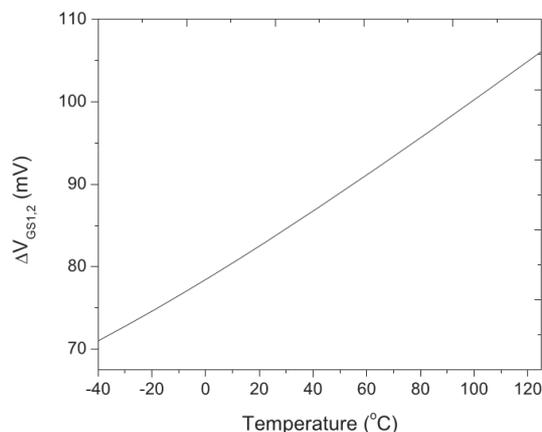
$$\Delta V_{GS} = V_{GS1} - V_{GS2} \quad (3.23)$$

Utilizando as equações que regem o comportamento de dispositivos MOS na região de sublimiar, a Equação 3.23 pode ser reescrita como a Equação 3.24, onde ζ corresponde ao *subthreshold slope* da tecnologia; U_T corresponde à tensão térmica; e I_{D1} e I_{D2} correspondem as correntes dos transistores M_1 e M_2 , respectivamente. Este extenso trabalho algébrico, no entanto, não será demonstrado neste trabalho, podendo ser encontrado no trabalho de Kok e Tam (2013).

$$\Delta V_{GS} = \zeta \cdot U_T \cdot \ln\left(\frac{I_{D1}}{I_{D2}}\right) \quad (3.24)$$

A partir da Equação 3.24 e garantindo I_{D1} maior que I_{D2} , é possível verificar que a tensão ΔV_{GS} se mostra diretamente proporcional à tensão térmica, possuindo assim, coeficiente térmico positivo. A Figura 3.13 mostra o comportamento desta tensão diferencial entre dois transistores NMOS operando na região de sublimiar em função da temperatura.

Figura 3.13 – Tensão porta-fonte diferencial entre transistores NMOS operando na região de sublimiar em função da temperatura.



Fonte: Kok e Tam (2013).

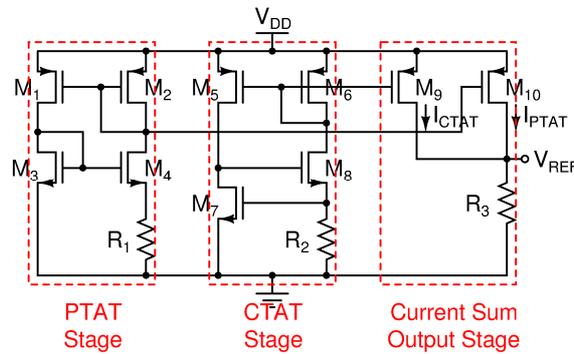
3.2.2.3 Referência de Tensão Baseada na Tensão de Limiar

Referências de tensão baseadas na tensão de limiar consistem em outra técnica bastante difundida de geração de uma tensão de referência. O funcionamento desta topologia é semelhante às topologias *bandgap* tradicionais: a soma ponderada de uma grandeza proporcional à temperatura com outra complementar à temperatura, sendo pelo menos uma destas, gerada através das propriedades térmicas da tensão de limiar.

Na literatura, contudo, diferentes topologias podem ser encontradas para implementar este mesmo conceito (Dai *et al.*, 2004; Ferreira *et al.*, 2008; Colombo *et al.*, 2011).

Uma característica em comum, no entanto é que a tensão de saída para estas referências se mostra proporcional ao valor da tensão de limiar típica para a tecnologia utilizada – extrapolada para o zero absoluto –, o que propicia a operação destes circuitos com tensões de alimentação inferiores a 1 V (Colombo *et al.*, 2011). Um circuito típico de referência baseada na tensão de limiar é mostrado na Figura 3.14.

Figura 3.14 – Circuito típico de uma referência de tensão com compensação de temperatura utilizando dispositivos MOS.



Fonte: Kok e Tam (2013).

Este circuito utiliza a soma de duas correntes – uma PTAT e outra CTAT – para fazer a compensação de temperatura. A corrente proporcional à temperatura é obtida através da tensão ΔV_{GS} entre os transistores M_3 e M_4 , de acordo com a Equação 3.25.

$$I_{M2} = \frac{\Delta V_{GS}}{R_1} = \frac{U_T \cdot \ln n}{R_1} \quad (3.25)$$

A corrente complementar à temperatura, por outro lado, obtida através da tensão de limiar do transistor M_7 . Polarizando este transistor na região de saturação, a tensão V_{GS7} pode ser expressa pela Equação 3.26, onde I_{M7} é a corrente que passa por M_7 ; μ_N é a mobilidade dos portadores no dispositivo; C_{OX} é a capacitância de óxido; e S_{M7} é a razão de aspecto do transistor M_7 .

$$V_{GS7} = V_{THN} + \sqrt{\frac{2 \cdot I_{M7}}{\mu_N \cdot C_{OX} \cdot S_{M7}}} \quad (3.26)$$

Dimensionando M_7 tal que $I_{M7} \ll \mu_N \cdot C_{OX} \cdot S_{M7}$, a tensão V_{GS7} pode ser aproximada pela Equação 3.27, e a corrente que passa pelo transistor M_6 pode ser expressa pela Equação 3.28.

$$V_{GS7} \approx V_{THN} \quad (3.27)$$

$$I_{M6} = I_{M8} = \frac{V_{GS7}}{R_2} \approx \frac{V_{THN}}{R_2} \quad (3.28)$$

As correntes I_{M2} e I_{M6} são replicadas pelos transistores M_{10} e M_9 , respectivamente, e somadas no estágio de saída do circuito, dando origem a uma tensão de referência V_{REF} , que pode ser expressa pela Equação 3.29.

$$V_{REF} = R_3 \cdot \left[\left(\frac{S_{M10}}{S_{M2}} \right) \cdot I_{M2} + \left(\frac{S_{M9}}{S_{M6}} \right) \cdot I_{M6} \right] \quad (3.29)$$

$$V_{REF} = \left(\frac{S_{M10}}{S_{M2}} \cdot \frac{R_3}{R_1} \right) \cdot U_T \cdot \ln n + \left(\frac{S_{M9}}{S_{M6}} \cdot \frac{R_3}{R_2} \right) \cdot V_{THN} \quad (3.30)$$

A Equação 3.29 pode ser reescrita como a Equação 3.30, onde se pode observar claramente os termos PTAT (U_T) e CTAT (V_{THN}), responsáveis pela compensação de temperatura.

4 EFEITOS DE DOSE TOTAL IONIZANTE EM CIRCUITOS ANALÓGICOS CMOS: ESTUDO DE CASO

O objetivo deste estudo de caso foi mensurar e analisar as curvas características de funcionamento de circuitos analógicos a fim de verificar os efeitos de dose total ionizante em tais topologias. A caracterização da resposta de blocos analógicos à radiação ionizante representa um passo importante para o estudo e concepção de estratégias de mitigação dos efeitos da radiação nestes circuitos. Como objetos de estudo, foram utilizadas sete referências de tensão, um regulador de tensão e uma fonte de corrente, todos desenvolvidos utilizando uma tecnologia CMOS de 130 nm.

Este capítulo é dividido da seguinte forma: o subcapítulo 4.1 aborda os circuitos empregados como objeto de estudo deste trabalho, incluindo um breve detalhamento de cada topologia; o subcapítulo 4.2 apresenta detalhes acerca do ensaio de irradiação e o *setup* de medidas utilizado para mensurar as grandezas de interesse em cada circuito; e, por fim, o subcapítulo 4.3 mostra os resultados experimentais obtidos antes, durante e após a irradiação, assim como a discussão destes resultados.

4.1 Circuitos Objeto de Estudo

Nas subseções seguintes, são apresentadas as topologias das referências de tensão, regulador de tensão e fonte de corrente utilizados neste estudo de caso, assim como a placa utilizada para acondicionar o circuito integrado contendo cada uma destas topologias. Os circuitos foram projetados utilizando a tecnologia CM8RF da IBM, processo este com litografia de 130 nm. Algumas das características deste processo estão sumarizadas na Tabela 4.1.

Tabela 4.1 – Parâmetros para a tecnologia IBM CM8RF.

Parâmetro	<i>Regular FETs</i>		<i>Thick Oxide FETs</i>	
	NMOS	PMOS	NMOS	PMOS
V_{DD} [V]	1,2	1,2	2,5	2,5
V_{TH} [mV]	355	−300	410	−400
t_{ox} [nm]	2,2	2,2	5,2	5,2

Fonte: IBM (2010).

Além das supracitadas características, a tecnologia IBM CM8RF permite a concepção de dispositivos contendo óxido de elevada constante dielétrica (*high- κ*). A utilização deste recurso, no entanto, ficou restrita ao projeto dos capacitores utilizados nos circuitos, tendo sido empregado o dióxido de silício como dielétrico de porta para os transistores e isolamento entre interconexões (Colombo, 2014).

Para este estudo de caso, utilizaram-se variadas topologias de referências de tensão, com diferentes tensões de alimentação e diferentes valores de saída. As referências REF1, REF2, REF3, REF4 e REF5, o regulador de tensão REG1 e a fonte de corrente IREF são circuitos capazes de operar com tensões de alimentação próximas a 1 V, e por esse motivo foram projetadas utilizando transistores padrões da tecnologia (*regular FETs*).

As topologias *bandgap* REF6 e REF7 – as quais fornecem maior tensão de saída e requerem maior tensão de alimentação – no entanto, foram projetadas utilizando transistores com óxido de porta mais espesso (*thick oxide FETs*). Os valores de tensão de alimentação e tensão de saída das referências e do regulador de tensão são mostrados na Tabela 4.2, enquanto que a corrente de saída e a tensão de alimentação para a fonte de corrente IREF é mostrada na Tabela 4.3.

Tabela 4.2 – Tensão de alimentação e tensões de saída esperados para os circuitos testados.

Circuito	Tensão de Alimentação [V]	Tensão de Saída [V]
REF1	1,2	~0,3
REF2	1,2	~0,3
REF3	1,2	~0,3
REF4	1,2	0,673
REF5	1,2	0,673
REF6	2,5	1,43
REF7	2,5	1,47
REG1	1,2	~0,9

Fonte: Colombo (2014).

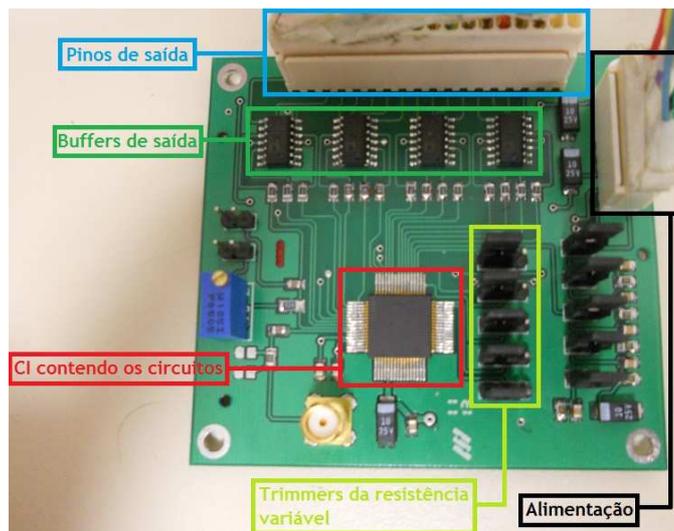
Tabela 4.3 – Tensão de alimentação e corrente de saída esperados para o circuito IREF.

Circuito	Tensão de Alimentação [V]	Corrente de Saída [nA]
IREF	1,2	~500

Fonte: Colombo (2014).

Estas diferentes topologias projetadas foram encapsuladas em um circuito integrado (CI) e este foi acondicionado em uma placa de testes, a qual continha, além do CI, terminais de alimentação e de saída de sinais; *trimmers* para controle da resistência variável R_3 ; e *buffers* para externar as grandezas a serem mensuradas. A Figura 4.1 mostra a placa de testes, o circuito integrado e os demais periféricos.

Figura 4.1 – Placa de testes utilizada.



Fonte: O autor.

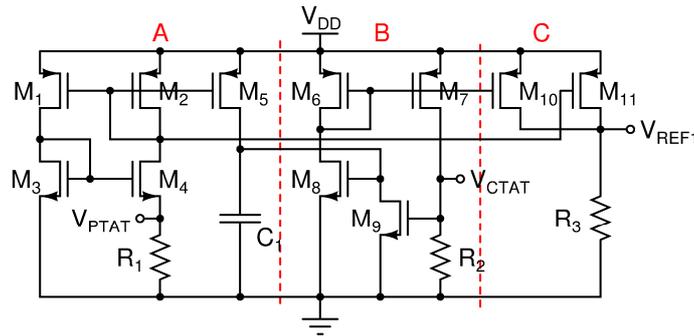
4.1.1 Referência REF1

O circuito REF1 consiste em uma referência de tensão CMOS de baixa tensão e baixa potência (*low-voltage and low-power reference*), cujo funcionamento é baseado na operação de transistores na região de sublimiar (Colombo *et al.*, 2011). Inicialmente publicada no trabalho de Wang *et al.* (2005), esta topologia foi remodelada no trabalho de Colombo *et al.* (2011), utilizando uma metodologia de projeto baseada no coeficiente de inversão dos transistores.

Esta referência, mostrada na Figura 4.2, é composta por três subcircuitos distintos: um estágio gerador de corrente com coeficiente térmico positivo (subcircuito A), um estágio gerador de corrente com coeficiente térmico negativo (subcircuito B), e um estágio somador de corrente (subcircuito C).

A tensão de saída V_{REF1} desta topologia é função do produto da resistência R_3 com a soma ponderada das correntes que percorrem os transistores M_{10} e M_{11} . Desse modo, V_{REF1} pode ser expressa pela Equação 4.1, onde S_{M2} , S_{M7} , S_{M10} e S_{M11}

Figura 4.2 – Esquemático elétrico da referência de tensão REF1 e os respectivos subcircuitos.



Fonte: Colombo *et al.* (2011).

representam a razão de aspecto dos transistores M_2 , M_7 , M_{10} e M_{11} , respectivamente; V_{GS9} representa a tensão entre porta e fonte do transistor M_9 ; e ΔV_{GS} corresponde à diferença entre as tensões de porta e fonte dos transistores M_3 e M_4 .

A tensão de saída V_{REF1} desta topologia é função do produto da resistência R_3 com a soma ponderada das correntes que percorrem os transistores M_{10} e M_{11} . Desse modo, V_{REF1} pode ser expressa pela Equação 4.1, onde S_{M2} , S_{M7} , S_{M10} e S_{M11} representam a razão de aspecto dos transistores M_2 , M_7 , M_{10} e M_{11} , respectivamente; V_{GS9} representa a tensão entre porta e fonte do transistor M_9 ; e ΔV_{GS} corresponde à diferença entre as tensões de porta e fonte dos transistores M_3 e M_4 .

$$V_{REF1} = R_3 \cdot \left[\left(\frac{S_{M10}}{S_{M7}} \right) \cdot \frac{V_{GS9}}{R_2} + \left(\frac{S_{M11}}{S_{M2}} \right) \cdot \frac{\Delta V_{GS}}{R_1} \right] \quad (4.1)$$

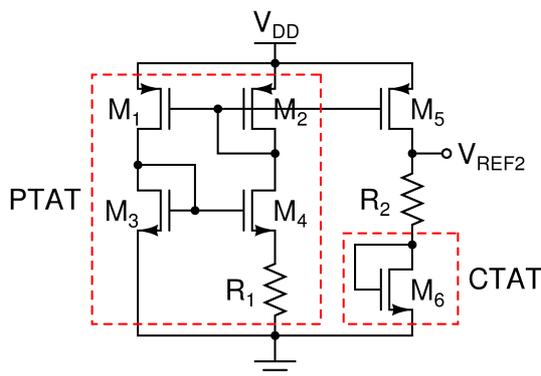
Para que se obtivesse um melhor casamento dos dispositivos na concepção do *layout* do circuito, foram utilizados no projeto, valores iguais para os resistores R_1 , R_2 e R_3 , a fim de obter componentes de tamanho idêntico. Nesta situação particular, a tensão de saída V_{REF1} desta referência pode ser simplificada para a Equação 4.2 (Colombo *et al.*, 2011).

$$V_{REF1} = \left(\frac{S_{M10}}{S_{M7}} \right) \cdot V_{GS9} + \left(\frac{S_{M11}}{S_{M2}} \right) \cdot \Delta V_{GS} \quad (4.2)$$

4.1.2 Referência REF2

A referência REF2 consiste em uma topologia simplificada de geração de tensão de referência, cuja compensação de temperatura é baseada nas propriedades térmicas de transistores MOS. Pode-se destacar nesta topologia, dois subcircuitos distintos: um

Figura 4.3 – Esquemático elétrico da referência de tensão REF2.



Fonte: Colombo (2014).

estágio gerador de corrente proporcional à temperatura – utilizando a tensão ΔV_{GS} ; e um estágio gerador de tensão complementar à temperatura – utilizando a tensão V_{GS} . O esquemático elétrico desta referência e os supracitados subcircuitos são mostrados na Figura 4.3.

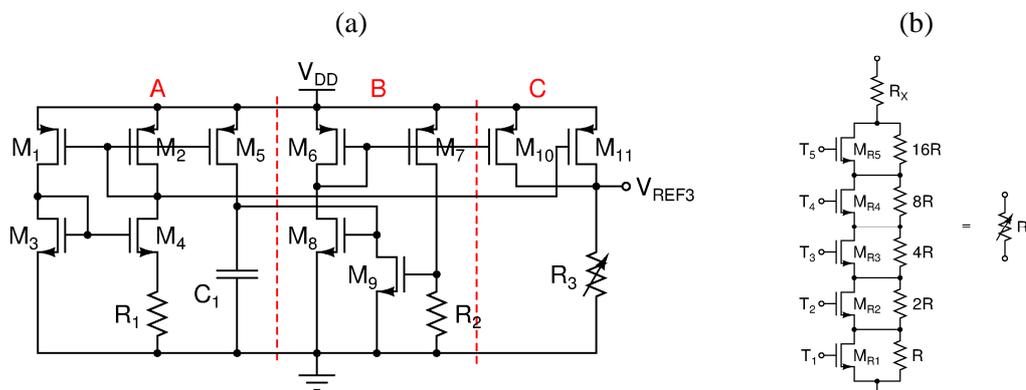
A corrente PTAT gerada no primeiro estágio é replicada para o ramo de saída do circuito através do transistor M_5 e, ao percorrer o resistor R_2 , esta dá origem a uma tensão PTAT. Entre os terminais porta e fonte do transistor M_6 , por outro lado, é possível obter uma tensão com característica complementar à temperatura. A tensão de saída V_{REF2} desta referência pode então ser expressa como a soma destas duas tensões – CTAT e PTAT – ponderadas por um fator que é função tanto das razões de aspecto S_{M2} e S_{M5} , como dos resistores R_1 e R_2 , conforme a Equação 4.3.

$$V_{REF2} = V_{GSM6} + \left(\frac{S_{M5}}{S_{M2}} \right) \cdot \frac{R_2}{R_1} \cdot \Delta V_{GS} \quad (4.3)$$

4.1.3 Referência REF3

O circuito REF3 apresenta uma topologia praticamente idêntica ao circuito REF1. A única diferença entre estes – em termos de esquemático – é a substituição do resistor R_3 , o qual possui valor fixo na referência REF1 e valor ajustável na referência REF3. Esta modificação não altera as características de compensação de temperatura do circuito, e permite um ajuste mais preciso na tensão de referência, dentro de uma determinada faixa de valores. O esquemático elétrico da referência REF3 e o circuito equivalente ao resistor variável são mostrados na Figura 4.4.

Figura 4.4 – Esquemático elétrico da referência de tensão REF3 (a) e o circuito equivalente ao resistor variável R_3 (b).



Fonte: Colombo (2014).

O resistor variável R_3 é composto por seis resistências em série: uma resistência R_X – com valor próximo a resistência R_3 da referência REF1; e outros cinco resistores de valor múltiplo de uma resistência R de baixo valor, que podem ou não ser acionados, possibilitando um ajuste preciso da resistência total do conjunto. Com a inserção deste resistor variável – cujo valor pode ser diferente de R_1 e R_2 , a tensão de saída V_{REF3} se torna dependente do valor da resistência de R_3 , e pode ser expressa pela Equação 4.4.

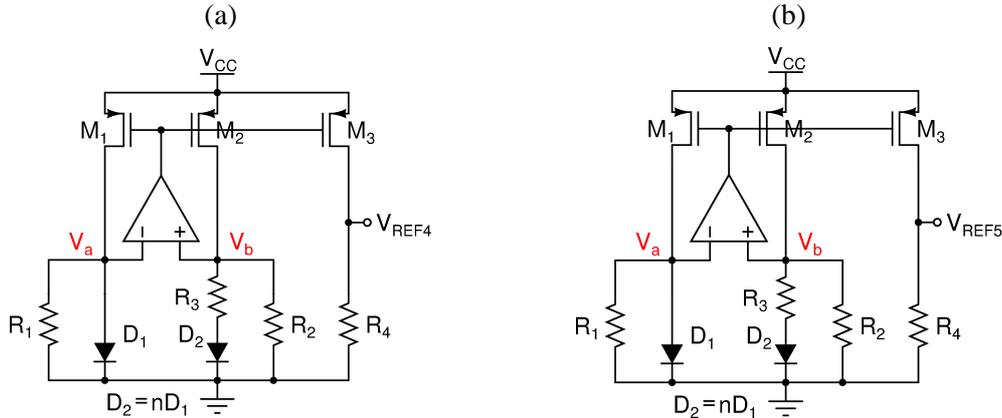
$$V_{REF3} = R_3 \cdot \left[\left(\frac{S_{M10}}{S_{M7}} \right) \cdot \frac{V_{GS9}}{R_2} + \left(\frac{S_{M11}}{S_{M2}} \right) \cdot \frac{\Delta V_{GS}}{R_1} \right] \quad (4.4)$$

4.1.4 Referência REF4 e Referência REF5

O circuito REF4, assim como o circuito REF5, consiste em uma referência de tensão do tipo *bandgap* que pode ser operada com tensão de alimentação inferior a 1 V, inicialmente desenvolvida no trabalho de Banba *et al.* (1999). Para realizar a compensação de temperatura, este circuito utiliza-se das propriedades térmicas da tensão de junção de diodos diretamente polarizados. O esquemático elétrico desta topologia de referência de tensão é mostrado na Figura 4.5.

Tipicamente, uma referência de tensão *bandgap* convencional apresenta tensão de referência em torno de 1,2 V, o que dificulta a operação destes circuitos com tensão de alimentação inferior a esse valor. Uma estratégia desenvolvida no trabalho de Banba *et al.* (1999), no entanto, permite a redução da tensão de saída – e consequentemente, da tensão de alimentação – destes circuitos, através da inserção de um divisor de corrente na malha de compensação de uma topologia *bandgap* tradicional.

Figura 4.5 – Esquemático elétrico da referência de tensão REF4 (a) e REF5 (b).



Fonte: Banba *et al.* (1999).

Este divisor de corrente é ilustrado na Figura 4.5 como sendo os resistores R_1 e R_2 , conectados aos pontos V_a e V_b , respectivamente. Tais resistores são usados para drenar uma parcela da corrente total produzida pelos transistores M_1 e M_2 , fazendo com que apenas uma fração desta seja usada para a compensação de temperatura, propiciando o escalonamento da tensão de saída – e de alimentação – para valores menores.

Um amplificador operacional é usado para fornecer um laço de realimentação ao circuito e manter os nós V_a e V_b em um mesmo valor de tensão. Desse modo, a corrente I_{M2} que percorre o transistor M_2 pode ser expressa pela soma das correntes que fluem através dos resistores R_2 e R_3 , conforme a Equação 4.5, onde V_{D1} e V_{D2} são as tensões sobre os diodos D_1 e D_2 , respectivamente.

$$I_{M2} = \frac{V_{D1}}{R_2} + \frac{V_{D1} - V_{D2}}{R_3} \quad (4.5)$$

Quanto à compensação em temperatura, a tensão no diodo D_1 insere na corrente I_{M2} uma dependência complementar à temperatura, ao passo que a diferença entre as tensões no diodo D_1 e no diodo D_2 (ΔV_D) insere uma dependência proporcional à temperatura. A corrente I_{M2} é replicada ao estágio de saída através do transistor M_3 e a tensão de referência desta topologia pode então, ser expressa pela Equação 4.6.

$$V_{REF4} = V_{REF5} = R_4 \cdot \left(\frac{V_{D1}}{R_2} + \frac{\Delta V_D}{R_3} \right) \quad (4.6)$$

Para garantir correntes iguais nos três principais ramos do circuito, os transistores M_1 , M_2 e M_3 foram projetados com o mesmo tamanho. Desse modo, a tensão de referência desse circuito não está correlacionada com a razão de aspecto dos

transistores. Uma dedução aprofundada dos mecanismos envolvidos no funcionamento desta topologia pode ser encontrada no trabalho de Banba *et al.* (1999).

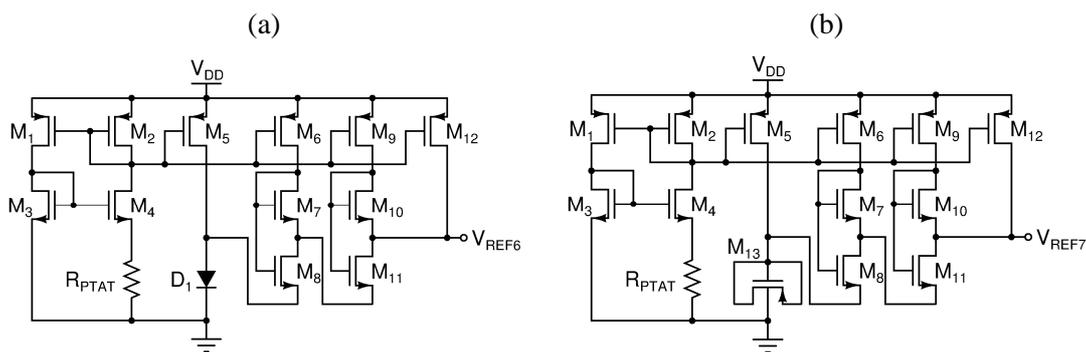
4.1.5 Referência REF6 e Referência REF7

O circuito REF6, assim como o circuito REF7, consiste em uma referência de tensão *bandgap*, projetada para baixo consumo de energia e com tensão de saída próxima ao *bandgap* do silício, i.e., aproximadamente 1,2 V. Esta topologia foi inicialmente proposta no trabalho de Colombo *et al.* (2012).

Este circuito produz uma tensão de referência de maneira semelhante a uma topologia *bandgap* tradicional: a soma ponderada de uma tensão de junção (CTAT) com outra proporcional à temperatura. O diferencial desta referência, no entanto, é a utilização de transistores compostos (*composite transistors*) para a geração da tensão proporcional à temperatura. Uma discussão aprofundada acerca do comportamento térmico destes dispositivos pode ser encontrada no trabalho de Ferreira *et al.* (2008).

A tensão complementar à temperatura, no entanto, é gerada de maneira diferenciada para cada circuito – através da tensão do diodo D_1 , na topologia REF6; e através de um transistor PMOS atuando como diodo, M_{13} , na topologia REF7. A Figura 4.6 mostra o esquemático elétrico destas referências.

Figura 4.6 – Esquemático elétrico da referência de tensão *bandgap* REF6 (a) e REF7 (b).



Fonte: Colombo *et al.* (2012).

As tensões de referência V_{REF6} e V_{REF7} podem ser expressas pelas equações 4.7 e 4.8, respectivamente, onde V_{D1} corresponde à tensão sobre o diodo D_1 ; V_{GBM13} corresponde à tensão entre o terminal de porta e o substrato do transistor M_{13} ; U_T corresponde a tensão térmica; e k_{PTAT} corresponde a uma constante de ponderação, a

qual pode ser ajustada através do dimensionamento dos transistores M_6 a M_{12} , não dependendo – em primeira ordem – da temperatura.

$$V_{REF6} = V_{D1} + k_{PTAT} \cdot U_T \quad (4.7)$$

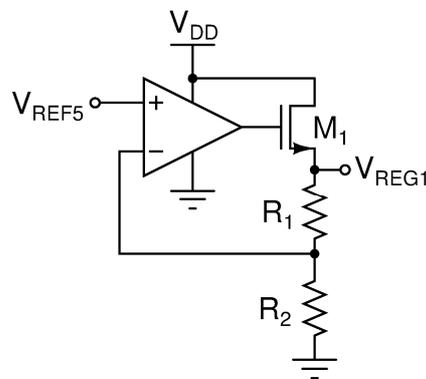
$$V_{REF7} = V_{GBM13} + k_{PTAT} \cdot U_T \quad (4.8)$$

A análise completa desta topologia, assim como as demais equações usadas no projeto deste tipo de referências, pode ser encontrada no trabalho de Colombo *et al.* (2012).

4.1.6 Regulador de Tensão REG1

O circuito REG1 consiste em uma topologia simplificada de regulador de tensão, o qual utiliza um amplificador operacional negativamente realimentado para controlar a malha de regulação. Desse modo, a tensão de saída do regulador apresenta as mesmas características da tensão de entrada, no entanto, multiplicada por um fator de ganho. O esquemático elétrico deste regulador é mostrado na Figura 4.7.

Figura 4.7 – Esquemático elétrico do regulador de tensão REG1.



Fonte: Colombo (2014).

Em termos de funcionamento, o amplificador operacional realiza a comparação entre a tensão de entrada V_{REF5} e a tensão de realimentação. O sinal de erro resultante é então, usado para controlar o transistor M_1 . Se a tensão de realimentação estiver menor que a tensão de entrada, a tensão de saída do amplificador aumenta, permitindo um maior fluxo de corrente através de M_1 .

Na situação de equilíbrio – e negligenciando as não idealidades do amplificador operacional – a tensão de realimentação é igual à tensão de entrada, e a saída V_{REG1}

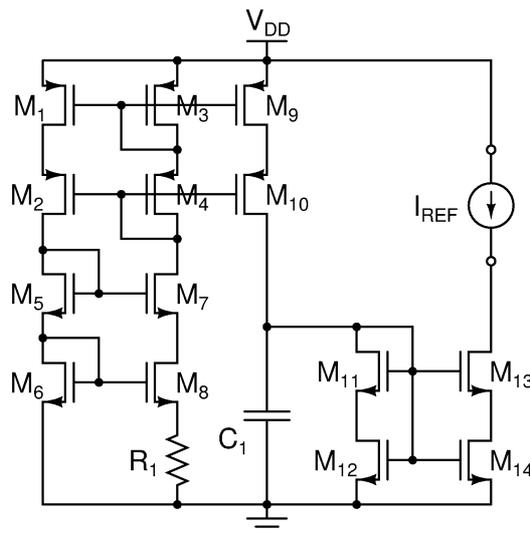
pode então ser expressa pela Equação 4.9. A relação $(R_1+R_2)/R_2$ representa o fator de ganho do regulador, sendo utilizado no projeto do REG1, um valor próximo de 1,35.

$$V_{REG1} = \left(\frac{R_1 + R_2}{R_2} \right) \cdot V_{REF5} \quad (4.9)$$

4.1.7 Fonte de Corrente IREF

O último circuito de teste a ser abordado neste trabalho é a fonte de corrente IREF. Esta topologia, cujo esquemático é mostrado na Figura 4.8, utiliza transistores em cascata (pares *cascode*) para melhorar a resposta do circuito a flutuações na tensão de alimentação. Por outro lado, nenhuma técnica de compensação de temperatura é empregada nesta topologia.

Figura 4.8 – Esquemático elétrico da fonte de corrente IREF.



Fonte: Colombo (2014).

O funcionamento deste circuito baseia-se na geração de uma corrente no primeiro estágio através da diferença das tensões entre porta e fonte dos transistores M₆ e M₈, assim como mostrado na Equação 4.10.

$$I_{M3} = I_{M4} = I_{M7} = I_{M8} = \frac{V_{GS6} - V_{GS8}}{R_1} = \frac{\Delta V_{GS}}{R_1} \quad (4.10)$$

Esta corrente é replicada para o próximo ramo do circuito através dos transistores M₉ e M₁₀. Considerando que M₃=M₄, M₉=M₁₀ e o circuito operando no regime permanente, a corrente I_{M9} que percorre o transistor M₉ pode ser expressa pela Equação 4.11.

$$I_{M9} = I_{M10} = I_{M11} = I_{M12} = \left(\frac{S_{M9}}{S_{M3}} \right) \cdot I_{M3} \quad (4.11)$$

Por fim, a corrente I_{M9} é replicada para a saída do circuito através dos transistores M_{13} e M_{14} . Uma vez que $M_{11}=M_{12}$ e $M_{13}=M_{14}$, a corrente de saída I_{REF} pode então ser expressa pela Equação 4.12. Devido à dependência direta de ΔV_{GS} e a ausência de compensação de temperatura, a corrente I_{REF} apresenta comportamento proporcional à temperatura.

$$I_{REF} = \left(\frac{S_{M13}}{S_{M11}} \right) \cdot \left(\frac{S_{M9}}{S_{M3}} \right) \cdot I_{M3} = \frac{1}{R_1} \cdot \left(\frac{S_{M13}}{S_{M11}} \right) \cdot \left(\frac{S_{M9}}{S_{M3}} \right) \cdot \Delta V_{GS} \quad (4.12)$$

4.2 Ensaio de Irradiação e Setup de Medidas

O ensaio de irradiação foi realizado nas instalações do Laboratório de Radiação Ionizante (LRI) do Instituto de Estudos Avançados (IEAv), ambos vinculados ao Departamento de Ciência e Tecnologia Aeroespacial (DCTA), em São José dos Campos, São Paulo. O circuito foi bombardeado com radiação gama, proveniente de uma fonte ^{60}Co modelo Eldorado 78, fabricada pela *Atomic Energy of Canadian Limited*. A fonte de radiação gama e a placa contendo os circuitos testados são mostradas na Figura 4.9.

Figura 4.9 – Fonte de radiação gama ^{60}Co e a placa contendo os circuitos testados nas instalações do LRI/IEAv.



Fonte: O autor.

O circuito permaneceu exposto ao feixe de radiação – de maneira contínua – por aproximadamente 320 horas, com uma taxa de deposição de 1.535,02 rad/h. Ao final do

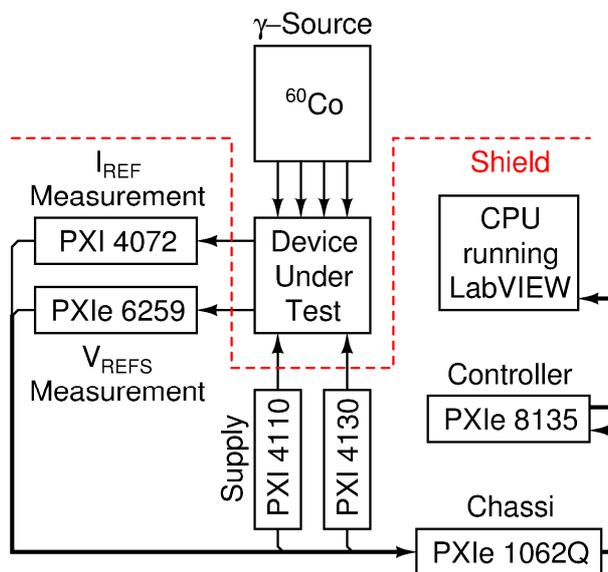
experimento, totalizou-se uma dose acumulada de aproximadamente 490 krad. O experimento foi realizado em temperatura média de 23°C, no entanto, suscetível a variações de $\pm 1^\circ\text{C}$.

Durante a irradiação, o circuito foi alimentado pelos valores de tensão nominais. Tais tensões – 1,2 V e 2,5 V – foram geradas pelas SMUs (*Source-Measurement Unit*) PXI 4110 e PXI 4130, respectivamente, e as correntes de alimentação foram continuamente mensuradas por estes mesmos equipamentos.

Os sinais de entrada e saída dos circuitos também foram monitorados de maneira simultânea à irradiação, utilizando-se um intervalo de 5 minutos entre as amostras. Para a medição da tensão de referência de cada topologia e os sinais PTAT e CTAT intermediários, utilizou-se o multímetro PXIe 6259. Para a medição da corrente de referência do circuito IREF, no entanto, utilizou-se o multímetro PXI 4072.

Ambos estes módulos de medição, assim como as SMUs, foram acondicionados em um chassi PXIe 1062Q, e monitorados por um controlador PXIe 8135. Por fim, os dados foram transmitidos para uma CPU e, através do software LabVIEW, processados e armazenados. A Figura 4.10 mostra o diagrama do *setup* de medidas e a disposição dos equipamentos utilizados.

Figura 4.10 – Diagrama do setup de medidas.



Fonte: O autor.

4.3 Resultados Experimentais e Discussão dos Resultados

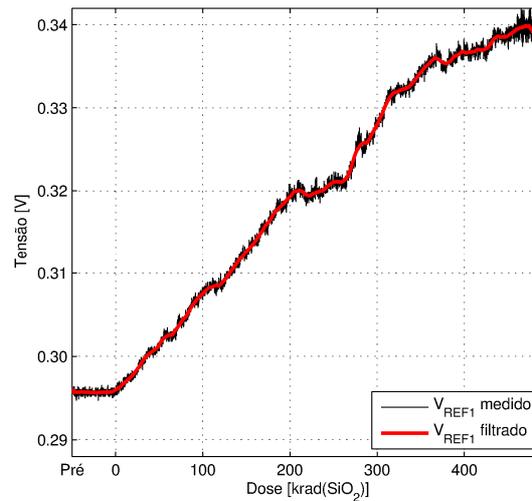
Neste subcapítulo, são apresentados e discutidos os valores de tensão e corrente de saída dos circuitos testados em função da dose total acumulada, obtidos através do *setup* de medidas apresentado no subcapítulo anterior. Além disso, são mostradas as curvas das grandezas de saída de cada topologia em função da temperatura, para a situação prévia à irradiação, após o recozimento à temperatura ambiente e após o recozimento acelerado à 120°C.

O recozimento à temperatura ambiente (T_{AMB}) teve duração de 15 dias, contados a partir do final da irradiação. Neste período, os circuitos permaneceram desligados, i.e., sem polarização, e sujeitos a uma temperatura de, aproximadamente, 22°C. Pode ter havido, no entanto, uma variação de $\pm 5^\circ\text{C}$ na temperatura dos circuitos, uma vez que tal recozimento iniciou em São José dos Campos e foi finalizado em Porto Alegre. O recozimento acelerado, por sua vez, foi realizado 15 dias após o término do recozimento à temperatura ambiente, tendo duração de 8 horas. Nesta etapa, os circuitos permaneceram desligados e sujeitos a uma temperatura constante de 120°C. Esta última etapa de recozimento fora realizada integralmente em Porto Alegre, no entanto, a confiabilidade dos resultados obtidos neste processo pode ter sido afetada pela ruptura de alguns *wire bonds*. Como tal rompimento só foi observado após o recozimento acelerado, salienta-se que a confiabilidade dos resultados obtidos durante a irradiação não foi afetada.

Para a extração das curvas em função da temperatura, variou-se este parâmetro de -40°C à 120°C , realizando medições em intervalos de 10°C . Os valores de tensão e corrente foram mensurados com auxílio de um analisador de parâmetros de semicondutores Agilent, modelo 4156C, enquanto que a variação de temperatura foi realizada em uma câmara térmica SPX, modelo TUJR.

Para a tensão e corrente de saída em função da dose total acumulada, duas curvas são mostradas: uma curva contendo o valor efetivamente mensurado; e outra contendo o valor mensurado suavizado. Utilizou-se tal alternativa para facilitar a apresentação dos resultados, uma vez que algumas medições se mostraram bastante ruidosas. Para a suavização da curva medida, utilizou-se um filtro de média móvel com 100 pontos adjacentes para computação.

Figura 4.11 – Tensão de referência V_{REF1} em função da dose acumulada.

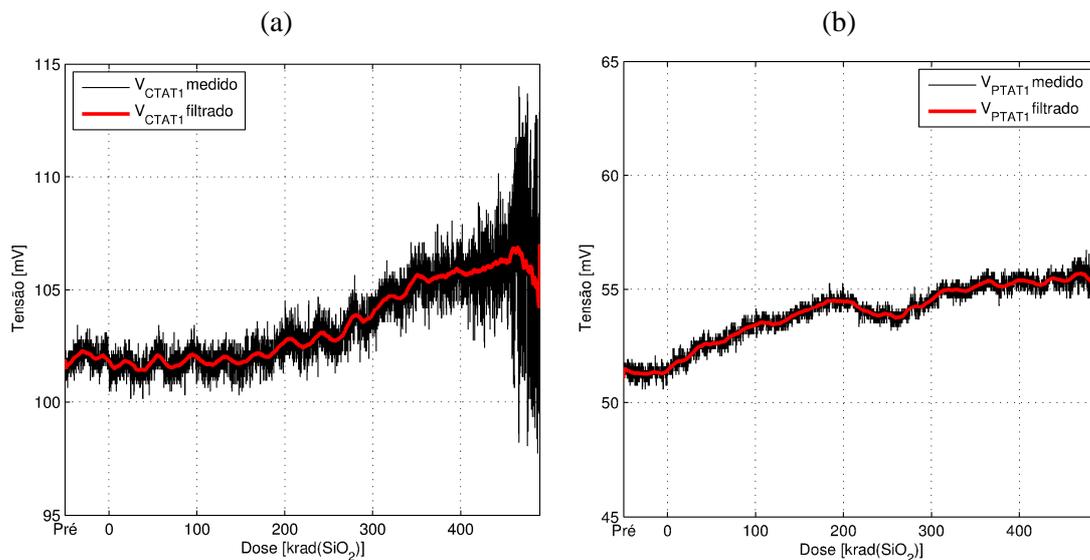


Fonte: O autor.

4.3.1 Referência REF1

A Figura 4.11 mostra a tensão de referência V_{REF1} em função da dose total acumulada. É possível observar que esta tensão apresentou um desvio positivo em função da dose acumulada, cujo valor é, aproximadamente, +45 mV. Este aumento pode ser atribuído aos desvios positivos apresentados pelas tensões térmicas intermediárias V_{CTAT1} e V_{PTAT1} em função da dose acumulada. Tais tensões são mostradas na Figura 4.12.

Figura 4.12 – Tensão V_{CTAT1} (a) e V_{PTAT1} (b) obtidas para o circuito REF1 em função da dose total acumulada.



Fonte: O autor.

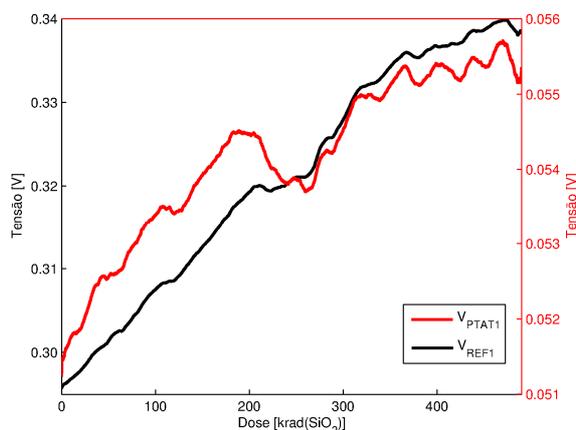
Para identificar o mecanismo causador do desvio positivo em V_{PTAT1} , foram realizadas simulações SPICE do subcircuito gerador desta tensão, considerando os possíveis desvios na tensão de limiar ΔV_{TH} dos transistores, inseridos pela radiação. Foram simuladas duas situações principais: considerando ambos os desvios – ΔV_{THP} e ΔV_{THN} – negativos; e considerando ΔV_{THP} negativo e ΔV_{THN} positivo. Cada uma dessas situações, no entanto, foi simulada em três condições distintas: considerando $\Delta V_{THP} = \Delta V_{THN}$; considerando $\Delta V_{THP} > \Delta V_{THN}$; e considerando $\Delta V_{THN} > \Delta V_{THP}$.

Para este conjunto de simulações, obteve-se uma variação positiva da tensão V_{PTAT} – condizente com o observado experimentalmente – para a simulação onde ambos os desvios eram negativos, porém ΔV_{THN} maior que ΔV_{THP} . Os valores, em módulo, utilizados nas simulações foram de 3 mV para ΔV_{THP} e 10 mV para ΔV_{THN} . Esta característica apresentada pelos desvios na tensão de limiar – ambos negativos e ΔV_{THN} maior que ΔV_{THP} – está de acordo com estudos reportados na literatura para a tecnologia de 130 nm (Faccio; Cervelli, 2005; Re *et al.*, 2005).

O subcircuito gerador da tensão térmica CTAT também foi simulado, considerando desvios negativos, porém ΔV_{THN} maior que ΔV_{THP} . Nesta situação, a tensão V_{CTAT1} apresentou uma ligeira diminuição, diferentemente do comportamento observado na prática. Essa diferença observada entre o comportamento real e o simulado da tensão V_{CTAT} pode ser devida a utilização, na prática, de uma corrente derivada do estágio PTAT para a geração da tensão CTAT – através do transistor M_5 da Figura 4.2 – ao invés de uma corrente independente da temperatura como se utilizou na simulação. Assim, a variação positiva inserida pela radiação na grandeza PTAT é replicada também ao estágio CTAT, podendo ter havido a compensação do desvio negativo e a inserção de um desvio positivo, como vislumbrado experimentalmente.

Em resumo, os resultados indicam que a variação ΔV_{REF1} é, em maior parte, devido à degradação dos parâmetros elétricos dos transistores que compõem o espelho de corrente responsável pela geração da tensão V_{PTAT1} . A Figura 4.14 mostra a tensão V_{REF1} e V_{PTAT1} , onde se pode observar que algumas variações – picos e vales – são coincidentes em ambas as formas de onda. No entanto, a contribuição de V_{CTAT1} não pode ser negligenciada, uma vez que, mesmo com a breve diminuição da tensão V_{PTAT1} – entre 200 krad e 250 krad – a tensão V_{REF1} continua aumentando neste intervalo.

Figura 4.14 – Tensão de referência V_{REF1} e tensão térmica V_{PTAT1} em função da temperatura.

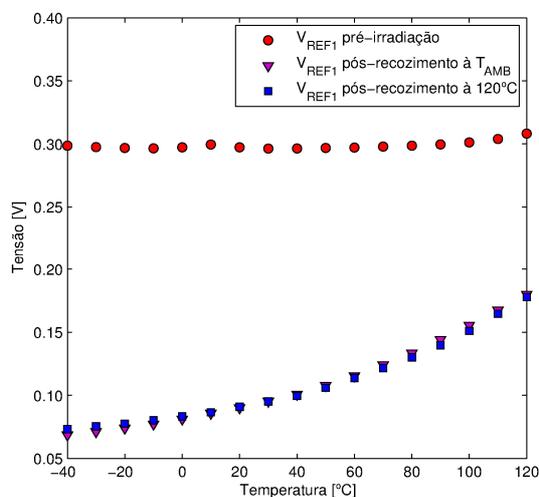


Fonte: O autor.

A Figura 4.13 mostra a tensão de referência V_{REF1} em função da temperatura. Pode-se observar que após o recozimento à temperatura ambiente e após o recozimento à 120°C , a tensão V_{REF1} não apresentou valores coerentes com a operação do circuito. Pode-se concluir que, durante o recozimento à temperatura ambiente, houve o recozimento de uma fração das cargas no óxido, passando a resposta do dispositivo a ser dominada pelos efeitos das armadilhas de interface, uma vez que estas não sofrem recozimento significativo em temperaturas superiores à 100°C (Winokur, 1989).

Assim como abordado na subseção 2.1.1.1, quando a resposta de um dispositivo à radiação ionizante passa a ser dominada pelos efeitos das armadilhas de interface, a tensão de limiar dos transistores NMOS pode sofrer um significativo e repentino aumento. No caso das referências de tensão, estas variações na tensão de limiar podem ter afetado as correntes de polarização e retirado o circuito da correta região de

Figura 4.13 – Tensão de referência V_{REF1} em função da temperatura.



Fonte: O autor.

operação, produzindo tensões de referência com valores inesperados.

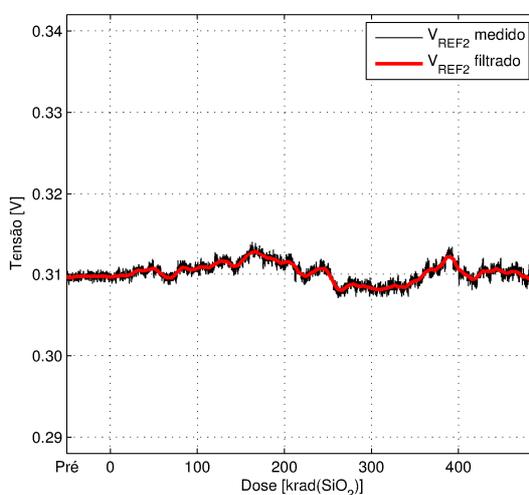
Após o recozimento à 120°C, no entanto, esperava-se uma melhora na resposta do circuito à radiação, tendo em vista o recozimento também de uma parcela das armadilhas de interface. No entanto, este comportamento não foi verificado. Estima-se, contudo, que o tempo do recozimento acelerado – cerca de 8 horas – não foi suficiente para recozer uma fração significativa das armadilhas capaz de provocar a recuperação total – ou parcial – do circuito. Além disso, pode ter havido o recozimento de mais uma parcela das cargas no óxido no período entre o recozimento ambiente e acelerado, inserindo na resposta do circuito, uma dependência maior ainda das armadilhas de interface.

4.3.2 Referência REF2

A Figura 4.15 mostra a tensão de referência V_{REF2} em função da dose total acumulada. É possível observar que, para este circuito, o comportamento da tensão de referência em função da dose não apresentou uma característica dominante. Além disso, observa-se que o valor de V_{REF2} mensurado antes da irradiação é praticamente o mesmo que o valor de V_{REF2} mensurado ao final do experimento. Tal comportamento pode ser atribuído aos diferentes mecanismos de degradação deste tipo de circuito pela ação da radiação ionizante.

Como pode ser visualizado na Seção 4.1.2, a grandeza PTAT desta referência é obtida através de um espelho de corrente, enquanto que a grandeza CTAT é obtida

Figura 4.15 – Tensão de referência V_{REF2} em função da dose acumulada.



Fonte: O autor.

através da tensão V_{GS} de um transistor MOS. Para que esta tensão apresente comportamento CTAT, no entanto, o transistor deverá ser operado na região de sublimiar.

Considerando um transistor MOS de canal n operando na região de sublimiar, a tensão $V_{GS,sub}$ deste pode ser expressa de acordo com a Equação 4.13, onde ζ_N é o *subthreshold slope* do transistor; U_T é a tensão térmica; $I_{D,sub}$ é a corrente entre dreno e fonte; e $I_{D,leak}$ é a corrente de fuga entre dreno e fonte (Kok; Tam, 2013).

$$V_{GS,sub} = \zeta_N \cdot U_T \cdot \ln\left(\frac{I_{D,sub}}{I_{D,leak}}\right) \quad (4.13)$$

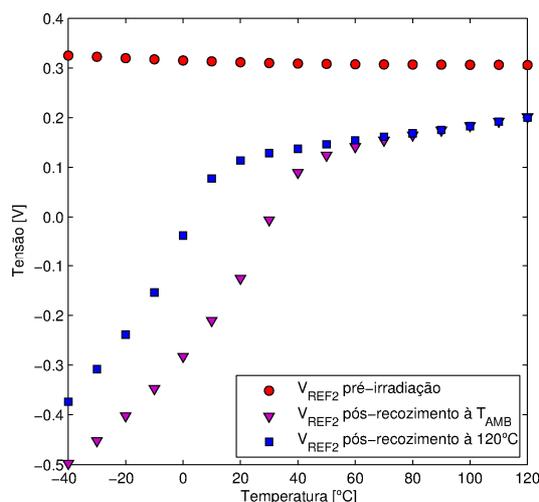
É possível observar, através da Equação 4.13, que o aumento da corrente de fuga $I_{D,leak}$ provoca um desvio negativo na tensão $V_{GS,sub}$. Sabe-se, no entanto, que a incidência de radiação ionizante em um dispositivo MOS provoca o aumento da corrente de fuga, podendo esta ser entre regiões de um mesmo dispositivo ou entre regiões de dispositivos distintos (Barnaby, 2006). Desse modo, é provável que, com o aumento da corrente de fuga entre dreno e fonte do transistor M_6 ao longo da irradiação, a tensão V_{GS} deste dispositivo tenha sofrido uma gradativa redução em função da dose total acumulada.

A topologia de espelho de corrente utilizado para a geração da grandeza PTAT na referência REF2, por sua vez, é a mesma utilizada para a referência REF1. Assim, uma mesma característica de degradação é esperada para este subcircuito, inserindo portanto, um desvio positivo na tensão V_{REF2} .

Em resumo, os resultados levam a concluir que este desvio positivo na tensão V_{REF2} – inserido pelo desbalanceamento do estágio PTAT pela radiação –, seja compensado pelo desvio negativo na tensão entre porta e fonte do transistor M_6 – responsável pelo fator CTAT do circuito. Em virtude desta característica de compensação, o circuito não apresenta um comportamento dominante na resposta à radiação.

A Figura 4.16 mostra a tensão de referência V_{REF2} em função da temperatura. Embora seja possível observar uma diferença entre a resposta do circuito após o recozimento à temperatura ambiente e a resposta do circuito após o recozimento à 120°C – para temperaturas de até 40°C – nota-se que a referência REF2, assim como a topologia REF1, também não produziu valores de referência condizentes com o funcionamento normal para o circuito.

Figura 4.16 – Tensão de referência V_{REF2} em função da temperatura.

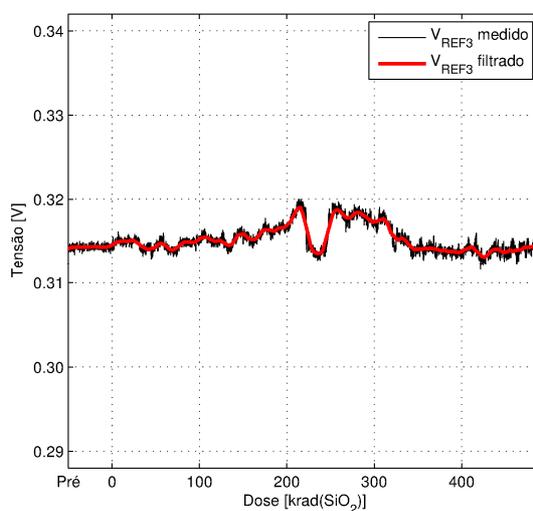


Fonte: O autor.

4.3.3 Referência REF3

A Figura 4.17 mostra a tensão de referência V_{REF3} em função da dose total acumulada. A medição desta curva foi realizada com os transistores M_{R1} à M_{R5} desligados – conforme a Figura 4.4 –, conferindo à resistência R_3 o máximo valor possível. A referência de tensão REF3 apresenta topologia praticamente idêntica à referência REF1, exceto pelo resistor R_3 – que em REF1 possui valor fixo e em REF3 tal valor é ajustável. Devido a esta pequena alteração em termos de esquemático, esperava-se que a resposta à radiação da topologia REF3 apresentasse comportamento

Figura 4.17 – Tensão de referência V_{REF3} em função da dose acumulada.



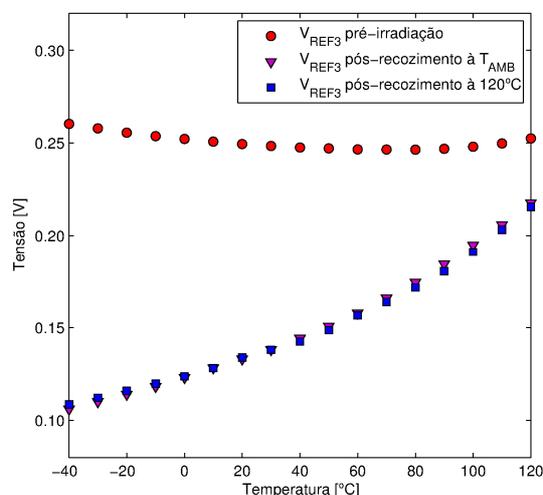
Fonte: O autor.

bastante parecido com a resposta observada para a topologia REF1. No entanto, o comportamento observado para V_{REF3} difere bastante do comportamento observado para V_{REF1} .

Similarmente à tensão V_{REF2} , a tensão V_{REF3} não apresenta um mecanismo dominante na resposta à radiação, uma vez que o valor desta antes da irradiação e após 490 krad de dose acumulada é praticamente o mesmo. Como para este circuito a medição das tensões térmicas intermediárias não estava disponível, não é possível afirmar convictamente como ocorreu este mecanismo de compensação. Uma hipótese, porém, é de que a radiação tenha induzido, gradativamente, correntes de fuga nos transistores responsáveis por controlar o resistor variável R_3 , ocasionando a diminuição da resistência total do conjunto e, conseqüentemente, a diminuição da tensão de saída V_{REF3} . Com isso, esta diminuição da tensão V_{REF3} compensaria o aumento induzido pela degradação do estágio gerador da grandeza PTAT.

Quanto ao comportamento em função da temperatura – mostrado na Figura 4.18, ambos os circuitos REF1 e REF3 apresentam curvas semelhantes, sendo que o circuito REF3 também falhou para as situações após o recozimento ambiente e após o recozimento acelerado. É possível também, observar uma diferença entre os valores pré-irradiação mostrados na Figura 4.17 e na Figura 4.18. Tal contraste deve-se ao fato de que, para a caracterização térmica, os transistores de ajuste da resistência R_3 foram mantidos ligados, conferindo o valor mínimo para este resistor. Durante a irradiação, por outro lado, tais transistores permaneceram desligados, conferindo o valor máximo para esta resistência. É importante salientar que esta diferenciação não era desejada e

Figura 4.18 – Tensão de referência V_{REF3} em função da temperatura



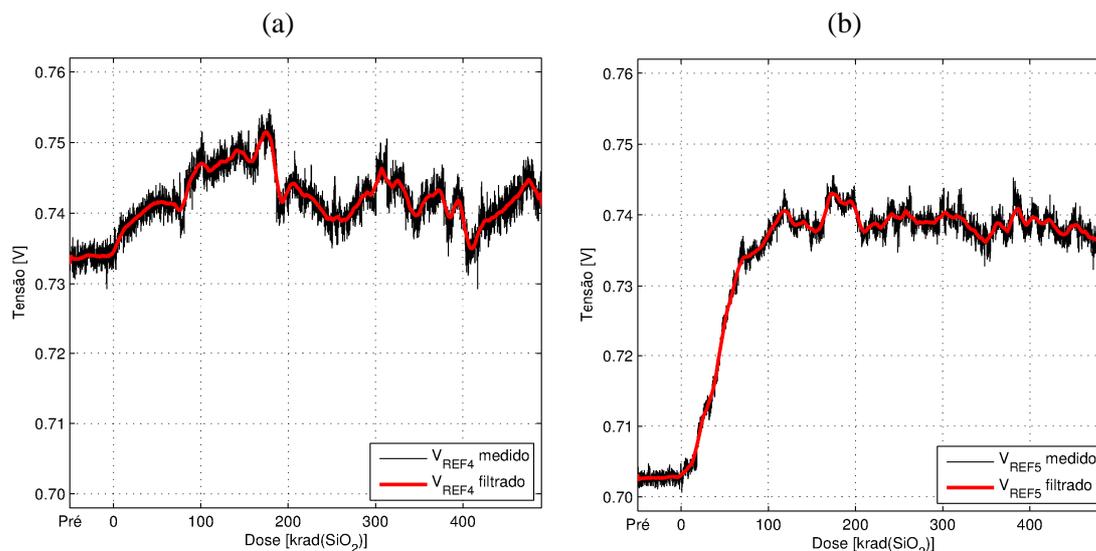
Fonte: O autor.

teve origem em um equívoco na operação da placa de testes.

4.3.4 Referência REF4 e Referência REF5

A Figura 4.19 mostra as tensões de referência V_{REF4} e V_{REF5} em função da dose total acumulada. Os circuitos REF4 e REF5 são topologias idênticas de referência de tensão, no entanto, pode-se observar um comportamento bem distinto entre V_{REF4} e V_{REF5} em função da dose acumulada. Enquanto a tensão V_{REF5} apresenta um desvio positivo – aproximadamente +35 mV – e bem definido em função da dose, a tensão V_{REF4} oscila em torno de 740 mV – durante a irradiação –, e apresenta um desvio positivo de, aproximadamente, +10 mV entre os valores pré e pós-irradiação, não sendo possível observar um mecanismo dominante.

Figura 4.19 – Tensão de referência V_{REF4} (a) e V_{REF5} (b) em função da dose acumulada.



Fonte: O autor.

Embora o circuito REF4 apresente a mesma topologia que o circuito REF5, acredita-se que este apresente algum defeito oriundo do processo de fabricação. Medições realizadas para a topologia REF4 em outros circuitos integrados produzidos mostraram que este circuito não apresenta um padrão de funcionamento. Desse modo, optou-se por não generalizar o comportamento desta topologia baseado nos resultados do circuito REF4. Assim, a análise para esta topologia de referência irá focar nos resultados obtidos para a tensão V_{REF5} .

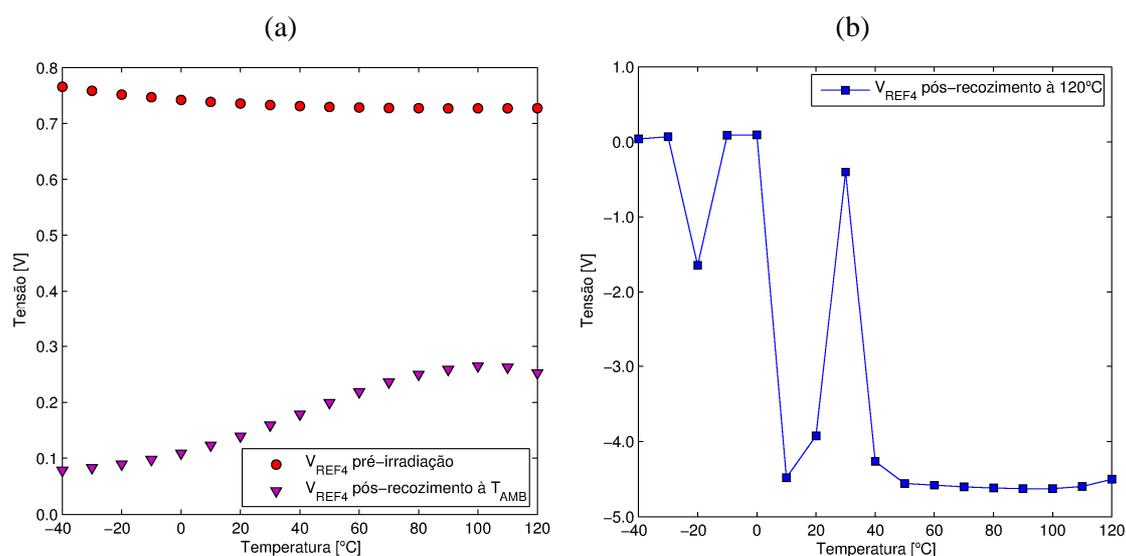
Trabalhos reportados na literatura indicam que a degradação da tensão de referência de topologias *bandgap* – que utilizem isolamento STI – em função da radiação

está associada à degradação das características I–V dos dispositivos bipolares envolvidos na geração das tensões CTAT e PTAT, principalmente devido às correntes de fuga (Gromov *et al.*, 2007; Cao *et al.*, 2013). Para a topologia REF5, o desvio positivo na tensão de referência pode ser atribuído ao aumento da corrente de fuga através do diodo D_2 , desbalanceando a compensação de temperatura e inserindo na tensão V_{REF5} uma característica predominantemente proporcional à temperatura. O diodo D_1 também sofre um aumento na corrente de fuga, porém, por ser bem menor em área que o diodo D_2 , tal aumento é bastante reduzido (Cao *et al.*, 2013).

Também se pode verificar na tensão V_{REF5} , um comportamento de saturação para doses superiores à, aproximadamente, 200 krad. Tal comportamento deve-se ao fato de que, no início da irradiação, a indução de correntes de fuga no diodo é predominante aos efeitos da radiação na tensão direta do dispositivo. No decorrer da irradiação, no entanto, a diminuição da tensão direta do diodo acarreta na diminuição da corrente direta deste – tendo em vista a relação exponencial entre I_D e V_D –, compensando os efeitos da corrente de fuga (Cao *et al.*, 2013).

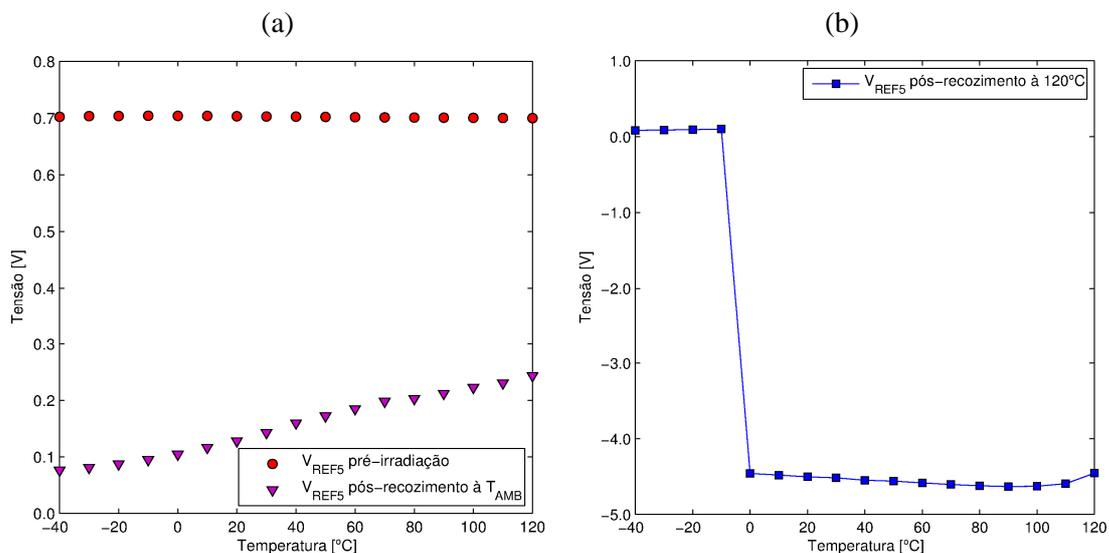
Para as medições em temperatura dos circuitos REF4 e REF5 – mostradas na Figura 4.20 e na Figura 4.21, respectivamente –, é possível observar que ambos não apresentaram valores coerentes de funcionamento após o recozimento à temperatura ambiente e após o recozimento acelerado.

Figura 4.20 – Tensão de referência V_{REF4} em função da temperatura: antes da irradiação e após o recozimento à temperatura ambiente (a), e após o recozimento acelerado a 120°C (b).



Fonte: O autor.

Figura 4.21 – Tensão de referência V_{REF5} em função da temperatura: antes da irradiação e após o recozimento à temperatura ambiente (a), e após o recozimento acelerado a 120°C (b).

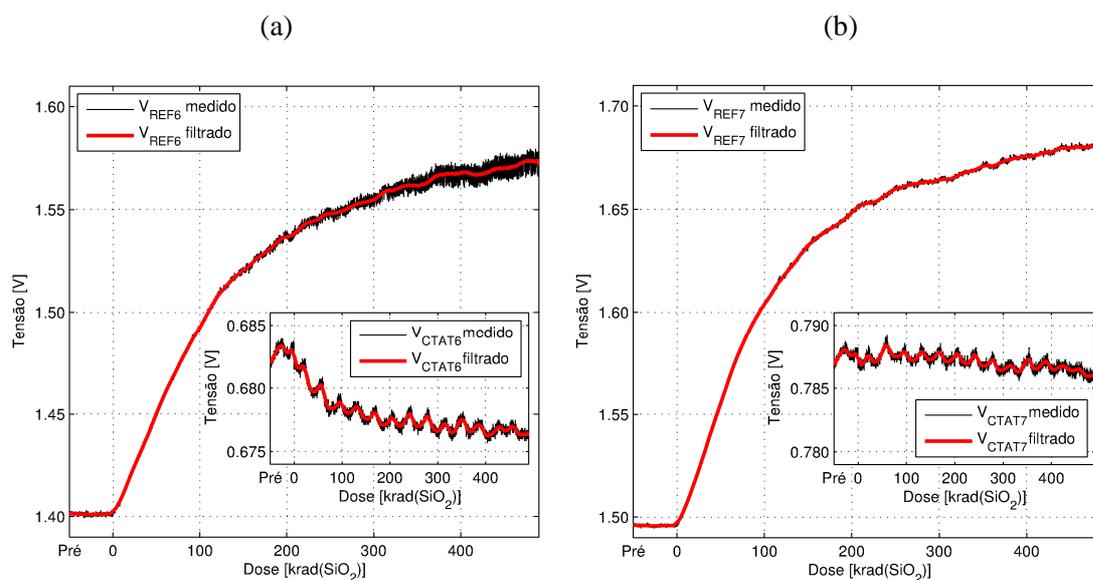


Fonte: O autor.

4.3.5 Referência REF6 e Referência REF7

A Figura 4.22 mostra a tensão de referência V_{REF6} e a tensão de referência V_{REF7} , bem como, as respectivas tensões térmicas V_{CTAT6} e V_{CTAT7} em função da dose

Figura 4.22 – Tensão de referência V_{REF6} (a) e V_{REF7} (b) e as respectivas tensões térmicas CTAT em função da dose acumulada.



Fonte: O autor.

acumulada. Pode-se observar que ambas as tensões de referência sofreram um desvio positivo em função da dose acumulada, cujo valor aproximado é de +170 mV para ambas. As tensões térmicas, por outro lado, apresentaram variações negativas em função da dose, além destas terem sido bem menos expressivas – em torno de –5 mV para V_{CTAT6} , e –1 mV para V_{CTAT7} .

Como estas tensões térmicas CTAT foram geradas a partir de junções *p-n* diretamente polarizadas, variações pequenas em função da dose acumulada eram esperadas. Nestas estruturas, a tensão de polarização direta é bastante tolerante à radiação ionizante, cujo efeito principal observado é a degradação da corrente reversa e a redução da tensão de ruptura da junção (Wirth; Rogers, 1964; Snow *et al.*, 1967). Em tecnologias modernas, as cargas aprisionadas no óxido de isolamento STI contribuem também para o aumento da corrente de fuga através destes dispositivos (Cao *et al.*, 2013).

As variações negativas em V_{CTAT6} e V_{CTAT7} contribuem para a diminuição da tensão de referência do respectivo circuito. Por outro lado, a variação observada nas tensões de referência V_{REF6} e V_{REF7} é positiva, indicando que o mecanismo dominante responsável pela degradação é o circuito gerador da grandeza PTAT.

Assim como sugerido para a referência REF1, é provável que a alteração na tensão de limiar dos transistores que compõem o espelho de corrente gerador da tensão PTAT tenha sido a principal responsável pela degradação da tensão de referência V_{REF6} e V_{REF7} , juntamente com a degradação das propriedades térmicas dos transistores compostos. Assumindo essa condição e sendo este circuito idêntico para ambas as topologias, pode-se compreender por que as variações ΔV_{REF6} e ΔV_{REF7} obtidas são praticamente iguais.

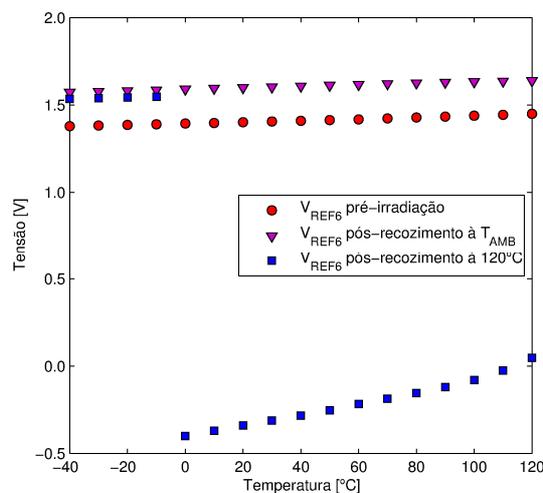
Ao comparar os desvios ΔV_{REF6} e ΔV_{REF7} (+170 mV) com o desvio ΔV_{REF1} (+45 mV), pode-se observar uma diferença superior a três vezes na variação da tensão de saída dos circuitos REF6 e REF7 em comparação ao circuito REF1. Normalizando esta variação em função da tensão de alimentação – visto que esta é diferenciada para os circuitos REF6 e REF7 e o circuito REF1 – utilizando a Equação 4.14, ainda assim ΔV_{REF6_NORM} e ΔV_{REF7_NORM} se apresentam aproximadamente 1,8 vezes maior que ΔV_{REF1_NORM} .

$$\Delta V_{REF_NORM} = \frac{\Delta V_{REF}}{V_{DD}} \quad (4.14)$$

Tal diferença pode ser associada à espessura do óxido de porta dos transistores utilizados para a concepção de tais circuitos. Enquanto a topologia REF1 utilizou transistores com espessura de óxido de porta de 2,2 nm, as referências REF6 e REF7 empregaram transistores com óxido de porta de 5,2 nm. Uma vez que os efeitos da radiação ionizante tem relação praticamente quadrática com a espessura do óxido (Schrimpf, 2007), uma maior degradação é esperada para estes dois últimos circuitos.

A Figura 4.23 e a Figura 4.24 mostram o comportamento das tensões de referência V_{REF6} e V_{REF7} , respectivamente, em função da temperatura. Para a tensão V_{REF6} , pode-se observar que após o recozimento à temperatura ambiente, o circuito ainda operou de maneira satisfatória, no entanto, com um determinado desvio frente ao valor observado previamente à irradiação. Tal desvio tem origem na alteração definitiva dos parâmetros elétricos dos transistores do circuito causado pela radiação ionizante.

Figura 4.23 – Tensão de referência V_{REF6} em função da temperatura.

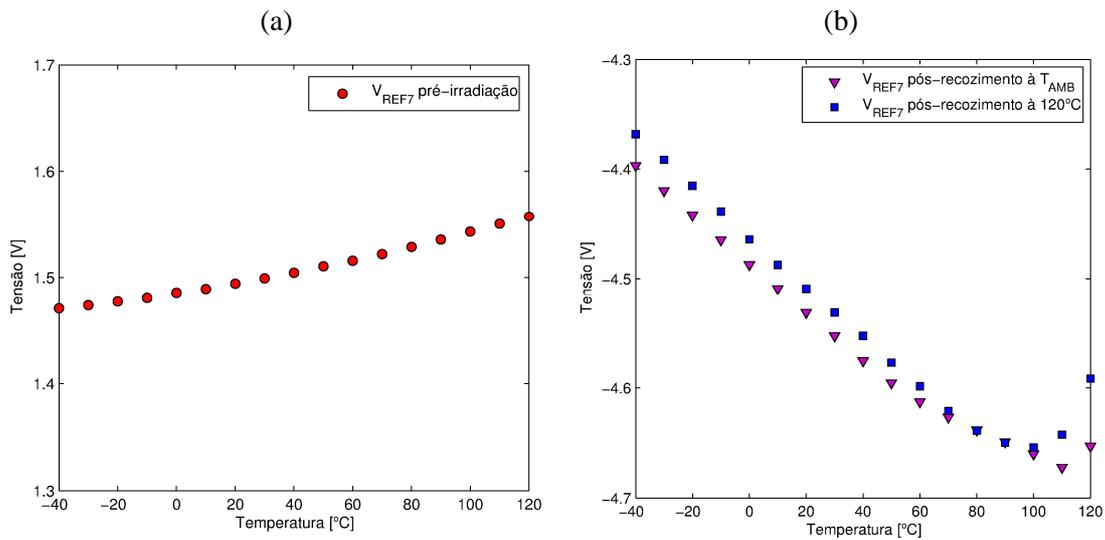


Fonte: O autor.

Após o recozimento à 120°C, no entanto, nota-se na tensão V_{REF6} uma ligeira recuperação, isso para temperaturas de até -10°C . Esta diminuição da tensão de saída pode ter ocorrido pelo recozimento parcial de cargas no óxido e na interface, fazendo com que os desvios nos parâmetros elétricos dos transistores diminuíssem, fazendo com que o circuito voltasse a operar em uma região mais próxima da nominal.

Para temperaturas superiores à -10°C , no entanto, o circuito REF6 não mais apresentou valores coerentes de tensão de referência. Este comportamento também pôde

Figura 4.24 – Tensão de referência V_{REF7} em função da temperatura: antes da irradiação (a), e após os recozimentos à temperatura ambiente e a 120°C (b).



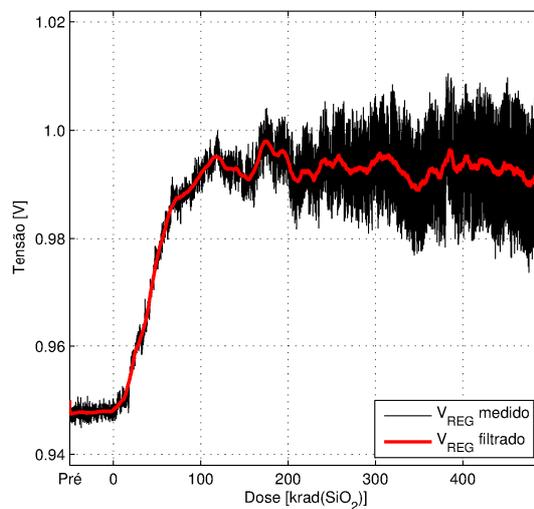
Fonte: O autor.

ser observado para o circuito REF7 após o recozimento à temperatura ambiente e recozimento acelerado.

4.3.6 Regulador de Tensão REG1

A Figura 4.25 mostra a tensão de saída V_{REG1} em função da dose total acumulada. Como este circuito utiliza a tensão V_{REF5} como referência, pose-se observar que as curvas para V_{REG1} e V_{REF5} são praticamente idênticas. A tensão V_{REG1} , no

Figura 4.25 – Tensão de saída V_{REG1} em função da dose acumulada.



Fonte: O autor.

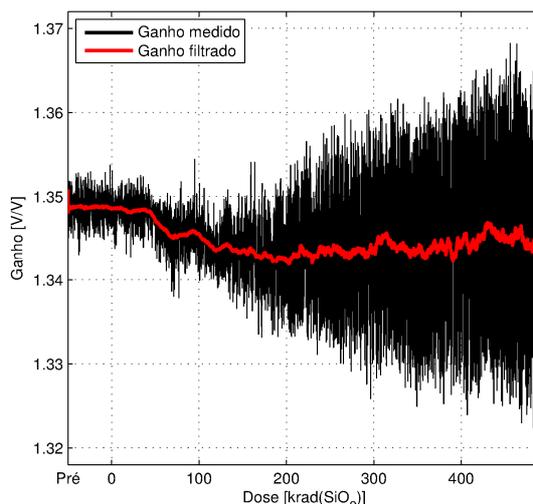
entanto, apresenta uma quantidade maior oscilações na medição. Pela característica proporcional à dose acumulada, estima-se que estas flutuações podem estar correlacionadas à algum mecanismo de degradação devido à dose total.

Devido à característica realimentada, o regulador REG1 tende a manter a saída V_{REG1} em um determinado valor, que é função da tensão de referência utilizada – V_{REF5} – e do ganho inserido através dos resistores R_1 e R_2 – conforme a Equação 4.9. Uma vez que o a relação entre os resistores é fixa, a tensão V_{REG1} é a própria tensão V_{REF5} multiplicada por tal ganho.

A malha de realimentação é controlada por um amplificador operacional, circuito no qual a radiação ionizante causar um aumento no *offset* e a redução do ganho (Gunaseelan *et al.*, 2003). No entanto, estima-se que, por este último ser quase unitário para o regulador, a degradação do circuito REG1, durante a irradiação, não foi provocada pelo detrimento do ganho do amplificador.

A Figura 4.26 mostra a relação V_{REG1}/V_{REF5} , i.e., o ganho do circuito REG1, onde se pode observar uma diminuição deste parâmetro em função da dose acumulada. Estima-se que o *offset* – introduzido pelo desbalanceamento dos transistores do amplificador operacional devido à radiação – afetou a comparação entre a tensão V_{REF5} e a tensão de realimentação, resultando na diminuição deste parâmetro em função da dose acumulada.

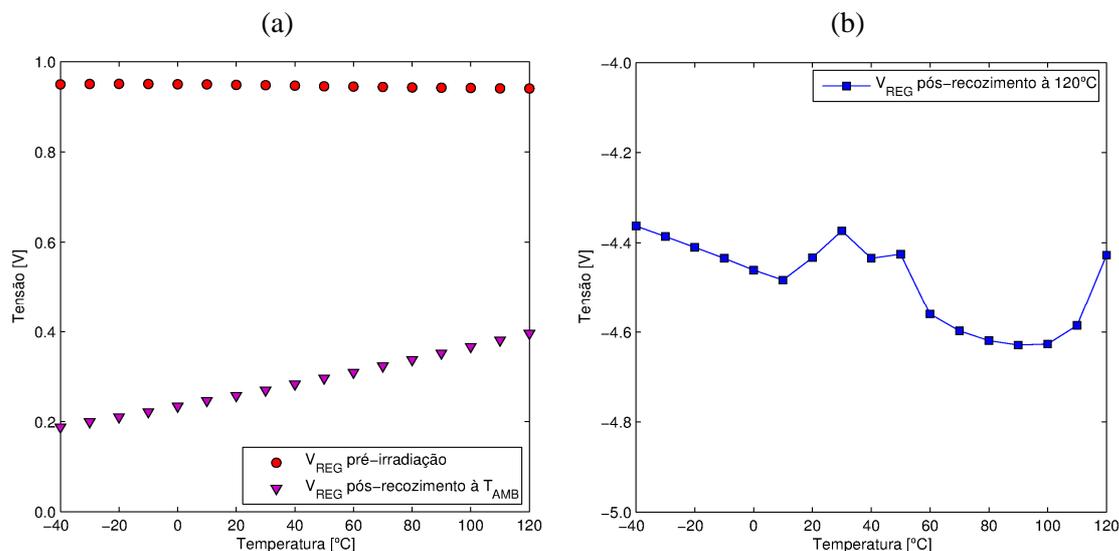
Figura 4.26 – Ganho do circuito REG1 em função da dose acumulada.



Fonte: O autor.

A Figura 4.27 mostra a tensão de saída V_{REG1} em função da temperatura. Na medição efetuada após o recozimento à temperatura ambiente, pode-se observar que a

Figura 4.27 – Tensão de saída V_{REG1} em função da temperatura: antes da irradiação e após o recozimento à temperatura ambiente (a), e após o recozimento acelerado a 120°C (b).



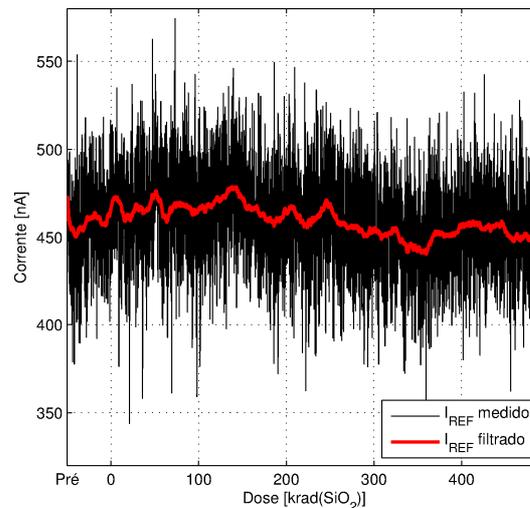
Fonte: O autor.

curva da tensão V_{REG1} é bastante semelhante à curva da tensão V_{REF5} . Desse modo, é provável que o regulador de tensão ainda esteja em funcionamento nesta condição. Para a situação após o recozimento acelerado, no entanto, as curvas para V_{REG1} e V_{REF5} em função da temperatura não podem ser correlacionadas, indicando que o circuito regulador degradou completamente o seu funcionamento.

4.3.7 Fonte de Corrente IREF

A Figura 4.28 mostra a corrente I_{REF} em função da dose acumulada. Pode-se observar que este parâmetro apresentou um desvio negativo de, aproximadamente, -10 nA. Por se tratar de um estágio PTAT com espelho de corrente, a variação esperada era um desvio positivo na corrente, assim como observado nas referências REF1, REF6 e REF7. Simulações elétricas de uma fonte de corrente de topologia similar, no entanto, indicaram uma maior tolerância dos pares *cascode* à radiação. Utilizando desvios negativos para as tensões de limiar dos transistores e $\Delta V_{THN} > \Delta V_{THP}$, foi possível verificar através de simulações de Monte Carlo, situações de operação onde este desvio na corrente I_{REF} é negativo, como observado experimentalmente. O mecanismo responsável pela variação negativa, no entanto, não foi claramente identificado.

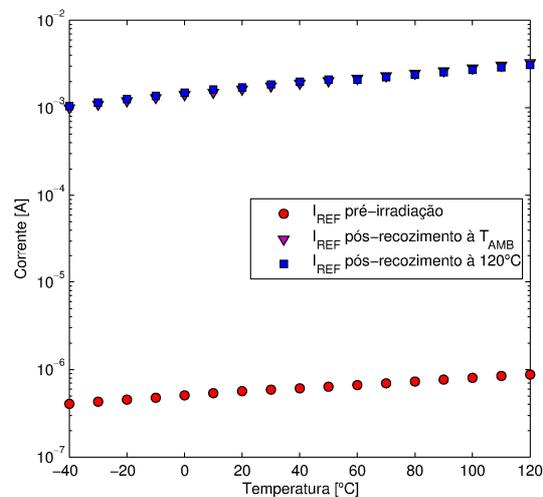
Pode-se observar também que a corrente I_{REF} se apresentou bastante oscilante. Estas variações, no entanto, não foram correlacionadas aos efeitos de dose total. Como a

Figura 4.28 – Corrente I_{REF} em função da dose total acumulada

Fonte: O autor.

resolução do amperímetro utilizado para a medição deste parâmetro era de 10 nA, atribui-se esta grande variabilidade obtida na medição foi introduzida pelo próprio equipamento, uma vez que este foi observado também nas medições pré-irradiação.

A Figura 4.29 mostra a corrente I_{REF} em função da temperatura. Pode-se observar que após o recozimento à temperatura ambiente e após o recozimento à 120°C, esta corrente apresentou uma variação superior a três ordens de grandeza. Tal variação pode ser atribuída ao aumento da corrente de fuga entre dispositivos distintos – através da isolação STI –, assim como o aumento da fuga entre dreno e fonte de um mesmo dispositivo.

Figura 4.29 – Corrente I_{REF} em função da temperatura.

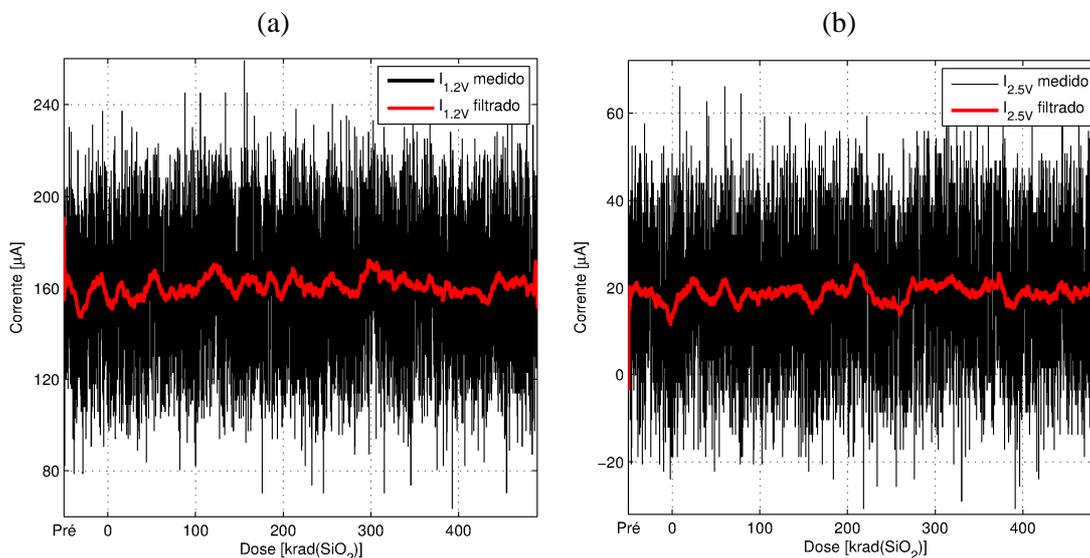
Fonte: O autor.

Em transistores NMOS, o aprisionamento de carga na interface entre a parede lateral do óxido e o semiconductor é o principal responsável pelo aumento da corrente de fuga entre dreno e fonte de um mesmo dispositivo. Para circuitos com isolamento STI, esta corrente pode aumentar até seis ordens de grandeza para uma dose acumulada de até 500 krad (Shaneyfelt *et al.*, 1998). A fuga de corrente entre dispositivos distintos através da isolamento STI, por sua vez, pode aumentar mais de uma ordem de grandeza para esta mesma dose (Faccio *et al.*, 2008).

4.3.8 Correntes de Alimentação

A Figura 4.30 mostra as correntes de alimentação para os circuitos alimentados com 1,2 V ($I_{1,2V}$) e para os circuitos alimentados por 2,5 V ($I_{2,5V}$). Pode-se observar que ambas estas correntes não apresentaram um comportamento de variação dominante, permanecendo o valor mensurado ao fim do experimento muito próximo do valor mensurado anterior à irradiação.

Figura 4.30 – Corrente de alimentação para os circuitos de 1,2 V (a) e para os circuitos de 2,5 V (b).



Fonte: O autor.

Esperava-se, no entanto, um incremento nas correntes de alimentação em função da dose total acumulada, dado o aumento das correntes de fuga (Hopkinson, 2000). Contudo, o aumento da corrente de fuga com a dose total acumulada – para tecnologias modernas – permanece em torno de dezenas de nano ampères, isso para uma dose de até

500 krad (Faccio; Cervelli, 2005; Faccio *et al.*, 2008). Desse modo, as variações na corrente de fuga se mostram até três ordens de grandeza menores que as correntes de alimentação dos circuitos utilizados, não sendo possível vislumbrar esta componente nos gráficos da Figura 4.30.

As correntes de alimentação não foram mensuradas na caracterização térmica pré-irradiação e nem após o recozimento à temperatura ambiente. Nas medições realizadas após o recozimento à 120°C, a corrente $I_{1,2V}$ extrapolou o valor de proteção interna do caracterizador de semicondutores, i.e., 100 mA, indicando a total degradação dos circuitos alimentados. Os resultados da medição da corrente $I_{2,5V}$ após o recozimento acelerado, por sua vez, foi descartada, uma vez que se identificou a ruptura de alguns fios de ligação (*wire bonds*) alimentados por esta corrente, comprometendo o confiabilidade do valor mensurado.

4.3.9 Sumário das Medições

Por fim, é apresentada nesta seção, a sumarização dos resultados obtidos neste trabalho. A Tabela 4.4 mostra os valores aproximados obtidos para os circuitos testados, antes da irradiação e ao final do experimento, calculando ainda o percentual de variação sobre o valor inicial. Por ter sido descartada a análise do circuito REF4, a tensão V_{REF4} não é mostrada.

Tabela 4.4 – Valores aproximados das grandezas mensuradas antes e após a irradiação.

Grandeza	Valor pré-irradiação	Valor pós-irradiação	Variação [%]
V_{REF1}	0,295 V	0,340 V	+15,3
V_{REF2}	0,310 V	0,310 V	~ 0
V_{REF3}	0,315 V	0,315 V	~ 0
V_{REF5}	0,704 V	0,740 V	+5,1
V_{REF6}	1,40 V	1,57 V	+12,1
V_{REF7}	1,50 V	1,68 V	+12,0
V_{REG1}	0,95 V	0,99 V	+4,2
I_{REF}	450 nA	440 nA	-2,2
$I_{1,2V}$	160 μ A	160 μ A	~ 0
$I_{2,5V}$	20 μ A	20 μ A	~ 0

Fonte: O autor.

5 CONCLUSÕES

Dispositivos e circuitos eletrônicos quando expostos à radiação ionizante estão sujeitos à degradação dos seus parâmetros elétricos e a falhas funcionais devido aos efeitos de dose total ionizante. Tais efeitos tem origem no acúmulo de cargas nos dielétricos dos dispositivos – óxido de porta e óxido de campo – e na interface entre óxido e semicondutor.

Neste contexto, foi realizado um ensaio de irradiação com o objetivo de mensurar a degradação do desempenho de circuitos analógicos fabricados em tecnologia CMOS de 130 nm. Um circuito integrado contendo sete referências de tensão, um regulador de tensão e uma fonte de corrente foi exposto a uma fonte de radiação gama ^{60}Co , e as grandezas de saída de cada topologia foram mensuradas em função da dose acumulada. Em uma etapa posterior à irradiação, estas grandezas também foram mensuradas em função da temperatura – após um processo de recozimento em temperatura ambiente e outro de recozimento acelerado.

A maior parte das referências de tensão irradiadas apresentou desvios positivos na tensão de referência ao longo da irradiação. Para estas topologias, ainda foi possível identificar que a resposta à radiação foi dominada pela degradação no circuito gerador da grandeza proporcional à temperatura. As referências REF2 e REF3, por outro lado, não apresentaram um comportamento dominante na degradação e nem variações significativas na tensão de referência ao longo da irradiação, indicando uma maior tolerância aos efeitos de dose total nestas topologias. Nas medições após o recozimento à temperatura ambiente, apenas a referência REF6 se manteve funcional, enquanto que após o recozimento acelerado, todas as topologias se mostraram completamente degradadas.

O regulador de tensão REG1, por sua vez, não apresentou significativa degradação em seu desempenho ao longo da irradiação, uma vez que a variação na sua tensão de saída foi causada pela degradação da tensão V_{REF5} . Foi evidenciado, no entanto, um detrimento no ganho do circuito REG1 em virtude do aumento do *offset* do amplificador operacional, provavelmente causado pela degradação dos parâmetros elétricos dos transistores deste circuito pela radiação ionizante.

Como última grandeza mensurada a ser analisada, a corrente I_{REF} apresentou ligeira diminuição ao longo da irradiação. O mecanismo responsável por esta

diminuição, no entanto, não foi claramente identificado. As medições após o recozimento à temperatura ambiente e após o recozimento acelerado indicaram um aumento superior a três ordens de grandeza nesta corrente. Tal aumento foi atribuído ao incremento das correntes de fuga – entre dispositivos distintos e entre dreno e fonte de um mesmo dispositivo – que podem atingir até seis ordens de grandeza para a tecnologia que utilizem isolação STI.

Além das já discutidas alterações, foi possível observar também uma resposta diferenciada à radiação para circuitos com diferentes espessuras de óxido de porta. Conforme o esperado, circuitos com óxido mais espesso apresentaram maior degradação frente às topologias que fizeram uso de óxidos mais finos.

Por fim, sugere-se que os resultados deste trabalho sejam analisados com cautela. Devido ao número unitário de circuitos irradiados, não é possível afirmar convictamente que o padrão de variação observado para as tensões de referência seja típico para a topologia. Além disso, o circuito integrado contendo as topologias irradiadas encontra-se exposto à atmosfera ambiente, podendo a incorporação de impurezas após a irradiação ter contribuído para a degradação observada nas situações pós-recozimento. A ruptura de alguns *wire bonds*, no entanto, pode ter afetado a confiabilidade dos valores observados nas medições pós-recozimento acelerado.

REFERÊNCIAS

- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. 2nd ed. New York: Oxford University Press, 2002. 784 p.
- ALLENSPACH, M. *et al.* Evaluation of SEGR threshold in power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 41, n. 6, p. 2160-2166, 1994.
- BANBA, H. *et al.* A CMOS bandgap reference circuit with sub-1-V operation. **Solid-State Circuits, IEEE Journal of**, [s.l.], v. 34, n. 5, p. 670-674, 1999.
- BARNABY, H. J. Total-ionizing-dose effects in modern CMOS technologies. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 53, n. 6, p. 3103-3121, 2006.
- BREWS, J. R. *et al.* A conceptual model of a single-event gate-rupture in power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 40, n. 6, p. 1959-1966, 1993.
- BROKAW, A. A simple three-terminal IC bandgap reference. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, 1974, Philadelphia. **Digest of Technical Papers**. New York: Lewis Winner, 1974. p.188-189.
- BRUGUIER, G.; PALAU, J. M. Single particle-induced latchup. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 2, p. 522-532, 1996.
- CAO, Y. *et al.* A 4.5 MGy TID-tolerant CMOS bandgap reference circuit using a dynamic base leakage compensation technique. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 60, n. 4, p. 2819-2824, 2013.
- CESCHIA, M. *et al.* Radiation induced leakage current and stress induced leakage current in ultra-thin gate oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 45, n. 6, p. 2375-2382, 1998.
- COLOMBO, D. *et al.* A CMOS 25.3 ppm/°C bandgap voltage reference using self-cascode composite transistor. In: 3RD IEEE LATIN AMERICAN SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2012, Playa del Carmen. **Proceedings...** New York: IEEE, 2012. p.1-4.
- COLOMBO, D. M. **Comunicação privada**. 2014.
- COLOMBO, D. M. *et al.* A design methodology using the inversion coefficient for low-voltage low-power CMOS voltage references. **Journal Integrated Circuits and Systems**, [s.l.], v. 6, n. 1, p. 7-17, 2011.
- DAI, Y. *et al.* Threshold voltage based CMOS voltage reference. **Circuits, Devices and Systems, IEEE Proceedings -**, [s.l.], v. 151, n. 1, p. 58-62, 2004.
- DODD, P. E. Physics-based simulation of single-event effects. **Device and Materials Reliability, IEEE Transactions on**, [s.l.], v. 5, n. 3, p. 343-357, 2005.

DODD, P. E.; MASSENGILL, L. W. Basic mechanisms and modeling of single-event upset in digital microelectronics. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 583-602, 2003.

DUFOUR, C. *et al.* Heavy ion induced single hard errors on submicronic memories. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 39, n. 6, p. 1693-1697, 1992.

DUZELLIER, S.; BERGER, G. Test Facilities for SEE and Dose Testing. In: Velazco, R.; Fouillat, P., *et al* (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007. p. 201-232.

ENLOW, E. W. *et al.* Response of advanced bipolar processes to ionizing radiation. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 38, n. 6, p. 1342-1351, 1991.

ENTRENA, L. *et al.* SET emulation considering electrical masking effects. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 56, n. 4, p. 2021-2025, 2009.

FACCIO, F. *et al.* Total ionizing dose effects in shallow trench isolation oxides. **Microelectronics Reliability**, [s.l.], v. 48, n. 7, p. 1000-1007, 2008.

FACCIO, F.; CERVELLI, G. Radiation-induced edge effects in deep submicron CMOS transistors. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 52, n. 6, p. 2413-2420, 2005.

FELIX, J. A. *et al.* Effects of radiation and charge trapping on the reliability of high- κ gate dielectrics. **Microelectronics Reliability**, [s.l.], v. 44, n. 4, p. 563-575, 2004.

FERREIRA, L. H. C.; PIMENTA, T. C.; MORENO, R. L. A CMOS threshold voltage reference source for very-low-voltage applications. **Microelectronics Journal**, [s.l.], v. 39, n. 12, p. 1867-1873, 2008.

FILANOVSKY, I. M.; ALLAM, A. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits. **Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on**, [s.l.], v. 48, n. 7, p. 876-884, 2001.

FISCHER, T. A. Heavy-ion-induced gate-rupture in power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 34, n. 6, p. 1786-1791, 1987.

FLEETWOOD, D. M. *et al.* Physical mechanisms contributing to enhanced bipolar gain degradation at low dose rates. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 41, n. 6, p. 1871-1883, 1994.

GADLAGE, M. J. *et al.* Single event transient pulse widths in digital microcircuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 51, n. 6, p. 3285-3290, 2004.

GERARDI, G. J. *et al.* Interface traps and P_b centers in oxidized $\langle 100 \rangle$ silicon wafers. **Applied Physics Letters**, [s.l.], v. 49, n. 6, p. 348-350, 1986.

GRAVES, R. J. *et al.* Modeling low-dose-rate effects in irradiated bipolar-base oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 45, n. 6, p. 2352-2360, 1998.

GROMOV, V. *et al.* A radiation hard bandgap reference circuit in a standard 0.13 μm CMOS technology. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 54, n. 6, p. 2727-2733, 2007.

GROVE, A. S.; FITZGERALD, D. J. Surface effects on p-n junctions: Characteristics of surface space-charge regions under non-equilibrium conditions. **Solid-State Electronics**, [s.l.], v. 9, n. 8, p. 783-806, 1966.

GUNASEELAN, S. T.; SELVAKUMAR, C. R.; HIEMSTRA, D. Radiation effects and annealing behaviour of operational amplifiers for space application. In: CANADIAN CONFERENCE ON ELECTRICAL AND COMPUTER ENGINEERING, 2003, Montreal. **Proceedings...** New York: IEEE, 2003. p.303-306.

HEIJMEN, T. Soft Errors from Space to Ground: Historical Overview, Empirical Evidence, and Future Trends. In: Nicolaidis, M. (Ed.). **Soft Errors in Modern Electronic Systems**. New York: Springer, v.41, 2011. p. 1-25.

HILBIBER, D. A new semiconductor voltage standard. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, 1964, Philadelphia. **Digest of Technical Papers**. New York: Lewis Winner, 1964. p.32-33.

HJALMARSON, H. P. *et al.* Mechanisms for radiation dose-rate sensitivity of bipolar transistors. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 6, p. 1901-1909, 2003.

HOHL, J. H.; GALLOWAY, K. F. Analytical model for single event burnout of power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 34, n. 6, p. 1275-1280, 1987.

HOPKINSON, G. R. Radiation effects in a CMOS active pixel sensor. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 47, n. 6, p. 2480-2484, 2000.

IBM. **Design kit and technology training CMOS8RF (CM8RFSF)**. v1.7.0.0. 2010. 299 p.

JOHNS, D. A.; MARTIN, K. **Analog Integrated Circuit Design**. 1st ed. New York: John Wiley & Sons, 1997. 706 p.

JOHNSTON, A. H.; PLAAG, R. E. Models for total dose degradation of linear integrated circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 34, n. 6, p. 1474-1480, 1987.

JOHNSTON, A. H.; SWIFT, G. M.; RAX, B. G. Total dose effects in conventional bipolar transistors and linear integrated circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 41, n. 6, p. 2427-2436, 1994.

KANG, A. Y.; LENAHAN, P. M.; CONLEY, J. F. The radiation response of the high dielectric-constant hafnium oxide/silicon system. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 49, n. 6, p. 2636-2642, 2002.

KARNIK, T.; HAZUCHA, P. Characterization of soft errors caused by single event upsets in CMOS processes. **Dependable and Secure Computing, IEEE Transactions on**, [s.l.], v. 1, n. 2, p. 128-143, 2004.

KER, M.-D.; CHEN, J.-S.; CHU, C.-Y. A CMOS bandgap reference circuit for sub-1-V operation without using extra low-threshold-voltage device. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 2004, Vancouver. **Proceedings...** New York: IEEE, 2004. p.41-44.

KOGA, R.; KOLASINSKI, W. A. Heavy ion induced snapback in CMOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 36, n. 6, p. 2367-2374, 1989.

KOK, C.-W.; TAM, W.-S. **CMOS Voltage References: An Analytical and Practical Perspective**. 1st ed. New York: Wiley-IEEE Press, 2013. 304 p.

LEE, T. H. **The Design of CMOS Radio-Frequency Integrated Circuits**. 2nd ed. Cambridge: Cambridge University Press, 2004. 816 p.

LENAHAN, P. M.; BOHNA, N. A.; CAMPBELL, J. P. Radiation-induced interface traps in MOS devices: capture cross section and density of states of P_{b1} silicon dangling bond centers. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 49, n. 6, p. 2708-2712, 2002.

LIU, W. **MOSFET Models for SPICE Simulation: Including BSIM3v3 and BSIM4**. 1st ed. New York: Wiley-IEEE Press, 2001. 600 p.

LOFERSKI, J. J.; RAPPAPORT, P. Radiation damage in Ge and Si detected by carrier lifetime changes: Damage thresholds. **Physical Review**, [s.l.], v. 111, n. 2, p. 432-439, 1958.

MA, T. P.; DRESSENDORFER, P. V. **Ionizing radiation effects in MOS devices and circuits**. 1st ed. New York: John Wiley & Sons, 1989. 589 p.

MCLEAN, F. B.; BOESCH, H. E., JR; OLDHAM, T. R. Electron-hole generation, transport and trapping in SiO_2 . In: Ma, T. P. e Dressendorfer, P. V. (Ed.). **Ionizing Radiation Effects in MOS Devices and Circuits**. 1st ed. New York: John Wiley & Sons, 1989. p. 87-192.

MCLEAN, F. B.; BOESCH, H. E., JR. Time-dependent degradation of MOSFET channel mobility following pulsed irradiation. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 36, n. 6, p. 1772-1783, 1989.

MCLEAN, F. B.; OLDHAM, T. R. **Basic mechanisms of radiation effects in electronic materials and devices**. 1987. 91 p. Disponível em: <<http://www.dtic.mil/dtic/tr/fulltext/u2/a186936.pdf>>. Acesso em: 24 de fevereiro de 2014.

MEISENHEIMER, T. L.; FLEETWOOD, D. M. Effect of radiation-induced charge on 1/f noise in MOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 37, n. 6, p. 1696-1702, 1990.

MESSENGER, G. C. A summary review of displacement damage from high energy radiation in semiconductors and semiconductor devices. In: 1ST EUROPEAN CONFERENCE ON RADIATION AND ITS EFFECTS ON DEVICES AND SYSTEMS, 1991, La Grande-Motte. **Proceedings...** New York: IEEE, 1991. p.35-40.

NORMAND, E. Single-event effects in avionics. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 43, n. 2, p. 461-474, 1996.

NOWLIN, R. N. *et al.* Trends in the total-dose response of modern bipolar transistors. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 39, n. 6, p. 2026-2035, 1992.

NOWLIN, R. N. *et al.* Mechanisms of ionizing-radiation-induced degradation in modern bipolar devices. In: BIPOLAR CIRCUITS AND TECHNOLOGY MEETING, 1991, Minneapolis. **Proceedings...** New York: IEEE, 1991. p.174-177.

OCHOA, A. *et al.* Snap-back: A stable regenerative breakdown mode of MOS devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 30, n. 6, p. 4127-4130, 1983.

OLDHAM, T. R.; MCLEAN, F. B. Total ionizing dose effects in MOS oxides and devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 483-499, 2003.

PEASE, R. L. Total ionizing dose effects in bipolar devices and circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 539-551, 2003.

PEASE, R. L. *et al.* Total dose effects in recessed oxide digital bipolar microcircuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 30, n. 6, p. 4216-4223, 1983.

POCH, W.; HOLMES-SIEDLE, A. G. A prediction and selection system for radiation effects in planar transistors. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 15, n. 6, p. 213-223, 1968.

RASHKEEV, S. N. *et al.* Physical model for enhanced interface-trap formation at low dose rates. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 49, n. 6, p. 2650-2655, 2002.

RASHKEEV, S. N. *et al.* Defect generation by hydrogen at the Si-SiO₂ interface. **Physical Review Letters**, [s.l.], v. 87, n. 16, p. 165506, 2001.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 1st ed. New York: McGraw-Hill Inc., 2001. 704 p.

RE, V. *et al.* Total ionizing dose effects on the analog performance of a 0.13 μm CMOS technology. In: IEEE RADIATION EFFECTS DATA WORKSHOP, 2005, Seattle. **Proceedings...** New York: IEEE, 2005. p.122-126.

RINCON-MORA, G. A. **Voltage References: From Diodes to Precision High-Order Bandgap Circuits**. 1st ed. New York: Wiley-IEEE Press, 2001. 192 p.

SCHRIMPF, R. D. Radiation Effects in Microelectronics. In: Velazco, R.; Fouillat, P., *et al* (Ed.). **Radiation Effects on Embedded Systems**. Dordrecht: Springer, 2007. p. 11-29.

SCHWANK, J. R. Basic mechanisms of radiation effects in the natural space radiation environment. In: IEEE NUCLEAR AND SPACE RADIATION EFFECTS CONFERENCE, 1994, Tucson. **NSREC Short Course**. New York: IEEE, 1994. p.18-22.

SCHWANK, J. R. *et al.* Radiation effects in MOS oxides. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 55, n. 4, p. 1833-1853, 2008.

SCHWANK, J. R. *et al.* Physical mechanisms contributing to device "rebound". **Nuclear Science, IEEE Transactions on**, [s.l.], v. 31, n. 6, p. 1434-1438, 1984.

SEXTON, F. W. Destructive single-event effects in semiconductor devices and ICs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 603-621, 2003.

SEXTON, F. W.; SCHWANK, J. R. Correlation of radiation effects in transistors and integrated circuits. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 32, n. 6, p. 3975-3981, 1985.

SHANEYFELT, M. R. *et al.* Challenges in hardening technologies using shallow-trench isolation. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 45, n. 6, p. 2584-2592, 1998.

SNOW, E. H.; GROVE, A. S.; FITZGERALD, D. J. Effects of ionizing radiation on oxidized silicon surfaces and planar devices. **Proceedings of the IEEE**, [s.l.], v. 55, n. 7, p. 1168-1185, 1967.

SOLIMAN, K.; NICHOLS, D. K. Latchup in CMOS devices from heavy ions. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 30, n. 6, p. 4514-4519, 1983.

SROUR, J. R. **Basic mechanisms of radiation effects on electronic materials, devices, and integrated circuits**. 1982. 99 p. Disponível em: <<http://www.dtic.mil/cgi-bin/GetTRDoc?Location=U2&doc=GetTRDoc.pdf&AD=ADA136393>>. Acesso em: 24 de fevereiro de 2014.

SROUR, J. R.; MARSHALL, C. J.; MARSHALL, P. W. Review of displacement damage effects in silicon devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 50, n. 3, p. 653-670, 2003.

SROUR, J. R.; MCGARRITY, J. M. Radiation effects on microelectronics in space. **Proceedings of the IEEE**, [s.l.], v. 76, n. 11, p. 1443-1469, 1988.

SROUR, J. R.; PALKO, J. W. Displacement damage effects in irradiated semiconductor devices. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 60, n. 3, p. 1740-1766, 2013.

TITUS, J. L. An updated perspective of single event gate rupture and single event burnout in power MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 60, n. 3, p. 1912-1928, 2013.

TSAI, M. H.; MA, T. P. Effect of radiation-induced interface traps on 1/f noise in MOSFETs. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 39, n. 6, p. 2178-2185, 1992.

TSIVIDIS, Y. Accurate analysis of temperature effects in $I_C - V_{BE}$ characteristics with application to bandgap reference sources. **Solid-State Circuits, IEEE Journal of**, [s.l.], v. 15, n. 6, p. 1076-1084, 1980.

VIRMONTOIS, C. *et al.* Displacement damage effects due to neutron and proton irradiations on CMOS image sensors manufactured in deep submicron technology. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 57, n. 6, p. 3101-3108, 2010.

WANG, J. *et al.* A novel low-voltage low-power CMOS voltage reference based on subthreshold MOSFETs. In: 6TH INTERNATIONAL CONFERENCE ON ASIC, 2005, Shanghai. **Proceedings...** New York: IEEE Press, 2005. p.369-373.

WIDLAR, R. New developments in IC voltage regulators. In: IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE, 1970, Philadelphia. **Digest of Technical Papers**. New York: Lewis Winner, 1970. p.158-159.

WINOKUR, P. S. Radiation-induced interface traps. In: Ma, T. P. e Dressendorfer, P. V. (Ed.). **Ionizing Radiation Effects in MOS Devices and Circuits**. 1st ed. New York: John Wiley & Sons, 1989. p. 193-255.

WINOKUR, P. S. *et al.* Correlating the radiation response of MOS capacitors and transistors. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 31, n. 6, p. 1453-1460, 1984.

WINOKUR, P. S. *et al.* Total-dose failure mechanisms of integrated circuits in laboratory and space environments. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 34, n. 6, p. 1448-1454, 1987.

WIRTH, J. L.; ROGERS, S. C. The transient response of transistors and diodes to ionizing radiation. **Nuclear Science, IEEE Transactions on**, [s.l.], v. 11, n. 5, p. 24-38, 1964.

APÊNDICE A: TRABALHOS PUBLICADOS

ROSSETTO, A. C. J.; DALLASEN, R. V.; WIRTH, G. I. Performance analysis of a clock generator PLL under TID effects. In: 15TH LATIN AMERICAN TEST WORKSHOP, 2014, Fortaleza. **Proceedings...** New York: IEEE, 2014. p.1-5.