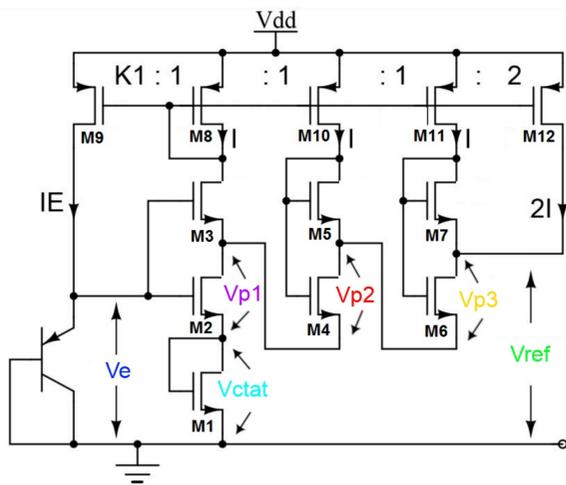


INTRODUÇÃO

Circuitos de referência de tensão provêm uma tensão estável com baixa sensibilidade a variações de temperatura, alimentação, carga e características do processo de fabricação. O circuito proposto é autopolarizado e não utiliza resistores, o que simplifica sua implementação e permite fabricação em processos CMOS tradicionais. O circuito foi dimensionado e simulado em dois processos diferentes, IBM 130nm e X-FAB 180nm, sendo realizada sua prototipação em IBM 130nm.

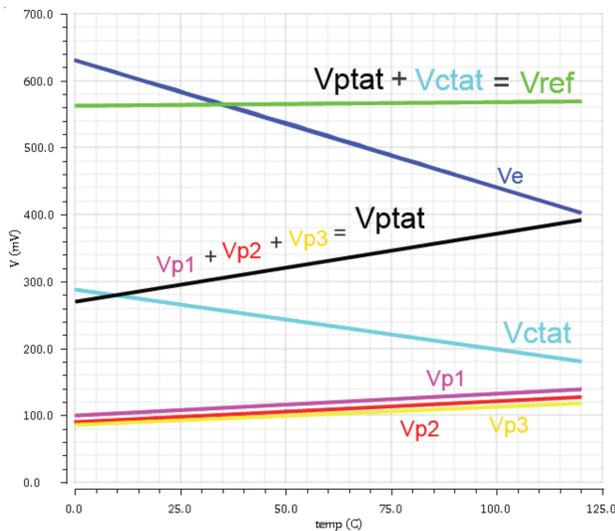
CIRCUITO



•O transistor PNP apresenta tensão de junção que é CTAT (*complementary to absolute temperature*), e aproximadamente metade desta tensão está sobre o transistor M1.

•Três pares *self-cascode* (transistores M2-M7) produzem tensões PTAT (*proportional to absolute temperature*).

A tensão de referência V_{ref} é resultado da soma destas tensões PTAT e CTAT, de modo a minimizar a dependência térmica da referência.



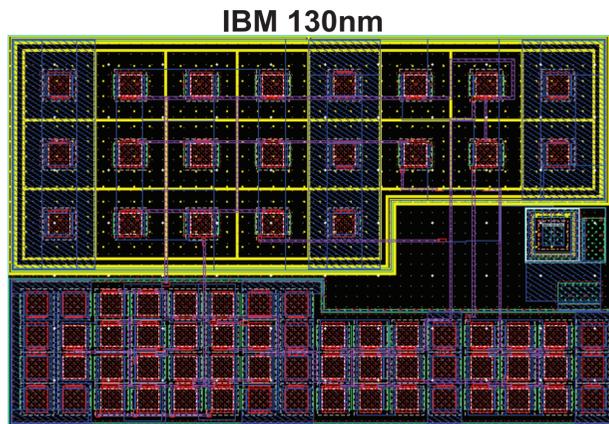
DIMENSÕES

Os transistores M1, M2 e M9 são dimensionados para que se obtenha uma tensão V_e de 550mV em temperatura ambiente (27°C). Isto faz com que a corrente de polarização I_E seja a mínima necessária para manter a dependência linear da tensão de junção com a temperatura, reduzindo o consumo de potência.

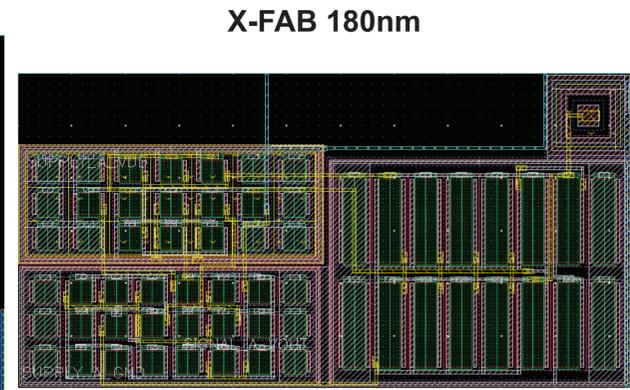
Dimensões W / L (em micrômetros)

Transistores	M1	M2	M3	M4	M5	M6
IBM 130nm	4 / 2	4 / 2	32 / 2	2 / 2	16 / 2	2 / 2
X-FAB 180nm	8 / 2	8 / 2	80 / 2	2 / 2	16 / 2	2 / 2
Transistores	M7	M8	M9	M10	M11	M12
IBM 130nm	16 / 2	2 / 2	16 / 2	2 / 2	2 / 2	4 / 2
X-FAB 180nm	16 / 2	2 / 2	12 / 2	2 / 2	2 / 2	4 / 2

LEIAUTES



Área total: 2110 μm^2

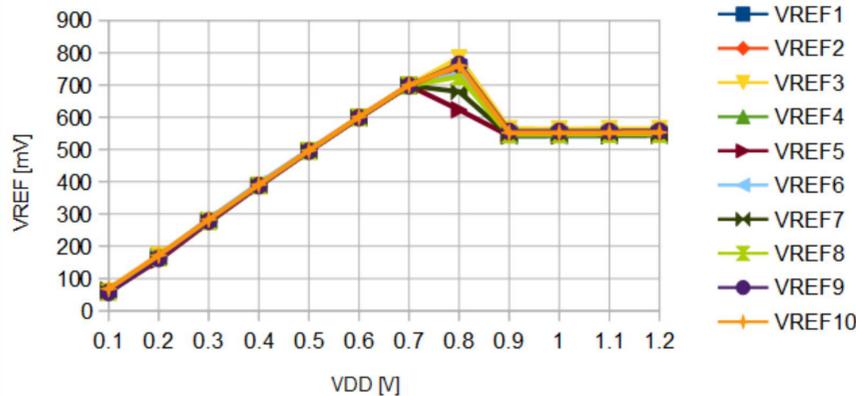


Área total: 1710 μm^2

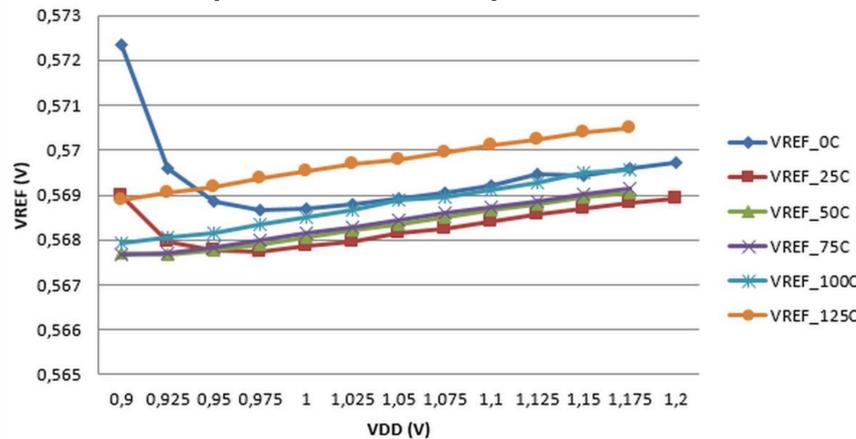
RESULTADOS EXPERIMENTAIS

Resultados para protótipo do leiaute para IBM 130 nm:

VREF vs VDD a 21°C para 10 amostras



VREF vs VDD de uma amostra para diferentes temperaturas



Resumo dos resultados experimentais: o circuito necessita de alimentação mínima de 900mV. A melhor amostra apresentou coeficiente de sensibilidade térmica de 11ppm/°C, e a pior amostra foi 83ppm/°C. O consumo de potência das amostras teve média de 8,1nW com o menor consumo amostrado em 6,3nW.

Thermal Coefficient

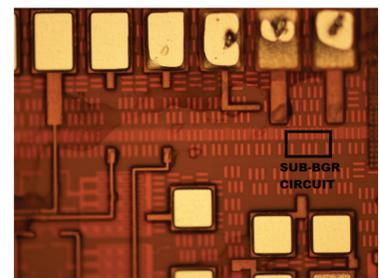
$$TC = \frac{V_{ref_{max}} - V_{ref_{min}}}{V_{ref_{nom}} * \Delta T} \text{ [ppm/}^\circ\text{C]}$$

Line Sensitivity

$$LS = \frac{V_{ref_{max}} - V_{ref_{min}}}{\Delta V_{DD}} \text{ [mV/V]}$$

Power Supply Rejection Ratio

$$PSRR(j\omega) = \frac{V_{ref}(j\omega)}{V_{DD}(j\omega)} \text{ [dB]}$$



Line Sensitivity	0,9 mV / V
PSRR @100Hz	-41 dB
Noise @100 Hz	2,9 μV / $\sqrt{\text{Hz}}$

AGRADECIMENTOS

Ao CNPq e à PROPESQ, por terem possibilitado e financiado esta pesquisa.
Ao serviço MOSIS, por fornecer prototipação gratuita à pesquisa.

REFERÊNCIAS

MATTIA, O. ; KLIMACH, H. ; BAMPI S. "0.9 V, 5 nW, 9 ppm/oC Resistorless Sub-Bandgap Voltage Reference in 0.18 m CMOS". In: 5th IEEE LASCAS - Latin American Symposium on Circuits and Systems LASCAS 2014, 2014, Santiago. 5th IEEE LASCAS - Latin American Symposium on Circuits and Systems LASCAS 2014, 2014.

BROKAW, A. A simple three-terminal IC bandgap reference. *Solid-State Circuits, IEEE Journal of*, [S.l.], v.9, n.6, p.388-393, Dec 1974.

VITTOZ, E.; NEYROUD, O. A low-voltage CMOS bandgap reference. *Solid-State Circuits, IEEE Journal of*, [S.l.], v.14, n.3, p.573-579, 1979.

WIDLAR, R. New developments in IC voltage regulators. *Solid-State Circuits, IEEE Journal of*, [S.l.], v.6, n.1, p.2-7, 1971.