



ciência desenvolvimento sociedade

XXVI SALÃO DE INICIAÇÃO CIENTÍFICA

20 a 24 de outubro - Campus do Vale - UFRGS



Evento	Salão UFRGS 2014: SIC - XXVI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2014
Local	Porto Alegre
Título	RefreeMIPS: uma arquitetura MIPS baseada em CGRA
Autor	TIAGO TREVISAN JOST
Orientador	ERIKA FERNANDES COTA

RefreeMIPS: uma arquitetura MIPS baseada em CGRA

Orientando: Tiago Trevisan Jost

Orientadora: Érika Fernandes Cota

Coorientador: Luigi Carro

Dispositivos reconfiguráveis têm sido importantes objetos de estudo na área de sistemas de computação embarcada. Uma de suas grandes vantagens é a possibilidade de reconfiguração *on-the-fly*, ou seja, o hardware pode ser reconfigurado dinamicamente a fim de maximizar performance e minimizar consumo de energia. Sistemas embarcados podem usufruir destes dispositivos para acelerar diferentes tipos de aplicações a fim de obter um melhor desempenho. Dentre os dispositivos reconfiguráveis está o *Coarse-grained Reconfigurable Architecture* (CGRA), ou arquitetura reconfigurável de grão grosso.

CGRAs fornecem bom desempenho em aplicações na quais *loops* são comuns, como aplicações multimídia e processamento digital de sinais e podem ser reconfigurados conforme a necessidade da aplicação. Eles são compostos por elementos de processamento, registradores, memórias de configuração e de dados. Os elementos de processamento são responsáveis pelo processamento e execução de instruções buscadas da memória de configuração. A memória de dados possui os dados da aplicação e registradores são utilizados para rotear e armazenar dados calculados nos elementos de processamento.

Utilizaremos uma arquitetura CGRA conhecida como Refree, desenvolvida no Instituto de Informática da UFRGS e caracterizada pela ausência de um banco de registradores interno. O objetivo desta arquitetura é eliminar o gargalo de acesso a um banco de registradores central, muito comum em outros CGRAs. Os elementos de processamento são conectados através de uma rede *crossbar* que interconecta todos nodos entre si.

Neste trabalho, será feita a implementação de uma arquitetura chamada de *RefreeMIPS*, na qual é composta de um processador MIPS e o *Refree* fortemente acoplado a ele. A arquitetura, portanto, será capaz de executar instruções tanto em modo MIPS quanto em modo *Refree*, por isso, um desempenho superior ao encontrado em um MIPS é esperado. O projeto se insere no âmbito de Trabalho de conclusão de Curso (TCC) que realizo e está sendo desenvolvido juntamente com o *Laboratório de Sistemas Embarcados* do *Instituto de Informática* da UFRGS como parte de um projeto mais amplo.