



Evento	Salão UFRGS 2014: SIC - XXVI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2014
Local	Porto Alegre
Título	Rompendo a barreira de performance em processadores superescalares através de lógica reconfigurável
Autor	MARCELO BRANDALERO
Orientador	ANTONIO CARLOS SCHNEIDER BECK FILHO

Consumidores vêm se tornando cada vez mais exigentes quanto à performance de seus dispositivos eletrônicos. Esta performance vêm evoluindo nos últimos 30 anos devido a dois fatores principais: a escalabilidade dos processos de produção da indústria de semicondutores, permitindo a produção de transistores cada vez menores e mais rápidos, e inovações na microarquitetura dos processadores, ou seja, na forma como os componentes são organizados e interagem entre si. Com os transistores utilizados nas tecnologias de fabricação atuais atingindo seus limites de dimensões, uma conclusão é clara: os avanços na performance provida pelos processadores devem advir, nos próximos anos, de inovações na microarquitetura dos dispositivos.

Atualmente, a maior parte dos paradigmas microarquiteturais - a organização dos processadores - é baseada na idéia de superescalaridade, segundo a qual unidades funcionais replicadas são inseridas no processador de forma a aumentar a quantidade de instruções executadas simultaneamente. Esta abordagem, porém, atingiu o seu limite devido a duas importantes restrições no projeto de chips: área e potência. É necessária uma grande quantidade de lógica para verificar as dependências entre as instruções, que, caso existam, impedem a execução simultânea. Essa lógica requer espaço no chip, além de consumir constantemente energia. Devido a essas restrições, grande parte do potencial de execução simultânea de instruções é perdido.

Neste contexto, muito tem se pesquisado a fim de desenvolver novos paradigmas microarquiteturais. No presente trabalho, desenvolvemos uma nova organização para a família de processadores mais utilizadas no mercado de computação de propósito geral, a família Intel x86. Utilizando o conceito de computação reconfigurável, esta arquitetura consiste em um matriz de unidades funcionais acoplada ao núcleo superescalar, na qual as interconexões entre as unidades e suas funções podem ser modificadas em tempo de execução. Cada trecho recorrente de código é mapeado em uma configuração da matriz através de uma análise de quais instruções podem ser executadas em paralelo. Esta configuração é salva em uma memória de configurações, e pode ser carregada quando o trecho de código necessita ser executado. Ao executar esse trecho múltiplas vezes, há uma economia de energia com respeito ao processador superescalar, já que neste o paralelismo necessita ser verificado a cada execução. Definida esta organização, analisaremos seus resultados em termos de performance, área e potência, que serão comparados com os do processador superescalar. Espera-se obter uma redução no consumo de energia e uma melhora no desempenho com pouco acréscimo de área.